

2021年度 秋学期

## 卒 業 論 文

# SMTソルバを用いた 一次元NNA回路のコスト削減手法

指導教員: 山下 茂

立命館大学 情報理工学部

卒業研究3 (AA)

コース: システムアーキテクト

学生証番号: 2600180159-6

氏名: 清野恭平



# 目次

第 1 章	はじめに	5
第 2 章	基礎知識	7
2.1	量子回路	7
2.1.1	量子ゲート	7
2.1.2	NNA	7
2.1.3	garbage bit	7
2.2	充足可能性問題	7
2.2.1	SAT ソルバ	7
2.2.2	SMT ソルバ	7
第 3 章	SMT ソルバを用いた一次元 NNA 回路のコスト削減手法	9
3.1	要求出力生成	9
3.2	SMT ソルバを用いた要求出力を満たすような NNA 回路の構成	9
3.3	単位ゲートの入れ替えと don't care の考慮	9
第 4 章	実験	11
4.1	評価方法	11
4.2	実験結果と考察	11
第 5 章	おわりに	13
5.1	本研究のまとめ	13
5.2	今後の課題	13



# 第1章 はじめに

- どのような分野の研究か、その背景について説明する。
  - － 量子コンピューターは量子力学の基本原則を用いることで、古典コンピューターが答えの導出に莫大な時間を要する問題を、線形時間で解くことができる。近年、クラウドで利用可能な量子コンピュータ API, IBM Q シリーズの登場により、より研究が盛んに行われている。
- その分野の従来の研究状況について説明する。
  - － 量子回路を構成するためには MCT ゲートや Toffoli ゲートなど様々な 2 入力以上の量子ゲートが用いられる。しかし、量子コンピュータ状で実際に動作する量子ゲートは CNOT ゲートと 1 量子 bit ゲートのみである。
  - － そのため、最終的には CNOT ゲートと 1 量子 bit ゲートに分解され、このゲート群は Clifford+T ゲート群と呼ばれる。
  - － Clifford+T ゲート群はさらに NNA 制約と呼ばれる制約を満たすように分解される。NNA 制約とは、隣接する量子ビット間でしか CNOT ゲートを作用できない制約である。
  - －
- そして、何が解決すべき問題（本論文で扱った問題）かを説明。
  - － Clifford+T ゲート群を NNA 向け回路に分解すると、分解前と比べてゲート数が増加する。これを NNC と呼ぶ。
  - － NNC が増加するとエラー率が上昇するため、NNC は出来るだけ削減するのが望ましい。
  - － 既存手法として SMT ソルバを用いて NNA 制約を満たす最小構成を求める手法がある。まずは Clifford+T ゲート群を前から分割して、それぞれの入力と満たすべき出力を得る。分割した回路の入力は直前の分割した回路の出力になる。その後、それぞれの回路において入力と NNA 制約の条件式を SMT ソルバに与え、分解後回路の出力が、分解前の回路の出力と一致するような最小の CNOT ゲート群を得る。それらを結合することにより、最終的に NNA 制約を満たすゲート群を得る。
  - － 1 量子ビットを作用させるまでは、量子ビットの状態は考慮しなくてもよい。1 量子 bit ゲートを作用する際に、要求された量子状態を
- どのようなアイデアで解決したか、キーアイデアを少しだけ披露
  - － 提案手法では、1 量子ビットゲートが作用するまで、量子状態を考慮しない。これにより、分割した回路における要求出力の中に don't care な bit が生じる。
- どのような（実験）結果が得られたか、アピール（目次案の段階では希望的予測）

- 提案手法の評価のため, 提案手法を python で実装した.
- 提案した手法をベンチマークに適応した.
- 既存の手法と比較し, NNC が 30

量子コンピューターにおいて 2 量子ゲートは物理的に隣接する量子ビットにしか適応できず, これを「Nearest Neighbor 制約」(NN 制約)と呼ぶ. 量子回路を構成する際は, まずは NN 制約を無視し, 可逆回路で実現したい関数を表現する. その後に, 対象の量子アーキテクスチャで動作するように, NN 制約を満たすようなゲート群に分解を行う. しかし, 大抵の場合で元の回路よりもゲート数が増大しコストが大きくなってしまう. コストが増えるとエラー率が上昇するため, より少ないゲート数で NNA 量子回路を実現することが求められる.

NNA 量子回路のコストを減らす手法として, SAT ソルバを用いたものが知られる. SAT ソルバを用いることで, 厳密にゲート数を最小にすることが可能である. しかし, 既存の SAT ソルバを用いた手法は単位ゲートの bit 間の移動と, 回路途中の don't care を考慮していない.

本論文では, 単位ゲートの移動と, 回路途中の don't care を考慮することにより, ゲート数を削減する手法を紹介する. また, 既存手法では SAT ソルバを用いていたが, 本論文では SMT ソルバを利用する. 量子回路では, 単位ゲートを作用させるまで, 量子 bit の論理状態は～であるため, これらを考慮することでゲート数が減少することが考えられる.

実験の結果大幅にゲート数を削減することが出来た.

## 第2章 基礎知識

### 2.1 量子回路

#### 2.1.1 量子ゲート

Hゲート

CNOTゲート

#### 2.1.2 NNA

#### 2.1.3 garbage bit

### 2.2 充足可能性問題

#### 2.2.1 SAT ソルバ

#### 2.2.2 SMT ソルバ





## 第3章 SMTソルバを用いた一次元NNA回路のコスト削減手法

### 3.1 要求出力生成

### 3.2 SMTソルバを用いた要求出力を満たすようなNNA回路の構成

### 3.3 単位ゲートの入れ替えと don't care の考慮



## 第4章 実験

### 4.1 評価方法

### 4.2 実験結果と考察



## 第5章 おわりに

### 5.1 本研究のまとめ

### 5.2 今後の課題