实验2报告

学号 2016K8009907007 姓名 黄熠华

一、实验任务(10%)

设计五级流水线 CPU,每条指令经过取址、译码、执行、访存、写回五个阶段,最终仿真验证功能正确并上板通过。

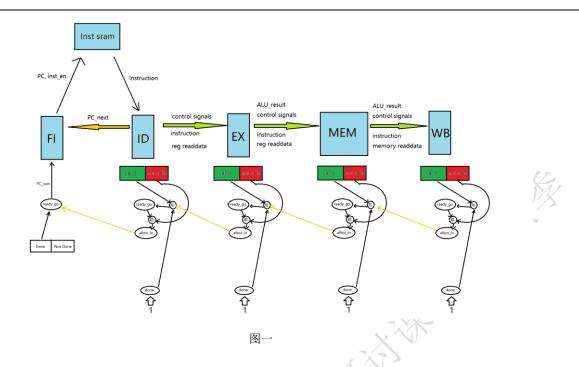
二、实验设计(30%)

五级流水线是以 CPU 内部硬件分工来划分五级的,因此需要将 CPU 划分为五个模块。方便起见我在my_cpu.v 文件里用注释的星号行划分出五个模块,而并不写成模块并实例化。五个模块的硬件分别以 PC, 译码器, ALU, 访存接口, RegFile 为主体,各自进行相关阶段的操作。

注意到流水线的五个阶段并不是相互独立的,而存在着许多数据依赖,因此有必要将一些数据在五级中某些级之间进行流动。译码阶段得到的控制信号,执行阶段得到的计算结果,访存阶段得到的数据等,都需要流到后面的阶段并加以使用。所以流水线 CPU 的"流水"体现在指令以及一些控制信号的流动。

目前实验暂时不考虑阻塞和数据相关的情况,但是为了后面任务方便起见,我定义了五条 done 信号,用以表明当前阶段是否结束。不完全参考老师上课所讲授的,我给每个状态设定了 valid, ready_go 和 allow_in 信号,并以将它们链式关系连接。一个阶段的 valid 信号拉高表明其包含了有效内容,ready_go 信号拉高表明该阶段的指令在下一时钟上升沿会流动到下一个阶段,allow_in 信号的拉高意味着这个阶段在下一时钟上升沿可以接收来自上一级的指令。由于本次实验无堵塞,暂时将 FI 以外的各阶段的 done 信号全部置为 1,表明一拍即可完成。FI 阶段较为特殊,可以视作一种 MEM 和 WB 结合的阶段,传出使能信号之后等到下一拍才有有效的数据输入,因此只能等到再下一时钟才能写入 PC 寄存器。FI 阶段的 done 信号便根据一个指明 FI 阶段所处状态的状态机来赋值,当发出使能信号的下一时钟到来时拉高。

设计图如图一所示



三、实验过程(60%)

(一) 实验流水账

9.23 构思 CPU 的设计,翻翻讲义,打篮球。

9.24

9:00: 开始写 CPU

16:00: 进行调试

19:00: 上板通过

(二) 错误记录

1、错误1

(1) 错误现象

执行 JR 后 PC 异常。

(2) 分析定位过程

观察 PC 的变化过程后发现 PC 进行了两次跳转。

(3) 错误原因

程序一开始将 JR 指令流入每一级的 IR,相当于五条 JR 指令流入了 CPU。PC 进行更新的时候忘记添加 ID 阶段 valid 信号的约束,导致了两次跳转。

(4) 修正效果

添加 ID 阶段的 valid 信号对 PC 更新的约束,使得 PC 不会因为无效的译码阶段指令而发生分支跳转。

(5) 归纳总结(可选)

发生这个错误的原因是我对流水线规则并没有牢记于心,忽略了 ID 阶段指令控制 PC 更新时需要先保证自身的有效性。

2、错误2

(1) 错误现象

加载内存数据错误。

(2) 分析定位过程

分析反汇编代码后发现在加载内存数据之前有一条指令往该地址写数据,写的数据和 golden_trace 指示的数据 是一致的。我先检查了该存数据指令,并没有发现信号的错误,再查看加载内存指令,发现读内存的时候写使能 信号居然被拉高了。

(3) 错误原因

访存的写使能信号不小心赋值错了。

(4) 修正效果

重新连接了访存的写使能信号,行为仿真直接 PASS 了。

(5) 归纳总结(可选)

这个错误是因为码代码的时候不够专心而犯的低级错误。

3、错误3

(1) 错误现象

生成 bit 文件时合成失败。

(2) 分析定位过程

查看 log 发现更改 IP 核后 vivado 却往旧地址寻找.coe 文件,重命名并重新更改 inst_sram 之后却发现又报了新地址的.coe 文件不存在的错误,应该是某处路径设置发生了问题。

(3) 错误原因

未知

(4) 修正效果

复制了两份 func 文件,并分别命名为新旧地址的名字,生成 bit 文件成功。

(5) 归纳总结(可选)

Vivado 真是太醉了,什么安装路径里不能有中文,重新安装后往旧地址找文件等情况都在身边同学见到过, 这次的错误并没有时间去深入研究,复制出两个路径应该是效率最高的解决手段吧。

四、实验总结(可选)

流水线 CPU 更适合用单周期 CPU 更改过来,因为每一级的控制信号都只依赖于译码出的结果,即指令本身,而与状态无关。