**实验1报告**

学号2016K8009907007

姓名 黄熠华

一、实验任务（10%）

（一）配置好本学期的开发环境，检验开发板是否功能正常。

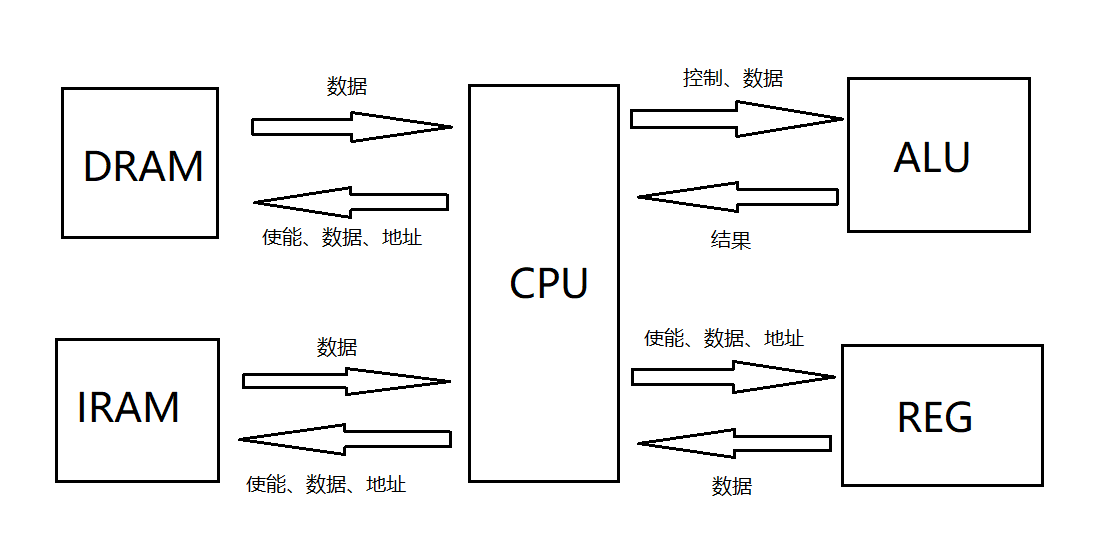
（二）将上学期计算机组成原理实验完成的多周期CPU迁移到本课程的开发环境中。

（三）行为仿真通过测试程序的所有检测点，上板运行得到正确结果。

二、实验设计（30%）

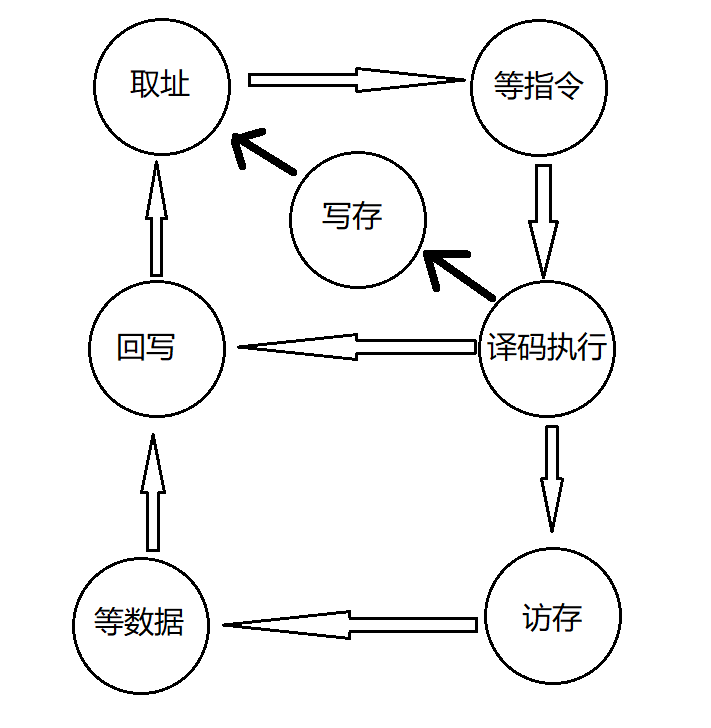
本次实验使用的是上学期计算机组成原理实验课上写好的多周期CPU，但本次实验的CPU接口与上学期的不同，取址访存时的各种使能信号规则也与上学期有较大差异。本次项目将CPU的接口进行了调整，更改了状态机的状态转移规则，令CPU能够在本次实验环境中实现各种指令的执行。本次实验还添加了上学期的ALU和REG模块，用于算逻运算和暂存数据。

设计的顶层结构，一图以概之。



图一

CPU的状态流程如下图：



图二

CPU根据指令种类的不同选择不同的状态路径。图中的转移箭头都是无条件转移，都在时钟上升沿触发。

三、实验过程（60%）

（一）实验流水账

第一周的某一天：将CPU接口进行调整，修改访存取址的信号规则以及状态机的状态转移规则，使得状态转移不需依赖信号握手进行。经过调试后CPU行为仿真PASS通过。

第二周的周五：生成bitstream进行上板运行，第一次运行结果错误。通过分析综合的log，定位出代码的错误位置，修改代码后上板通过。

第三周的周一：完成实验报告。

（二）错误记录

1、错误1

（1）错误现象

执行一条写寄存器指令时，写入数据是0hxxxxxxxx，与golden\_trace不匹配。

（2）分析定位过程

通过查看test.s，找到对应指令，发现前一条指令是访存指令。CPU先访存取出一条数据，之后将该数据写入寄存器。查看波形观察到访存时取出的数据已经是0hxxxxxxxx，且访存过程的各种信号正常，因此推知应该是上次写存过程发生了错误导致数据并未被写入内存的相应位置。

（3）错误原因

写存过程中并未拉高data\_sram\_en信号。

（4）修正效果

改正后行为仿真通过所有测试点。

（5）归纳总结（可选）

修改信号接口时并没有仔细查看各信号说明，而是根据信号名称想当然地猜测其使用方式。结果误认为data\_sram\_en是仅仅读使能信号。

2、错误2

（1）错误现象

行为仿真PASS过后，上板运行行为错误。数码管始终为全零，双色LED不亮，单色LED全亮。

（2）分析定位过程

执行综合，查看log，发现对状态机中next\_state寄存器的赋值发出警告。还有一处是对inst\_sram\_wen赋值的警告。错误应该来自于此两个器件的赋值错误。

（3）错误原因

在给next\_state赋值的组合always块里的case语句少了default。而case条件并没有包含所有的情况。

inst\_sram\_wen是4位wire，但却使用了1’b0给它赋值。

（4）修正效果

上板运行结果正常。所有的测试点都通过。

（5）归纳总结（可选）

要保持好的代码习惯，使用if或者case时，提前写好else或default，或者列全所有的条件情况。

四、实验总结（可选）

上学期一直使用云端FPGA，为我们提供了极大地便利，但同时让我们待在安逸区中不远踏出，极少触碰开发板，结果对于FPGA开发过程并没有很多了解，对硬件也没有直接感受。本学期使用开发板的过程中收获了许多新的经验和感受，体验极佳。