

第十五章作业

1. 某计算机字长 16 位，采用 16 位定长指令字结构，部分数据通路结构如图所示。图中所有控制信号为 1 时表示有效、为 0 时表示无效，例如控制信号 MDRinE 为 1 表示允许数据从 DB 打入 MDR，MDRin 为 1 表示允许数据从总线打入 MDR。假设 MAR 的输出一直处于使能状态。加法指令“ADD(R1), R0”的功能为 $(R0) + ((R1)) \rightarrow (R1)$ ，即将 R0 中的数据与 R1 的内容所指主存单元的数据相加，并将结果送入 R1 的内容所指主存单元中保存。表 1 给出了上述指令取指和译码阶段每个节拍（时钟周期）的功能和有效控制信号，请按表 1 描述方式用表格列出指令执行阶段每个节拍的功能和有效控制信号。

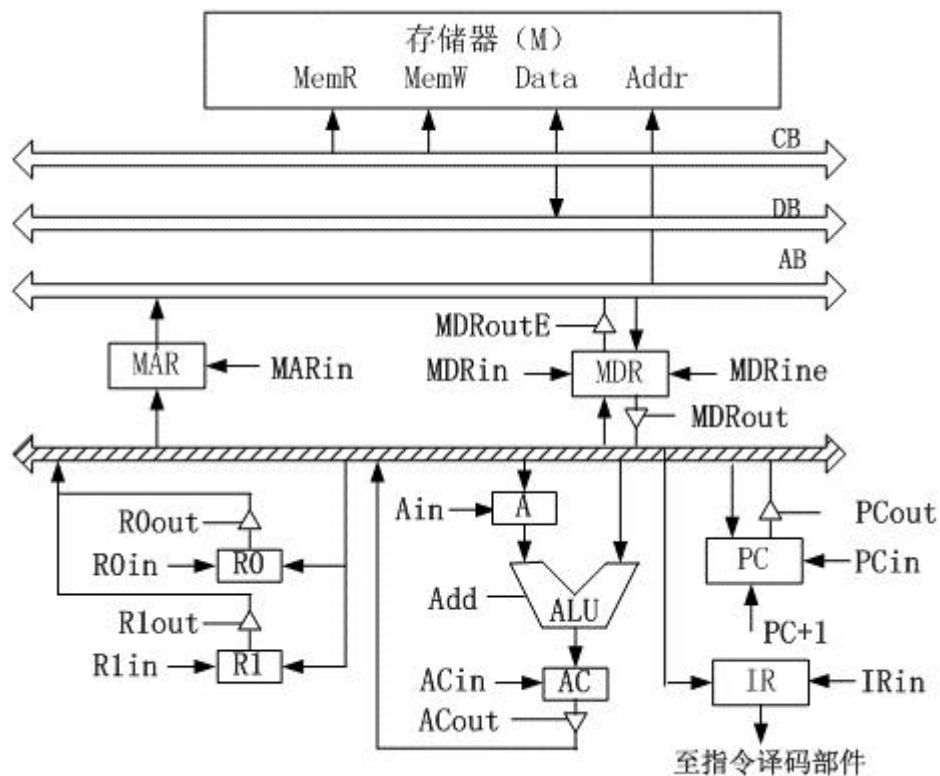


表 1

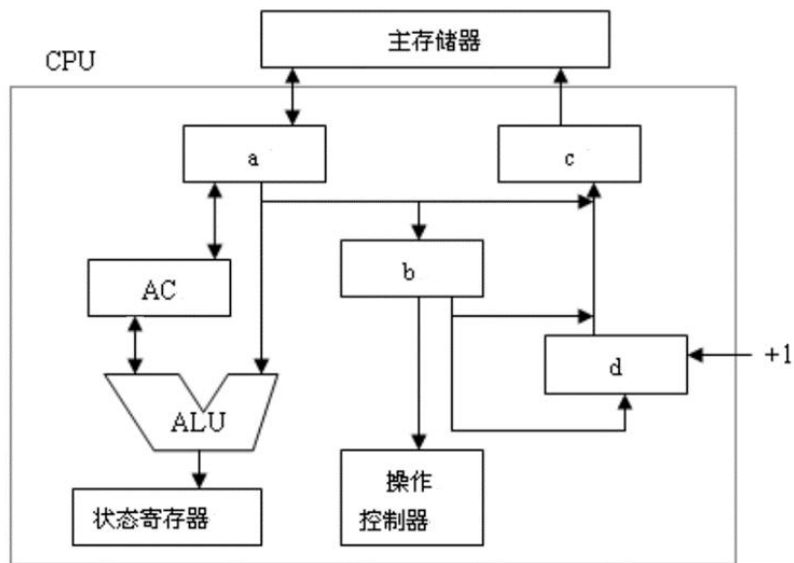
时钟	功能	有效控制信号
C1	$MAR \leftarrow (PC)$	PCout, MARin
C2	$MDR \leftarrow M(MAR), PC \leftarrow (PC) + 1$	MemR, MDRinE, PC+1
C3	$IR \leftarrow (MDR)$	MDRout, IRin
C4	指令译码	无

答：

时钟	功能	有效控制信号
C5	$MAR \leftarrow (R1)$	R1out, MARin
C6	$MDR \leftarrow M(MAR)$	MemR, MDRinE
C7	$A \leftarrow (MDR)$	MDRout, Ain
C8	$AC \leftarrow (A) + (R0)$	R0out, Add, ACin
C9	$MDR \leftarrow (AC)$	ACout, MDRin
C10	$M(MAR) \leftarrow (MDR)$	MDRoutE, MemW

2.CPU 结构如下图所示，其中有一个累加寄存器 AC、一个状态条件寄存器和其他 4 个寄存器，各部件之间的连线表示数据通路，箭头表示信息传送方向。

- (1) 标明 4 个寄存器的名称。
- (2) 简述指令从主存取出送到 CPU 的数据通路。
- (3) 简述数据在 CPU 和主存之间进行存取访问的数据通路。



答:

(1)

- a: 主存数据寄存器(MDR)
- b: 指令寄存器(IR)
- c: 主存地址寄存器(MAR)
- d: 程序计数器(PC)

(2)

程序计数器→主存地址寄存器→主存→主存数据寄存器→指令寄存器

(3)

读数据: 指令寄存器地址码部分 X→主存地址寄存器→主存→主存数据寄存器→累加寄存器→逻辑运算单元

写数据: 指令寄存器地址码部分 Y→主存地址寄存器,累加寄存器 →主存数据寄存器→主存