

第三章作业

1. 什么是总线？总线传输有何特点？

解：

定义：总线是指在计算机系统中用于数据传输的一组线路或信号通道，它连接处理器、内存和其他外部设备，以便在它们之间传递信息。

特点：总线传输具有共享性，允许多个设备通过同一条总线进行通信；能够并行或串行传输；带宽限制，影响传输速度；以及多种协议支持，确保数据传输的有效性和正确性。

2. 什么是系统总线？它分为哪几类？各有什么作用？分别是单向的还是双向的？它们与机器字长、存储字长及存储单元数有何关系？

解：

定义：系统总线是计算机内部连接中央处理器、内存和其他主要组件的总线。

分类：系统总线通常包括数据总线、地址总线和控制总线。

作用：

数据总线的作用是传输计算机系统中各个组件之间的数据，是双向的，宽度一般与机器字长、最大存储字长相等；

地址总线的作用是传输内存地址，指定数据存储或取回的位置，是单向的，其宽度决定了存储地址的范围，因而决定了存储单元的最大个数；

控制总线的作用是传输控制信号，以协调计算机各部件的操作，是双向的，与机器字长、存储字长和存储单元数无关。

3. 常见的集中式总线控制有几种？各有何特点？哪种方式响应时间最快？哪种方式对电路故障最敏感？

解：

种类：链式查询、计数器定时查询、独立请求。

特点：

链式查询的特点是设备通过一个链接的顺序相互查询，当前设备查询下一个设备。响应时间较慢，故障设备可能影响整个查询链；

计数器定时查询的特点是 CPU 定期向所有设备发送查询信号，根据计时器控制查询频率。响应时间受定时器设置影响，对单个设备的故障影响较小；

独立请求的特点是每个设备可以独立请求服务，CPU 根据请求进行响应。响应时间较快，对电路故障较敏感，故障设备可能导致请求丢失。

综上，独立请求响应时间最快，链式查询对电路故障最敏感。

4. 常见的总线通信方式有哪些？各有什么特点？

解：

常见的总线通信方式有同步通信、异步通信、半同步通信和分离式通信。

同步通信使用共享时钟信号来同步数据的发送和接收，确保双方在同一时钟周期内进行数据传输。其传输效率高，适合高速数据传输，但设计复杂，需要确保时钟同步；

异步通信通过起始位和停止位来标识数据的开始和结束。其适用于不定长的数据传输，但传输效率相对较低；

半同步通信结合了同步和异步的特性，数据可以在一定的时间间隔内同步发送，但在特定情况下也可异步处理。其在某些场景下可以提高灵活性和效率，但实现复杂性高，需要管理同步与异步之间的切换；

分离式通信的数据的发送和接收由不同的线路进行，通常用于长距离通信。其可以减少干扰，适合需要高可靠性的通信，但需要更多的线路，成本相对较高。

5. 某同步总线的时钟频率为 100MHz，地址/数据线复用，宽度为 32 位，每传输一个地址或者数据占用一个时钟周期。若该总线支持猝发（块）传输方式，块大小为 16B，则一次“主存写”总线事务传输 128 位数据所需时间至少为多少？

解：

$$16B = (16 \times 8)\text{bits} = 128\text{bits}$$

时钟周期：

$$\frac{128\text{bits}}{32\text{bits}} + 1 = 5$$

所需时间：

$$\frac{5}{100\text{MHz}} = 50\text{ns}$$

6.

3.1 The hypothetical machine of Figure 3.4 also has two I/O instructions:

0011 = Load AC from I/O

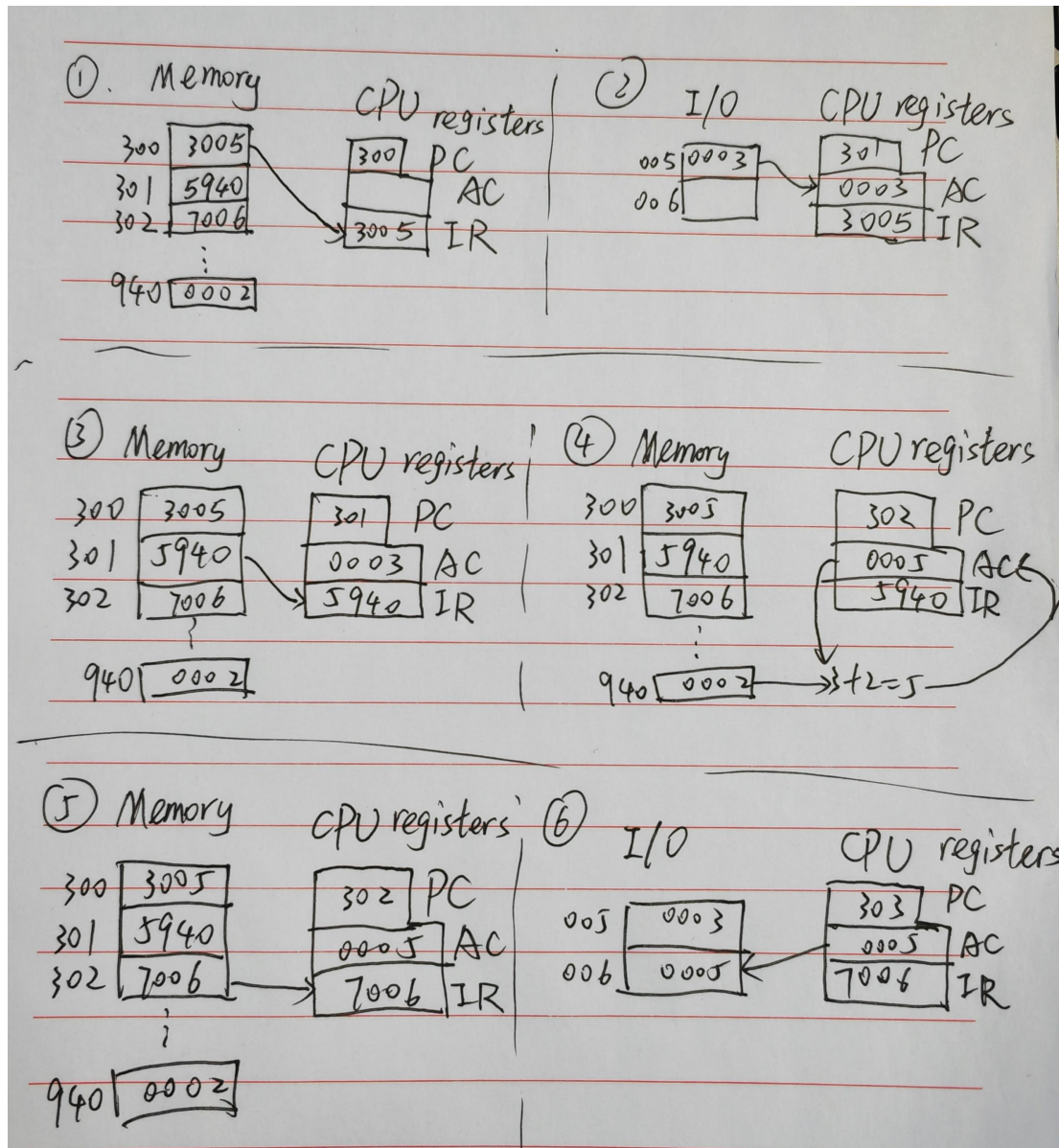
0111 = Store AC to I/O

In these cases, the 12-bit address identifies a particular I/O device.
Show the program execution for the following program:

1. Load AC from device 5.
2. Add contents of memory location 940.
3. Store AC to device 6.

Assume that the next value retrieved from device 5 is 3 and that location 940 contains a value of 2.

解:



3.2 The program execution of Figure 3.5 is described in the text using six steps. Expand this description to show the use of MAR and MBR.

解:

1. PC contains 300. 300 is loaded to MAR.
The instruction(1940) is loaded to MBR. PC is incremented.

- The value in MBR(1940) is loaded to IR.
- 2. The address in IR(940) is loaded to MAR.
The value in location 940 is loaded to MBR.
The value in MBR(0003) is loaded to AC.
- 3. PC contains 301. 301 is loaded to MAR.
The instruction(5941) is loaded to MBR. PC is incremented.
The value in MBR(5941) is loaded to IR.
- 4. The address in IR(941) is loaded to MAR.
The value in location 941 is loaded to MBR.
The value in AC(0003) and MBR(0002) are added. The result(0005) is loaded to AC.
- 5. PC contains 302. 302 is loaded to MAR.
The instruction(2941) is loaded to MBR. PC is incremented.
The value in MBR(2941) is loaded to IR.
- 6. The address in IR(941) is loaded to MAR.
The value in AC is loaded to MBR.
The value in MBR(0005) is stored in location 941.

3.12 Consider a microprocessor that has a memory read timing as shown in Figure 3.18. After some analysis, a designer determines that the memory falls short of providing read data on time by about 180ns.

- a. How many wait states need to be inserted for proper system operation if the bus clocking rate is 8 MHz?
- b. To enforce the wait states, a Ready status line is employed. Once the processor has issued a Read command, it must wait until the Ready line is asserted before attempting to read data. At what time interval must we keep the Ready line low in order to force the processor to insert the required number of wait states?

解:

- a. 时钟周期:

$$\frac{1}{8}MHz = 125ns$$

由于已落后 180ns, 所以至少插入 2 个等待状态。

- b. Read 信号开始于 T2 上升沿, 故 Ready 信号应在 T2 处保持低电平, 并持续:
 $125ns \times 2 = 250ns$