

第十二章作业

1. Both instructions and data are stored in the internal memory, then how CPU can distinguish them?

解：

指令和数据虽然都存储在同一个物理内存中，但 CPU 可以通过当前所处的工作周期来区分它们：

①取指令周期（FI）：在这个周期，CPU 从内存中读取的是指令。此时，程序计数器指向要执行的指令地址，CPU 根据这个地址去内存取出数据，并将其解释为指令。这一步确保 CPU 正确获取并解码程序的指令，而不是数据。

②执行指令周期（EX）：在执行周期，CPU 开始按照指令的内容执行操作。如果指令涉及内存访问（如 `load` 或 `store`），CPU 会根据指令中指定的地址去内存中读取或写入数据。在这个阶段，CPU 读取到的数据会被用来进行运算或存储，表示内存中的数据而非指令。

2. Suppose a pipeline with 5 stages: fetch instruction (FI), decode instruction (DI), execute (EX), memory assess (MA) and write back (WB).

1) Please draw the spatio-temporal diagram for a sequence of 12 instructions, in which there are no conflicts and no data dependencies.

2) Under this situation, what is throughput of this pipeline and the speedup of this pipeline?(Suppose the clock frequency is 100ns)

解：

1)

在一个五级流水线中，如果没有冲突且没有数据依赖关系，那么指令可以按理想顺序流经流水线。每个指令执行五个阶段，每阶段占一个时钟周期。因此可以绘制一个时空图，显示 12 条指令在流水线中的执行过程，假设每个阶段对应一个时钟周期：

[illegible]

4	MA	EX	DI	FI								
5	WB	MA	EX	DI	FI							
6		WB	MA	EX	DI	FI						
7			WB	MA	EX	DI	FI					
8				WB	MA	EX	DI	FI				
9					WB	MA	EX	DI	FI			
10						WB	MA	EX	DI	FI		
11							WB	MA	EX	DI	FI	
12								WB	MA	EX	DI	FI
13									WB	MA	EX	DI
14										WB	MA	EX
15											WB	MA
16												WB

2)

$$\text{throughput} = \frac{12 \text{ 条指令}}{16 \times 100\text{ns}} = 7.5 \times 10^6 \text{ 条指令每秒} = 7.5\text{MIPS}$$

$$\text{speedup} = \frac{\text{非流水线时间}}{\text{流水线时间}} = \frac{12 \times 5 \times 100\text{ns}}{500\text{ns} + (12 - 1) \times 100\text{ns}} = 3.75$$

3. A pipelined processor has a clock rate of 2.5GHz and executes a program with 1.5 million instructions. The pipeline has five stages, and instructions are issued at a rate of one per clock cycle. Ignore penalties due to branch instructions and out-of-sequence executions.

a) What is the speedup of this processor for this program compared to a nonpipelined processor, making the same assumptions used in Section 14.4?

b) What is throughput of the pipelined processor?

解:

a)

非流水线处理器:

每条指令需要经过 5 个时钟周期才能完成;

总时钟周期数:

$$1,500,000 \text{ 条指令} \times 5 \text{ 周期/指令} = 7,500,000 \text{ 周期}$$

执行时间:

$$\frac{7,500,000 \text{ 周期}}{2.5GHz} = 3ms$$

流水线处理器：

流水线处理器在填充流水线后，每个时钟周期完成一条指令；

填充流水线需要 4 个时钟周期（前 4 个周期用于填充，第 5 个周期开始输出结果）；

总时钟周期数：

$$1,500,000 \text{ 条指令} + 4 \text{ 周期} = 1,500,004 \text{ 周期}$$

执行时间：

$$\frac{1,500,004 \text{ 周期}}{2.5GHz} = 0.6ms$$

加速比计算：

$$\text{speedup} = \frac{\text{非流水线时间}}{\text{流水线时间}} = \frac{3ms}{0.6ms} = 5$$

b)

在稳态下，流水线处理器每个时钟周期完成一条指令；

时钟频率为 $2.5GHz = 2.5 \times 10^9 \text{ 周期/秒}$ ；

吞吐量为：

$$\text{throughput} = 2.5GHz = 2.5GIPS$$