**《高等计算机网络》课程项目立项书**

1. **项目名称：**基于FPGA的IPv4—IPv6协议翻译器（FPGA-NAT64）
2. **项目背景与目标**

中共中央办公厅、国务院办公厅印发的《推进互联网协议第六版（IPv6）规模部署行动计划》标志着我国正在大力推进IPv6网络的部署建设。然而，现存的大量IPv4网络难以与新建IPv6网络互联互通的问题正成为推进我国互联网络升级建设的显著障碍。

为此，本项目希望基于FPGA设计实现一个IPv4—IPv6协议翻译器（NAT64），实现IPv4网络与IPv6网络的高效互联互通。

具体而言，本项目希望在FPGA上实现：

* IPv4分组至IPv6分组的转换（翻译）；
* IPv6分组至IPv4分组的转换。

1. **项目难点与创新点**

本项目拟采用流水线技术对大部分IP分组（包括类型不为ICMP，且 TTL＞1，且转换后帧长不超过MTU的分组）进行高效处理。

流水线需要完成的任务包括：

1. IP分组的接收与头部的解析；
2. 分组合法性检查，包括IPv4分组头部校验和检查；
3. IPv4—IPv6地址转换；
4. IP分组头部转换，包括IPv4分组头部校验和计算；以及分片相关字段转换；
5. TCP以及UDP分组头部校验和的增量更新；
6. IP分组生成；
7. IP分组的路由选择与发送。

同时，本项目拟将复杂分组（即不满足上述类型、TTL以及帧长要求的分组，或后文特别指出的分组）转发至片内的RISC-V软核，由软件处理。

其中，IPv4—IPv6地址转换阶段拟采用FPGA上实现的硬件转换表作为缓存，加速转换，当缓存缺失时作为复杂分组处理，并填充缓存。IP分组的路由选择阶段拟采用类似的硬件转换表缓存方法。

1. **项目时间进度安排表**

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| **周次** | **任务** |  | **周次** | **任务** |
| 3 | 完成以太帧收发 |  | 11 | 完成地址转换规则的软件开发工作 |
| 4~5 | 完成基本流水线实现 |  | 12~13 | 完成路由表缓存及对应软件的开发 |
| 6~7 | 完成RISC-V软核搭建与适配 |  | 14 | 功能集成测试 |
| 8 | 完成复杂分组转换的软件开发工作 |  | 15 | 性能测试 |
| 9~10 | 完成地址转换缓存及对应软件开发 |  | 15~16 | 完成项目文档 |