

Unit 8

——Latches and Flip-Flops

张彦航

School of Computer Science Zhangyanhang@hit.edu.cn

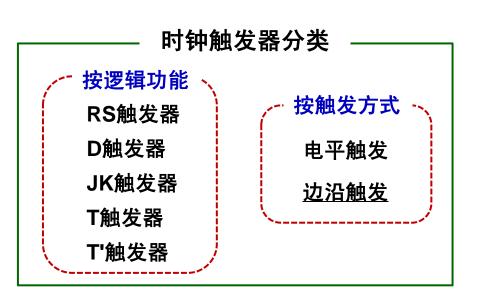
8.2 边沿触发器

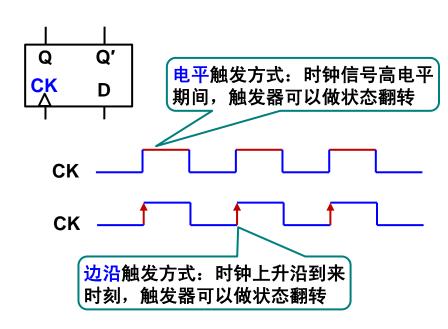
- D触发器
- RS触发器
- JK锁存器
- T触发器
- T′ 触发器

1. 触发器的分类

时钟触发器

- •受时钟脉冲(用CP或CK表示)控制的触发器称作时钟触发器。
- •时钟也称同步信号。将多个触发器的时钟端相连,可以控制它们同一时刻动作。
- •触发方式有电平触发和边沿触发两种

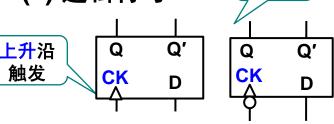




2. 边沿触发器—— D触发器



(1) 逻辑符号



(2) 功能表 (上升沿为例)

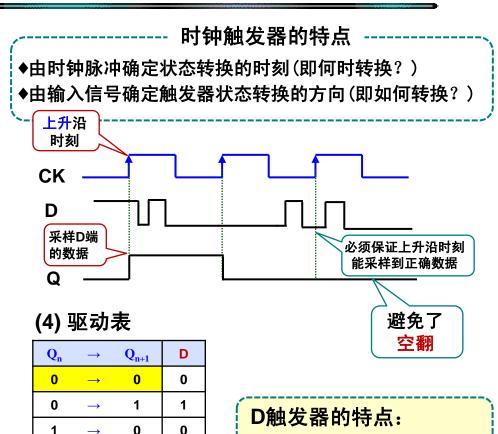
时钟端 CK	输入站 D	端 现态 Q _n	欠态 Q _{n+1}	
1	0	0	0	
†	0	1	0	
†	1	0	1	
<u>†</u>	1	1	1	

(3) 次态方程

 $Q^{n+1} = D$

下降沿

触发

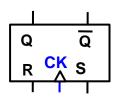


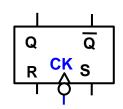
最简单,应用最广

2. 边沿触发器—— RS触发器

■RS 触发器

(1) 逻辑符号





(3) 次态方程

$$Q_{n+1} = S + R\overline{Q}_n$$

SR = 0 (约束条件)

(2) 功能表(上升沿)

时钟端 CK	输入端 R	输入端 S	现态 Q _n	次态 Q _{n+1}
†	0	0	0	0
†	0	0	1	1
†	0	1	0	1
+	0	1	1	1
†	1	0	0	0
<u>†</u>	1	0	1	0
†	1	1	0	_
†	1	1	1	_

(4) 驱动表

Q _n	\rightarrow	Q_{n+1}	R	S
0	\rightarrow	0	Х	0
0	\rightarrow	1	0	1
1	\rightarrow	0	1	0
1	\rightarrow	1	0	X

驱动表可以从触发 器功能推导出来

输入存 在约束

RS触发器:输入存在约束

D触发器: 没有约束,但是只有

一个输入端

2. 边沿触发器—— JK触发器

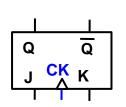
 $\overline{\mathsf{Q}}$

CK K

■JK 触发器

(1) 逻辑符号

(2) 功能表 (下降沿)

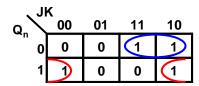


功能最全,输入没有约束

Q

(3) 次态方程

 $Q_{n+1} = J \overline{Q}_n + \overline{K} Q_n$



				. / λ
输入端 J	输入端 K	现态 Q _n	次态 Q _{n+1}	
0	0	0	0	保持
0	0	1	1	נינאא
0	1	0	0	置 0
0	1	1	0	
1	0	0	1	置 1
1	0	1	1	
1	1	0	1	翻转
1_	1	1	0	田分子々
	0 0 0 0 1 1	J K 0 0 0 0 0 1 0 1 1 0 1 0	J K Q _n 0 0 0 0 1 0 1 0 0 1 1 1 0 0 1 0 1	0 0 0 0 0 0 1 1 0 1 0 0 0 1 1 0 1 0 0 1 1 0 1 1 1 1 0 1

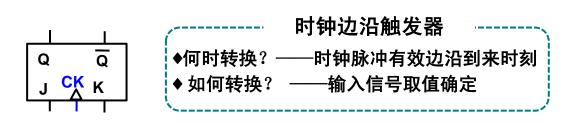
輸入端 次态 Q_{n+1} の 0 Q_n の 1 の 1 1 1 Q_n

(4) 驱动表

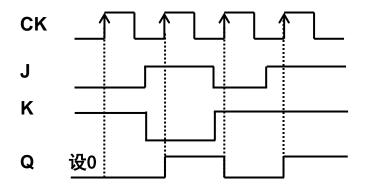
Q _n	\rightarrow	Q_{n+1}	7	K
0	\rightarrow	0	0	Х
0	\rightarrow	1	[1	X
1	\rightarrow	0	Х	1
1	\rightarrow	1	Х	0

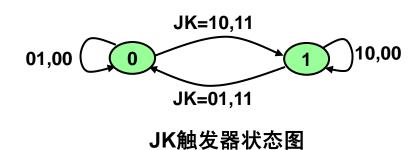
跟异或门 很象嘛!

2. 边沿触发器—— JK触发器



输入	次态 Q _{n+1}	
7	K	Q _{n+1}
0	0	\mathbf{Q}_{n}
0	1	0
1	0	1
1	1	Q _n

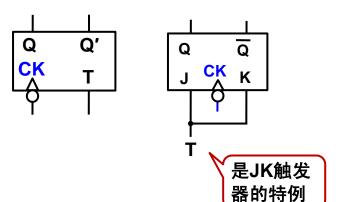




2. 边沿触发器—— T触发器

■T触发器

(1) 逻辑符号



(2) 功能表 (下降沿)

时钟端 CK	输入端 T	现态 Q _n	次态 Q _{n+1}
+	0	0	0
+	0	1	1
+	1	0	1
 	1	1	0

7	
输入端 T	次态 Q _{n+1}
0	Qn
1	$\overline{\mathbf{Q}}_{n}$

翻转

保持

(3) 次态方程

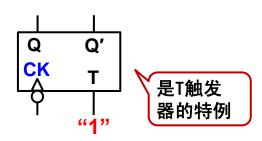
$$Q_{n+1} = J \overline{Q}_n + \overline{K} Q_n$$

$$Q_{n+1} = T \overline{Q}_n + T \overline{Q}_n$$
$$= T \oplus Q_n$$

2. 边沿触发器—— T'触发器

■ T' 触发器

(1) 逻辑符号



(3) 次态方程

$$Q_{n+1} = J \overline{Q}_n + \overline{K} Q_n$$

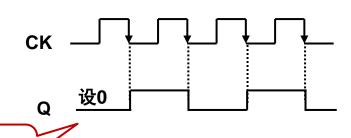
$$IF J=K=T=1$$

$$Q_{n+1} = \overline{Q}_n$$

(2) 功能表(下降沿)

时钟端 CK	输入端 T	现态 Q _n	次态 Q _{n+1}
↓	1	0	1
↓	1	1	0

(4) 波形分析



- 计数
- ・二分频

2. 边沿触发器—— 总结

时钟边沿触发器的特点

- ◆由时钟脉冲边沿确定状态转换的时刻(即何时转换?),其余时刻都是保持功能
- ◆ 由输入信号确定触发器状态转换的方向(即如何转换?)



思考:对于一个下降沿触发的JK触发器,如果让它实现保持功能,有几种方法可以做到?

♦ 方法1:

最简单的方法:不给有效的时钟边沿(此时不用考虑J端和K端的信号)

方法

♦ 方法2:

给时钟下降沿,此时触发器的保持功能就必须依靠J端和K端的信号配合才能完成

8.2 边沿触发器

- D触发器
- RS触发器
- JK锁存器
- T触发器
- T′ 触发器