

# Unit 12

——Design Sequential Circuits with Flip Flops 张彦航

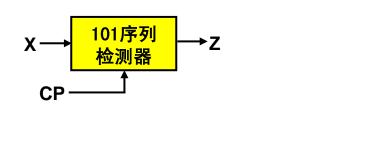
School of Computer Science Zhangyanhang@hit.edu.cn

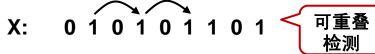
## 利用触发器设计时序逻辑\_构造原始状态图和状态表

### 利用触发器设计时序逻辑的方法

- (1) 根据需求 → 获得原始状态图、状态表
- (2) 最小化状态图、状态表
- (3) 状态编码(分配)→ 获得状态转移表
- (4) 状态转移表 触发器特征 → 触发器激励表
- (5) 卡诺图化简 → ∫ 激励(输入)函数表达式 输出函数表达式
- (6) 电路实现 (7) 检查无关项

例3: 序列检测——给出同步Mealy型101序列检测器的状态表





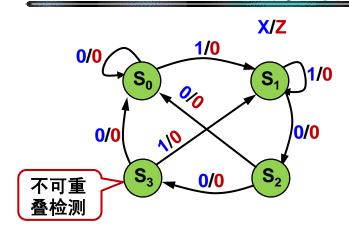
X: 0 1 0 1 0 1 0 1 1 不可重 Z: 0 0 0 1 0 0 0 1 0

#### (1) 状态设定

 $S_0$ —初始状态,表示收到1位数据: 只标记感兴 −表示收到1位数据: 趣的子串

-表示收到2位数据: "10"

S<sub>3</sub>——表示收到3位数据: "101",此时输出标志 Z=1.



	X/Z	
0/0	1/0	<b>7.</b>
$(S_0)$	0/0 S <sub>1</sub>	<u>)1/0</u>
1		)
0/0	10	<mark>/0/0</mark>
$S_3$	0/0 (S <sub>2</sub>	可重叠 检测
3	0/0	检测

现态	Q <sup>n+1</sup> / Z	
Qn	X=0	X=1
S <sub>0</sub>	S <sub>0</sub> /0	S <sub>1</sub> / 0
S <sub>1</sub>	S <sub>2</sub> / 0	S <sub>1</sub> /0
S <sub>2</sub>	S <sub>0</sub> /0	S <sub>3</sub> / 1
S <sub>3</sub>	S <sub>0</sub> /0	S <sub>1</sub> / 0

现态	Q <sup>n+1</sup> / Z	
Qn	X=0	X=1
S <sub>0</sub>	S <sub>0</sub> /0	S <sub>1</sub> / 0
S <sub>1</sub>	S <sub>2</sub> / 0	S <sub>1</sub> /0
S <sub>2</sub>	S <sub>0</sub> /0	S <sub>3</sub> / 1
S <sub>3</sub>	S <sub>2</sub> /0	S <sub>1</sub> /0

## 序列检测的原始状态图构造方法总结 ------

- (1)检测器输入端收到1位数据时,有两种可能: 0或1,分别用  $S_0$ 和 $S_1$ 标记这两个状态,通常用 $S_0$ 表示初始状态。
- (2) 收到2位数据时,只标记我们感兴趣的子串,用 $S_2$ 表示(例如 10)
- (3) 同理,收到3位数据时,只标记我们感兴趣的子串,用S<sub>3</sub>表示(例如 101)……,直到把我们感兴趣的完整子串也已标记为止。
- (4) 从初始状态开始,采用直接构图法,将每一个当前状态在 所有取值下的次态转换及输出情况已都考虑到,并且没有 遗漏为止。