

数字世界精彩无限

Unit 7

— Multiplexers and Decoders

张彦航

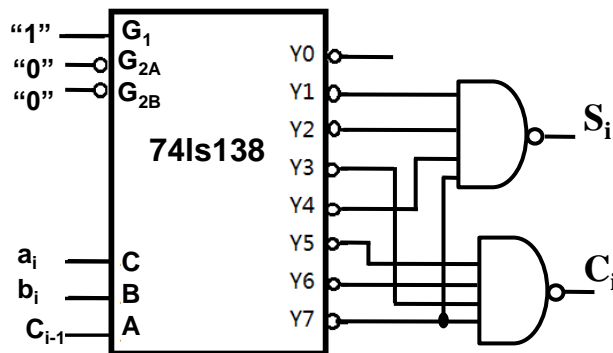
School of Computer Science
Zhangyanhang@hit.edu.cn

7.6 利用中规模译码器芯片设计组合逻辑电路

例：利用 74LS138 设计1位全加器

真值表

a_i	b_i	C_{i-1}	S_i	C_i
0	0	0	0	0
0	0	1	1	0
0	1	0	1	0
0	1	1	0	1
1	0	0	1	0
1	0	1	0	1
1	1	0	0	1
1	1	1	1	1



74138功能表

使能端			输入			译码输出							
G_1	G_{2A}	G_{2B}	C	B	A	Y_0	Y_1	Y_2	Y_3	Y_4	Y_5	Y_6	Y_7
0	X	X	X	X	X	1	1	1	1	1	1	1	1
X	1	X	X	X	X	1	1	1	1	1	1	1	1
X	X	1	X	X	X	1	1	1	1	1	1	1	1
1	0	0	0	0	0	0	1	1	1	1	1	1	1
1	0	0	0	0	1	1	0	1	1	1	1	1	1
1	0	0	0	1	0	1	1	0	1	1	1	1	1
1	0	0	0	1	1	1	1	1	0	1	1	1	1
1	0	0	1	0	0	1	1	1	1	0	1	1	1
1	0	0	1	0	1	1	1	1	1	1	0	1	1
1	0	0	1	1	0	1	1	1	1	1	1	0	1
1	0	0	1	1	1	1	1	1	1	1	1	1	0

$$S_i = \sum (1,2,4,7) = \overline{m_1} \overline{m_2} \overline{m_4} \overline{m_7}$$

$$y_i = \overline{m_i}$$

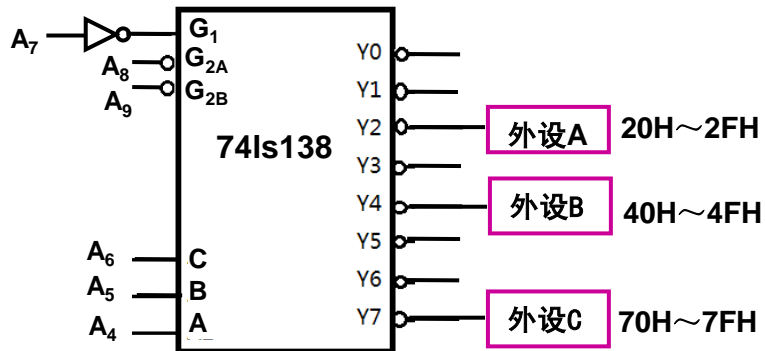
$$c_{i-1} = \sum (3,5,6,7) = \overline{m_3} \overline{m_5} \overline{m_6} \overline{m_7}$$

7.6 利用中规模译码器芯片设计组合逻辑电路

例：设计一个地址译码器，利用地址线 $A_9 A_8 \dots A_0$ 选择外设 A, B, C。
三个外设的地址分别是20H~2FH, 40H~4FH, 70H~7FH

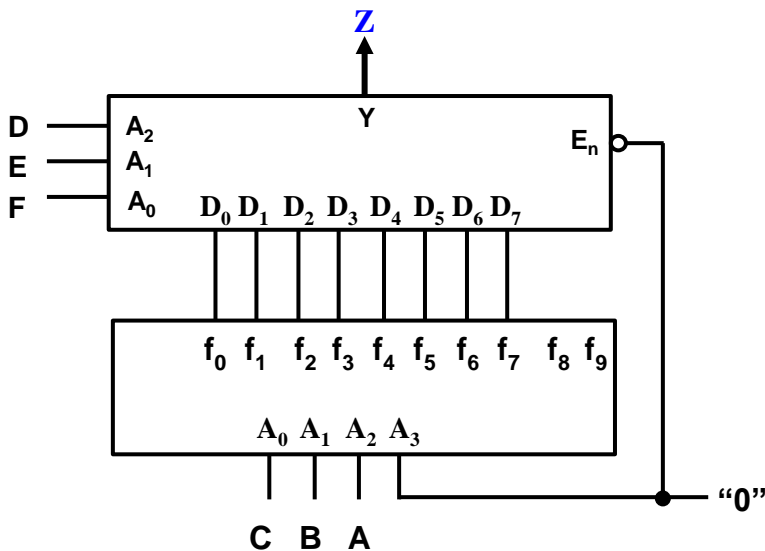
设备	A_9	A_8	A_7	A_6	A_5	A_4	A_3	A_2	A_1	A_0
A	0	0	0	0	1	0	⋯	⋯	⋯	⋯
B	0	0	0	1	0	0	⋯	⋯	⋯	⋯
C	0	0	0	1	1	1	⋯	⋯	⋯	⋯

3线-8线译码器



7.6 利用中规模译码器芯片设计组合逻辑电路

例：利用 8选1 数据选择器及 4线-10线译码器设计一个能实现2组 3位二进制数码等值比较的电路。



8选1 数据选择器

使能端	控制端			输出
E_n	A_2	A_1	A_0	Y
1	X	X	X	0
0	0	0	0	D_0
0	0	0	1	D_1
0	0	1	0	D_2
0	0	1	1	D_3
0	1	0	0	D_4
0	1	0	1	D_5
0	1	1	0	D_6
0	1	1	1	D_7

4线-10线译码器

[illegible]