

数字世界精彩无限

# Unit 6

## ——组合逻辑电路设计

张彦航

School of Computer Science  
Zhangyanhang@hit.edu.cn

# 6.1 组合逻辑电路中的险象

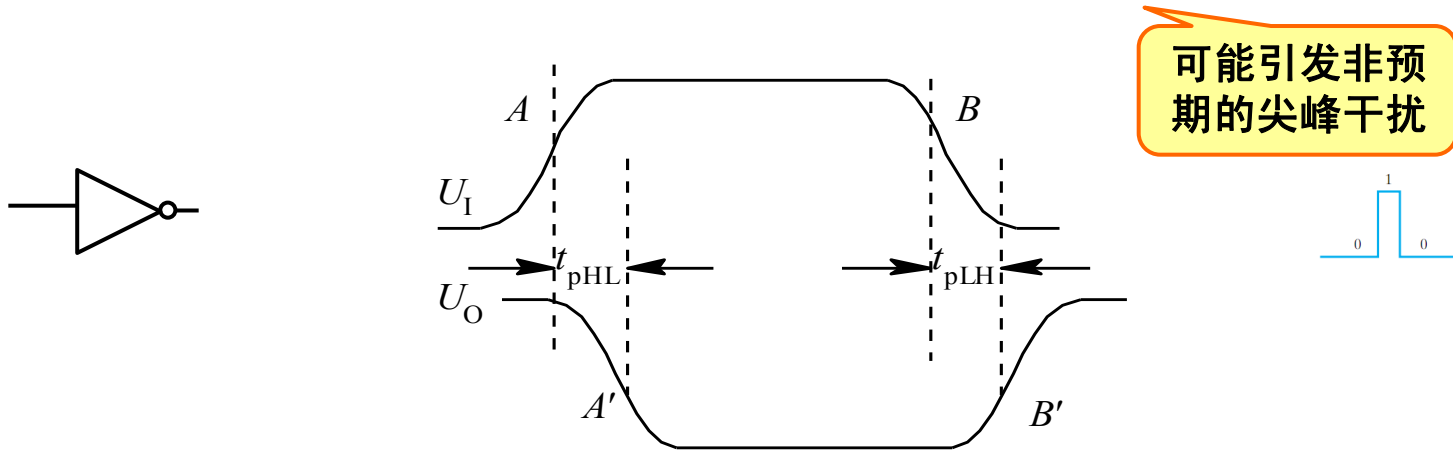
---

- 门延迟
- 逻辑冒险
- 险象的分类

# 6.1 组合逻辑电路中的险象

## 1. 门延迟

当输入发生变化，逻辑门的输出不会同步发生改变



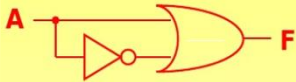
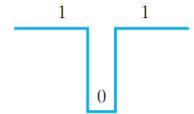
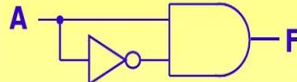
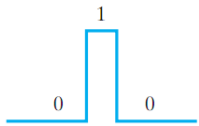
- 对于组合逻辑电路, 多数情况下可以忽略门的延迟.
- 但是, 门的延迟对时序电路的影响不容忽视

# 6.1 组合逻辑电路中的险象

## 2. 逻辑冒险

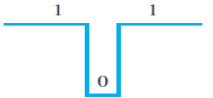
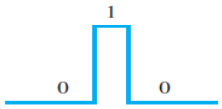
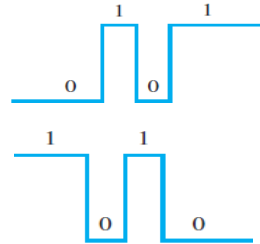
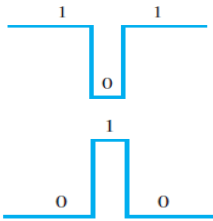
当一个逻辑门的两个输入端的信号同时向相反方向变化，  
则该电路存在**竞争**。

两路信号到达逻辑门的时间存在差异。

存在竞争的电路	险象
	
	

逻辑门因输入端的竞争而导致输出了不应有的尖峰干扰脉冲（又称过渡干扰脉冲）称为**冒险**。

### 3. 险象的分类

险象类型	概念		输出波形
■ 静态冒险	输入信号发生一次变化只引起一个错误信号脉冲	■ 静态1冒险	
		■ 静态0冒险	
■ 动态冒险	输入信号发生一次改变引起多个错误信号脉冲		
■ 功能冒险	多个输入信号的变化不同步而产生的错误信号脉冲		

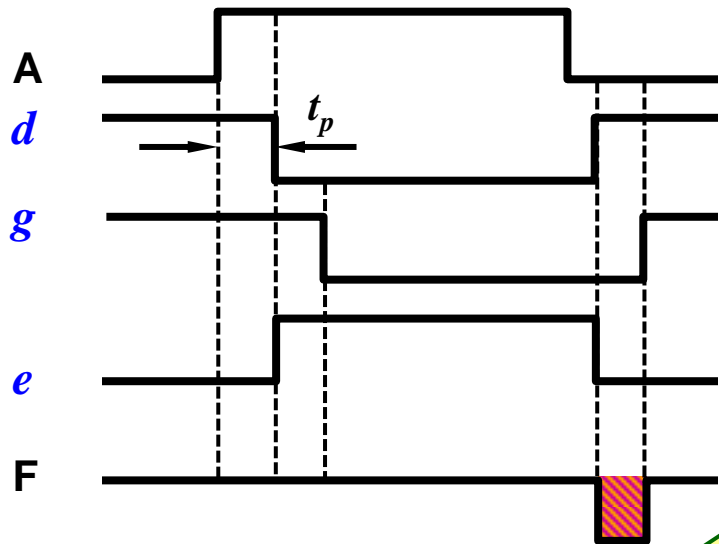
# 6.1 组合逻辑电路中的险象

## ■ 静态冒险

$$F = AB + \bar{A}C$$

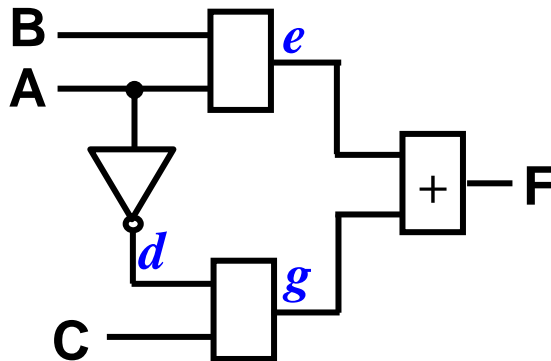
理论上

$$\text{if } B = C = 1 \Rightarrow F = A + \bar{A} = 1$$



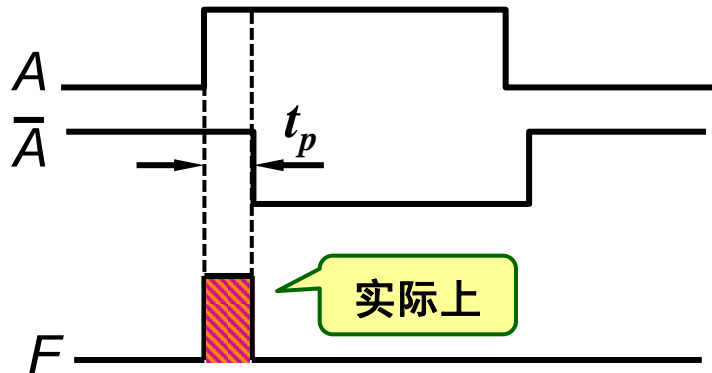
实际上

静态1冒险



# 6.1 组合逻辑电路中的险象

## ■ 静态冒险



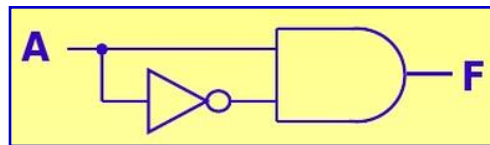
静态0冒险

$$F = (A+B)(\bar{A}+C)$$

if  $B=C=0$

理论上

then  $F = A\bar{A} = 0$





# 6.1 组合逻辑电路中的险象

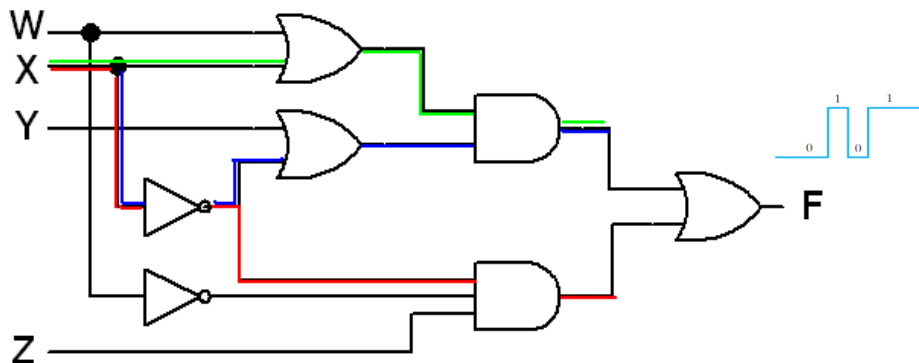
## ■ 动态冒险

- 通常发生在多级电路情况下
- 不同的路径有不同的传输延迟
- 当输入发生一次变化，输出将发生多次变化。

$$F=(W+X)(Y+X')+ZW'X'$$

if  $WYZ=001$ ,  $F=X'$

from X to F: 存在3条路径

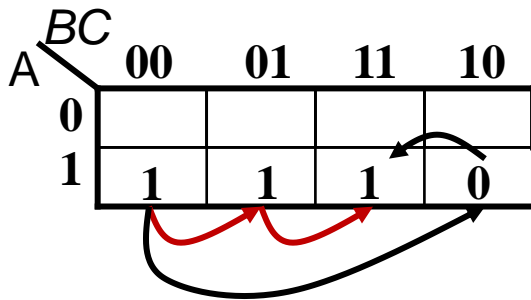


# 6.1 组合逻辑电路中的险象

## ■ 功能冒险

多个输入信号同时改变，因速度不同产生错误信号脉冲

$$F(100) = F(111) = 1$$



初值 过渡值 终值

C 较快: 100 → 101 → 111

B 较快: 100 → 110 → 111

F值

1 → 1 → 1

1 → 0 → 1

静态1冒险

BC: 00 → 11

真值表

A	B	C	F
0	0	0	0
0	0	1	0
0	1	0	0
0	1	1	1
1	0	0	1
1	0	1	1
1	1	0	0
1	1	1	1

# 6.1 组合逻辑电路中的险象

---

- 门延迟
- 逻辑冒险
- 险象的分类