

数字世界精彩无限

Unit 6

——组合逻辑电路设计

张彦航

School of Computer Science
Zhangyanhang@hit.edu.cn

6.2 险象的判断及消除

- 险象的判断
 - 代数法
 - 卡诺图法
- 险象的消除

6.2 险象的判断及消除

1. 险象的判断——代数法

检查表达式中是否存在某个变量 X ，它同时以原变量和反变量的形式出现；并能在特定条件下简化成下面形式之一：

■ $X + \bar{X}$

■ $X \cdot \bar{X}$

例：判断逻辑电路是否存在险象？

$$F = \bar{A}\bar{C} + \bar{A}B + AC$$

检查变量 A, C

C:

$$AB = 00$$

$$F = \bar{C}$$

$$AB = 01$$

$$F = 1$$

$$AB = 10$$

$$F = C$$

$$AB = 11$$

$$F = C$$

没有险象

6.2 险象的判断及消除

$$F = \bar{A}\bar{C} + \bar{A}B + AC$$

■ $X + \bar{X}$

■ $X \cdot \bar{X}$

A:

$BC = 00$	$F = \bar{A}$
$BC = 01$	$F = A$
$BC = 10$	$F = A$
$BC = 11$	$F = A + \bar{A}$

静态1冒险

A:

<u>$BC = 00$</u>	<u>$F = \bar{A}A$</u>
$BC = 01$	$F = A$
$BC = 10$	$F = 0$
$BC = 11$	$F = 1$

例：判断逻辑电路是否存在险象？

$$F = (A+B)(\bar{A}+C)(\bar{B}+C)$$

检查变量A, B

静态0冒险

B:

<u>$AC = 00$</u>	<u>$F = \bar{B}B$</u>
$AC = 01$	$F = B$
$AC = 10$	$F = 0$
$AC = 11$	$F = 1$

6.2 险象的判断及消除

2. 险象的判断——卡诺图法

- 化简后是否存在相切的卡诺圈

$$F = \bar{A}D + \bar{A}C + ABC$$

CD \ AB	00	01	11	10
00	0	1	1	1
01	0	1	1	1
11	1	1	0	0
10	0	0	0	0

$BCD=101$ 时, 存在险象

$$F = \bar{A}C + B\bar{C}$$

BC \ A	0	1	1	0
0	0	1	1	1
1	0	0	0	1

$AB=01$ 时, 存在险象

$$F = (\bar{A} + C)(B + \bar{C})$$

AB \ C	0	1	0	0
0	1	1	0	0
1	0	1	1	0

$AB=10$ 时, 存在险象

6.2 险象的判断及消除

3. 险象的消除

① 在切点处添加卡诺圈

AB \ CD	CD			
	00	01	11	10
00	0	1	1	1
01	0	1	1	1
11	1	1	0	0
10	0	0	0	0

BC	A			
	00	01	11	10
0	0	1	1	1
1	0	0	0	1

AB	C			
	00	01	11	10
0	1	1	0	0
1	0	1	1	0

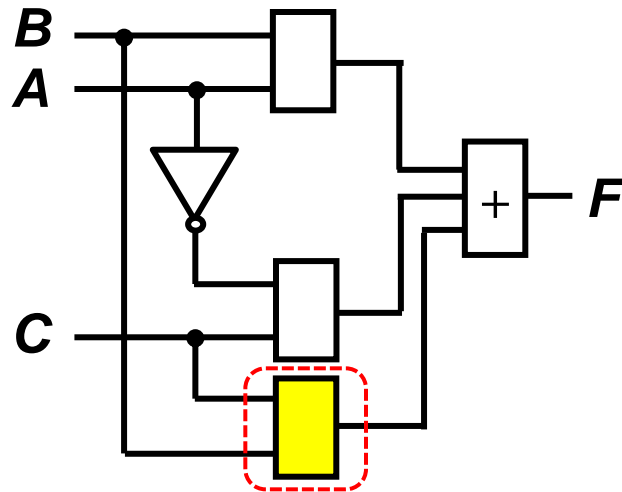
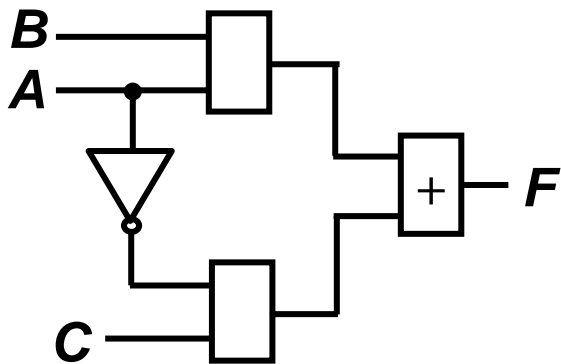
6.2 险象的判断及消除

② 添加冗余项

$$F = \bar{A}C + AB$$



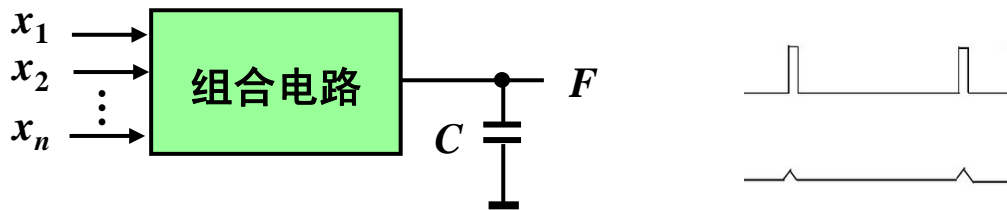
$$F = \bar{A}C + AB + \boxed{BC}$$



$BC=11$ 时，添加的与门会先一步到达输出门

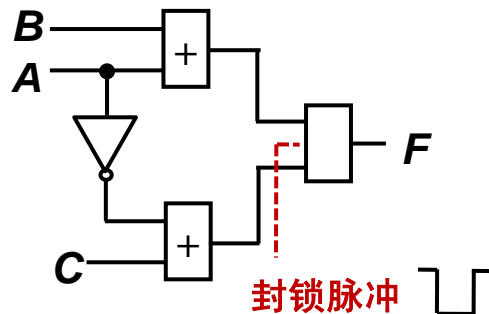
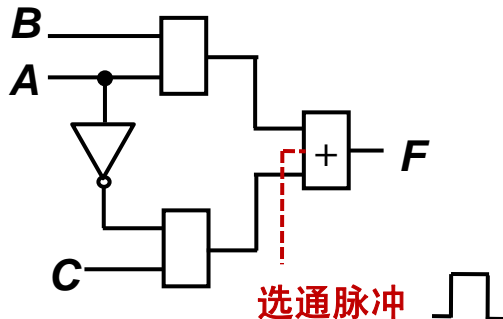
6.2 险象的判断及消除

③ 添加吸收电容



④ 加封锁/选通脉冲

FPGA设计
中常用



6.2 险象的判断及消除

- 险象的判断
 - 代数法
 - 卡诺图法
- 险象的消除