

Unit 11

——Design Sequential Circuits with MSI blocks

张彦航

School of Computer Science
Zhangyanhang@hit.edu.cn

序列信号发生器的设计

序列信号发生器：能循环产生一组特定的串行数字序列信号的电路。

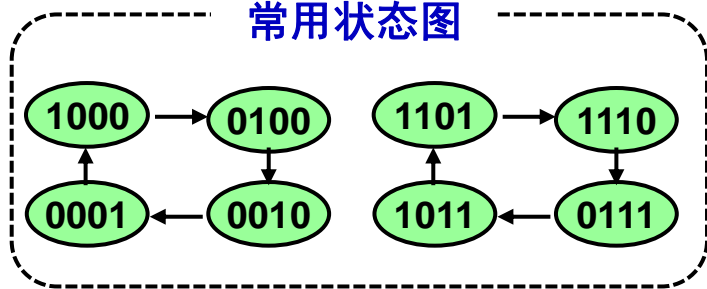
序列的长度：序列信号的位数。如：序列为00011，则序列长度为5。

序列状态之间很有规律

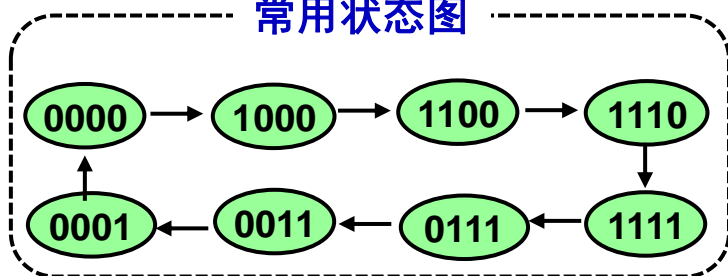
特殊类型

- 使用环形计数器设计
- 使用扭环计数器设计

常用状态图



常用状态图



序列信号发生器的设计

任意类型

- 使用**D触发器**设计
- 使用**计数器** + **数据选择器**设计；
- 用**移位寄存器** + **反馈电路**设计(逻辑门 or 译码器 or 数据选择器)
- 用**计数器** + **PROM**设计

大体思路：

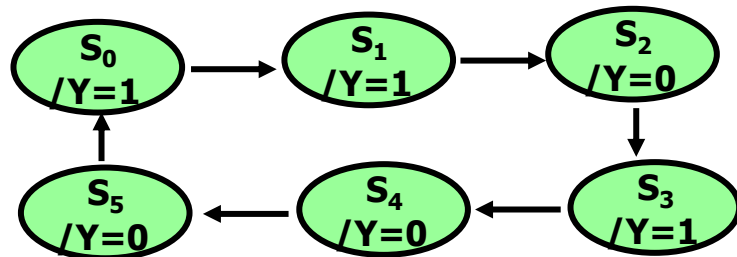
1. 实现序列信号一个周期之内的波形
2. 将此波形循环再现

例：用D触发器设计一个 110100 序列信号发生器

方法1：利用D触发器

- 序列信号长度为 L，则取 L 个不同的状态
- 每个状态下时序电路的输出就是序列信号中的一位。

1. 画状态转换图



时序电路的不同状态对应输出序列中的各位。

序列信号发生器的设计

2. 状态编码

S_0 — 000, S_3 — 011
 S_1 — 001, S_4 — 100
 S_2 — 010, S_5 — 101

3. 状态转换真值

$Q_2Q_1Q_0$	Q_2^{n+1}	Q_1^{n+1}	Q_0^{n+1}	Y
0 0 0	0	0	1	1
0 0 1	0	1	0	1
0 1 0	0	1	1	0
0 1 1	1	0	0	1
1 0 0	1	0	1	0
1 0 1	0	0	0	0

4. 卡诺图化简

Q_1Q_0		00	01	11	10
Q_2	0	1	0	0	1
	1	1	0	X	X

$$D_0 = Q_0'$$

Q_1Q_0		00	01	11	10
Q_2	0	0	0	1	0
	1	1	0	X	X

$$D_2 = Q_2Q_0' + Q_1Q_0$$

Q_1Q_0		00	01	11	10
Q_2	0	0	1	0	1
	1	0	0	0	X

$$D_1 = Q_2'Q_1'Q_0 + Q_1Q_0'$$

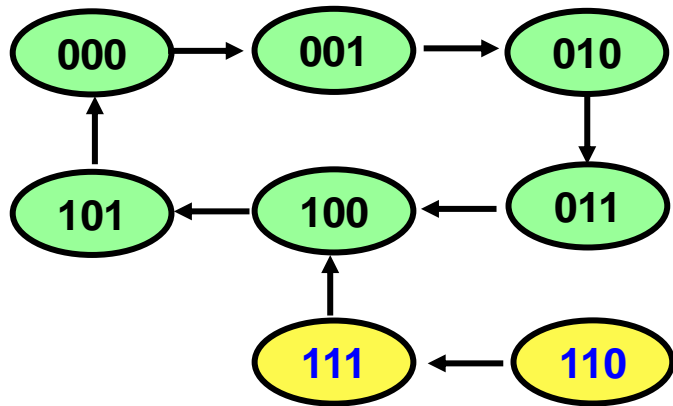
Q_1Q_0		00	01	11	10
Q_2	0	1	1	1	0
	1	0	0	X	X

$$Y = Q_2'Q_1' + Q_1Q_0$$

序列信号发生器的设计

5. 电路实现(略)

6. 检查无关项



时序电路可以
自启动。

方法1：利用D触发器

- 序列信号长度为 L ，则取 L 个不同的状态
- 每个状态下时序电路的输出就是序列信号中的一位。

序列信号发生器的设计

例：设计一个 110100 序列信号发生器

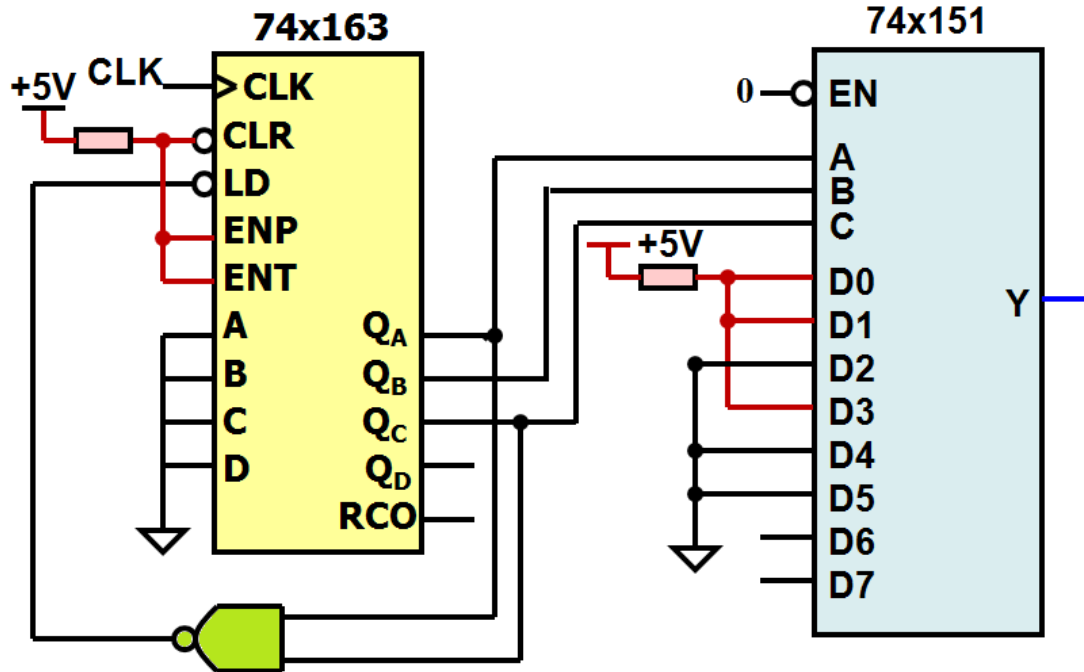
方法2： 利用计数器+数据选择器

大体思路：

1. 实现序列信号一个周期之内的波形
2. 循环再现

计数器+数据选择器
设计序列信号发生器的方法

- ❑ 数据选择器74151的输入 D_0 - D_5 接成110100。
- ❑ 74163接成模6加法计数器
- ❑ 计数器输出连接到数据选择器的选择控制端CBA，经过循环选择产生所需序列。



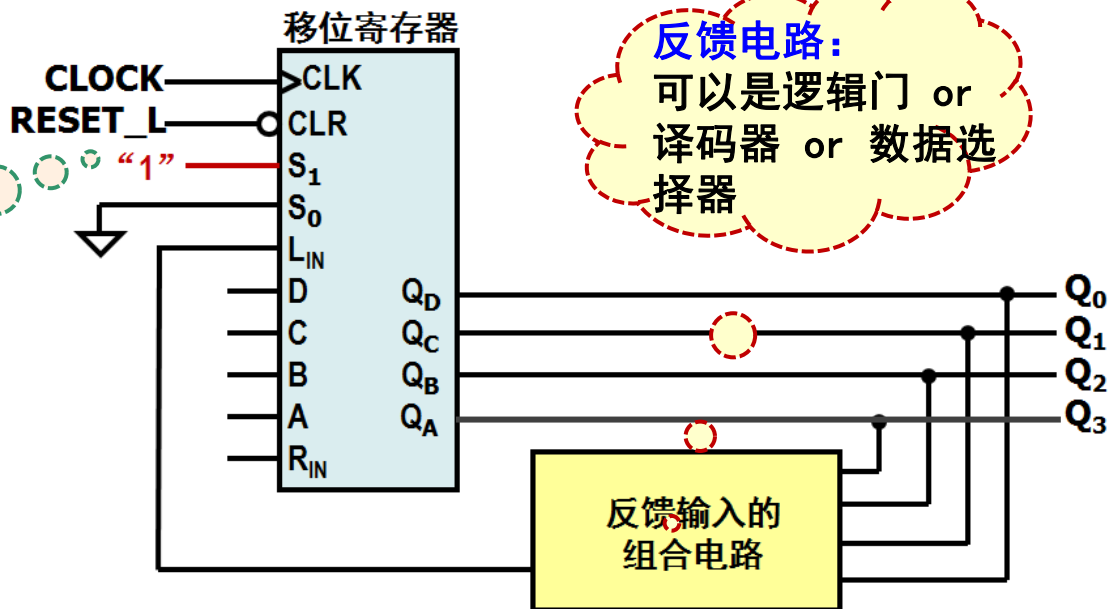
(置数归零法)

序列信号发生器的设计

例：设计一个 **00010111** 序列信号发生器

方法3： 移位寄存器+反馈电路设计（逻辑门 or 译码器 or 数据选择器）

原理： 寄存器设置为左移模式，利用反馈电路为左移串行输入端提供输入



序列信号发生器的设计

例：设计一个 **00010111** 序列信号发生器

方法3： 移位寄存器+反馈电路设计（逻辑门 or 译码器 or 数据选择器）

具体方法

□ 确定移位寄存器的位数。

序列信号长度为L，则移位寄存器的位数 n 应满足：

$$2^n \geq L$$

试探法： n 为满足条件的最小值，将序列数据循环左移，画状态图。检查状态图中所有L个状态是否两两不同，是，则 n 值可用；否则取 $n+1$ ，重复上述操作。

- 画状态转换表，确定左移时最低位输入的卡诺图，求出表达式。如果有无关项，检查电路的自启动能力
- 实现最低位反馈输入（逻辑门 or 译码器 or 数据选择器）
- 取移位寄存器的某位输出即为所要求的序列信号。

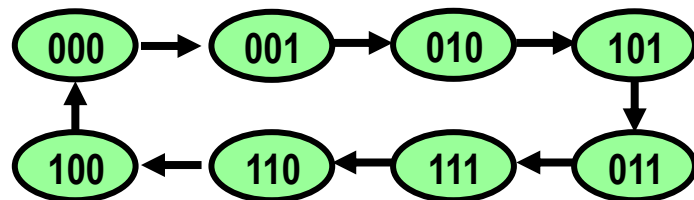
1. 确定移位寄存器位数

序列长度 $L=8$ ，则 $n=3$

2. 状态转换图

00010111

11000



用**74194**的低3位 $Q_B Q_C Q_D$ 输出

序列信号发生器的设计

例：设计一个 **00010111** 序列信号发生器

方法3： 移位寄存器+反馈电路设计

3. 状态转换真值表

$Q_B Q_C Q_D$	L_{IN}
0 0 0	1
0 0 1	0
0 1 0	1
1 0 1	1
0 1 1	1
1 1 1	0
1 1 0	0
1 0 0	0

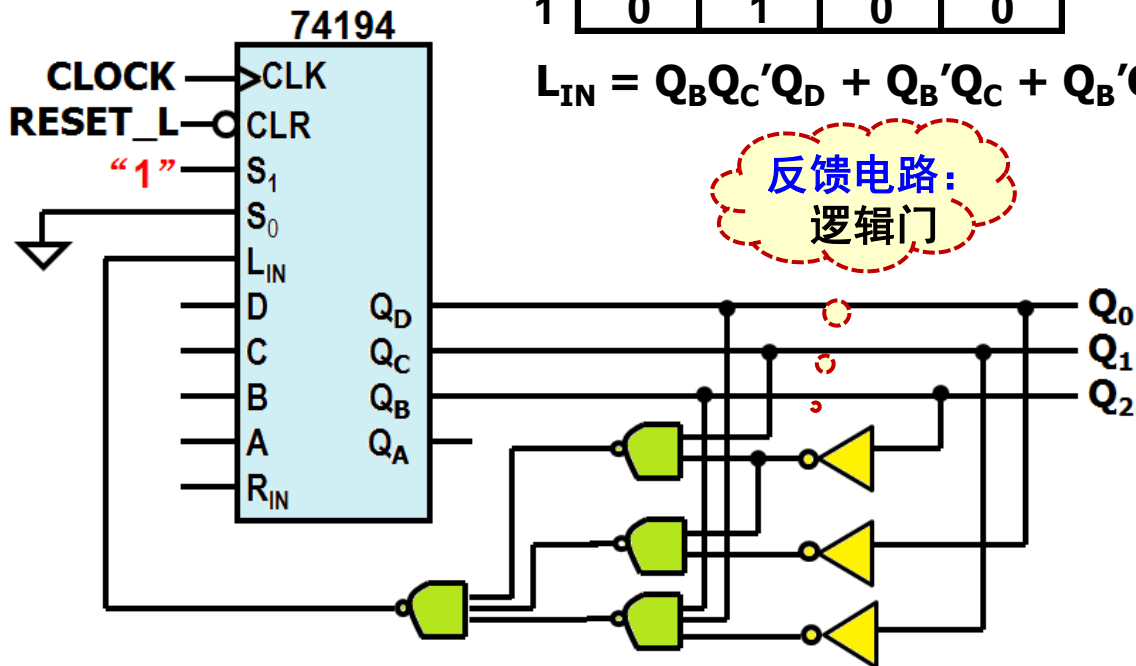
Q_B 输出即为
序列信号

4. 卡诺图化简

$Q_1 Q_0$	00	01	11	10
0	1	0	1	1
1	0	1	0	0

$$L_{IN} = Q_B Q_C' Q_D + Q_B' Q_C + Q_B' Q_D'$$

反馈电路：
逻辑门



序列信号发生器的设计

例：设计一个 **00010111** 序列信号发生器

1~4. 同上

方法3： 移位寄存器+反馈电路设计

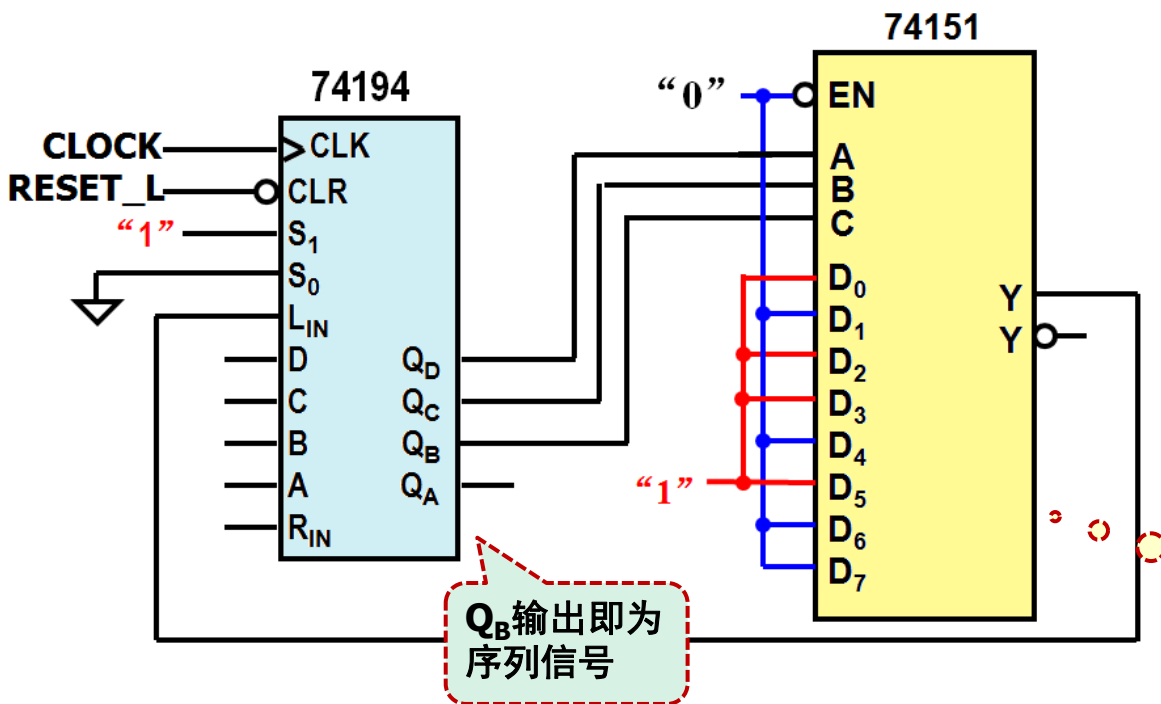
$$L_{IN} = Q_B Q_C' Q_D + Q_B' Q_C + Q_B' Q_D' \\ = \sum m(0, 2, 3, 5)$$

转换为最小项表达式

$Q_B Q_C Q_D$ 分别接74151的选择控制端CBA，则：

$$D_0 = D_2 = D_3 = D_5 = 1, \\ D_1 = D_4 = D_6 = D_7 = 0$$

反馈电路：
数据选择器



序列信号发生器的设计

例：设计一个 **00010111** 序列信号发生器 **1~4. 同上**

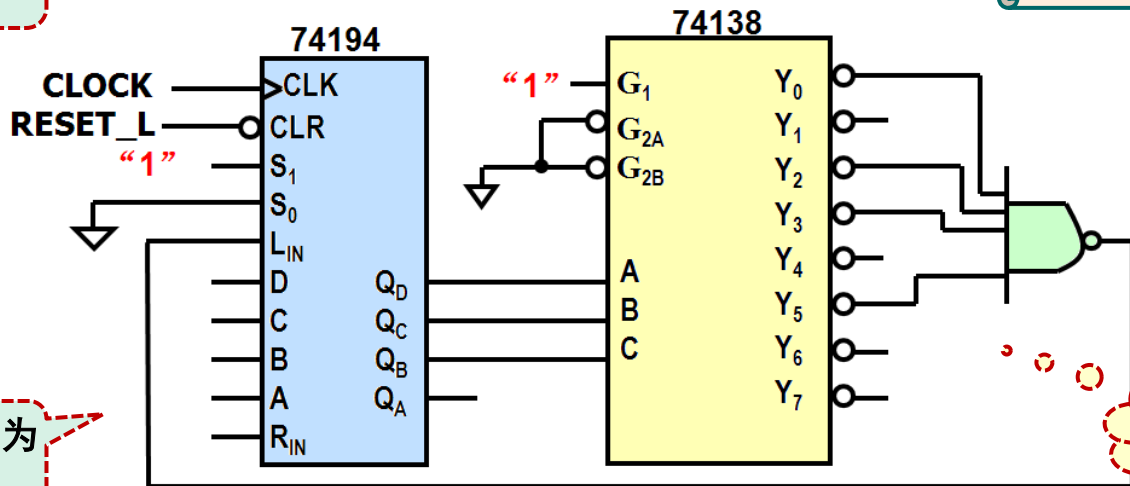
方法3：移位寄存器+反馈电路设计

$$L_{IN} = Q_B Q_C' Q_D' + Q_B' Q_C + Q_B' Q_D' \\ = \Sigma m(0, 2, 3, 5)$$

转换为**最小项**表达式

$Q_B Q_C Q_D$ 分别接74138的地址输入端CBA，则：

Y_0, Y_2, Y_3, Y_5 分别被译中时，反馈回1，否则反馈回0



Q_B 输出即为序列信号

反馈电路：
译码器

序列信号发生器设计方法总结

方法总结

特殊类型

- 使用环形计数器设计
- 使用扭环计数器设计

任意类型

- 使用D触发器设计
- 使用计数器 + 数据选择器设计；
- 用移位寄存器+反馈电路设计（逻辑门 or 译码器 or 数据选择器）
- 用计数器 + PROM设计