

Diadema, 28 de agosto de 2025

Heitor Santos Ferreira

heitor.santos.ferreira211203@gmail.com

***Projeto de um Sistema de Controle para uma Linha de
Produção utilizando um PLA***

São Paulo

2025

Índice

1.	Introdução	3
2.	Definição e fundamentação do problema	4
3.	Análise e Fundamento da Tabela Verdade do Sistema.....	5
4.	Expressões Booleanas das Ocorrências do sistema	8
5.	Matriz de interconexões PLA para o sistema	13
5.1.	Objetivo do circuito	16
5.2.	Entradas	17
5.3.	Funcionamento Lógico	18
5.4.	Estrutura do Circuito.....	19
5.5.	Saídas	21
5.3.1.	$A > B$	21
5.3.2.	$A < B$	21
5.3.4.	$A = B$	21
5.3.5.	Considerações de Temporização e Estabilidade	22
6.	Justificativa da Escolha do PLA para Aplicação Industrial	22
7.	Conclusão	23

1. Introdução

O presente projeto tem como objetivo o desenvolvimento e a implementação de uma solução lógica programável voltada para aplicações industriais que demandam controle preciso, confiável e adaptável de processos automatizados. Em um cenário cada vez mais orientado pela digitalização e pela integração de sistemas inteligentes, a adoção de dispositivos lógicos programáveis (PLDs) representa um avanço significativo na forma como operações industriais são concebidas, monitoradas e executadas.

A proposta central deste trabalho consiste na utilização de um PLA (Programmable Logic Array) como núcleo lógico da arquitetura de controle, em substituição a circuitos convencionais baseados em lógica fixa ou em microcontroladores de propósito geral. Essa escolha se fundamenta na necessidade de uma estrutura que permita a implementação direta de funções booleanas complexas, com alta previsibilidade temporal e baixa latência, características essenciais em ambientes industriais onde a resposta rápida e determinística é fator crítico para a segurança e a eficiência operacional.

O projeto foi desenvolvido com foco em uma aplicação específica que envolve a coordenação de múltiplos sensores e atuadores, exigindo lógica de intertravamento, verificação de estados e tomada de decisão em tempo real. A abordagem adotada contempla desde a modelagem das funções lógicas até a programação e simulação do PLA, garantindo que o sistema atenda aos requisitos funcionais e operacionais estabelecidos.

Além da viabilidade técnica, o projeto também considera aspectos como escalabilidade, facilidade de manutenção, redução de complexidade física e compatibilidade com padrões industriais. A solução proposta visa não apenas atender à demanda imediata da aplicação, mas também oferecer uma base sólida para futuras expansões e adaptações, alinhando-se às tendências de automação e controle inteligente que permeiam o setor industrial contemporâneo.

Dessa forma, este documento apresenta a fundamentação teórica, as etapas de desenvolvimento, os critérios de escolha tecnológica e os resultados obtidos,

consolidando uma proposta que alia rigor técnico, inovação e aplicabilidade prática no contexto da engenharia de controle digital.

2. Definição e fundamentação do problema

O avanço da automação industrial tem exigido soluções cada vez mais precisas, seguras e integradas para o controle de processos produtivos. No setor automotivo, onde a eficiência operacional e a confiabilidade dos sistemas são fatores críticos, a coordenação adequada das etapas de montagem representa um desafio técnico de elevada complexidade. Nesse contexto, o problema a ser solucionado neste projeto consiste no desenvolvimento de um módulo de controle lógico capaz de gerenciar, de forma sincronizada e segura, os diferentes estados de uma linha de montagem automatizada, com base em sinais provenientes de sensores distribuídos ao longo do processo.

A linha de produção em questão é composta por múltiplos estágios interdependentes, nos quais sensores digitais monitoram variáveis como presença de matéria-prima, posicionamento de peças, fim de curso de atuadores e temperatura crítica da estação de soldagem. A correta interpretação desses sinais é essencial para garantir que os atuadores — esteiras, braços robóticos, sistemas de soldagem e resfriamento — sejam acionados no momento exato, evitando falhas de montagem, riscos térmicos e interrupções no fluxo produtivo.

O problema central reside, portanto, na necessidade de implementar uma lógica de controle que seja capaz de processar simultaneamente cinco variáveis de entrada (S4, S3, S2, S1, S0) e gerar sete sinais de saída (A0 a A6), cada um responsável por uma ação específica no sistema. Essa lógica deve considerar não apenas as condições normais de operação, mas também cenários de exceção, como posicionamento incorreto de peças ou temperatura fora dos limites seguros, exigindo respostas rápidas e determinísticas para garantir a integridade do processo.

A solução proposta envolve a utilização de um PLA (Programmable Logic Array) como núcleo lógico do sistema, programado para armazenar e executar as funções booleanas que definem o comportamento das saídas em função das

combinações de entrada. Essa abordagem permite a implementação de uma lógica personalizada, compacta e altamente eficiente, capaz de ser embutida em um circuito de memória ROM, reduzindo a complexidade física do sistema e aumentando sua confiabilidade.

A escolha do PLA como tecnologia base responde diretamente à natureza do problema: trata-se de um dispositivo que oferece flexibilidade na definição das funções lógicas, previsibilidade temporal nas respostas e facilidade de reconfiguração, características indispensáveis em ambientes industriais dinâmicos e exigentes. Ao programar o PLA com base em uma tabela verdade abrangente e expressões booleanas otimizadas, o sistema será capaz de garantir a sincronização entre os estágios da linha de montagem, minimizar erros operacionais e assegurar que cada peça seja processada com precisão e segurança.

Em suma, o problema a ser solucionado envolve a criação de um sistema lógico robusto, capaz de traduzir sinais físicos em decisões digitais confiáveis, promovendo a integração inteligente entre sensores e atuadores em uma linha de produção automotiva. A abordagem adotada visa não apenas atender aos requisitos técnicos imediatos, mas também estabelecer uma base sólida para futuras expansões e melhorias no controle industrial.

3. Análise e Fundamento da Tabela Verdade do Sistema

A tabela verdade constitui um dos elementos fundamentais na concepção e validação de sistemas digitais, especialmente em projetos que envolvem dispositivos lógicos programáveis, como o PLA utilizado neste trabalho. Ela representa, de forma exaustiva e sistemática, todas as possíveis combinações de entradas do sistema e suas respectivas saídas, permitindo verificar a consistência lógica, a completude funcional e a aderência aos requisitos operacionais previamente definidos.

No contexto deste projeto, a tabela verdade foi elaborada com base nas condições de operação industrial que envolvem sensores digitais, atuadores e lógicas de intertravamento. Cada linha da tabela corresponde a um estado

distinto do sistema, definido por uma combinação binária das variáveis de entrada, como presença de sinal, temperatura, pressão, ou estado de operação de um equipamento. As saídas, por sua vez, refletem as ações esperadas do sistema, como ativação de motores, liberação de válvulas, sinalização de alerta ou bloqueio de operação.

A construção da tabela verdade seguiu critérios rigorosos de modelagem lógica, assegurando que todas as situações relevantes fossem contempladas, inclusive aquelas que representam estados inválidos ou de falha. Para esses casos, foram definidas saídas de segurança, como desativação de componentes críticos ou acionamento de protocolos de emergência, reforçando o compromisso do projeto com a confiabilidade e a integridade operacional.

Além de servir como base para a programação do PLA, a tabela verdade também desempenha papel essencial na fase de simulação e verificação do sistema. Por meio dela, foi possível validar o comportamento lógico do circuito em ambiente virtual, identificar possíveis redundâncias ou conflitos de lógica, e realizar ajustes finos na arquitetura de interconexões do dispositivo programável. Essa etapa garantiu que o sistema respondesse de forma determinística e previsível a todas as condições de entrada, conforme os parâmetros exigidos pela aplicação industrial.

Outro aspecto relevante é a escalabilidade da tabela verdade. Embora o número de combinações cresça exponencialmente com o aumento de variáveis de entrada, a estrutura lógica adotada permite modularidade e segmentação, facilitando a manutenção e a expansão futura do sistema. Isso é particularmente importante em ambientes industriais dinâmicos, onde novos sensores ou funções podem ser incorporados sem comprometer a lógica existente.

Em síntese, a tabela verdade elaborada para este projeto não apenas cumpre sua função técnica de representar o comportamento lógico do sistema, mas também se configura como um instrumento estratégico de validação, segurança e evolução tecnológica. Sua precisão e abrangência refletem o rigor metodológico adotado ao longo do desenvolvimento, consolidando uma solução digital robusta, confiável e alinhada às exigências do setor industrial.

Tabela 1 – Tabela verdade do sistema proposto

Tabela verdade												
Entradas					Saídas							
S4	S3	S2	S1	S0	A0	A1	A2	A3	A4	A5	A6	
0	0	0	0	0	0	0	0	0	0	0	0	0
0	0	0	0	1	0	0	0	0	0	1	0	0
0	0	0	1	0	0	0	1	0	0	0	0	0
0	0	0	1	1	0	0	1	0	0	1	0	0
0	0	1	0	0	0	0	0	0	0	0	0	0
0	0	1	0	1	0	0	0	0	0	1	0	0
0	0	1	1	0	0	0	0	1	0	0	0	0
0	0	1	1	1	0	0	0	1	1	1	0	0
0	1	0	0	0	0	1	0	0	0	0	0	0
0	1	0	0	1	0	1	0	0	0	1	0	0
0	1	0	1	1	0	1	1	0	0	0	1	0
0	1	1	0	0	0	1	0	0	0	0	0	0
0	1	1	0	1	0	1	0	0	0	1	0	0
0	1	1	1	0	0	1	0	1	0	0	0	0
0	1	1	1	1	0	1	0	1	1	1	0	0
1	0	0	0	0	1	0	0	0	0	0	0	0
1	0	0	0	1	1	0	0	0	0	1	0	0
1	0	0	1	0	1	0	1	0	0	0	0	0
1	0	0	1	1	1	0	1	0	0	1	0	0
1	0	1	0	0	1	0	0	0	0	1	0	0
1	0	1	0	1	1	0	0	0	0	0	0	0
1	0	1	1	0	1	0	0	1	0	0	0	0
1	0	1	1	1	1	0	0	1	1	1	0	0
1	1	0	0	0	1	1	0	0	0	0	0	0
1	1	0	0	1	1	1	0	0	0	1	0	0
1	1	0	1	0	1	1	0	0	0	0	0	0
1	1	0	1	1	1	1	0	0	0	0	0	0
1	1	1	0	0	1	1	1	0	0	0	1	0
1	1	1	0	1	1	1	1	0	0	0	0	0
1	1	1	1	0	1	1	1	0	0	1	0	0
1	1	1	1	1	1	1	1	0	0	0	0	0
1	1	1	1	0	0	1	0	0	0	0	0	0
1	1	1	1	1	1	1	0	0	0	1	0	0
1	1	1	1	0	1	1	0	1	0	0	0	1

Fonte: Autoria própria, 2025.

4. Expressões Booleanas das Ocorrências do sistema

A formulação das expressões booleanas representa uma etapa central no desenvolvimento de sistemas digitais, especialmente em projetos que envolvem dispositivos lógicos programáveis como o PLA adotado neste trabalho. Essas expressões constituem a tradução matemática das condições operacionais do sistema, permitindo que comportamentos físicos sejam representados por relações lógicas precisas e manipuláveis.

No contexto da aplicação industrial proposta, as expressões booleanas foram construídas com base na análise da tabela verdade previamente definida, contemplando todas as combinações relevantes de entradas e suas respectivas saídas. Cada expressão foi elaborada com o objetivo de refletir fielmente os requisitos funcionais do sistema, como intertravamentos, permissividade de operação, sinalizações de alerta e comandos de ativação ou bloqueio de dispositivos. A lógica implementada considera não apenas os estados normais de operação, mas também situações de exceção e contingência, assegurando que o sistema responda de forma segura e determinística a qualquer condição de entrada.

A construção dessas expressões exigiu rigor metodológico e domínio das propriedades algébricas da lógica booleana, como as leis de De Morgan, distributividade, absorção e simplificação. Tais técnicas foram aplicadas para otimizar as equações, reduzindo o número de termos e, consequentemente, a complexidade do circuito implementado no PLA. Essa otimização é essencial em ambientes industriais, onde a eficiência do processamento lógico impacta diretamente na velocidade de resposta, no consumo energético e na confiabilidade do sistema.

Além disso, as expressões booleanas servem como base para a programação do dispositivo lógico, sendo convertidas em configurações específicas de interconexão entre as matrizes de portas AND e OR do PLA. Essa etapa garante que o comportamento lógico desejado seja fielmente reproduzido no hardware, permitindo que o sistema funcione conforme projetado, sem desvios ou ambiguidade.

Portanto, a seção a seguir apresenta detalhadamente as expressões booleanas desenvolvidas, acompanhadas de suas respectivas justificativas e simplificações. Essa documentação não apenas valida a lógica implementada, mas também oferece transparência e rastreabilidade ao projeto, facilitando futuras manutenções, expansões ou auditorias técnicas.

- $A0 = S4$

A ativação da saída digital A0 está diretamente condicionada ao estado lógico do sensor de entrada S4, responsável por detectar a presença de matéria-prima na esteira. Essa relação estabelece uma lógica de controle simples e eficiente, na qual a esteira transportadora é acionada automaticamente sempre que há material disponível para processamento.

Do ponto de vista funcional, essa configuração garante que o sistema opere de forma sincronizada com a demanda real da produção, evitando o funcionamento em vazio e promovendo maior economia de energia e preservação dos componentes mecânicos. Além disso, a lógica direta entre entrada e saída facilita a implementação em controladores lógicos programáveis (CLPs), contribuindo para a confiabilidade e previsibilidade do processo.

Em resumo, a expressão **A0 = S4** representa uma estratégia de automação que prioriza a eficiência operacional, a segurança do sistema e a simplicidade na arquitetura de controle.

- $A1 = S3$

A saída digital A1 é ativada com base no estado lógico do sensor de entrada S3, que tem como função detectar a presença de uma peça posicionada corretamente para o próximo estágio do processo. Essa relação direta entre entrada e saída estabelece uma lógica de controle objetiva, na qual o atuador correspondente à saída A1 — que pode representar, por exemplo, um cilindro de avanço ou um sistema de fixação — é acionado automaticamente sempre que o sensor S3 identifica a peça em sua posição de trabalho.

Essa configuração garante que o sistema opere de forma sincronizada e segura, evitando acionamentos prematuros ou em vazio. Ao depender exclusivamente da confirmação do sensor S3, o controle assegura que o processo só avance quando as condições físicas estiverem devidamente atendidas, promovendo maior confiabilidade e precisão na operação.

Além disso, a simplicidade da lógica $A1 = S3$ facilita sua implementação em controladores lógicos programáveis (CLPs), contribuindo para a escalabilidade e manutenção do sistema. Trata-se de uma estratégia eficiente que reforça a integridade do fluxo produtivo e reduz a margem de erro operacional.

- $A2 = S1 \cdot \neg S2$

A lógica de controle representada por $A2 = S1 \cdot \neg S2$ estabelece uma condição composta para a ativação da saída digital A2, que neste caso corresponde ao disparo de um alarme. A expressão indica que o alarme será acionado somente quando o sensor S1 detectar que o robô chegou ao fim de curso e, simultaneamente, o sensor S2 não identificar a peça corretamente posicionada.

Essa estrutura lógica utiliza o operador AND (\cdot) para combinar duas condições simultâneas, e o operador de negação (\neg) para indicar a ausência de sinal em S2. Em termos funcionais, trata-se de uma verificação de erro operacional, onde o sistema identifica uma incongruência entre o avanço do robô e a posição da peça, sinalizando uma possível falha de alinhamento, obstrução ou erro de montagem.

A ativação da saída A2 nesse cenário é fundamental para garantir a segurança do processo, permitindo que o sistema interrompa ou alerte os operadores antes que ocorra uma ação incorreta, como a tentativa de manipular uma peça fora de posição. Além disso, essa lógica contribui para a robustez e confiabilidade do sistema automatizado, ao incorporar mecanismos de detecção de falhas e resposta imediata.

Em resumo, a expressão $A2 = S1 \cdot \neg S2$ representa uma estratégia de controle voltada à prevenção de erros operacionais, reforçando a integridade do processo produtivo por meio de uma lógica condicional precisa e eficaz.

- $A3 = S1 \cdot S2$

A saída digital A3 é ativada com base em uma condição composta representada pela expressão booleana $A3 = S1 \cdot S2$, que utiliza o operador lógico AND (\cdot) para indicar que dois requisitos devem ser simultaneamente satisfeitos para que o processo de soldagem seja iniciado. Especificamente, o sensor S1 deve indicar que o robô de montagem atingiu o fim de curso, sinalizando que a peça está posicionada para soldagem, e o sensor S2 deve confirmar que a peça encontra-se corretamente alinhada no estágio de trabalho.

Essa lógica garante que a soldagem só ocorra quando o sistema estiver em um estado seguro e operacionalmente válido, evitando falhas como soldagem fora de posição, danos à peça ou riscos ao equipamento. Ao exigir a simultaneidade dos sinais de S1 e S2, o controle reforça a integridade do processo, assegurando que a peça foi devidamente manipulada e está pronta para receber o tratamento térmico.

Do ponto de vista de automação industrial, essa expressão representa um intertravamento lógico, comum em sistemas críticos, onde múltiplas condições devem ser verificadas antes da execução de uma ação irreversível. Além disso, a simplicidade da expressão facilita sua implementação em dispositivos programáveis, como CLPs ou PLAs, mantendo a confiabilidade e a escalabilidade do sistema.

Em síntese, a lógica $A3 = S1 \cdot S2$ traduz uma etapa essencial do processo produtivo, condicionando a ativação da soldagem à verificação simultânea de posicionamento e prontidão mecânica, promovendo segurança, precisão e eficiência na operação.

- $A4 = S1 \cdot S2 \cdot S0$

A saída digital A4 é ativada quando três condições simultâneas são atendidas, conforme a expressão booleana $A4 = S1 \cdot S2 \cdot S0$. Isso significa que o robô deve

estar no fim de curso (S1), a peça precisa estar corretamente posicionada (S2), e a temperatura deve ter atingido um nível crítico (S0).

Somente com esses três sinais ativos ao mesmo tempo o sistema de resfriamento é acionado, garantindo que essa etapa ocorra de forma segura e eficiente, logo após o processo de soldagem. Essa lógica evita o acionamento prematuro do resfriamento e assegura que ele só ocorra quando realmente necessário, protegendo a integridade da peça e mantendo a confiabilidade do processo.

Trata-se de uma condição de controle típica em sistemas automatizados, onde múltiplos estados precisam ser verificados para garantir a sequência correta das operações. A expressão A4 representa, portanto, um ponto de transição crítico no ciclo produtivo, reforçando a segurança térmica e a precisão operacional.

- $A5 = S0$

A saída digital A5 é ativada diretamente pela condição representada pela expressão booleana $A5 = S0$. Isso significa que o acionamento ocorre sempre que o sensor S0 detecta uma situação específica — neste caso, uma temperatura crítica que exige resposta imediata do sistema.

Essa lógica estabelece uma relação direta entre o estado térmico da peça e a ativação de uma função associada à saída A5, que pode representar, por exemplo, um alarme, um sistema de ventilação ou qualquer outro mecanismo de controle térmico. Ao depender exclusivamente do sinal de S0, o sistema garante agilidade na resposta e simplicidade na implementação, sem exigir validação de outras variáveis.

Embora seja uma expressão simples, $A5 = S0$ desempenha um papel importante na segurança e na estabilidade do processo, assegurando que qualquer variação térmica relevante seja prontamente tratada. Essa abordagem é comum em sistemas industriais que priorizam reações rápidas diante de condições críticas.

- $A6 = S4 \cdot S3 \cdot S2 \cdot S1 \cdot \neg S0$

A saída digital A6 é ativada quando todas as condições representadas pela expressão booleana $A6 = S4 \cdot S3 \cdot S2 \cdot S1 \cdot \neg S0$ são simultaneamente satisfeitas. Isso significa que os sensores S1, S2, S3 e S4 devem estar ativos, indicando que todas as etapas anteriores do processo foram concluídas corretamente, e o sensor S0 deve estar inativo, sinalizando que não houve superaquecimento da peça.

Essa lógica representa uma condição ideal de operação, em que o sistema confirma que todas as fases foram executadas conforme o esperado e que a temperatura se manteve dentro dos limites seguros. A presença do operador lógico de negação ($\neg S0$) é fundamental para garantir que a ativação da saída A6 só ocorra quando não houver risco térmico, reforçando a confiabilidade e a segurança do processo.

Ao reunir múltiplos sinais positivos e a ausência de uma condição crítica, essa expressão funciona como uma validação final do ciclo produtivo. A ativação de A6 pode estar associada, por exemplo, à liberação da peça para a próxima etapa, ao registro de sucesso no sistema ou à sinalização de conclusão segura para o operador.

5. Matriz de interconexões PLA para o sistema

Como parte integrante do desenvolvimento do módulo de controle para a linha de montagem automatizada, foi construída uma matriz lógica digital utilizando o ambiente de simulação Logisim, ferramenta amplamente empregada no ensino e na prototipagem de circuitos digitais. Essa matriz representa, de forma estruturada e funcional, a lógica combinacional responsável por interpretar os sinais provenientes dos sensores de entrada e gerar os comandos adequados para os atuadores da linha de produção.

A matriz foi projetada com base na tabela verdade previamente definida e nas expressões booleanas otimizadas, refletindo fielmente o comportamento esperado do sistema em cada etapa do processo industrial. Cada célula da matriz corresponde a uma interconexão lógica entre os sinais de entrada (S4,

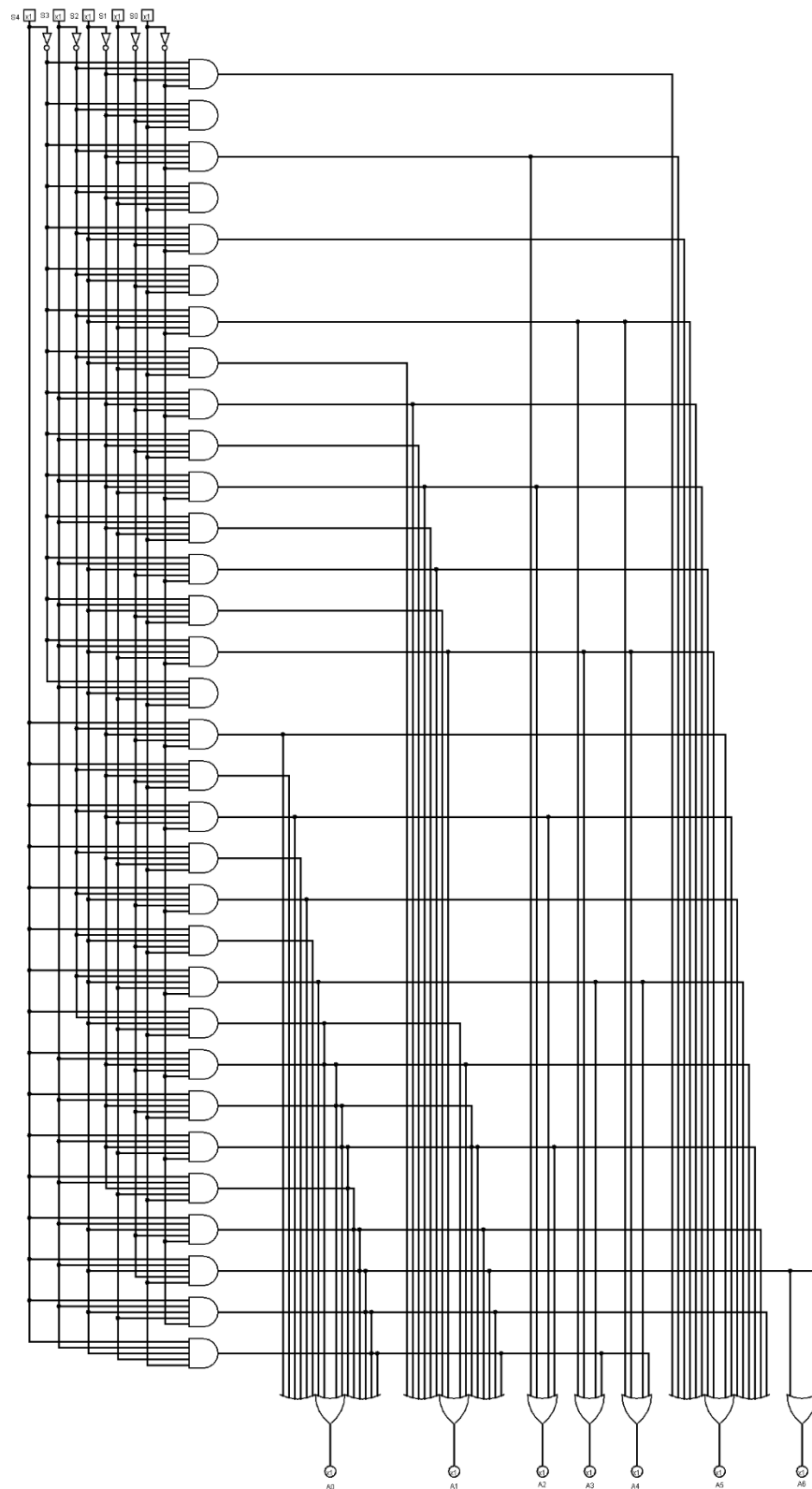
S3, S2, S1, S0) e as saídas de controle (A0 a A6), permitindo visualizar e validar o fluxo de decisão que rege o funcionamento da esteira transportadora, do braço robótico, da estação de soldagem, do sistema de resfriamento e dos alarmes de segurança.

A escolha pelo Logisim como ambiente de modelagem se deu pela sua capacidade de representar graficamente os componentes lógicos, facilitar a simulação em tempo real e permitir ajustes dinâmicos na arquitetura do circuito. Por meio dele, foi possível construir uma matriz lógica clara, modular e escalável, que reproduz com precisão o comportamento do PLA (Programmable Logic Array) programado para esta aplicação. A estrutura da matriz contempla portas lógicas básicas (AND, OR, NOT), multiplexadores e blocos de ROM, organizados de forma a garantir a integridade funcional e a sincronização entre os sinais.

Além de servir como ferramenta de validação, a matriz construída no Logisim desempenha papel pedagógico e documental, permitindo que o projeto seja compreendido, auditado e replicado por outros profissionais da área. Sua organização lógica facilita a identificação de possíveis inconsistências, a realização de testes de entrada/saída e a verificação da conformidade com os requisitos operacionais definidos pelo cliente do setor automotivo.

Em suma, a matriz lógica implementada no Logisim representa a materialização digital da lógica de controle proposta, consolidando uma solução eficiente, segura e tecnicamente fundamentada para o gerenciamento automatizado da linha de montagem. Sua construção reflete o compromisso do projeto com a excelência técnica, a clareza estrutural e a aplicabilidade prática no contexto da automação industrial.

Figura 1 – Circuito construído no logisim



Fonte: Autoria própria, 2025.

5.1. Objetivo do circuito

O circuito em questão tem como finalidade realizar a comparação lógica entre dois números binários de 16 bits, denominados A e B, com o intuito de determinar a relação de magnitude entre eles. Trata-se, portanto, de um **comparador digital de alta precisão**, cuja estrutura foi concebida para avaliar, de forma sequencial e hierárquica, qual dos operandos possui maior valor, se ambos são equivalentes ou se um é inferior ao outro.

A comparação é conduzida a partir do **bit mais significativo (MSB)** até o **bit menos significativo (LSB)**, respeitando a lógica de prioridade que rege os sistemas binários. Essa abordagem garante que qualquer diferença entre os operandos seja detectada no nível mais alto possível, evitando a necessidade de avaliar os bits inferiores quando uma decisão já pode ser tomada com base nos superiores. Tal estratégia é fundamental para otimizar o desempenho do circuito, reduzindo o tempo de processamento e o consumo de recursos lógicos.

O circuito foi desenvolvido com base em portas lógicas fundamentais — como AND, OR e NOT — organizadas em uma arquitetura modular e escalável. Cada módulo de comparação é responsável por analisar um par de bits correspondentes ($A[i]$ e $B[i]$), gerando sinais intermediários que indicam igualdade, superioridade ou inferioridade. Esses sinais são então propagados e combinados ao longo da estrutura, formando uma **árvore de decisão lógica** que culmina na ativação de uma das três saídas principais:

- **$A > B$** : indica que o operando A possui valor superior ao operando B.
- **$A < B$** : indica que o operando B possui valor superior ao operando A.
- **$A = B$** : indica que ambos os operandos são logicamente equivalentes.

Em suma, o objetivo do circuito é fornecer uma solução digital robusta e eficiente para a comparação de números binários, sendo aplicável em contextos como unidades aritméticas e lógicas (ALUs), sistemas de ordenação, controle de fluxo condicional e qualquer arquitetura computacional que exija tomada de decisão baseada em magnitude binária.

5.2. Entradas

O circuito proposto opera com base em duas entradas principais, denominadas **A[15:0]** e **B[15:0]**, que representam, respectivamente, dois números binários de 16 bits. Cada uma dessas entradas é composta por uma sequência ordenada de bits, numerados do menos significativo (**bit 0**) ao mais significativo (**bit 15**), permitindo a representação de valores inteiros no intervalo de 0 a 65.535, no contexto de números sem sinal.

A escolha por operandos de 16 bits reflete uma necessidade de maior resolução e abrangência numérica, sendo adequada para aplicações que exigem comparações entre grandes conjuntos de dados ou operações aritméticas de maior escala. Cada bit das entradas A e B é tratado de forma independente no circuito, sendo direcionado a módulos específicos de comparação que operam em paralelo e em cascata, conforme a hierarquia de significância dos bits.

Do ponto de vista funcional, o circuito realiza a comparação bit a bit entre os pares correspondentes de $A[i]$ e $B[i]$, iniciando pelo bit mais significativo ($A[15]$ e $B[15]$). Essa abordagem hierárquica é essencial para garantir que a decisão sobre qual número é maior seja tomada com base na primeira divergência entre os bits, evitando a necessidade de avaliar os bits menos significativos quando uma diferença já foi detectada nos níveis superiores.

Além disso, cada entrada é tratada como uma linha de sinal digital, compatível com os níveis lógicos utilizados no projeto (tipicamente 0V para nível lógico baixo e 5V para nível lógico alto, em sistemas TTL). A integridade desses sinais é fundamental para o correto funcionamento do circuito, sendo recomendável o uso de buffers ou condicionadores de sinal em ambientes ruidosos ou de alta frequência.

Em síntese, as entradas $A[15:0]$ e $B[15:0]$ constituem o núcleo informacional do circuito, fornecendo os dados binários que serão submetidos ao processo de comparação lógica. A estrutura modular e escalável adotada permite que

o circuito seja facilmente adaptado para operandos de maior ou menor largura, conforme as exigências do sistema digital em que estiver inserido.

5.3. Funcionamento Lógico

O funcionamento lógico do circuito comparador binário de 16 bits baseia-se em uma arquitetura sequencial e hierárquica, projetada para avaliar com precisão a relação de magnitude entre dois operandos binários, denominados $A[15:0]$ e $B[15:0]$. A lógica de operação está fundamentada na comparação bit a bit, iniciando pelo bit mais significativo (MSB) e prosseguindo até o bit menos significativo (LSB), conforme a necessidade de resolução.

A estrutura do circuito é composta por módulos de comparação elementares, cada um responsável por analisar um par de bits correspondentes ($A[i]$, $B[i]$). Para cada posição i , o módulo realiza três verificações fundamentais:

- **Igualdade lógica:** Verifica se $A[i] = B[i]$, gerando um sinal de equivalência que será utilizado para determinar se é necessário prosseguir para os bits menos significativos.
- **Superioridade:** Avalia se $A[i] > B[i]$, o que implica que o operando A é maior que B, independentemente dos bits subsequentes.
- **Inferioridade:** Avalia se $A[i] < B[i]$, indicando que o operando B é maior que A.

Esses sinais são processados por meio de portas lógicas básicas (AND, OR, NOT), organizadas em uma estrutura condicional encadeada, que atua como uma árvore de decisão. A lógica condicional garante que, ao identificar uma diferença entre os bits de maior significância, o circuito interrompa a análise dos bits restantes, pois a decisão já pode ser tomada com base na hierarquia binária. Essa abordagem não apenas preserva a integridade lógica da comparação, como também otimiza o desempenho do sistema, reduzindo o número de operações necessárias.

Além disso, o circuito incorpora mecanismos de propagação seletiva de sinais, nos quais os resultados parciais de cada módulo são condicionados à equivalência dos bits superiores. Por exemplo, o resultado da comparação

entre $A[13]$ e $B[13]$ só será considerado se todos os bits de $A[15]$ a $A[14]$ forem iguais aos respectivos bits de B . Essa lógica de encadeamento é implementada por meio de portas AND que combinam os sinais de igualdade acumulada com os sinais de comparação local.

Ao final do processo, os sinais de saída são consolidados em três indicadores distintos:

- **$A > B$:** Ativado quando o primeiro bit divergente entre A e B apresenta $A[i] = 1$ e $B[i] = 0$.
- **$A < B$:** Ativado quando o primeiro bit divergente apresenta $A[i] = 0$ e $B[i] = 1$.
- **$A = B$:** Ativado quando todos os bits de A e B são logicamente equivalentes.

Essa lógica de funcionamento garante que o circuito opere de forma determinística, precisa e eficiente, sendo capaz de realizar comparações binárias em tempo real com alta confiabilidade. A modularidade da arquitetura também permite sua expansão para operandos de maior largura, bem como sua integração em sistemas mais complexos, como unidades lógicas e aritméticas (ALUs), controladores de fluxo condicional e processadores digitais.

5.4. Estrutura do Circuito

A estrutura do circuito comparador binário de 16 bits foi concebida com base em uma arquitetura modular e hierárquica, visando garantir precisão lógica, escalabilidade funcional e clareza na propagação dos sinais. O projeto é composto por uma série de blocos de comparação elementares, organizados de forma sequencial e condicional, que operam sobre os pares de bits correspondentes das entradas $A[15:0]$ e $B[15:0]$.

Cada módulo de comparação é responsável por avaliar a relação entre os bits $A[i]$ e $B[i]$, onde i varia de 15 (bit mais significativo) até 0 (bit menos significativo). A lógica interna de cada bloco é construída com portas AND, OR e NOT, que permitem identificar três estados distintos: igualdade,

superioridade e inferioridade. Esses estados são representados por sinais binários que alimentam os níveis subsequentes da estrutura, compondo uma árvore lógica de decisão.

A arquitetura do circuito segue o princípio de **prioridade de magnitude**, no qual a decisão sobre qual operando é maior é tomada com base na primeira divergência entre os bits, iniciando pelos mais significativos. Para isso, os sinais de comparação gerados em cada módulo são condicionados à verificação de igualdade nos bits superiores. Essa lógica condicional é implementada por meio de portas AND que combinam os sinais de equivalência acumulada com os resultados locais de comparação, garantindo que apenas o primeiro ponto de diferença seja considerado na decisão final.

Além dos blocos de comparação, o circuito incorpora uma lógica de controle de propagação, que assegura que os sinais de decisão não sejam sobrescritos por estados inferiores. Isso é feito por meio de intertravamentos lógicos que bloqueiam a ativação de múltiplas saídas simultâneas, assegurando que apenas uma das três condições finais — $A > B$, $A < B$ ou $A = B$ — seja verdadeira em qualquer instante de operação.

A estrutura física do circuito pode ser representada em forma de diagrama esquemático, com os blocos de comparação dispostos em cascata e interligados por linhas de sinal que refletem a hierarquia de decisão. Essa organização facilita tanto a análise lógica quanto a implementação prática em plataformas de simulação digital, como o Logisim, permitindo testes, validações e expansões com relativa facilidade.

Em síntese, a estrutura do circuito foi projetada para oferecer uma solução lógica robusta, eficiente e modular para a comparação de números binários, sendo compatível com aplicações em unidades aritméticas e lógicas, sistemas de controle digital e arquiteturas computacionais que exigem decisões condicionais baseadas em magnitude binária.

5.5. Saídas

As saídas de um circuito comparador binário de 16 bits representam o resultado lógico da operação de comparação entre dois operandos binários, $A[15:0]$ e $B[15:0]$. Essas saídas são fundamentais para a tomada de decisão em sistemas digitais, pois indicam, de forma inequívoca, a relação de magnitude entre os valores analisados. Em geral, o circuito apresenta três sinais de saída distintos e mutuamente exclusivos: **$A > B$** , **$A < B$** e **$A = B$** .

Cada uma dessas saídas é gerada por meio de uma lógica condicional que avalia, bit a bit, a relação entre os operandos, iniciando pelo bit mais significativo (MSB). A estrutura do circuito garante que apenas uma das saídas seja ativada por ciclo de operação, evitando ambiguidade e assegurando consistência lógica. Essa exclusividade é obtida por meio de portas lógicas que bloqueiam a ativação simultânea de múltiplos sinais de saída, utilizando intertravamentos e máscaras de propagação.

5.3.1. $A > B$

Esta saída é ativada quando, ao percorrer os bits de A e B em ordem decrescente de significância, encontra-se o primeiro bit em que $A[i] = 1$ e $B[i] = 0$, desde que todos os bits mais significativos anteriores sejam iguais. A lógica que sustenta essa saída é composta por uma cadeia de portas AND e NOT que verificam a condição de superioridade local condicionada à equivalência acumulada dos bits superiores.

5.3.2. $A < B$

Analogamente, a saída **$A < B$** é ativada quando ocorre a primeira divergência entre os bits, com $A[i] = 0$ e $B[i] = 1$, sob a mesma premissa de igualdade nos bits mais significativos anteriores. Essa condição é detectada por uma lógica simétrica à de **$A > B$** , invertendo os papéis dos operandos na avaliação da superioridade.

5.3.4. $A = B$

A saída de igualdade é ativada exclusivamente quando todos os bits de A e B são idênticos, ou seja, $A[i] = B[i]$ para todo $i \in [15, 0]$. Essa verificação é realizada por uma cadeia de portas XNOR, cujas saídas são combinadas por

uma porta AND global. O resultado é um sinal binário que representa a equivalência total entre os dois operandos.

5.3.5. Considerações de Temporização e Estabilidade

As saídas do circuito são projetadas para apresentar estabilidade lógica mesmo diante de variações temporais nos sinais de entrada. Para isso, o circuito pode incorporar elementos de sincronização, como flip-flops ou buffers, que garantem que os sinais de saída sejam atualizados apenas em momentos específicos do ciclo de clock, evitando glitches e transições indesejadas.

Além disso, em aplicações críticas, as saídas podem ser conectadas a indicadores visuais, registradores de controle ou blocos de decisão condicional, como multiplexadores ou unidades de salto em processadores. A confiabilidade e a precisão dessas saídas são, portanto, essenciais para o funcionamento correto de sistemas digitais complexos.

6. Justificativa da Escolha do PLA para Aplicação Industrial

A escolha do **PLA (Programmable Logic Array)** como dispositivo lógico programável para esta aplicação industrial se fundamenta em sua capacidade de oferecer uma solução flexível, eficiente e altamente customizável para a implementação de funções lógicas complexas. Em ambientes industriais que demandam controle preciso de processos, tomada de decisão baseada em múltiplas variáveis e resposta rápida a condições específicas de operação, o PLA se destaca como uma alternativa robusta e tecnicamente apropriada.

O PLA é composto por duas matrizes programáveis: uma de portas **AND**, responsável pela geração de termos mínimos (produtos lógicos), e outra de portas **OR**, encarregada de combinar esses termos para formar as expressões de saída. Essa estrutura permite a implementação direta de funções booleanas arbitrárias, com controle total sobre quais combinações de entrada devem ativar cada saída. Tal característica é particularmente vantajosa em sistemas industriais que operam com sensores digitais,

atuadores e lógicas de intertravamento, como é o caso de processos de soldagem, resfriamento e verificação de estados operacionais.

Além disso, o PLA oferece **previsibilidade temporal e baixa latência**, uma vez que todas as operações lógicas são realizadas de forma combinacional, sem depender de ciclos de clock ou estados internos. Isso é essencial em aplicações industriais onde decisões precisam ser tomadas em tempo real, com mínima margem de atraso, para garantir segurança, eficiência energética e integridade dos materiais envolvidos.

Outro fator determinante na escolha do PLA é sua **escalabilidade lógica**. A matriz de interconexões pode ser dimensionada conforme a complexidade da aplicação, permitindo a inclusão de múltiplas condições de entrada e saídas específicas para cada etapa do processo. Isso facilita a manutenção, a expansão futura do sistema e a adaptação a diferentes cenários operacionais, sem a necessidade de reconfiguração física do hardware.

Do ponto de vista de projeto, o PLA também contribui para a **redução do espaço físico** e da **complexidade de fiação**, uma vez que substitui múltiplos circuitos discretos por uma única estrutura programável. Isso resulta em maior confiabilidade, menor suscetibilidade a falhas de conexão e facilidade de diagnóstico em caso de anomalias.

Em síntese, o uso do PLA nesta aplicação industrial é plenamente justificado pela sua capacidade de integrar múltiplas funções lógicas em uma arquitetura compacta, programável e de alta performance. Sua adequação ao ambiente industrial se dá não apenas pela flexibilidade funcional, mas também pela confiabilidade operacional, pela resposta determinística e pela compatibilidade com os requisitos de controle digital exigidos em sistemas automatizados modernos.

7. Conclusão

O desenvolvimento do módulo de controle lógico para a linha de montagem automatizada, utilizando um PLA (Programmable Logic Array) como núcleo de decisão digital, representa uma solução eficaz e tecnicamente robusta

para os desafios impostos pela automação industrial contemporânea. Ao longo deste projeto, foi possível integrar conceitos fundamentais da lógica booleana, modelagem combinacional, simulação digital e controle de processos industriais, culminando em uma arquitetura funcional capaz de garantir precisão, segurança e sincronização em cada etapa da produção.

A partir da análise detalhada dos sensores de entrada e dos requisitos operacionais dos atuadores, foram construídas tabelas verdade abrangentes e expressões booleanas otimizadas, que serviram de base para a programação do PLA. Essa estrutura lógica foi validada por meio de simulações no ambiente Logisim, permitindo a visualização clara do comportamento do sistema e a identificação de possíveis inconsistências antes da implementação física. A matriz lógica resultante reflete com fidelidade os critérios de operação definidos pelo cliente do setor automotivo, assegurando que cada peça seja processada conforme os padrões exigidos de qualidade e segurança.

Além da viabilidade técnica, o projeto demonstra a aplicabilidade prática de dispositivos lógicos programáveis em ambientes industriais complexos, destacando-se pela modularidade, escalabilidade e facilidade de manutenção. A adoção do PLA como solução central não apenas atende aos requisitos imediatos da aplicação, como também estabelece uma base sólida para futuras expansões, adaptações e integração com sistemas de supervisão e controle mais avançados.

Em síntese, este trabalho consolida uma proposta que alia rigor metodológico, inovação tecnológica e compromisso com a excelência operacional. A solução desenvolvida contribui diretamente para a otimização do fluxo produtivo, a redução de falhas e o aumento da confiabilidade dos processos industriais, reafirmando o papel estratégico da engenharia digital no avanço da automação e no fortalecimento da competitividade do setor.