

PERCOBAAN 1

KEGIATAN PRAKTIKUM

Percobaan 1. NOR Latch

1. Buat dan simulasikan NOR latch seperti pada gambar! Dan kemudian klik switch SPDT untuk mengoperasikan Latch.

2. Berdasarkan simulasi anda, isi titik-titik pada tabel berikut!

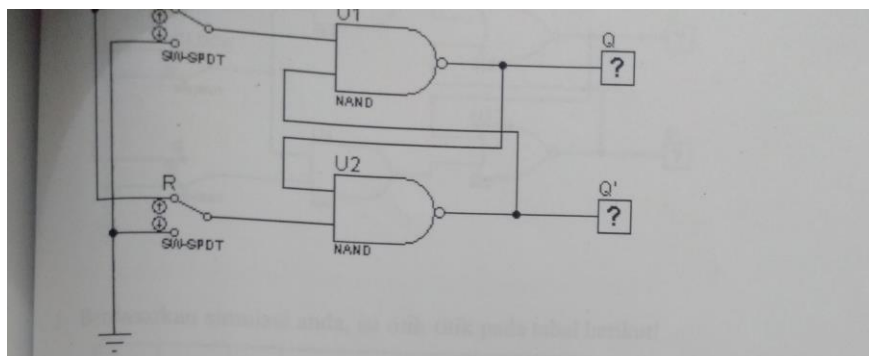
	S (Set)	R (Reset)	Output	
			Q	Q'
1	0	1	0	1
2	0	0	0	1
3	1	0	1	0
4	0	0	1	0
5	1	1	0	0

3. Jawab pertanyaan berikut!

a. Apa yang akan terjadi jika kita berikan kondisi $S = R = 0$?
Output bersifat memori, sehingga menyimpan kondisi sebelumnya

b. Kenapakondisi $S = R = 1$ tidak diperbolehkan?
karena jika gerbang nol dan output yg sama xx bernilai nol dapat mematahkan persamaan logika $Q = Q$

PERCOBAAN 2



2. Berdasarkan simulasi anda, isi titik-titik pada tabel berikut!

	S (Set)	R (Reset)	Output	
			Q	Q'
1	0	1	1	0
2	1	1	1	0
3	1	0	0	1
4	1	1	0	1
5	0	0	1	1

3. Jawab pertanyaan berikut!

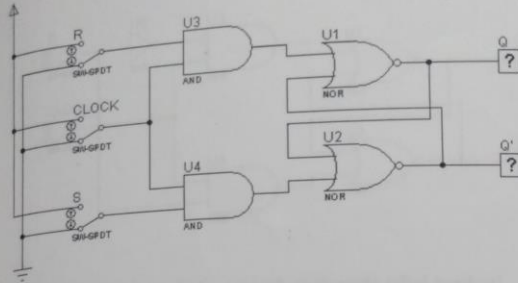
- Apa yang akan terjadi jika kita berikan kondisi $S = R = 1$?
 akan menyimpan keadaan sebelumnya
- Kenapa kondisi $S = R = 0$ tidak diperbolehkan?
 karena akan mengeluarkan output 1 1

4. Berdasarkan analisis rangkaian flip-flop di atas, apa opini/pendapat anda tentang pernyataan "Flip-flop dan latch digunakan sebagai elemen penyimpanan data":
 penyimpanan data ini digunakan u/ menyimpan state (keadaan) pada ilmu komputer.

PERCOBAAN 3

percobaan 3. Flip-Flop RS

1. Buat dan simulasikan Flip-Flop RS seperti pada gambar! Dan kemudian klik switch SW-SPDT untuk mengoperasikan Flip-Flop RS.



2. Berdasarkan simulasi anda, isi titik-titik pada tabel berikut!

	S (Set)	R (Reset)	CLOCK	Output	
				Q	$Q_{(t+1)}$
1	0	0	0	x	x
2	0	0	1	x	x
3	0	1	0	x	x
4	0	1	1	0	1
5	1	0	0	0	1
6	1	0	1	1	0
7	1	1	0	0	0
8	1	1	1	0	0

3. Jawab pertanyaan berikut!

Apa yang akan terjadi jika kita beri kondisi $S = R = 1$ dan clock berubah dari 1 ke 0?

akan error

Bagaimana kondisi diatas dapat terjadi?

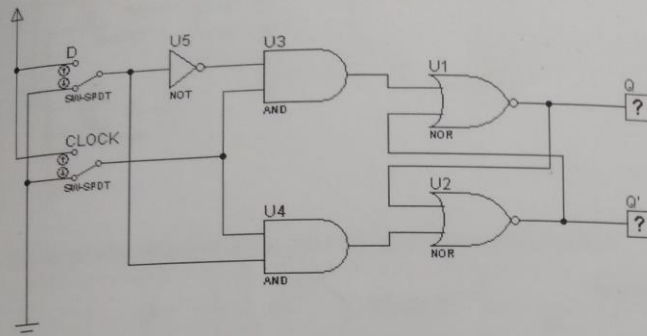
apabila kita diberi kondisi $S = R = 1$ dan clock berubah dari 1 ke 0

4. Jelaskan bagaimana Flip-flop RS bekerja! flip-flop terdiri dari 2 gerbang NAND/NOR. Gerbang menggunakan gerbang statis dan blok rangkaian latch dasar adalah latch S-R dasar yg mana S dan R di masukan u/ set dan reset, hal ini dpt dibangun dan penggabungan 2 gerbang logika NOR saling di silangkan

PERCOBAAN 4

Percobaan 4. Flip-Flop D

1. Buat dan simulasikan Flip-Flop D seperti pada gambar! Dan kemudian klik switch SW-SPDT untuk mengoperasikan flip-flop.



2. Berdasarkan simulasi anda, isi titik-titik pada tabel berikut!

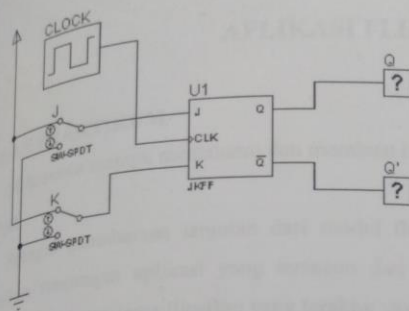
	D	CLOCK	Output	
			Q	$Q_{(t+1)}$
1	0	0	x	x
2	0	1	0	1
3	1	0	1	0
4	1	1	1	0
5	0	0	0	1
6	0	1	0	1
7	1	0	1	0
8	1	1	1	0

3. Jelaskan bagaimana Flip-flop D bekerja!
Jika clock mati maka akan mengunci nilai output sebelumnya. jika clocknya berubah nilai Q sebelumnya
4. Apa fungsi NOT gate pada Flip-Flop D dibandingkan dengan Flip-Flop SR!
untuk mengatasi kondisi terlarang

Percobaan 5. Flip-Flop JK

1. Buat dan simulasikan JK Flip-Flop seperti pada gambar! Dan kemudian klik switch SW-

PERCOBAAN 5



2. Berdasarkan simulasi anda, isi titik-titik pada tabel berikut!

	J	K	CLOCK	Output	
				Q	$Q_{(t+1)}$
1	0	0	0	0	1
2	0	0	1	0	1
3	0	1	0	0	1
4	0	1	1	0	1
5	1	0	0	1	0
6	1	0	1	1	0
7	1	1	0	1	0
8	1	1	1	1	0

3. Jawab pertanyaan berikut ini

a. Apa yang akan terjadi jika $J = K = 0$, dan clock rise up (change from 0 to 1)?
 nilai clock berubah-ubah tetapi tidak mengubah nilai Q dan $Q_{(t+1)}$

b. Apa yang akan terjadi jika $J = K = 1$, dan clock rise up?
 jika clock = 1 maka nilai Q dan $Q_{(t+1)}$ akan berubah
 clock = 0 maka akan menyimpan nilai Q dan $Q_{(t+1)}$

4. Jelaskan bagaimana Flip-flop JK bekerja!
 Prinsip kerjanya hampir sama ds RS flip-flop hanya saja kondisi terlarang jika = 1, clock up sudah di hilangkan.