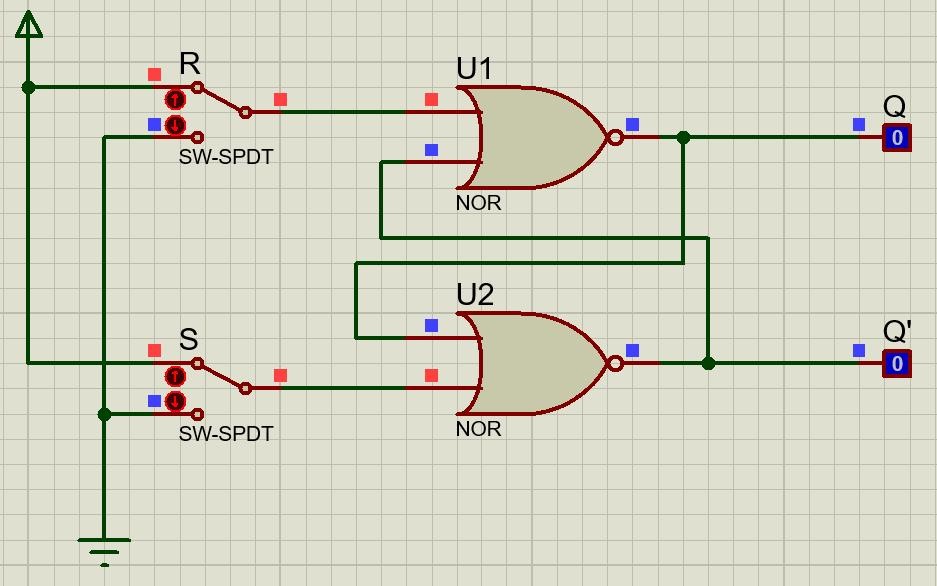
Nama : Raihan Mazarul Hidayat

NIM : L200180162

Kelas : C

# Percobaan 1. NOR Latch



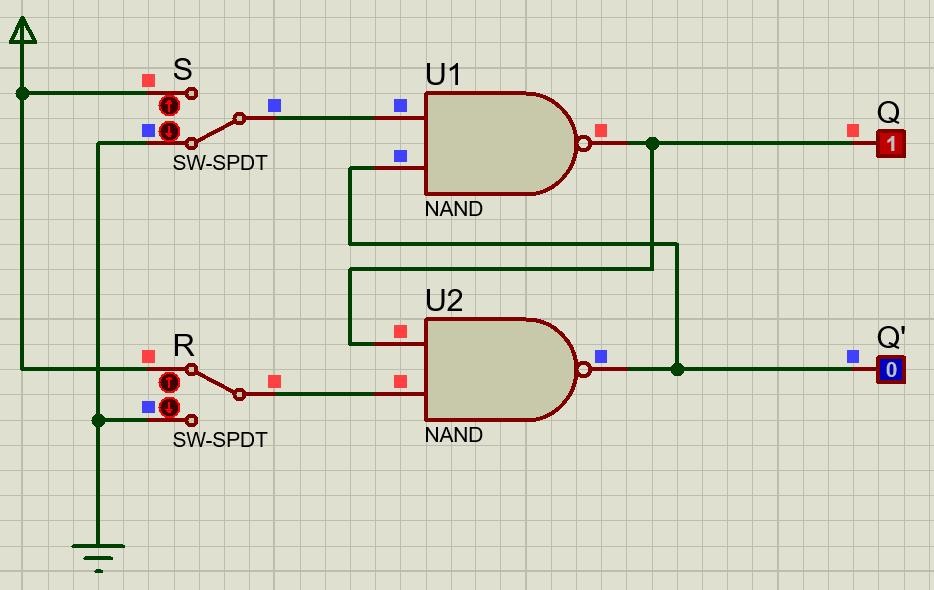
|  |  |  |  |  |
| --- | --- | --- | --- | --- |
|  | S ( Set) | R (Reset) | Output |  |
| Q | Q’ |
| 1. | 0 | 1 | 0 | 1 |
| 2. | 0 | 0 | 0 | 1 |
| 3. | 1 | 0 | 1 | 0 |
| 4. | 0 | 0 | 1 | 0 |
| 5. | 1 | 1 | 0 | 0 |

1. Apa yang akan terjadi jika kita berikan kondisi S=R=0?

Disaat input S dan R dalam keadaan low, umpan balik Q dan Q’ berada pada keadaan konstan dengan Q adalah komplomen dari Q’

1. Kenapa kondisi S=R=1 tidak diperbolehkan? karena baik gerbang nol (0) dan output yang bernilai sama nol (0), dapat mematahkan persamaan logika Q= not Q’.

# Percobaan 2. NAND Latch



|  |  |  |  |  |
| --- | --- | --- | --- | --- |
|  | S (Set) | R (Reset) | Outp | ut |
| Q | Q’ |
| 1. | 0 | 1 | 1 | 0 |
| 2. | 1 | 1 | 1 | 0 |
| 3. | 1 | 0 | 0 | 1 |
| 4. | 1 | 1 | 0 | 1 |
| 5. | 0 | 0 | 1 | 1 |

1. Apa yang akan terjadi jika kita berikan kondisi S=R=1?

Disaat input S dan R dalam keadaan low, umpan balik Q dan Q’ berada pada keadaan konstan dengan Q adalah komplomen dari Q’

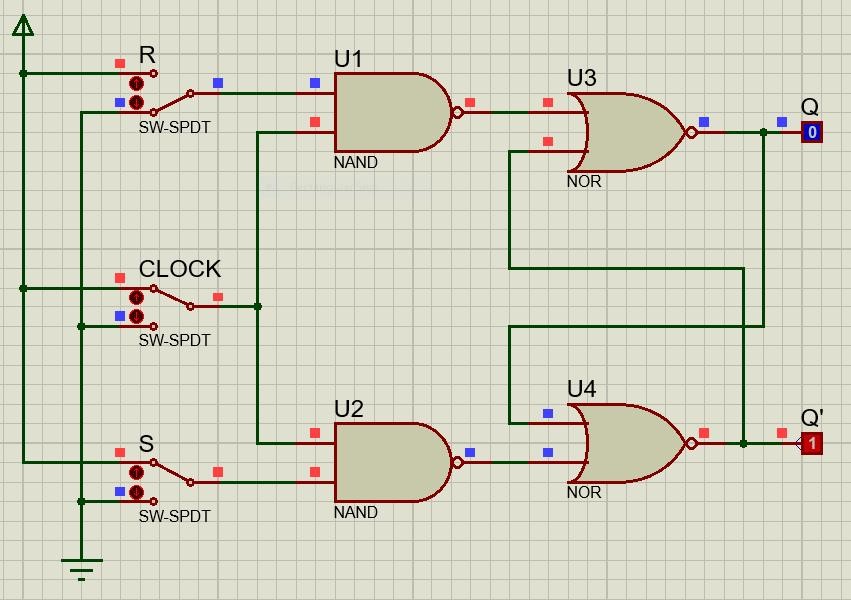
1. Kenapa kondisi S=R=O tidak diperbolehkan?

Karena baik gerbang nol (0) dan output yang bernilai sama nol (0), dapat mematahkan persamaan logika Q= not Q’.

Berdasarkan analisis rangkaian flip-flop diatas, apa opini atau pendapat anda tentang pernyataan “Flip-Flop dan latch digunakan sebagai elemen penyimpanan data” :

Flip - flop atau latch umumnya digunakan sebagai elemen penyimpanan data. Penyimpanan data tersebut digunakan untuk penyimpanan memori dan sirkuitnya dijelaskan melalui logika sekuensial.

# Flip - Flop RS



Tabel :

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
|  | S (Set) | R (Reset) | CLOCK | Out | put |
| Q | Q(t+1) |
| 1. | 0 | 0 | 0 | X | X |
| 2. | 0 | 0 | 1 | X | X |
| 3. | 0 | 1 | 0 | X | X |
| 4. | 0 | 1 | 1 | 0 | 1 |
| 5. | 1 | 0 | 0 | 0 | 1 |
| 6. | 1 | 0 | 1 | 1 | 0 |
| 7. | 1 | 1 | 0 | 1 | 0 |
| 8. | 1 | 1 | 1 | 0 | 0 |

1. Apa yang akan terjadi jika kita beri kondisi S=R=1 dan Clock berubah dari 1 ke 0?

Nilai Output tidak berubah

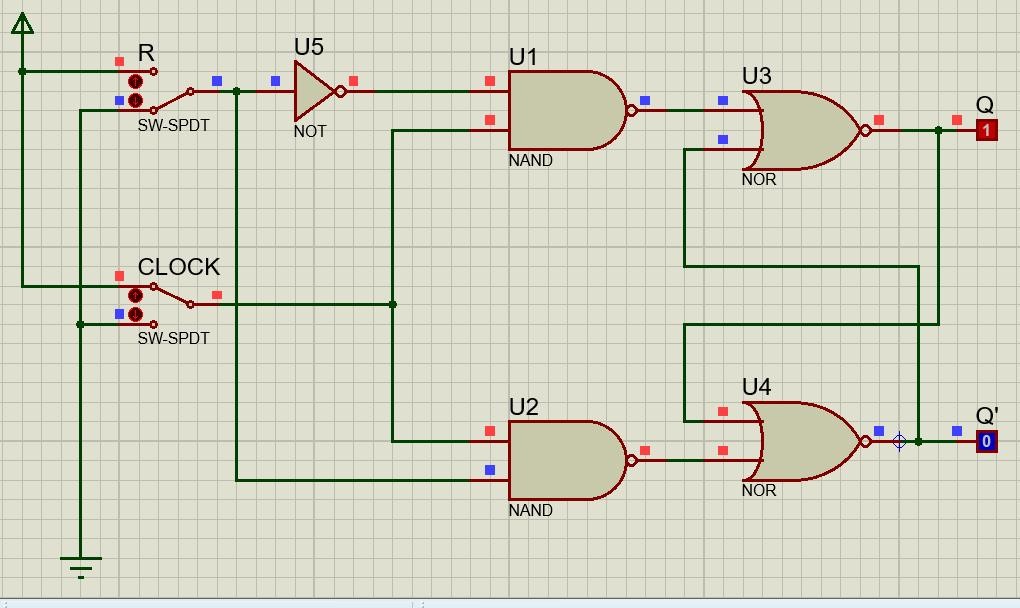
1. Bagaimana kondisi diatas dapat terjadi?

Output dari flip-flop tidak akan berubah selama Clock bernilai 0 meskipun ada perubahan dalam inputnya

1. Jelaskan bagaimana Flip-Flop RS bekerja!

* Apabila R dan S bernilai low, artinya output Q tetap dalam keadaan terakhir tanpa batas karena tindakan latch internal
* Input S akan bernilai high akan menyebabkan Q bernilai 1, kecuali jika output telah berada dalam keadaan high. Dalam hal ini output tidak berubah, apabila input S kembali ke kondisi rendah
* Input R bernilai high dapat menyebabkan Q bernilai 0, kecuali jika output berada dalam keadaan low. Output Q selanjutnya akan tetap berada dalam rendah walaupun masukan R berubah ke dalam low,
* Input R dan S tidak diperbolehkan dalam kondisi yang high di waktu yang sama

# Flip-Flop D



|  |  |  |  |  |
| --- | --- | --- | --- | --- |
|  | D | CLOCK | Ou | tput |
| Q | Q(t+1) |
| 1. | 0 | 0 | 0 | 1 |
| 2. | 0 | 1 | 0 | 1 |
| 3. | 1 | 0 | 1 | 0 |
| 4. | 1 | 1 | 1 | 0 |
| 5. | 0 | 0 | 1 | 0 |
| 6. | 0 | 1 | 0 | 1 |
| 7. | 1 | 0 | 1 | 0 |
| 8. | 1 | 1 | 1 | 0 |

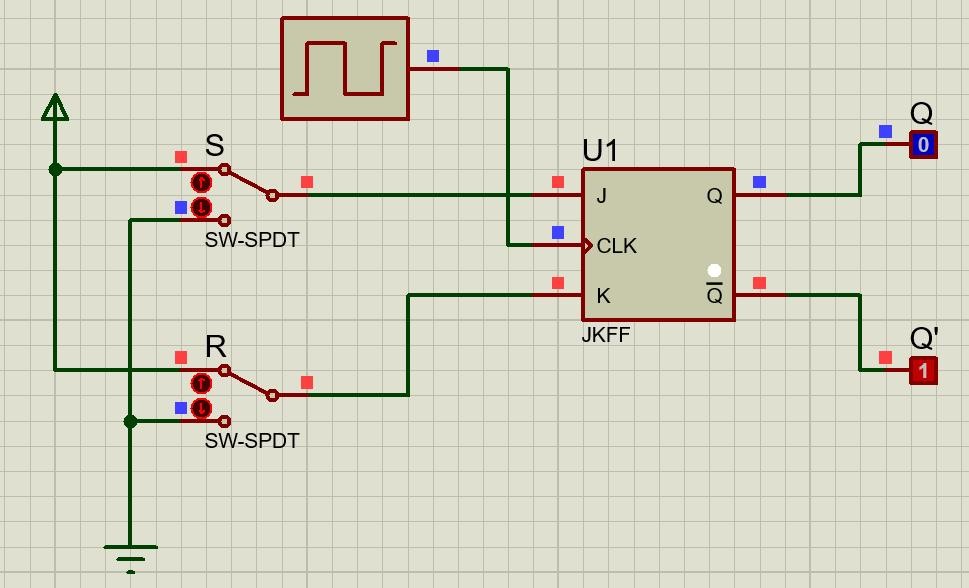
Jelaskan bagaimana Flip-Flop D bekerja!

* ‘D’ disini disebut juga sebagai delay atau penundaan flip-flop yang menjelaskan apa yang terjadi pada data yang disimpan, atau pada input D.
* Data (0 atau 1) tertunda sebesar 1 pulsa clock dari input ke output Q. Pada dasarnya, D flip-flop adalah multivibrator dengan keadaan ganda yang diinput D ditransfer ke output setelah menerima pulsa clock

Apa fungsi NOT gate pada Flip-flop D dibandingkan dengan Flip-Flop SR!

* Dengan adanya NOT gate pada flip-flop D, kedua input selalu mempunyai logika yang berlainan sehingga kondisi terlarang seperti pada Flip-Flop RS dapat dihindari.

# Flip-Flop JK



Tabel :

|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
|  | J | K | CLOCK | Output | |  |
| Q |  | Q’(t+1) |
| 1. | 0 | 0 | 0 | 0 |  | 1 |
| 2. | 0 | 0 | 1 | 0 |  | 1 |
| 3. | 0 | 1 | 0 | 0 |  | 1 |
| 4. | 0 | 1 | 1 | 0 |  | 1 |
| 5. | 1 | 0 | 0 | 0 |  | 1 |
| 6. | 1 | 0 | 1 | 0 |  | 1 |
| 7. | 1 | 1 | 0 | 0 |  | 1 |
| 8. | 1 | 1 | 1 | 0 |  | 1 |

Pertanyaan :

1. Apa yang akan terjadi jika J=K=O dan clock rise up(change from 0 to 1)? Jawab : output Q tetap pada nilai atau keadaan terakhir
2. Apa yang akan terjadi jika J=K=1 dan clock rise up? Jawab : dapat mengatur atau mereset flip flop

Jelaskan bagaimana flip-flop JK!

* Ketika J dan K bernilai 0, output Q tetap pada nilai atau keadaan terakhir
* Saat J bernilai 0 dan K bernilai 1, gerbang akan tertutup dan memungkinkan mengatur flip-flop
* Pada waktu Q lebih tinggi, gerbang yang lebih rendah akan segera memicu reset dan melewatkan penerimaan pulsa clock positiv yang datang selanjutnya, sehingga J=0 dan K=1 berarti bahwa meningkatnya pulsa clock dapat mereset flip flop
* Apabila J=1 dan K=0 dapat menyebabkan gerbang yang lebih rendah tertutup
* Apabila J dan K bernilai 1, maka dapat mengatur flip flop atau meresetnya