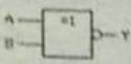
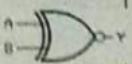
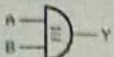
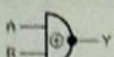


XNOR - Gate (Ekuivalen, Not-Exclusive- OR) $Y = \overline{A \oplus B}$ $Y = A \nabla B$ $Y = \overline{A \oplus B}$							 atau 	<table border="1"> <tr> <th>A</th> <th>B</th> <th>Y</th> </tr> <tr> <td>0</td> <td>0</td> <td>1</td> </tr> <tr> <td>0</td> <td>1</td> <td>0</td> </tr> <tr> <td>1</td> <td>0</td> <td>0</td> </tr> <tr> <td>1</td> <td>1</td> <td>1</td> </tr> </table>	A	B	Y	0	0	1	0	1	0	1	0	0	1	1	1
A	B	Y																					
0	0	1																					
0	1	0																					
1	0	0																					
1	1	1																					

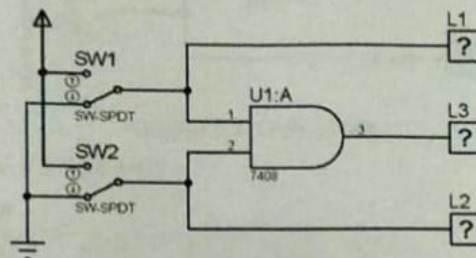
Gambar 3.1. Tabel kebenaran, simbol, dan fungsi gerbang logika.

KEGIATAN PRAKTIKUM

Percobaan 1. Gerbang AND

1. Buat rangkaian pada Gambar 3.2!

Buat dengan menggunakan gerbang AND (IC 7408), SW-SPDT, dan logic probe! Pilih VCC and ground dari terminal mode. SW1 dan SW2 sebagai input, L1 dan L2 berperan sebagai indikator input, dan L3 berperan sebagai output dari gerbang AND.

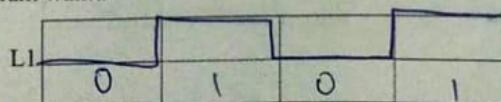


Gambar 3.2. Gerbang AND

2. Fungsi Boolean : $L3 = L1 L2$ atau $L3 = L1.L2$
3. Tabel kebenaran

SW 1	SW 2	L1	L	L3
0	0	0	0	0
1	0	1	0	0
0	1	0	1	0
1	1	1	1	1

4. Diagram waktu

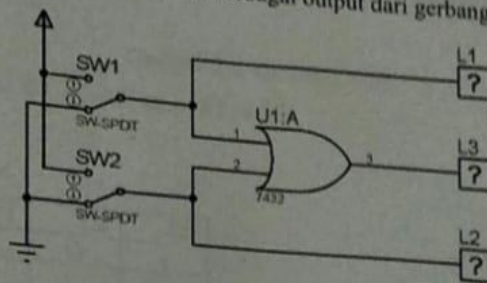


L2				
	0	0	1	1
L3				
	0	0	0	1

Percobaan 2. Gerbang OR

1. Buat rangkaian pada Gambar 3.3!

Buat dengan menggunakan gerbang OR (IC 7432), SW-SPDT, dan logic probe! Pilih VCC dan ground dari terminal mode. SW1 dan SW2 sebagai input, L1 dan L2 berperan sebagai indikator input, dan L3 berperan sebagai output dari gerbang OR.



Gambar 3.3. Gerbang OR

2. Fungsi Boolean : $L3 = L1 + L2$

3. Tabel kebenaran

SW1	SW2	L1	L2	L3
0	0	0	0	0
1	0	1	0	1
0	1	0	1	1
1	1	1	1	1

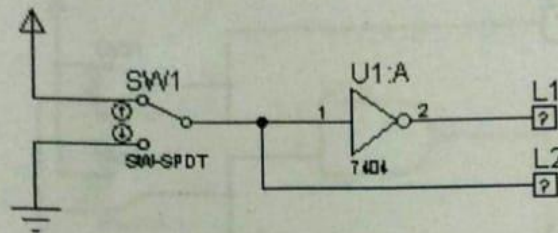
4. Diagram Waktu

L1				
	0	1	0	1
L2				
	0	0	1	1
L3				
	0	1	1	1

Percobaan 3. Gerbang NOT

1. Buat rangkaian pada Gambar 3.4!

Buat dengan menggunakan gerbang NOT(IC 7404), SW-SPDT, dan logic probe!
VCC dan ground dari terminal mode. SW1 sebagai input, L2 sebagai indikator input
L3 sebagai output dari Gerbang NOT.



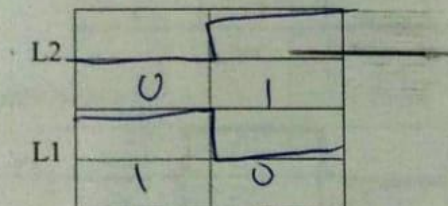
Gambar 3.4. Gerbang NOT

2. Fungsi Boolean : $L1 = \sim L2$ atau $L1 = \overline{L2}$

3. Tabel kebenaran

SW1	L2	L1
0	0	1
1	1	0

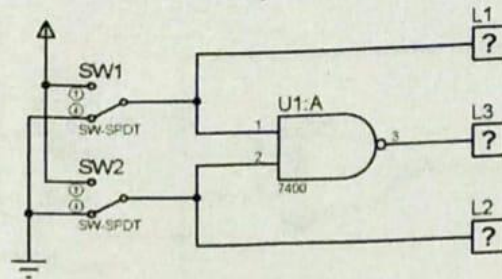
4. Diagram waktu



Percobaan 4. Gerbang NAND

1. Buat rangkaian pada Gambar 3.5!

Buat dengan menggunakan gerbang NAND (IC 7400), SW-SPDT, dan logic probe! Pilih VCC dan ground dari terminal mode. SW1 dan SW2 sebagai input, L1 dan L2 berperan sebagai indikator input, dan L3 sebagai Output dari gerbang NAND.



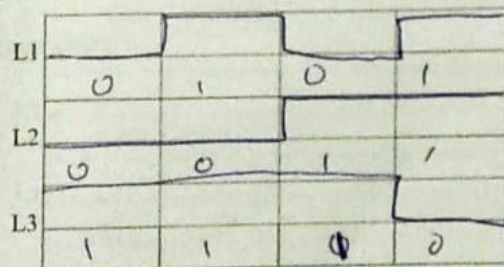
Gambar 3.5. Gerbang NAND

2. Fungsi Boolean : $L3 = \overline{L1} \overline{L2}$ atau $L3 = \overline{L1 \cdot L2}$

3. Tabel kebenaran

SW1	SW2	L1	L2	L3
0	0	0	0	1
1	0	1	0	1
0	1	0	1	1
1	1	1	1	0

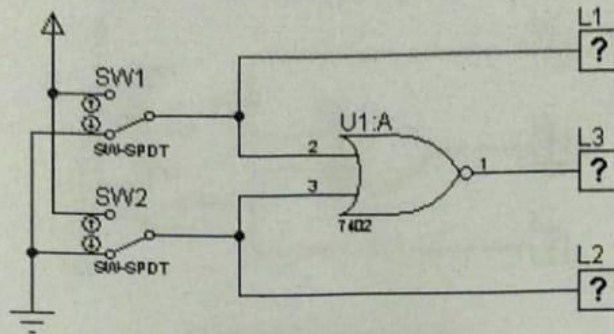
4. Diagram waktu



Percobaan 5. Gerbang NOR

Buat rangkaian pada Gambar 3.6!

Buat dengan menggunakan gerbang NOR(IC 7402), SW-SPDT, dan logic probe! Pilih VCC dan ground dari terminal mode. SW1 dan SW2 sebagai input, L1 dan L2 sebagai indikator input, dan L3 sebagai output dari gerbang NOR.



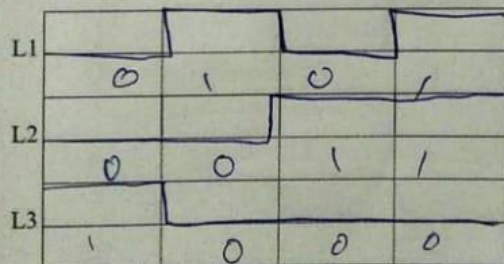
Gambar 3.6. Gerbang NOR

Fungsi Boolean : $L3 = \overline{L1 + L2}$

Tabel kebenaran

SW1	SW2	L1	L2	L3
0	0	0	0	1
1	0	1	0	0
0	1	0	1	0
1	1	1	1	0

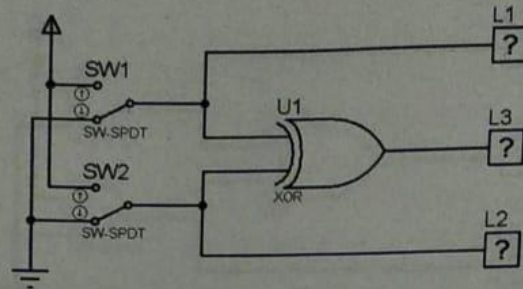
Diagram waktu



Percobaan 6. Gerbang XOR

1. Buat rangkaian pada Gambar 7!

Buat dengan menggunakan gerbang XOR (IC 4070), SW-SPDT, dan logic probe! Pilih VCC dan ground dari terminal mode. SW1 dan SW2 sebagai input, L1 dan L2 berperan sebagai indikator input, dan L3 berperan sebagai output gerbang XOR.



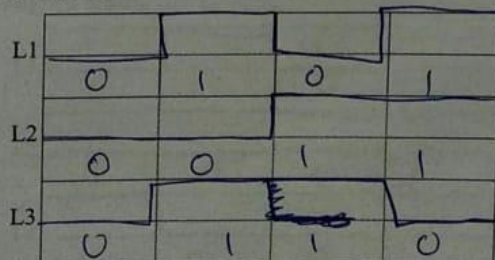
Gambar 3.7. Gerbang XOR

2. Fungsi Boolean : $L3 = L1 \oplus L2$

3. Tabel kebenaran

SW1	SW2	L1	L2	L3
0	0	0	0	0
1	0	1	0	1
0	1	0	1	1
1	1	1	1	0

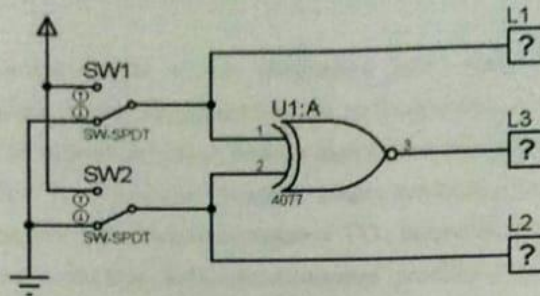
4. Diagram waktu



Percobaan 7. Gerbang XNOR

1. Buat rangkaian pada Gambar 3.8!

Buat dengan menggunakan gerbang XNOR (IC 4077), SW-SPDT, dan logic probe! Pilih VCC dan ground dari terminal mode. SW1 dan SW2 sebagai input, L1 dan L2 berperan sebagai indikator input, dan L3 sebagai output dari gerbang XNOR.



Gambar 3.8. Gerbang XNOR

2. Fungsi Boolean : $L3 = \overline{L1} \oplus L2$

3. Tabel kebenaran

SW1	SW2	L1	L2	L3
0	0	0	0	1
1	0	1	0	0
0	1	0	1	0
1	1	1	1	1

4. Diagram waktu

	L1	L2	L3
0	0	0	1
1	1	0	0
0	0	1	0
1	1	1	1