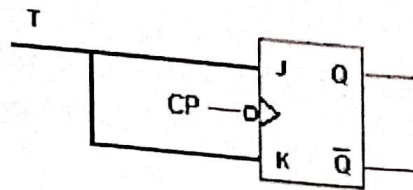


Nama : Ulin Nuha Trisiana
NIM : L200180190
Kelas : F

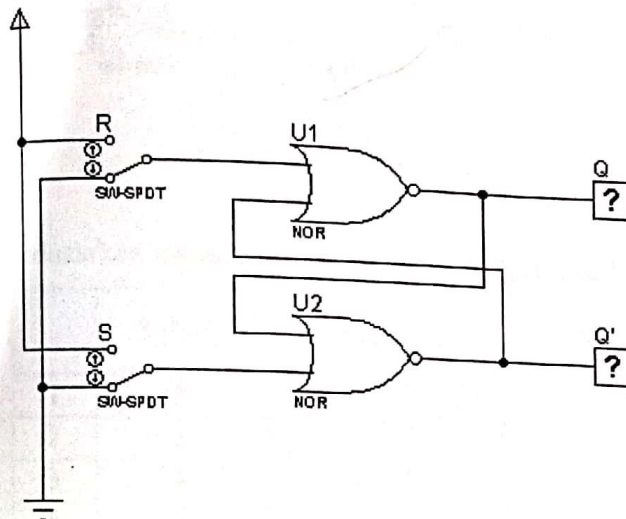


Gambar 7.8. Simbol T flip-flop

KEGIATAN PRAKTIKUM

Percobaan 1. NOR Latch

1. Buat dan simulasikan NOR latch seperti pada gambar! Dan kemudian klik switch SW-SPDT untuk mengoperasikan Latch.



2. Berdasarkan simulasi anda, isi titik-titik pada tabel berikut!

	S (Set)	R (Reset)	Output	
			Q	Q'
1	0	1	0	1
2	0	0	0	1
3	1	0	1	0
4	0	0	1	0
5	1	1	0	0

3. Jawab pertanyaan berikut!

- a. Apa yang akan terjadi jika kita berikan kondisi $S = R = 0$?

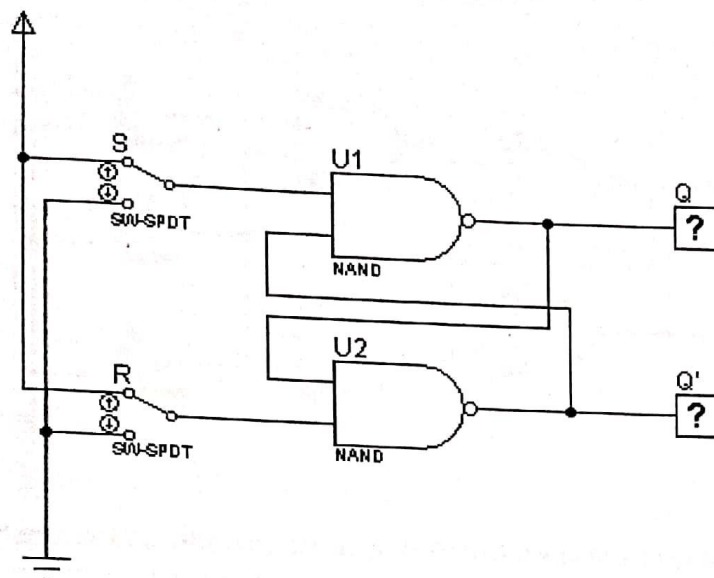
Nilai output berbeda (kondisi logic probe 0 dan 1)

- b. Kenapa kondisi $S = R = 1$ tidak diperbolehkan?

Karena nilai output (Q dan Q') akan bernilai 0

Percobaan 2. NAND Latch

1. Buat dan simulasikan NOR latch seperti pada gambar! Dan kemudian klik switch SW-SPDT untuk mengoperasikan Latch.



2. Berdasarkan simulasi anda, isi titik-titik pada tabel berikut!

	S (Set)	R (Reset)	Output	
			Q	Q'
1	0	1	1	0
2	1	1	1	0
3	1	0	0	1
4	1	1	0	1
5	0	0	1	1

3. Jawab pertanyaan berikut!

- a. Apa yang akan terjadi jika kita berikan kondisi $S = R = 1$?

Logic probe akan bernilai 0 dan 1

- b. Kenapa kondisi $S = R = 0$ tidak diperbolehkan?

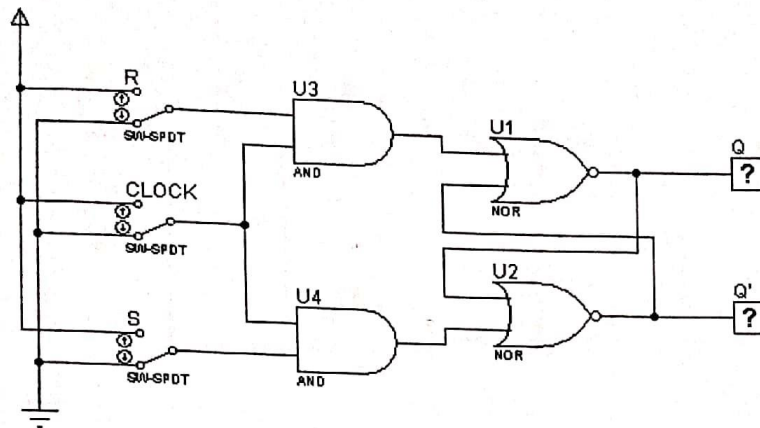
Karena logic probe akan bernilai sama (output = 1)

4. Berdasarkan analisis rangkaian flip-flop di atas, apa opini/pendapat anda tentang pernyataan "Flip-flop dan latch digunakan sebagai elemen penyimpanan data" :

flip-flop akan stabil dalam menyimpan memori
dan flip-flop diyalaskan melalui logika sekunsial

Percobaan 3. Flip-Flop RS

1. Buat dan simulasikan Flip-Flop RS seperti pada gambar! Dan kemudian klik switch SW-SPDT untuk mengoperasikan Flip-Flop RS.



2. Berdasarkan simulasi anda, isi titik-titik pada tabel berikut!

	S (Set)	R (Reset)	CLOCK	Output	
				Q	$Q_{(t+1)}$
1	0	0	0	1	0
2	0	0	1	1	0
3	0	1	0	0	1
4	0	1	1	0	1
5	1	0	0	0	1
6	1	0	1	1	0
7	1	1	0	0	1
8	1	1	1	0	0

3. Jawab pertanyaan berikut!

Apa yang akan terjadi jika kita beri kondisi $S = R = 1$ dan clock berubah dari 1 ke 0?

terjadi error

Bagaimana kondisi diatas dapat terjadi?

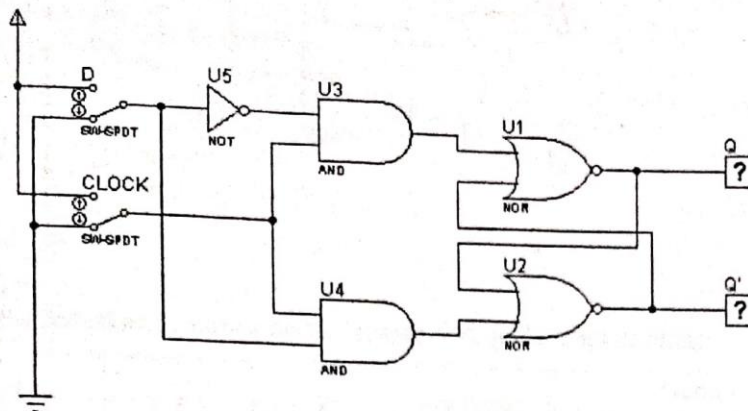
karena output hanya berubah dengan inputan saat pulsa clock bernilai 1.

4. Jelaskan bagaimana Flip-flop RS bekerja!

menyimpan bit melalui tombol set (S) dan mereset bit melalui tombol reset (R)

Percobaan 4. Flip-Flop D

1. Buat dan simulasikan Flip-Flop D seperti pada gambar! Dan kemudian klik switch SW-SPDT untuk mengoperasikan flip-flop.



2. Berdasarkan simulasi anda, isi titik-titik pada tabel berikut!

	D	CLOCK	Output	
			Q	$Q_{(t+1)}$
1	0	0	0	1
2	0	1	0	1
3	1	0	1	0
4	1	1	1	0
5	0	0	1	0
6	0	1	0	1
7	1	0	1	0
8	1	1	1	0

3. Jelaskan bagaimana Flip-flop D bekerja!

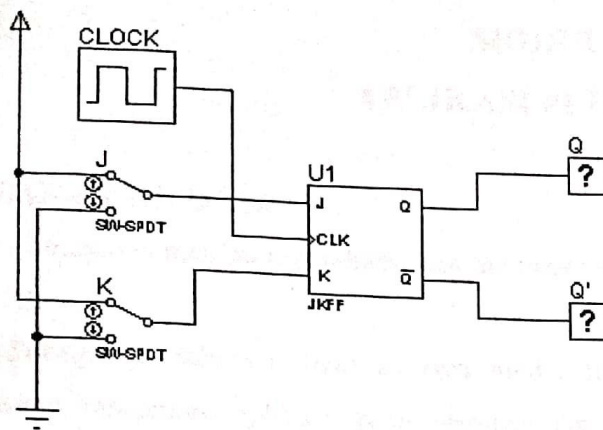
Jika clock mati (0) maka akan mengubah nilai $Q_{(t+1)}$
 sebelumnya, jika clock hidup maka mengubah nilai Q sebelumnya

4. Apa fungsi NOT gate pada Flip-Flop D dibandingkan dengan Flip-Flop SR!

Untuk menanggulangi kesalahan pada flip-flop
 RS ketika $D = \text{clock} = 1$ (mengalami kondisi terlarang)

Percobaan 5. Flip-Flop JK

1. Buat dan simulasikan JK Flip-Flop seperti pada gambar! Dan kemudian klik switch SW-SPDT untuk mengoperasikan flip-flop.



2. Berdasarkan simulasi anda, isi titik-titik pada tabel berikut!

	J	K	CLOCK	Output	
				Q	$Q_{(t+1)}$
1	0	0	0	0	1
2	0	0	1	0	1
3	0	1	0	0	1
4	0	1	1	0	1
5	1	0	0	1	0
6	1	0	1	1	0
7	1	1	0	0	1
8	1	1	1	1	0

3. Jawab pertanyaan berikut ini

a. Apa yang akan terjadi jika $J = K = 0$, dan clock rise up (change from 0 to 1)?

Output yang muncul awalnya $Q = 0$ dan $Q_{(t+1)} = 1$ dan ketika clock diubah nilai output tetap sama seperti sebelumnya.

b. Apa yang akan terjadi jika $J = K = 1$, dan clock rise up?

Nilai output (Q dan $Q_{(t+1)}$) akan berubah

4. Jelaskan bagaimana Flip-flop JK bekerja!

flip-flop master dipicu oleh sisi naik dan flip-flop dipicu oleh sisi turun. Sehingga master akan merespon input J dan K sebelum slave.