

Nama : Reza Aristo Rifandi

Kelas : D

NIM : L200180206

Kegiatan Praktikum

Percobaan 1. NOR Latch

	S (Set)	R (Reset)	Output	
			Q	Q'
1	0	1	0	1
2	0	0	0	1
3	1	0	1	0
4	0	0	1	0
5	1	1	0	0

a. Apa yang akan terjadi jika kita berikan kondisi $S=R=0$?

- Nilai Output akan tetap sama seperti hasil sebelumnya/keadaan terakhir

b. Kenapa kondisi $S=R=1$ tidak diperbolehkan?

- Karena disebut kombinasi terlarang / keadaan dilarang. Dapat mematahkan persamaan logika $Q=\text{not}Q'$

Percobaan 2. NAND Latch

	S (Set)	R (Reset)	Output	
			Q	Q'
1	0	1	1	0
2	1	1	1	0
3	1	0	0	1
4	1	1	0	1
5	0	0	1	1

a. Apa yang akan terjadi jika kita berikan kondisi $S=R=1$?

- Nilai output tidak akan berubah, tetap seperti sebelumnya

b. Kenapa kondisi $S=R=0$ tidak diperbolehkan?

- Karena berkebalikan dengan NOR Latch, jika $S=R=0$ adalah keadaan yang dilarang

c. berdasarkan analisis rangkaian flip-flop diatas, apa opini anda tentang pernyataan "Flip-flop dan latch digunakan sebagai elemen penyimpanan data"

- Untuk flip-flop NAND Latch:

- akan berkondisi memory jika $S=R=1$
- akan berkondisi input jika S/R berkondisi dari low ke high

Percobaan 3. Flip –Flop RS

	S (Set)	R (Reset)	CLOCK	Output	
				Q	$Q_{(t+1)}$
1	0	0	0	x	x
2	0	0	1	x	x
3	0	1	0	x	x
4	0	1	1	0	1
5	1	0	0	0	1
6	1	0	1	1	0
7	1	1	0	1	0
8	1	1	1	0	0

a. Apa yang akan terjadi jika kita berikan kondisi $S=R=1$ dan clock berubah dari 1 ke 0?

- Tidak diperbolehkan input R dan S dalam kondisi high di waktu yang sama

b. Bagaimana kondisi diatas dapat terjadi ?

- Karena mengikuti aturanyang ada, maka dapat dihasilkan seperti itu

c. Jelaskan bagaimana Flip-Flop RS bekerja?

- Flip – flop hanya akan bekerja selama ada pulsa clock. Output tidak akan berubah selama clock bernilai 0, tetapi jika sebaliknya maka output akan berubah

Percobaan 4. Flip-Flop D

	D	CLOCK	Output	
			Q	$Q_{(t+1)}$
1	0	0	x	x
2	0	1	0	1
3	1	0	0	1
4	1	1	1	0
5	0	0	1	0
6	0	1	0	1
7	1	0	0	1
8	1	1	1	0

a. Jelaskan bagaimana Flip – flop bekerja!

- Data tertunda sebesar 1 pulsa clock dan input ke output Q

b. Apa fungsi NOT gate pada Flip-flop D dibandingkan dengan Flip-flop RS!

- Agar disaat $S=R=1$ tidak terjadi keadaan yang error

Percobaan 5. Flip-Flop JK

	J	K	CLOCK	Output	
				Q	$Q_{(t+1)}$
1	0	0	0	0	1
2	0	0	1	0	1
3	0	1	0	0	1
4	0	1	1	0	1
5	1	0	0	0	1
6	1	0	1	1	0
7	1	1	0	0	1
8	1	1	1	0	1

a. Apa yang akan terjadi jika $J=K=0$, dan clock rise up (change 0 to 1)?

- Output yang akan muncul adalah sama seperti sebelumnya

b. Apa yang akan terjadi jika $J=K=1$, dan clock rise up?

- Keadaan output akan berubah sekalinnya
 $J=K=1$ dan clock=0, maka output $Q=0$, $Q'=1$
 $J=K=0$ dan clock=1, maka output $Q=1$, $Q'=0$

c. Jelaskan bagaimana Flip-flop bekerja!

- Saat gerbang J bernilai low dan K bernilai high, gerbang akan tertutup dan memungkinkan untuk mengatur flip-flop saat gerbang Q lebih tinggi, gerbang yang lebih rendah akan memicu reset dan melewati penerimaan pulsa clock positif yang selanjutnya