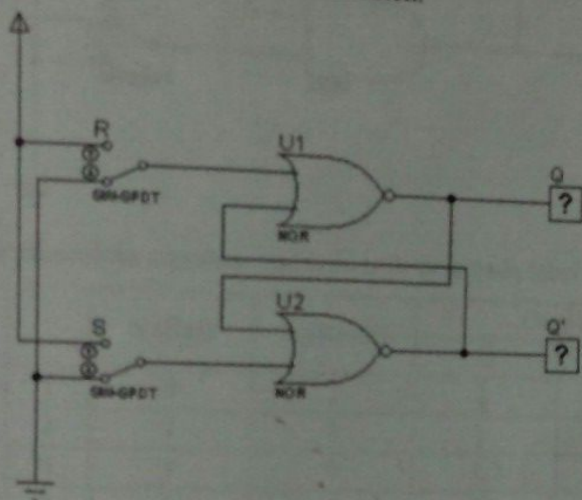


Gambar 7.8. Simbol T flip-flop

KEGIATAN PRAKTIKUM

Percobaan 1. NOR Latch

1. Buat dan simulasikan NOR latch seperti pada gambar! Dan kemudian klik switch SW-SPDT untuk mengoperasikan Latch.



2. Berdasarkan simulasi anda, isi titik-titik pada tabel berikut!

	S (Set)	R (Reset)	Output	
			Q	Q'
1	0	1	0	1
2	0	0	0	1
3	1	0	1	0
4	0	0	1	0
5	1	1	0	0

3. Jawab pertanyaan berikut!

- a. Apa yang akan terjadi jika kita berikan kondisi $S = R = 0$?

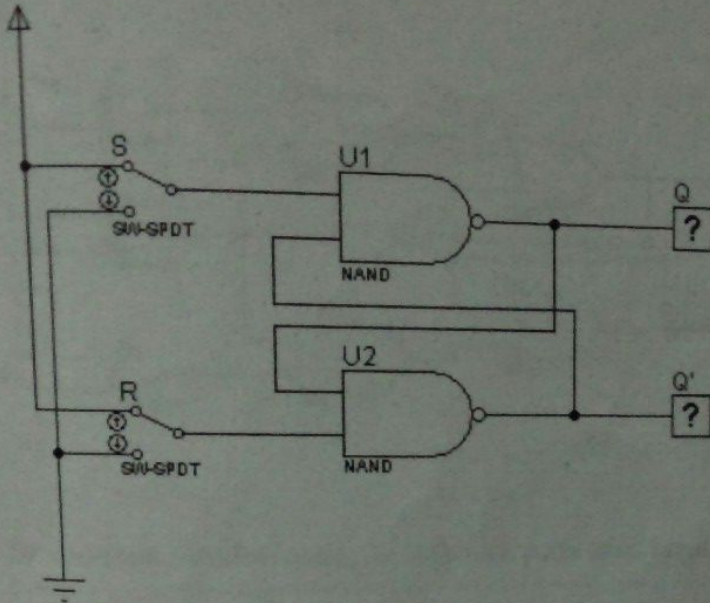
Output tetap / Memory

- b. Kenapakondisi $S = R = 1$ tidak diperbolehkan?

Karna gerbang input yang sama bernilai satu dapat membuat $Q \neq \bar{Q}$

Percobaan 2. NAND Latch

1. Buat dan simulasikan NOR latch seperti pada gambar! Dan kemudian klik switch SW-SPDT untuk mengoperasikan Latch.



2. Berdasarkan simulasi anda, isi titik-titik pada tabel berikut!

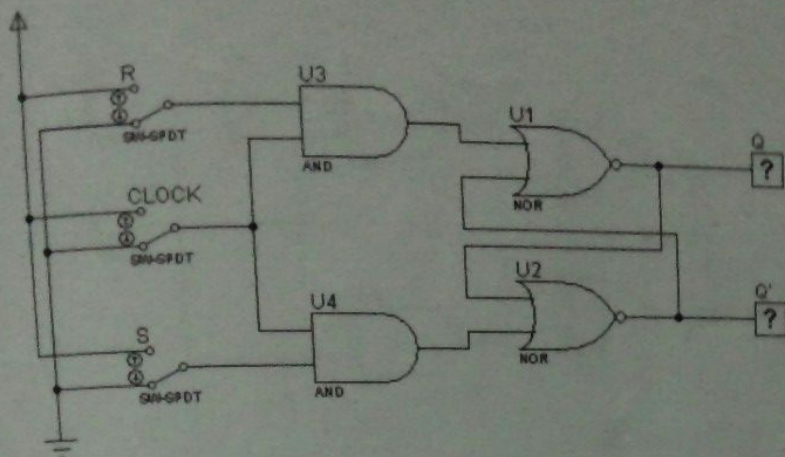
	S (Set)	R (Reset)	Output	
			Q	Q'
1	0	1	1	0
2	1	1	1	0
3	1	0	0	1
4	1	1	0	1
5	0	0	1	1

Jawab pertanyaan berikut!

- a. Apa yang akan terjadi jika kita berikan kondisi $S = R = 1$?
Output akan tetap atau mengganti / memory
- b. Kenapakondisi $S = R = 0$ tidak diperbolehkan?
Karna gerbang nol dan output yang sama bernilai nol dapat mematahkan $Q = \bar{Q}$ (komplement)
- c. Berdasarkan analisis rangkaian flip-flop di atas, apa opini/pendapat anda tentang pernyataan "Flip-flop dan latch digunakan sebagai elemen penyimpanan data"?
Nilai akan tetap jika set diganti dari 0 ke 1
jika nilai Reset 1

Percobaan 3. Flip-Flop RS

Buat dan simulasikan Flip-Flop RS seperti pada gambar! Dan kemudian klik switch SW-SPDT untuk mengoperasikan Flip-Flop RS.



2. Berdasarkan simulasi anda, isi titik-titik pada tabel berikut!

	S (Set)	R (Reset)	CLOCK	Output	
				Q	Q _(t+1)
1	0	0	0	—	—
2	0	0	1	—	—
3	0	1	0	—	—
4	0	1	1	0	1
5	1	0	0	0	1
6	1	0	1	1	0
7	1	1	0	1	0
8	1	1	1	0	0

3. Jawab pertanyaan berikut!

Apa yang akan terjadi jika kita beri kondisi $S = R = 1$ dan clock berubah dari 1 ke 0?

Error

Bagaimana kondisi diatas dapat terjadi?

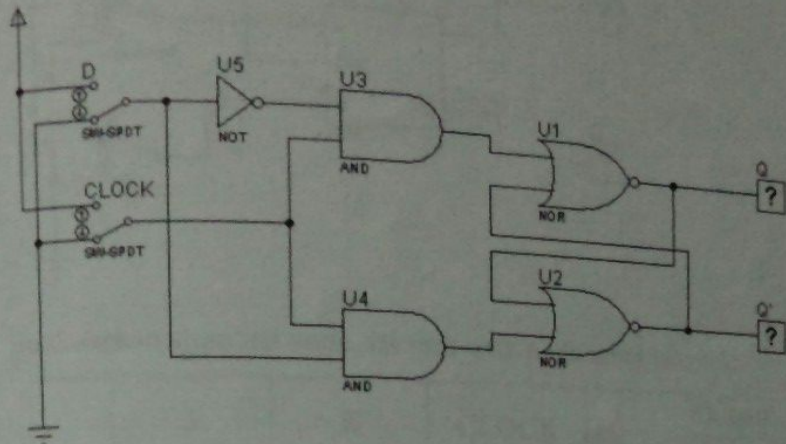
Karna Input S & R sama-sama nilai High karna keadaan di larang $Q = 1$ $\bar{Q} = 1$

4. Jelaskan bagaimana Flip-flop RS bekerja!

Bila CLK diberi nilai 1 & S diberi 1 R=0 maka nilai $Q = 1$ $\bar{Q} = 0$ Sedangkan CLK diberi nilai 1 & R diberi nilai 1 S=0 maka $Q = 0$ $\bar{Q} = 1$

Percobaan 4. Flip-Flop D

1. Buat dan simulasikan Flip-Flop D seperti pada gambar! Dan kemudian klik switch SW-SPDT untuk mengoperasikan flip-flop.



2. Berdasarkan simulasi anda, isi titik-titik pada tabel berikut!

	D	CLOCK	Output	
			Q	$Q_{(t+1)}$
1	0	0	0	1
2	0	1	0	1
3	1	0	0	1
4	1	1	1	0
5	0	0	1	0
6	0	1	0	1
7	1	0	0	1
8	1	1	1	0

3. Jelaskan bagaimana Flip-flop D bekerja!

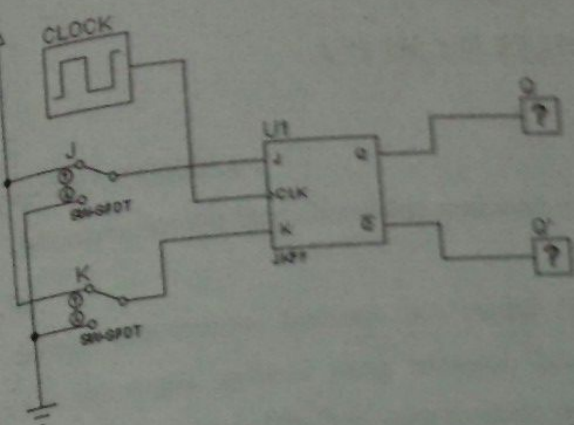
Tertunda 1 pulsa clock dari input ke output Q

4. Apa fungsi NOT gate pada Flip-Flop D dibandingkan dengan Flip-Flop SR!

Agar di buay $S = R = 1$ tidak terjadi Error

Percobaan 5. Flip-Flop JK

1. Buat dan simulasikan JK Flip-Flop seperti pada gambar! Dan kemudian klik switch SW-SPDT untuk mengoperasikan flip-flop.



Berdasarkan simulasi anda, isi titik-titik pada tabel berikut!

	J	K	CLOCK	Output	
				Q	$Q_{(t+1)}$
1	0	0	0	0	1
2	0	0	1	0	1
3	0	1	0	0	1
4	0	1	1	0	1
5	1	0	0	1	0
6	1	0	1	1	0
7	1	1	0	0	1
8	1	1	1	0	1

3. Jawab pertanyaan berikut ini

a. Apa yang akan terjadi jika $J = K = 0$, dan clock rise up (change from 0 to 1)?

Nilai $Q = 0$ dan $\bar{Q} = 1$

b. Apa yang akan terjadi jika $J = K = 1$, dan clock rise up?

Yang semula nilai $Q = 1$ dan $\bar{Q} = 0$, akan berubah ke $Q = 0$ dan $\bar{Q} = 1$

4. Jelaskan bagaimana Flip-flop JK bekerja!

FLIP FLOP JK bekerja ketika clock hadir/tergantung pada sinyal clock, kemudian menegasi 1 membalik kondisi output jika $J = K = 1$ "meminimalisir error ketika J dan K High.