

## POKAZNA VEŽBA 5

### Priprema za test

#### ZADATAK 1

U VHDL jeziku za opis fizičke arhitekture izvršiti sintezu digitalnog sistema prikazanog na Slici 1 koji služi za proveru parnosti primljene reči. Dati digitalni sistem sadrži: devetobitni pomerački registar, brojač modula 9, blok za proveru neparne parnosti i registar za baferovanje primljene reči.

Ulazi digitalnog sistema:

- iCLK – signal takta,
- inRST – asinhroni reset signal, aktivan u stanju logičke nule,
- iD – ulazni podatak.

Izlaz digitalnog sistema:

- oPARITY\_OK – signal greške parnosti,
- oDATA – primljeni podatak.

Sadržaj registara i brojača se postavlja na nulu signalom inRST. Ulazni jednobitni podatak se upisuje u pomerački registar SHIFT\_REG na svaku rastuću ivicu takt signala. Pomerački registar pomera svoj sadržaj za po jedno mesto u desno na svaku rastuću ivicu takta signala. Nakon primljene devetobitne reči bit neparne parnosti je smešten na poziciji najveće važnosti (MSB).

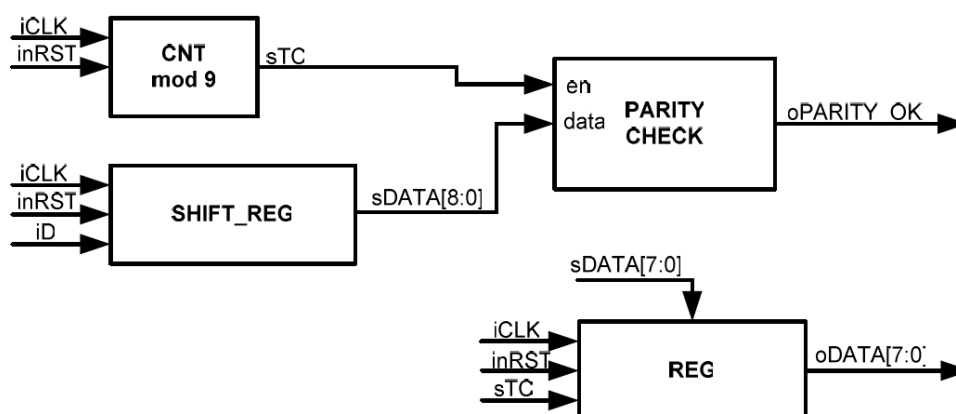
Brojač modula 9 broji na gore i menja svoju vrednost na svaku rastuću ivicu takt signala. Kada završi jedan ciklus brojanja brojač postavlja vrednost signala sTC na jedan. Indikator kraja ciklusa brojanja sTC je potrebno realizovati kombinaciono tj. bez baferovanja.

Kada je primljen devetobitni podatak vrši se provera neparne parnosti u bloku PARITY CHECK, koji postavlja signal greške parnosti oPARITY\_OK na vrednost jedan ukoliko je detektovana greška. Inače, ovaj signal ima vrednost nula.

Izlazni registar služi za baferovanje primljene reči i njeno prosleđivanje na izlaz digitalnog sistema. Signal sTC je signal dozvole upisa u izlazni registar i u blok za proveru parnosti.

Izvršiti simulaciju rada digitalnog sistema. Na simulaciji prikazati ulaze, izlaze, sadržaje registara, brojača i bloka za proveru parnosti. Simulirati situacije kad ulazni podatak iD ima sledeće vrednosti:

- iD = { 100101110 },
- iD = { 110101011 },
- iD = { 010101100 }.



Slika 1. Blok šema digitalnog sistema

## ZADATAK 2

U ovom zadatku implementiraćete digitalni sistem koji računa faktorijel prirodnog broja između 1 i 12. Ulaz u sistem je 4-bitni operand čiji faktorijel se računa, a izlaz je 32-bitni rezultat – faktorijel ulaznog operanda. Faktorijel broja  $n$  je operacija koja računa proizvod svih prirodnih brojeva od 1 do  $n$ , definisana sa:

$$n! = \prod_{i=1}^n i$$

Pošto je izlaz sistema koji treba da implementirate ograničen na 32 bita, najveći ulaz za koji on može da izračuna faktorijel je 12.

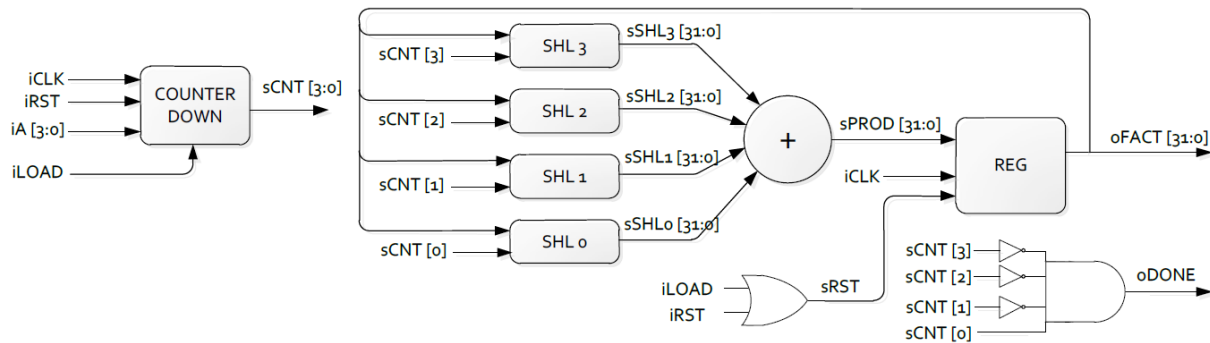
Blok dijagram sistema koji treba realizovati je dat na slici 2.

Ulazi digitalnog sistema su:

- iCLK – signal takta,
- iRST – signal reseta,
- iA [3:0] – ulazni operand,
- iLOAD – signal dozvole upisa u brojač.

Izlazi digitalnog sistema su:

- oFACT [31:0] – rezultat operacije faktorijela,
- oDONE – signal validnosti rezultata, na visokom nivou ukoliko je rezultat validan.



Slika 2. Blok šema digitalnog sistema

Brojač je 4-bitni i treba da broji nadole. Brojač ima dozvolu upisa *iLOAD*, a ulazni podatak je *iA*. Brojač treba da se zaustavi kada stigne do vrednosti 1, nakon čega drži stalno tu vrednost (jer bi množenje sa 0 resetovalo proizvod na 0).

Množenje se vrši pomoću pomeranja i sabiranja. Pomerači *SHL0* – *SHL3* vrše pomeranje ulaznog 32-bitnog operanda za 0, 1, 2 i 3 mesta respektivno. Izlaz svakog od pomerača je 32-bitna vrednost. Ovi pomerači imaju signal dozvole (na koji su povezani biti registra *sCNT*) aktivan na visokom nivou. Ako dozvola nije aktivna treba da generišu broj 0.

Sabirač je četvoroulazni 32-bitni sabirač (bez izlaznog signala prenosa).

Svi reset signali na dijagramu su aktivni na visokom naponskom nivou. Registar *REG* se prilikom resetu postavlja na vrednost 1, jer je to neutralna vrednost operacije množenja. Brojač takođe pri resetu postaviti na ovu vrednost.

Sistem je potrebno implementirati u VHDL jeziku za opis fizičke arhitekture i izvršiti njegovu simulaciju korišćenjem VHDL Test Bench-a. U simulaciji prikazati rezultat sledećih operacija:

- 1!
- 5!
- 12!
- Probati računanje 13! i analizirati rezultat – da li je tačan i ako nije, šta predstavlja?