

## LABORATORIJSKI ZADATAK 2

### Kombinacione mreže

#### Potrebno predznanje

- Urađena pokazna vežba 3
- Standardne kombinacione mreže – pun sabirač, dekodler, koder, multiplexer, demultiplexer

#### Šta će biti naučeno tokom izrade vežbe?

Nakon urađene vežbe:

- Primenićete znanje standardnih kombinacionih mreža i iskoristiti ih za projektovanje složenih kombinacionih mreža koje sadrže više standardnih komponenti,
- Savladaćete kompletan ciklus projektovanja digitalnih sistema za FPGA – od specifikacije, preko logičke šeme, VHDL opisa, simulacije, do implementacije,
- Imaćete iskustvo u projektovanju kombinacionih mreža koje rešavaju uslovnu logiku.

#### Apstrakt i motivacija

Nakon što smo naučili osnove projektovanja kombinacionih mreža i njihovih opisa logičkom šemom i VHDL jezikom, vreme je da stečeno znanje primenimo u rešavanju problema projektovanja složenijih kombinacionih mreža od onih koje smo do sada videli. U ovoj vežbi ćete, kroz niz koraka, projektovati kombinacionu mrežu koja implementira uslovnu logiku. Ova mreža će, u zavisnosti od selekcionih bita, računati različite funkcije ulaznih signala. Ova vežba će takođe pokazati kako se sistem može proširivati dodajući komponente u sistem. Krajnji rezultat vežbe će biti kombinacioni digitalni sistem sastavljen od nekoliko standardnih kombinacionih mreža.

#### Šta treba doneti na termin laboratorijske vežbe?

- Tražene istinitosne tablice, logičke i blok šeme na papiru ili računaru.
- VHDL opis **krajnjeg koraka** u realizaciji sistema (međukoraci nisu potrebni) – krajnji korak je poslednji korak koji uspete da realizujete.
- Testbench za krajnji korak sistema.
- Generisanu *.bit* datoteku za konfigurisanje E2LP platforme za krajnji korak sistema.

## ZADACI

### 1. Uslovna logika paljenja dioda

Vaš sistem treba da uslovno pali diode na E2LP platformi u zavisnosti od stanja srednjeg tastera.

Sistem treba da ima sledeće prolaze:

- Ulazi – osmобitni iSW [7:0] kojeg ćemo povezati na sve prekidače, jednobitni iSEL kojeg ćemo povezati na srednji taster,
- Izlazi – osmобitni oLED [7:0] kojeg ćemo povezati na LED diode.

Sistem treba da se ponaša na sledeći način:

- Ako je taster iSEL *pritisnut* (taster na E2LP ima vrednost 0 kada je pritisnut), diode treba da pokazuju invertovane vrednosti od onih koje se nalaze na prekidačima (npr. ako je vrednost prekidača iSW[0] = '1', onda vrednost diode oLED[0] treba da bude '0'. Istu logiku primeniti na svih osam bita ulaza i izlaza).
- Ako je taster iSEL *pušten*, na izlazu treba da se pojavi sledeće:
  - diode LED3 – LED0 treba da sadrže razliku četvorobitnih brojeva prikazanih na prekidačima SW7 – SW4 (umanjenik) i SW3 – SW0 (umanjilac), s pretpostavkom da su brojevi neoznačeni
  - dioda LED4 treba da ima vrednost '0' ukoliko je umanjilac (predstavljen na SW7 – SW4) veći od umanjioaca (predstavljen sa prekidačima SW3 – SW0) a u suprotnom vrednost '1'
  - diode LED7 – LED5 treba da sadrže indeks jednog od upaljenih prekidača (od 0 do 7); ukoliko je upaljeno više od jednog prekidača izabrati onaj sa najmanjim indeksom

Za ovaj zadatak uraditi sledeće:

- Nacrtati **blok šemu sistema** (na nivou standardnih komponenti – ne mora biti na nivou logičkih kola) na papiru (šema treba da jasno prikaže arhitekturu digitalnog sistema).
- **Opisati u VHDL jeziku** sistem koristeći proizvoljne VHDL konstrukcije za opis kombinacionih mreža – uslovne dodele ili procese (ili ukoliko baš želite, logička kola).
- Napisati **testbench** za sistem, proveravajući karakteristične slučajeve.
- **Simulirati i implementirati** sistem za E2LP platformu.

Dodeliti pinove prema tabeli 1-1.

Tabela 1-1. Dodela pinova

Prolaz	Smer	Komponenta na E2LP platformi
iSW [7:0]	in	SW7-SW0
iSEL	in	JOY2
oLED [7:0]	out	LED7-LED0

Preporučujemo korišćenje uslovnih dodela i procesa u rešavanju ovog (a i svih kasnijih zadataka) – rešavanje na nivou logičkih kola je veoma mukotrpno i dugotrajno već kod ovog primera.

## OPŠTE NAPOMENE

Prilikom crtanja šeme na papiru ili računaru, koristiti blokove za standardne kombinacione mreže – nema potrebe da poznate komponente crtate na nivou logičkih kola. Bitno je da logička šema ispravno opiše logiku kombinacione mreže, nije neophodno spuštati se u detalje i crtati svako logičko kolo.

Implementaciju sistema izvršiti za poslednji urađen korak zadatka. Nije neophodno imati urađenu implementaciju za svaki korak. Simulaciju treba raditi posle svakog koraka, jer na sledeći korak treba preći jedino ukoliko je prethodni funkcionalno proveren.

Na termin vežbe doneti **jedan** VHDL opis i **jedan** testbench (nije neophodno donositi ni opis ni testbench međukoraka) za svaki zadatak. Međukoraci su tu da bi vama olakšali put ka kompletnom sistemu i omogućili da vaš sistem projektujete inkrementalno – počev od jednostavnijih komponentata ka složenijim.

## ZAKLJUČAK

U ovoj vežbi ste napravili složeni kombinacioni sistem koji se sastoji od bar 2 tipa standardnih kombinacionih mreža. Ova vežba je imala za cilj da vas uvežba da projektujete složene kombinacione mreže, ali i da vam pokaže kako se sistem može projektovati inkrementalno, počev od jednostavnijih delova sistema, inkrementalno dodajući komponente sa ciljem projektovanja složenog sistema.