

LABORATORIJSKI ZADATAK 1

Opis digitalnih sistema na nivou logičkih kola

Potrebno predznanje

- Urađena pokazna vežba 2
- Digitalna logička kola i njihov opis logičkom šemom

Šta će biti naučeno tokom izrade vežbe?

Nakon urađene vežbe:

- Primenićete znanje digitalnih logičkih kola i iskoristiti ih za projektovanje kombinacionih mreža,
- Savladaćete kompletan ciklus projektovanja digitalnih sistema za FPGA – od specifikacije, preko logičke šeme ili VHDL opisa, simulacije, do implementacije,
- Imaćete iskustvo u projektovanju kombinacionih mreža koje računaju aritmetičke operacije.

Apstrakt i motivacija

Nakon što smo naučili osnove projektovanja kombinacionih mreža i njihovih opisa logičkom šemom i VHDL jezikom, vreme je da stečeno znanje primenimo u rešavanju problema projektovanja složenijih kombinacionih mreža od onih koje smo do sada videli. U ovoj vežbi ćete, kroz niz koraka, projektovati kombinacionu mrežu koja implementira aritmetičko sabiranje. Ova mreža će sabirati dva 4-bitna broja i izračunati 5-bitni rezultat. Za početak projektovaćete elementarni korak, pun sabirač, i kroz ovaj zadatak ponoviti korake simulacije i implementacije sistema u Xilinx ISE alatu. Nakon toga ćete proširiti ovaj sistem tako da on sabira četvorobitne brojeve.

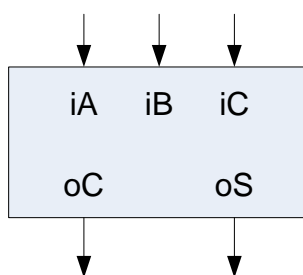
Šta treba doneti na termin laboratorijske vežbe?

- Tražene istinitosne tablice, logičke i blok šeme na papiru ili računaru.
- Šematski opis **krajnjeg koraka** u realizaciji sistema (međukoraci nisu potrebni) – krajnji korak je poslednji korak koji uspete da realizujete.
- Testbench za krajnji korak sistema.
- Generisanu *.bit* datoteku za konfigurisanje E2LP platforme za krajnji korak sistema.

ZADACI

1. Četvorobitni sabirač – logička šema

Pun sabirač (slika 1-1) je standardna kombinaciona mreža sa 3 ulaza i 2 izlaza. Ulazi su jednobitni celi brojevi koji su međusobno ravnopravni (dva predstavljaju bitove operanada, a treći predstavlja ulazni prenos). Zadatak punog sabirača je da sabere tri bita sa ulaza i na izlazu prikaže njihovu sumu. Suma tri binarna broja može uzeti vrednosti od 0 do 3, tako da izlaz punog sabirača sadrži 2 bita – jedan predstavlja sumu, a jedan predstavlja prenos. Izlazi posmatrani kao dvobitni broj, takav da je prenos na višoj poziciji od sume, predstavljaju sumu tri jednobitna ulaza.



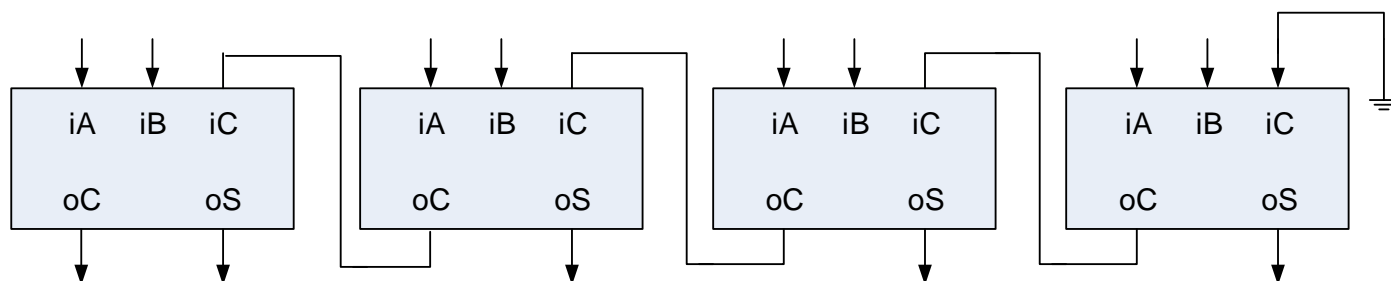
Slika 1-1. Pun sabirač

Vaš zadatak je da projektujete pun sabirač prateći sve korake projektovanja koje smo učili u prethodnih vežbama:

1. Napisati istinitosnu tablicu punog sabirača i napisati Bulove funkcije svakog od izlaza ove kombinacione mreže.
2. Na papiru nacrtati logičku šemu punog sabirača (na nivou logičkih kola).
3. Na računaru, u Xilinx ISE alatu, nacrtati logičku šemu punog sabirača (schematic).
4. Napisati testbench za proveru punog sabirača prolazeći kroz **sve** mogućnosti ulaza.
5. Simulirati pun sabirač i proveriti mu funkcionalnost.

Proveriti funkcionalnost punog sabirača u simulaciji pre nego što pređete na sledeći korak.

Nakon što smo (uspešno) napravili jednobitni pun sabirač, sistem ćemo proširiti tako da predstavlja četvorobitni sabirač kao na slici 1-2.



Slika 1-2. Četvorobitni sabirač

Četvorobitni sabirač ima sledeće prolaze:

- Ulazi – četvorobitni operand iA i četvorobitni operand iB
- Izlazi – četvorobitni zbir oS i prenos oC.

Koristeći Bulove funkcije izvedene u prethodnom zadatku, proširiti sistem sa jednobitnog na četvorobitni sabirač. Uraditi sledeće:

1. Dopuniti šemu punog sabirača tako da dobijemo četvorobitni sabirač (replicirati pun sabirač četiri puta i povezati na odgovarajući način).
2. Napisati test bench za četvorobitni sabirač prolazeći kroz nekoliko slučajeva sabiranja.
3. Simulirati sistem i proveriti mu funkcionalnost.
4. Implementirati sistem za E2LP platformu.

Dodeliti pinove prema tabeli 1-1.

Tabela 1-1. Dodela pinova

Prolaz	Smer	Komponenta na E2LP platformi
iA [3:0]	in	SW3-SW0
iB [3:0]	in	SW7-SW4
oS [3:0]	out	LED3-LED0
oC	out	LED4

OPŠTE NAPOMENE

Implementaciju sistema izvršiti za poslednji urađen korak zadatka. Nije neophodno imati urađenu implementaciju za svaki korak. Simulaciju treba raditi posle svakog koraka, jer na sledeći korak treba preći jedino ukoliko je prethodni funkcionalno proveren.

Na termin vežbe doneti **jednu** logičku šemu i **jedan** test bench (nije neophodno donositi ni opis ni test bench međukoraka) za svaki zadatak. Međukoraci su tu da bi vama olakšali put ka kompletnom sistemu i omogućili da vaš sistem projektujete inkrementalno – počev od jednostavnijih komponentata ka složenijim.

ZAKLJUČAK

U ovoj vežbi ste napravili kombinacioni sistem koji izvršava jednu aritmetičku operaciju. Ova vežba je imala za cilj da vas uvežba da projektujete kombinacione mreže na nivou logičkih kola, ali i da vam pokaže kako se sistem može projektovati inkrementalno, počev od jednostavnijih delova sistema, dodajući komponente sa ciljem projektovanja složenijeg sistema.