

LABORATORIJSKI ZADATAK 3

Sekvencijalne mreže

Potrebno predznanje

- Urađena pokazna vežba 4
- Standardne sekvencijalne mreže – registar, brojač

Šta će biti naučeno tokom izrade vežbe?

Nakon urađene vežbe:

- Naučićete da kombinujete kombinacione i sekvencijalne mreže u složen sistem,
- Razumećete merenje vremena u digitalnim sistemima,
- Poboľjšaćete vaše razumevanje projektovanja sekvencijalnih digitalnih sistema.

Apstrakt i motivacija

Nakon što smo naučili osnove projektovanja sekvencijalnih mreža i njihovih opisa VHDL jezikom, vreme je da stečeno znanje primenimo u rešavanju problema projektovanja složenijih sekvencijalnih mreža od onih koje smo do sada videli. Da li ste se ikada zapitali kako rade digitalni sistemi poput digitalnog sata ili drugi vremenski zavisni sistemi? U ovoj vežbi ćete otkriti osnove funkcionisanja digitalnih časovnika i napraviti sistem koji se oslanja na njega. Za početak ćete napraviti brojač koji broji jednu sekundu, a nakon toga isti iskoristiti u sistemu koji će rukovati izlazom i praviti mali „led show“. Krajnji rezultat biće sistem koji svake sekunde pomera i rotira niz a pri tom ima mogućnost kontrole rada kao što su zaustavljanje i ponovno pokretanje.

Šta treba doneti na termin laboratorijske vežbe?

- Logičku i/ili blok šemu sistema na papiru ili računaru (za **krajnji izgled sistema**).
- VHDL opis **krajnjeg koraka** u realizaciji sistema (međukoraci nisu potrebni) – krajnji korak je poslednji korak koji uspete da realizujete.
- Testbench za krajnji korak sistema.
- Generisanu *.bit* datoteku za konfigurisanje E2LP platforme za krajnji korak sistema.

ZADACI

1. Brojač jedne sekunde

E2LP platforma ima ugrađeni oscilator koji generiše signal takta frekvencije 24 MHz. Bilo koja sekvencijalna mreža koju bi povezali na taj takt i koja bi menjala izlaze prema tom taktu, ne bi bila proverljiva na E2LP platformi pošto ljudsko oko nema mogućnost registrovanja promena signala pri toj frekvenciji. Kako bi provera sistema bila moguća, a i kada god je potrebno smanjiti ulazni takt, potrebno je u sistem ubaciti **delitelj takta**.

Brojač se može iskoristiti kako bi se izvršilo deljenje takta, odn. od takta veće frekvencije napraviti takt manje frekvencije. Brojač modula N ima mogućnost da podeli takt N puta, odn. ako izlaz brojača postavimo na logičku jedinicu samo u jednom od N stanja, izlazni takt će imati period N puta veći, odn. frekvenciju N puta manju od ulaznog takta. Izlaz ovog brojača treba da bude jednobitan i predstavlja signal kada je brojač završio ciklus brojanja, tj. treba da ima vrednost 1 u jednom od N stanja. Izbor stanja u kome će ovaj signal imati vrednost 1 je proizvoljan, ali najčešće se uzimaju prvo stanje (0) ili poslednje stanje (N-1). Ovaj signal se naziva **terminal count**.

Kao vaš prvi zadatak u ovoj vežbi, napravite brojač koji će da se uvećava za 1 na svakoj ivici takta. Jednobitni izlaz brojača, terminal count, treba da ima vrednost 1 na kraju jedne sekunde, u poslednjem od N stanja ovog brojača (gde je N broj taktova u jednoj sekundi).

Brojač nema kontrolnih ulaza, tj. jedini ulazi su takt i reset. Izlaz brojača je jednobitni i predstavlja terminal count signal.

Pinove dodeliti prema tabeli 1-1 (ukoliko je ovo poslednji korak vežbe koji ćete uraditi).

Tabela 1-1. Dodela pinova

| Prolaz | Smer | Komponenta na E2LP platformi |
|--------|------|------------------------------|
| iCLK | in | CLOCK |
| inRST | in | RESET |
| oTC | out | LED0 |

Provera brojača u simulaciji je obavezna pre nego što nastavite sa sledećim korakom, a sinteza nije neophodna dok ne završite vežbu. Tabelu 1-1 zanemarite ukoliko ćete raditi naredne zadatke.

2. Pomerački registar bez kontrole

Dodati u sistem jedan 8-bitni pomerački registar koji će koristiti signal od brojača iz prethodnog zadatka kao signal dozvole. Početna vrednost ovog registra (vrednost nakon reset) je vrednost "00111100". Za registar koristiti takođe ulazni takt od 24 MHz. Izlaz iz registra treba da bude trenutna vrednost pomeren za jedno mesto u desno (npr. posle prve sekunde, vrednost na izlazu treba da bude "00011110"). Bit koji se nalazi na poziciji najmanje značajnog bita (LSB) treba da se nađe na poziciji najznačajnijeg bita (MSB). Na ovaj način pravimo cirkularni logički pomerač. Ova vrednost će se ažurirati svake sekunde a ne svaki takt. Pomeraj treba da se desi samo u onom taktu u kome je brojač završio sa brojanjem jedne sekunde.

Pinove dodeliti prema tabeli 2-1 (ukoliko je ovo poslednji korak vežbe koji ćete uraditi).

Tabela 2-1. Dodela pinova

| Prolaz | Smer | Komponenta na E2LP platformi |
|------------|------|------------------------------|
| iCLK | in | CLOCK |
| inRST | in | RESET |
| oRES [7:0] | out | LED7 – LED0 |

Ukoliko bi simulirali ovaj sistem, simulacija bi trajala dugo jer treba da prođe 24,000,000 taktova da bi prošla jedna sekunda. Kako bi simulacija bila dovoljno brza, za njene potrebe smanjiti period brojanja prvog brojača da on broji intervale od 1 μ sec ili kraće, umesto 1 sec. Ali nemojte zaboraviti da ovo vratite na brojanje sekundi prilikom sinteze!

3. Kontrola sistema

Nakon što smo napravili pomerački registar koji svake sekunde pomera svoj sadržaj, vreme je da uvedemo kontrolu registra. Dodaćemo dva kontrolna signala:

- inGO – signal pokretanja i nastavljanja rada pomeračkog registra,
- inSTOP – signal zaustavljanja rada pomeračkog registra

Signal inGO treba da pokrene pomerački registar da rotira svoj sadržaj svake sekunde, ukoliko je on bio ugašen (resetovan). Ukoliko je registar bio zaustavljen (pritiskom signala inSTOP), pritiskom na taster inGO, registar treba da nastavi sa radom ali u istom delu sekunde u kom je prekinut. Na primer, ukoliko je registar zaustavljen posle 2.9 sekundi, do naredne promene treba da prođe 0.1 s. Ukoliko sistem radi i taster inGO bude pritisnut, to ne treba da izazove nikakvu reakciju sistema.

Signal inSTOP treba da zaustavi pomerački registar. Trenutni raspored svetlećih bita na izlazu treba da ostane „zamrznut“ sve dok se ne pritisne taster inGO ili sistem ne bude resetovan.

Vodite računa da stanje rada pomeračkog registra (radi ili ne radi) mora negde da stoji zapamćeno i da za ovu informaciju nije dovoljna samo kombinaciona logika kontrolnih signala. Dodeliti pinove prema tabeli 3-1.

Tabela 3-1. Dodela pinova

| Prolaz | Smer | Komponenta na E2LP platformi |
|------------|------|------------------------------|
| iCLK | in | CLOCK |
| inRST | in | RESET |
| inGO | in | JOY0 |
| inSTOP | in | JOY2 |
| oSEC [7:0] | out | LED7 – LED0 |

OPŠTE NAPOMENE

Prilikom crtanja šeme na papiru ili računaru, koristiti blokove za standardne kombinacione i sekvencijalne mreže – nema potrebe da poznate komponente crtate na nivou logičkih kola. Bitno je da logička šema ispravno opiše logiku sistema. Sve nestandardne komponente koje koristite morate na neki način definisati – bilo istinitosnom tablicom ili opisom na nivou logičke funkcije.

Implementaciju sistema izvršiti za poslednji urađen korak zadatka. Nije neophodno imati urađenu implementaciju za svaki korak. Simulaciju treba raditi posle svakog koraka, jer na sledeći korak treba preći jedino ukoliko je prethodni funkcionalno proveren.

Na termin vežbe doneti **jedan** VHDL opis i **jedan** testbench (nije neophodno donositi ni opis ni testbench međukoraka). Međukoraci su tu da bi vama olakšali put ka kompletnom sistemu i omogućili da vaš sistem projektujete inkrementalno – počev od jednostavnijih komponenata ka složenijim.

ZAKLJUČAK

U ovoj vežbi ste videli kako uz pomoć sekvencijalnih mreža možemo realizovati vremensku kontrolu sistema. Ova vežba vas je upoznala i sa deliteljima takta koji su neizostavni deo složenijih digitalnih sistema. Na ovom predmetu se nećemo baviti ovom problematikom, odn. naši sistemi će raditi na jednom taktu, onom koji dolazi sa oscilatora na platformi. Složeniji sistemi često koriste više taktova i sastoje se iz više domena takta, a sinhronizacija signala između različitih domena takta predstavlja izazov koji prevazilazi naš predmet. Bez obzira, vi ste u ovoj vežbi upoznati sa najjednostavnijim načinom smanjenja takta u sistemu – jednostavnim brojanjem! Više o podeli takta i takt domenima možete pročitati u literaturi iz projektovanja digitalnih sistema, no mi se nećemo baviti tom temom u nastavku ovih vežbi.