

微机原理与接口技术

期末复习

复习范围

- 1. 8086/8 CPU 及最小、最大总线形成、总线时序
- 2. 微机系统总线的组成及分类
- 3. 半导体存储器及其接口
- 4. 基本输入/输出接口的结构、数据传输的几种基本方式
- 5. 8088中断系统与中断控制器8259
- 6. 并行接口8255
- 7. 定时/计数器8253
- 8. DMA控制器8237

8088 CPU

- 1. 8086/8 CPU的内部结构
- 2. 8086/8 最小组态、最大组态的引脚定义、总线形成
- 3. 8086/8 总线时序

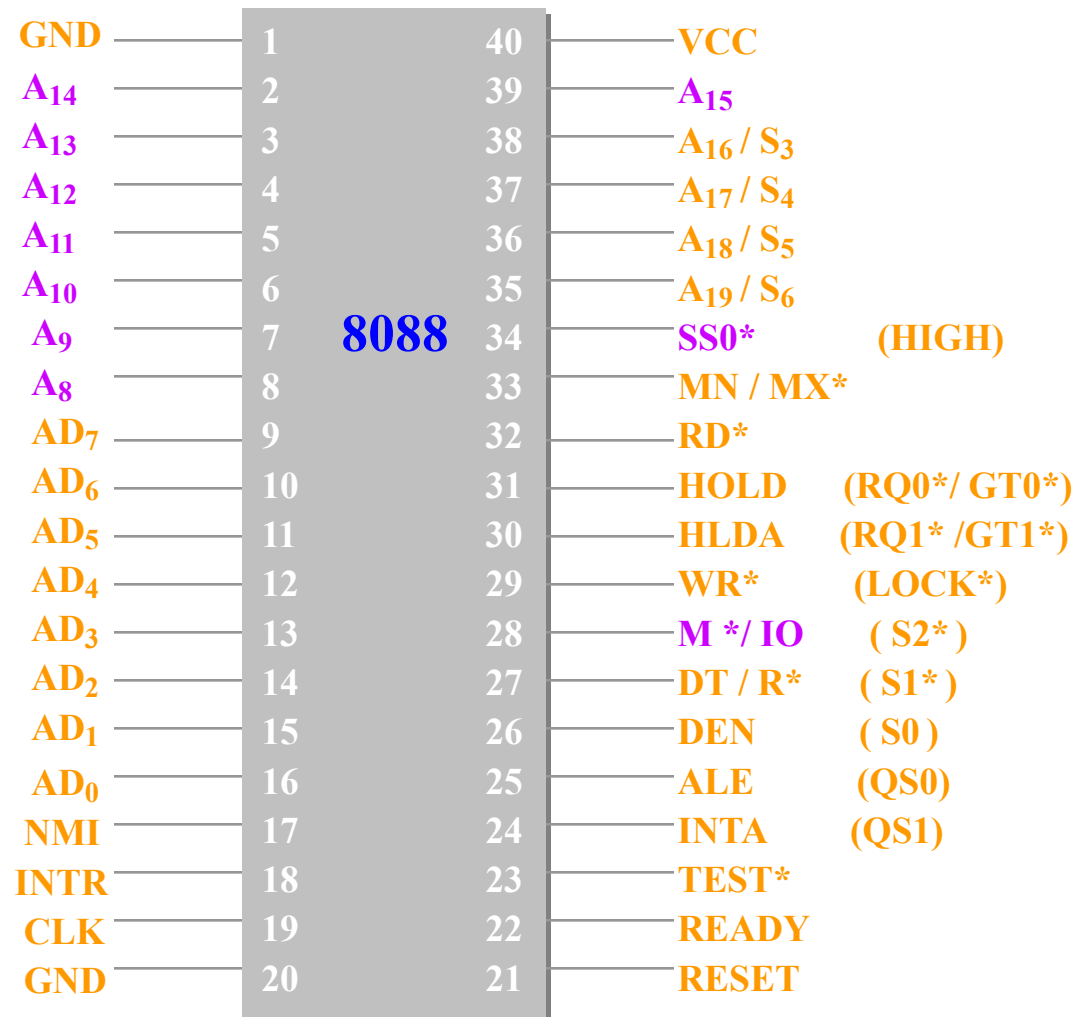
1. 8086/8 CPU的内部结构

- （1）掌握微处理器、微型计算机、微型计算机系统概念。
- （2）8086/8 CPU分为两大功能模块：BIU、EU，掌握BIU、EU分别完成的功能。掌握CPU取指令、执行指令时使用的基本流水线机制。
- （3）CPU内部使用的存储器地址为逻辑地址，而CPU外部（总线上）使用的却是物理地址。掌握两种地址概念上的区别，以及逻辑地址向物理地址转换的过程。

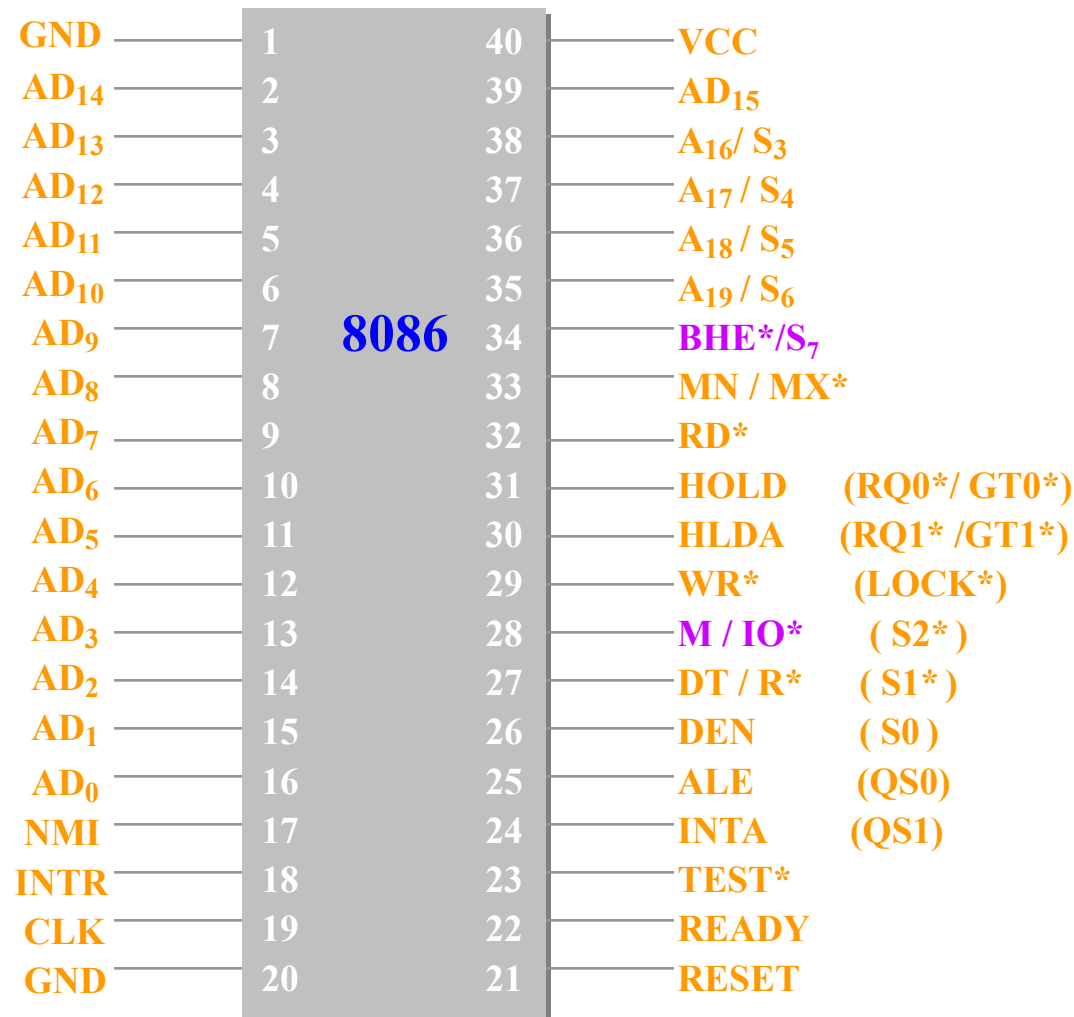
1. 8086/8 CPU的内部结构

- （4）指令译码器、指令队列的概念与功能
- （5）能够使用8086/8 CPU的指令系统编写程序片段。

2. 8086/8 最小组态、最大组态的引脚定义、总线形成



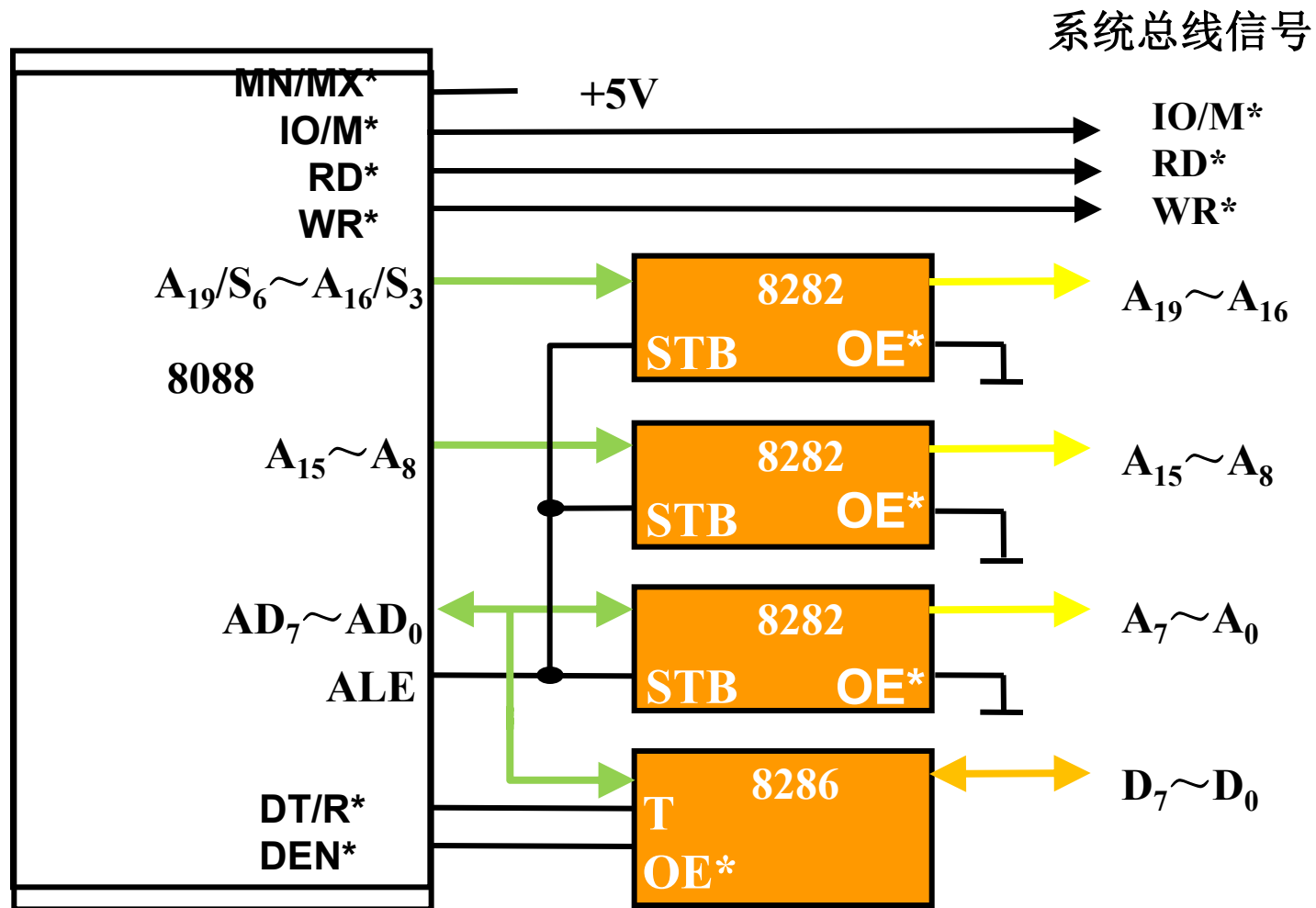
2. 8086/8 最小组态、最大组态的引脚定义、总线形成



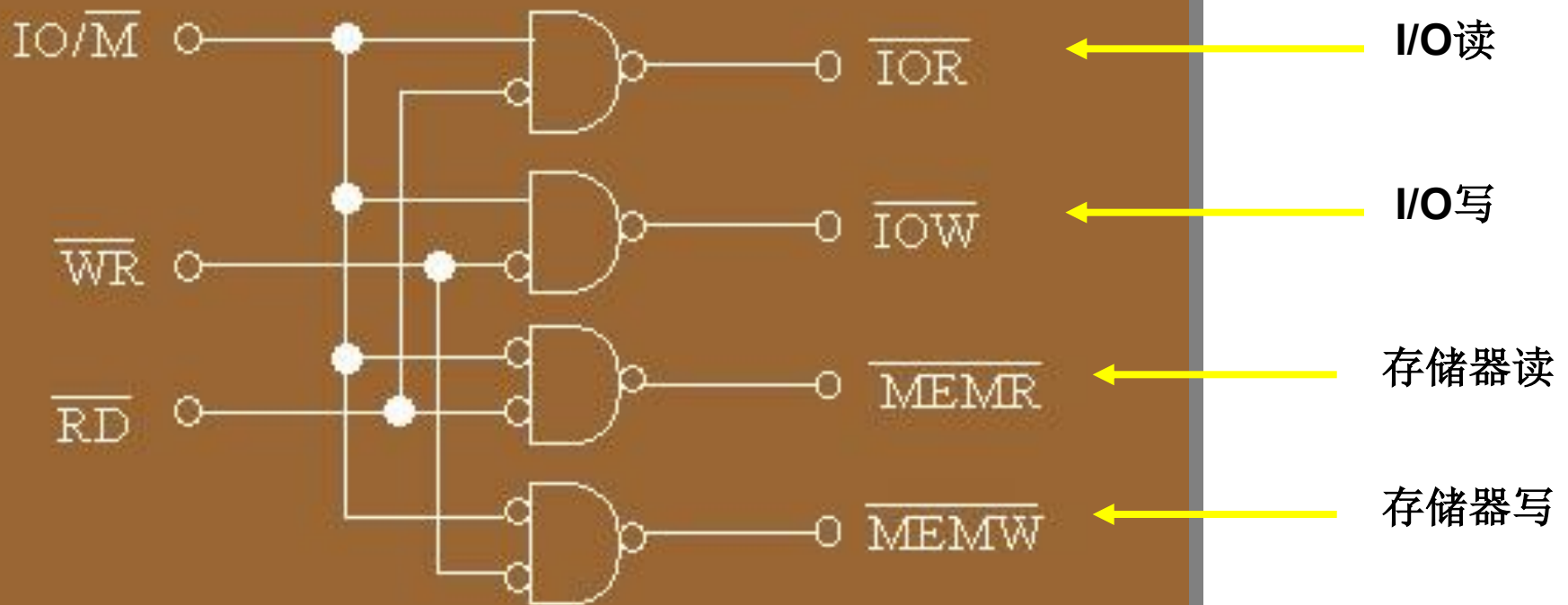
2. 8086/8 最小组态、最大组态的引脚定义、总线形成

- 综合概念：
- （1）掌握CPU引脚中“复用”、“三态”、“双向”的概念。
- （2）掌握最小组态、最大组态两种总线形成的概念、针对的应用范围。

最小组态的总线形成



2. 8086/8 最小组态、最大组态的引脚定义、总线形成



总线读写控制信号的转换

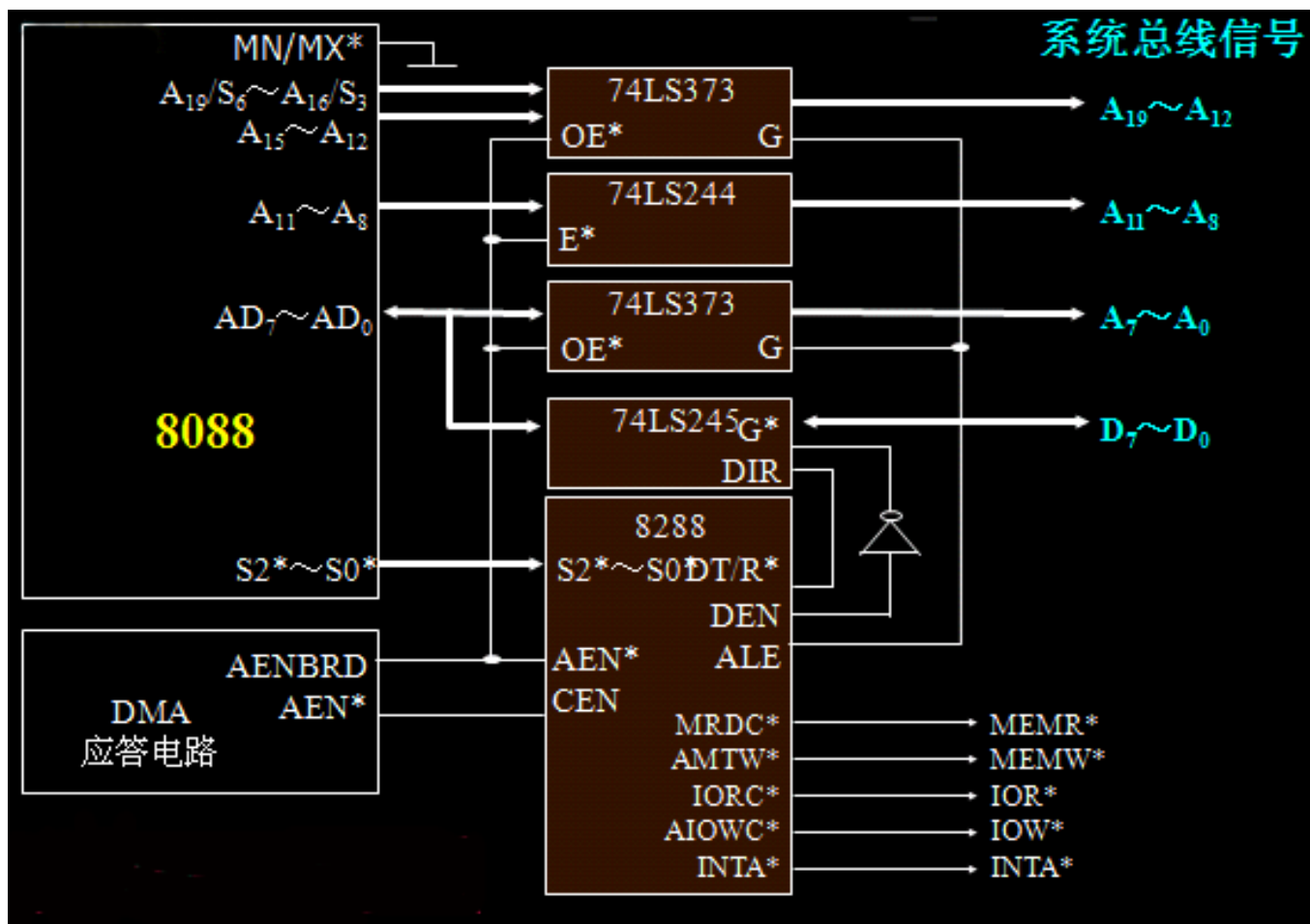
最大组态下控制信号与最小组态间的区别

S2* S1* S0*	CPU的工作状态
0 0 0	中断响应
0 0 1	I/O读
0 1 0	I/O写
0 1 1	暂停
1 0 0	取指
1 0 1	存储器读
1 1 0	存储器写
1 1 1	过渡状态

最大组态控制总线形成

S2	S1	S0	8086总线周期	8288命令输出
0	0	0	中断响应	INTA
0	0	1	读I/O口	IORC
0	1	0	写I/O口	IOWC,AIOWC
0	1	1	暂停	
1	0	0	取指令代码	MRDC
1	0	1	读存储器	MRDC
1	1	0	写存储器	MWTC,AMWC
1	1	1	过渡状态	

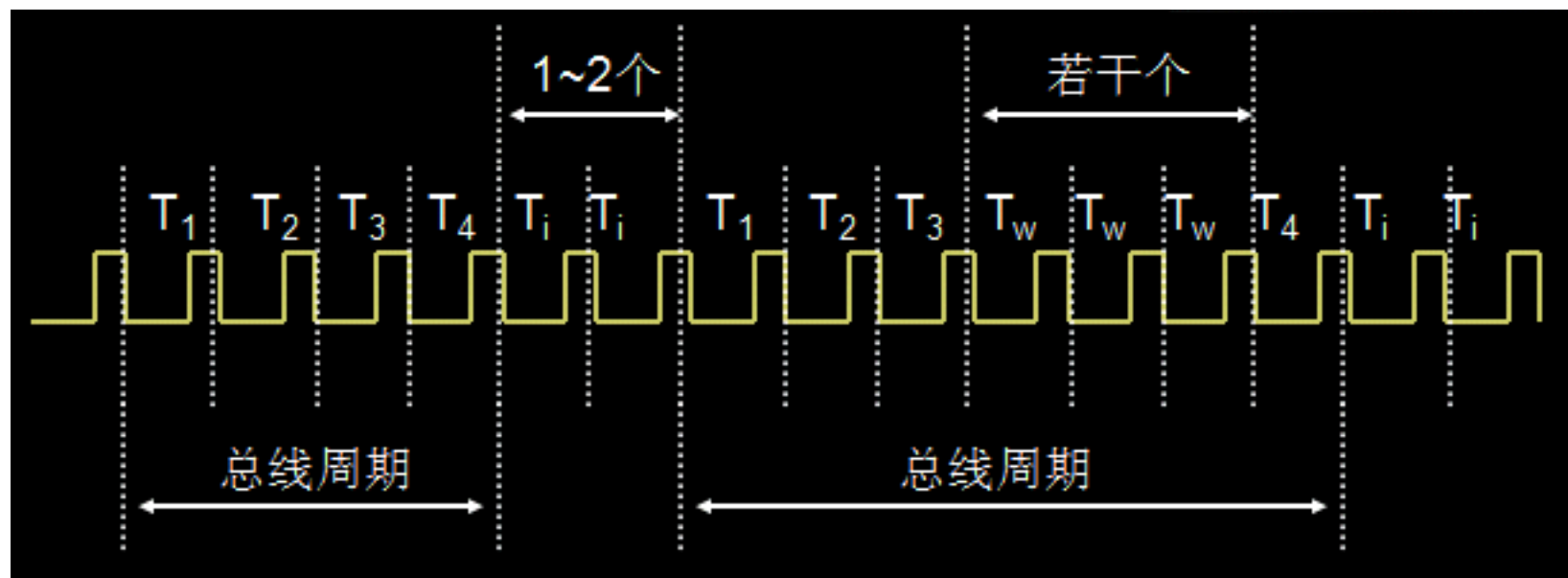
8088最大组态的总线形成



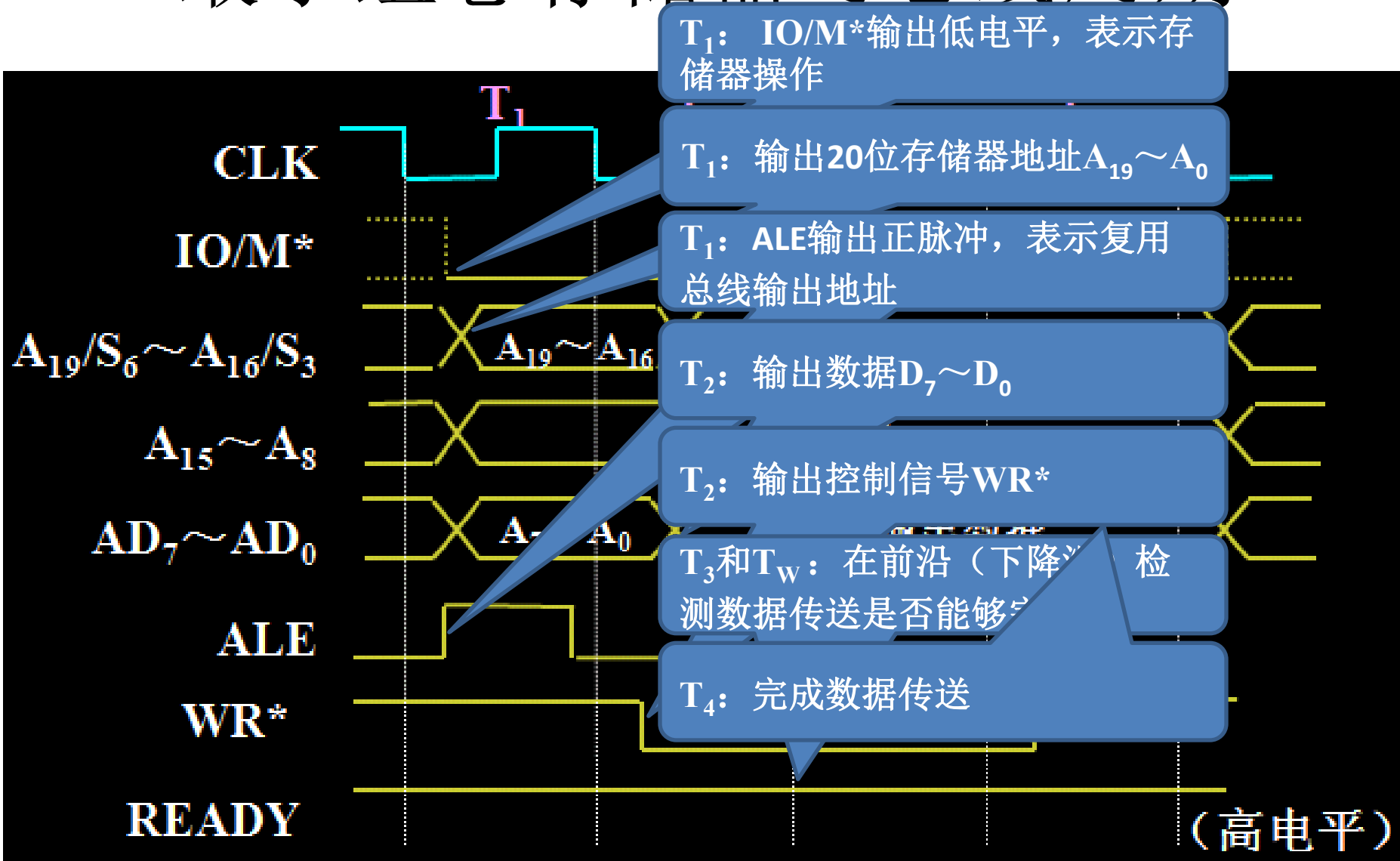
3. 8086/8 总线时序

- 描述**总线操作**的微处理器时序有三级：
 - **指令周期 → 总线周期 → 时钟周期**
- **指令周期**是指一条指令经取指、译码、读写操作数到执行完成的过程。若干总线周期组成一个指令周期
- **总线周期**是指CPU通过总线操作与外部（存储器或I/O端口）进行一次数据交换的过程。

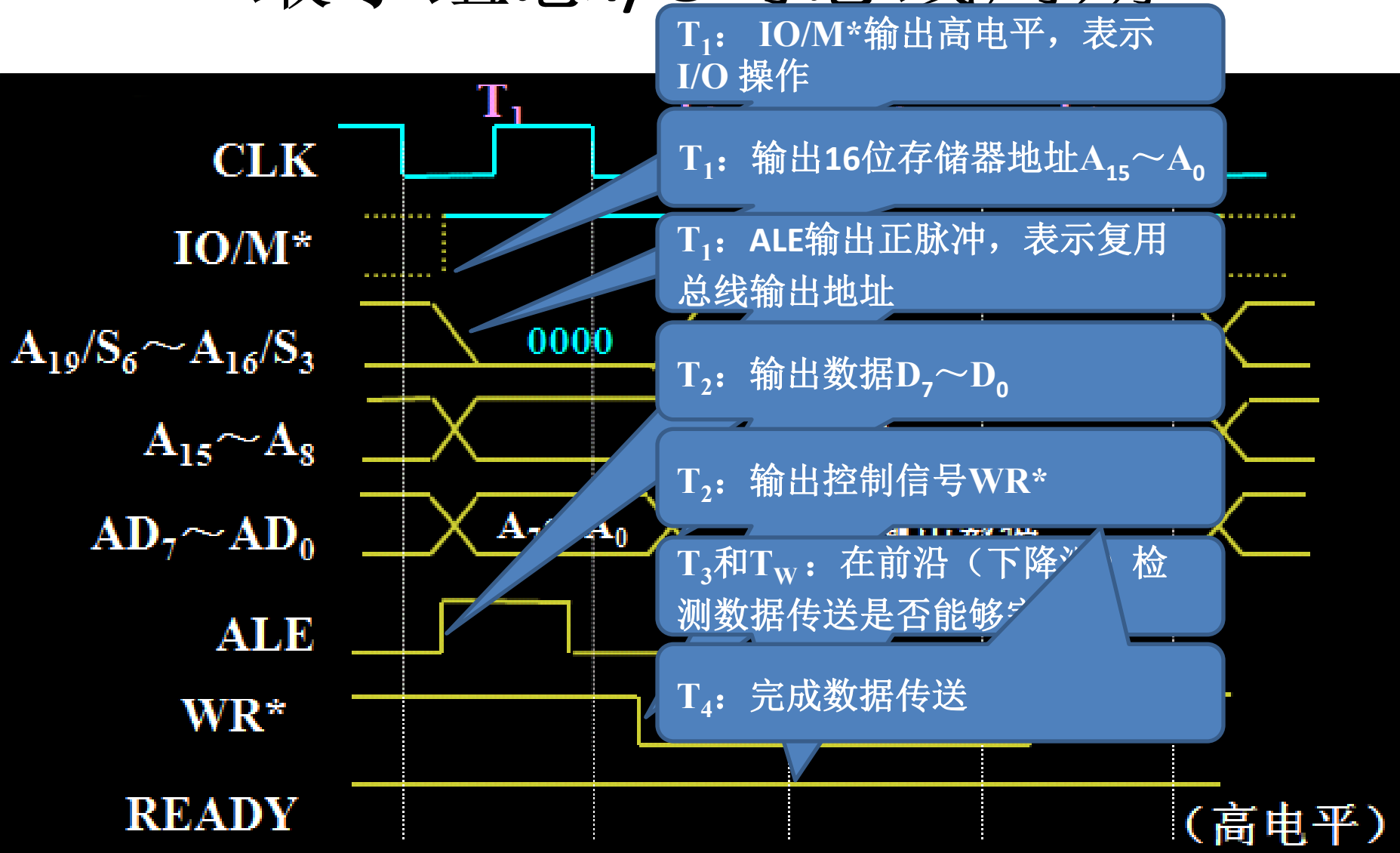
3. 8086/8 总线时序



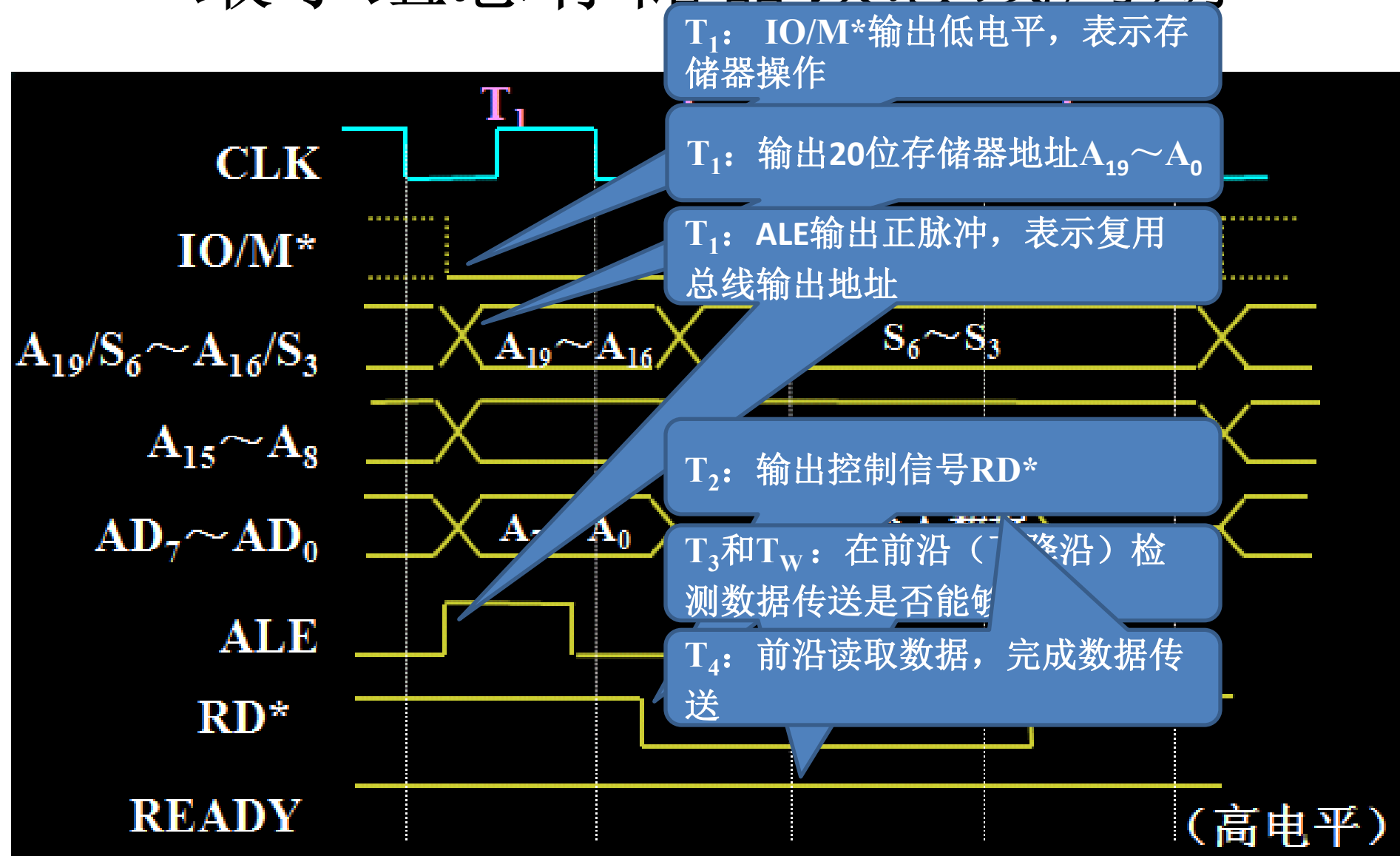
最小组态存储器写总线周期



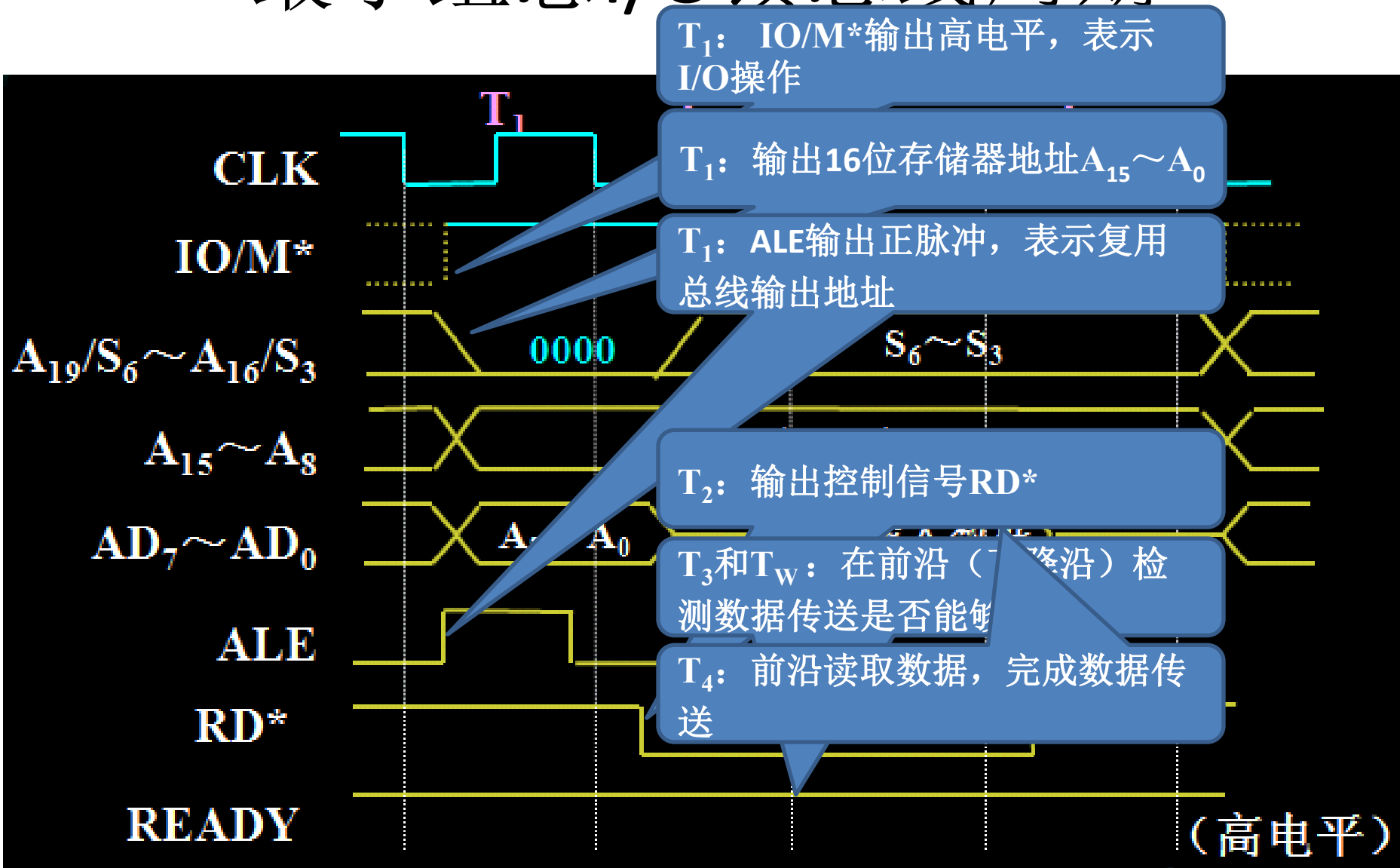
最小组态I/O写总线周期



最小组态存储器读总线周期



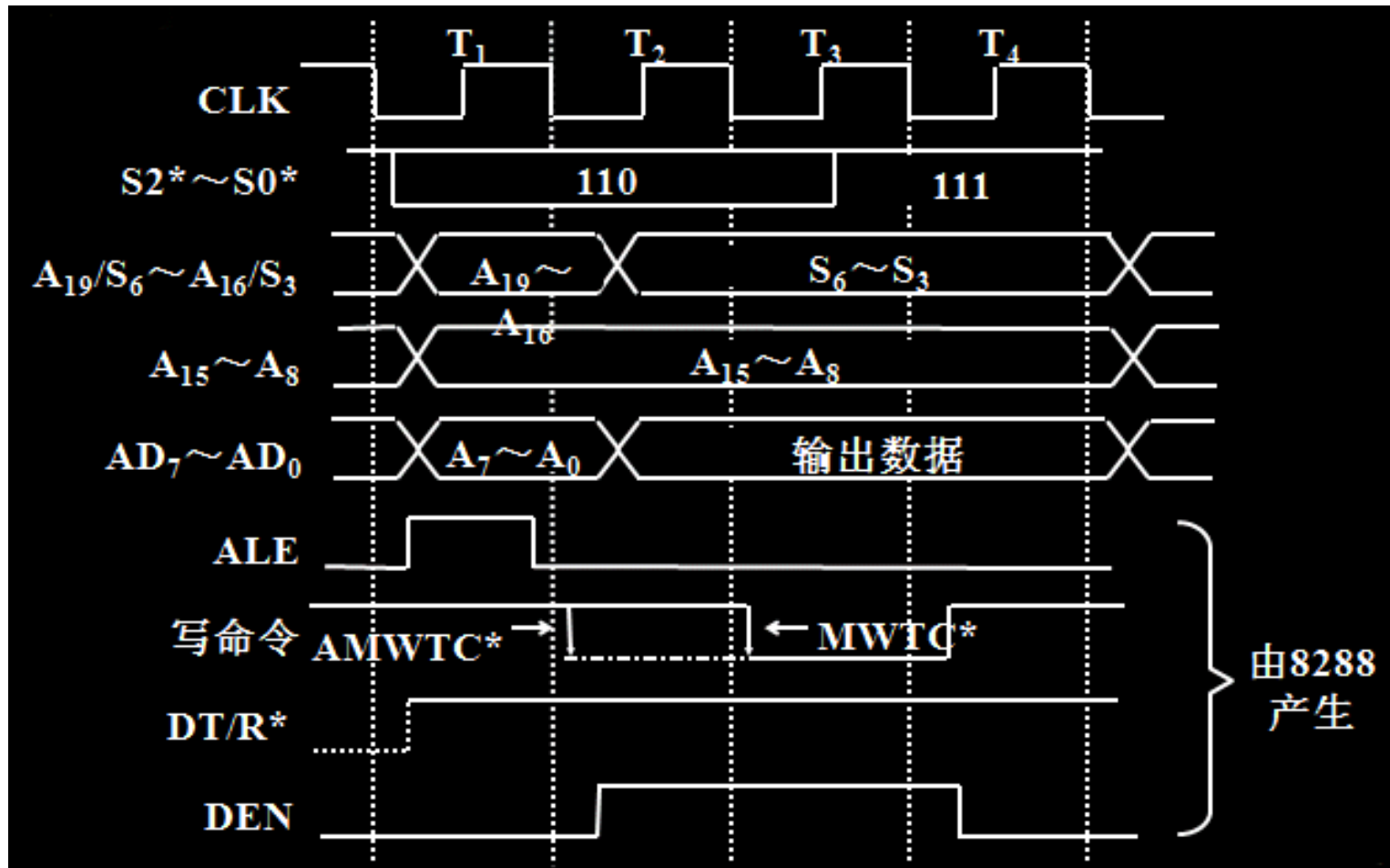
最小组态I/O读总线周期



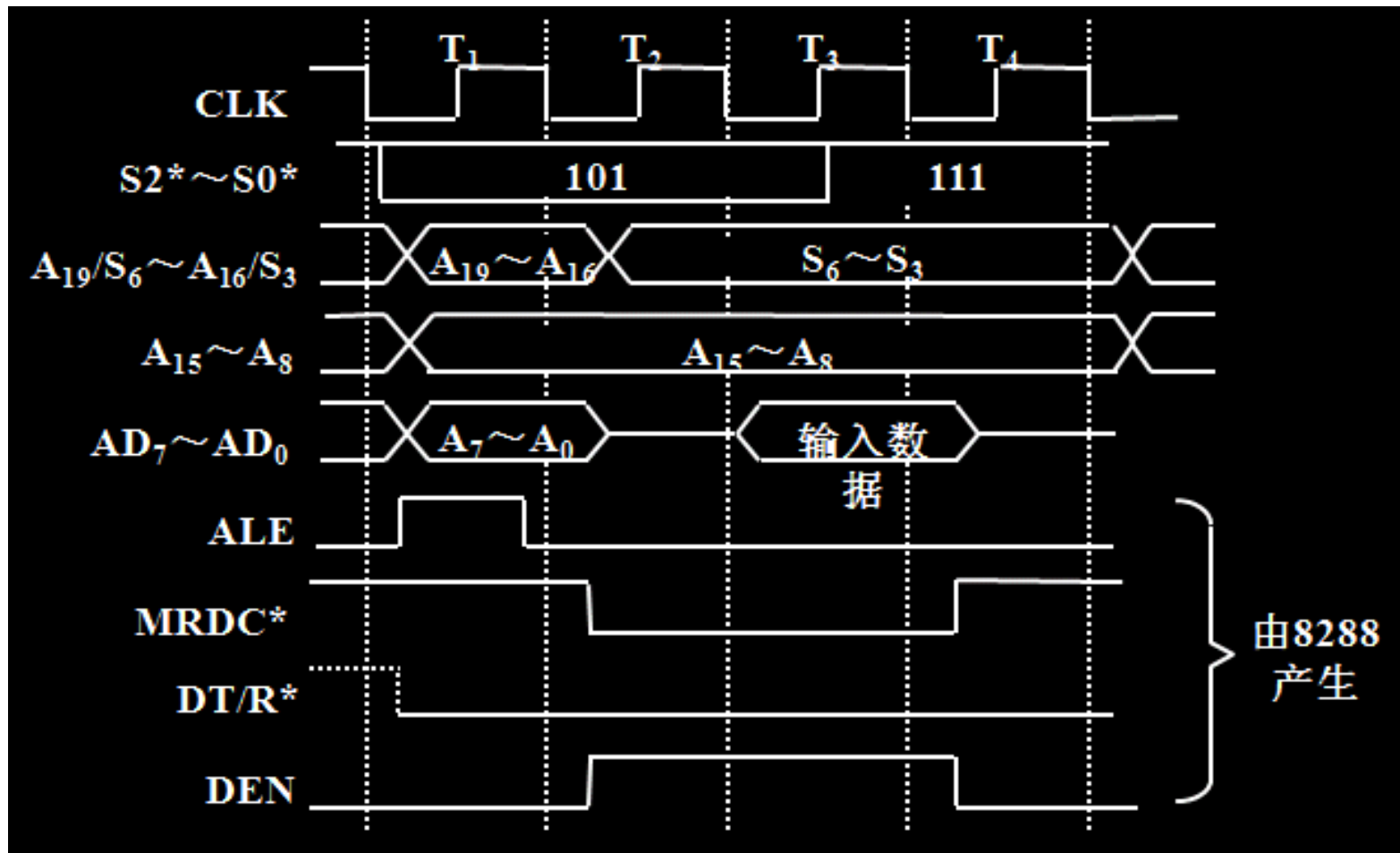
等待状态 T_w

- 同步时序通过插入等待状态，来使速度差别较大的两部分保持同步
- 在读写总线周期中，判断是否插入 T_w
 1. 在T3的前沿检测READY引脚是否有效
 2. 如果READY无效，在T3和T4之间插入一个等效于T3的 T_w ，转1
 3. 如果READY有效，执行完该T状态，进入T4状态

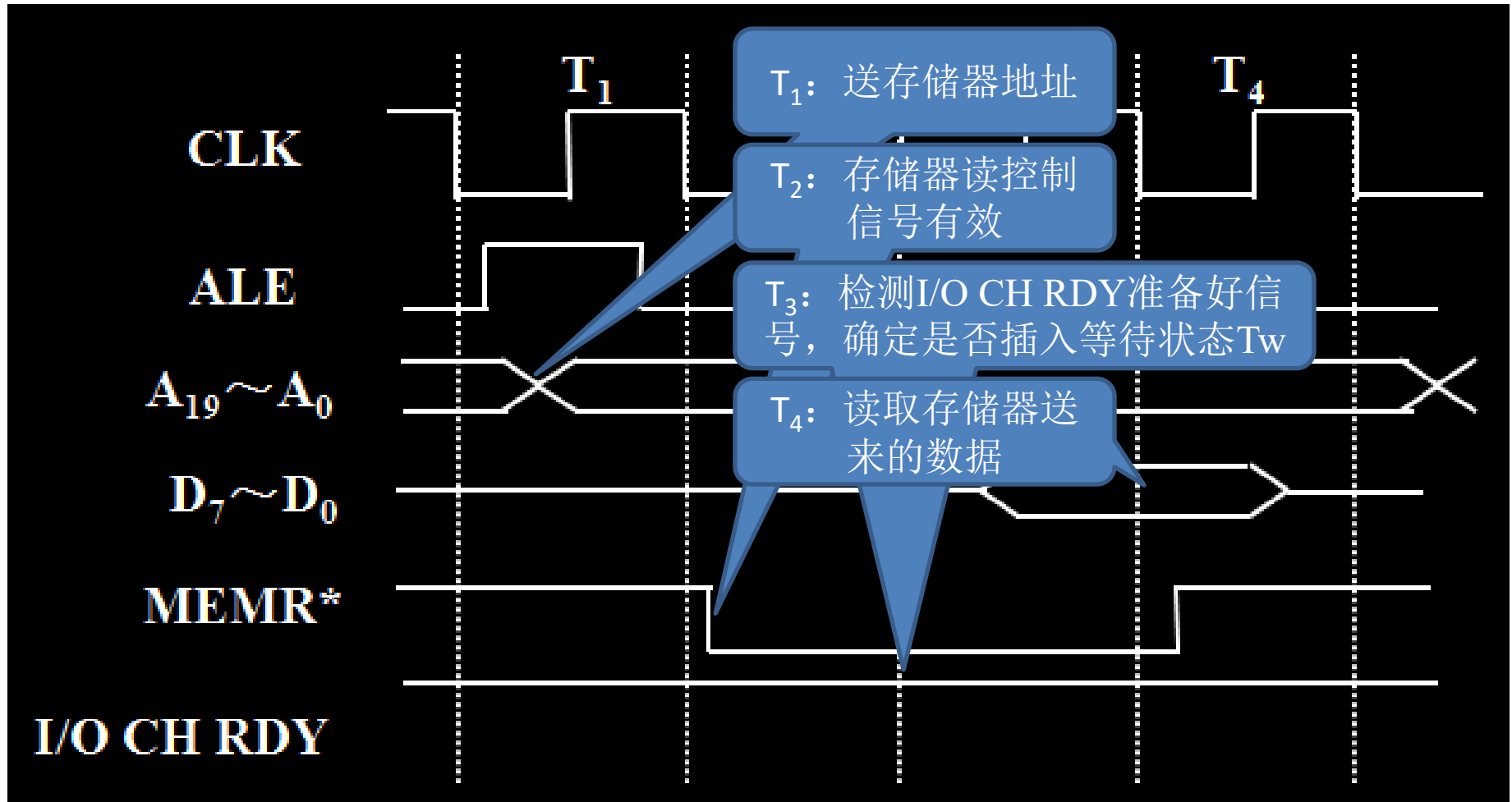
8088最大组态的写总线时序（内存）



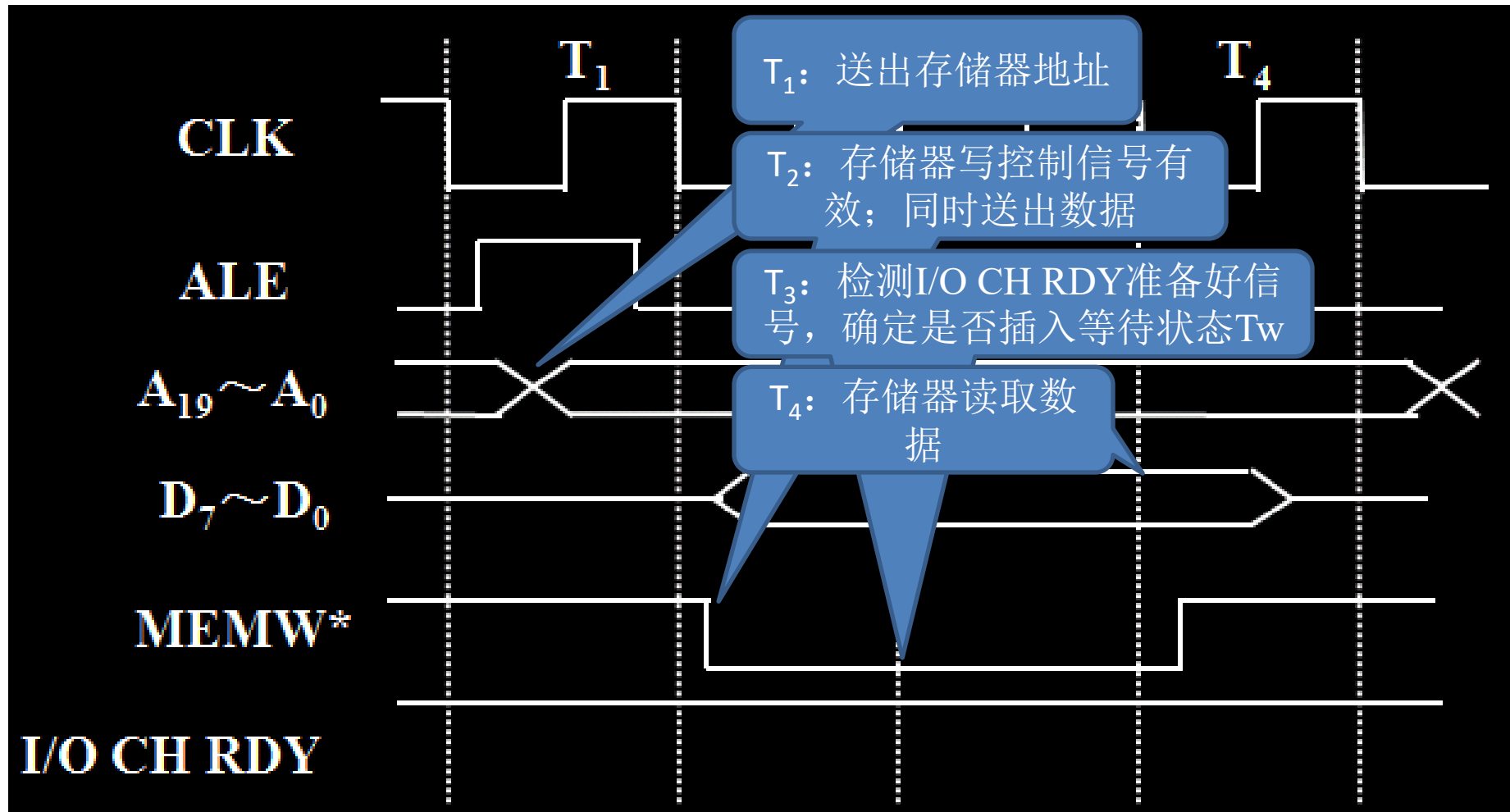
8088最大组态的读总线时序（内存）



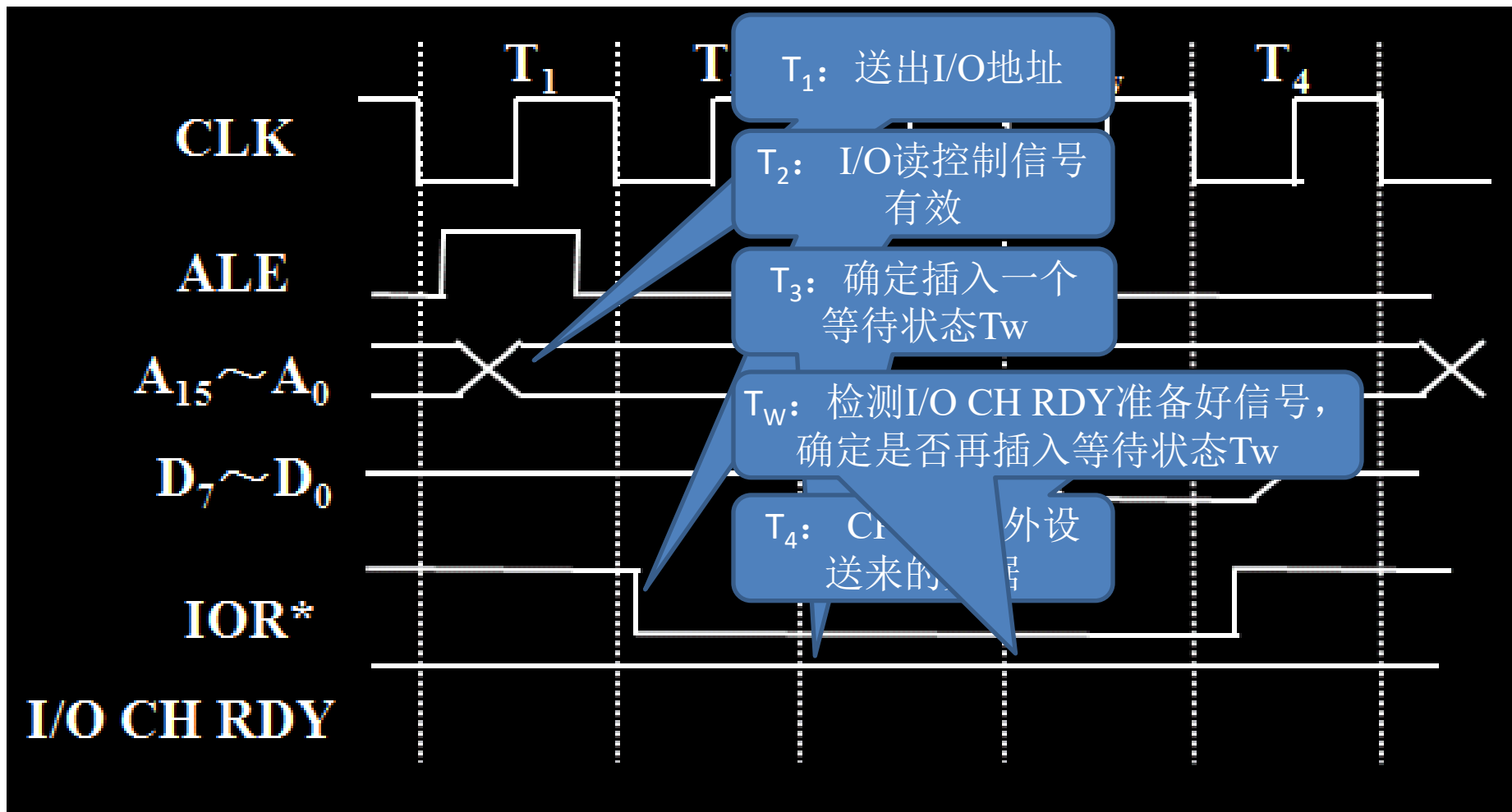
IBM PC存储器读总线周期



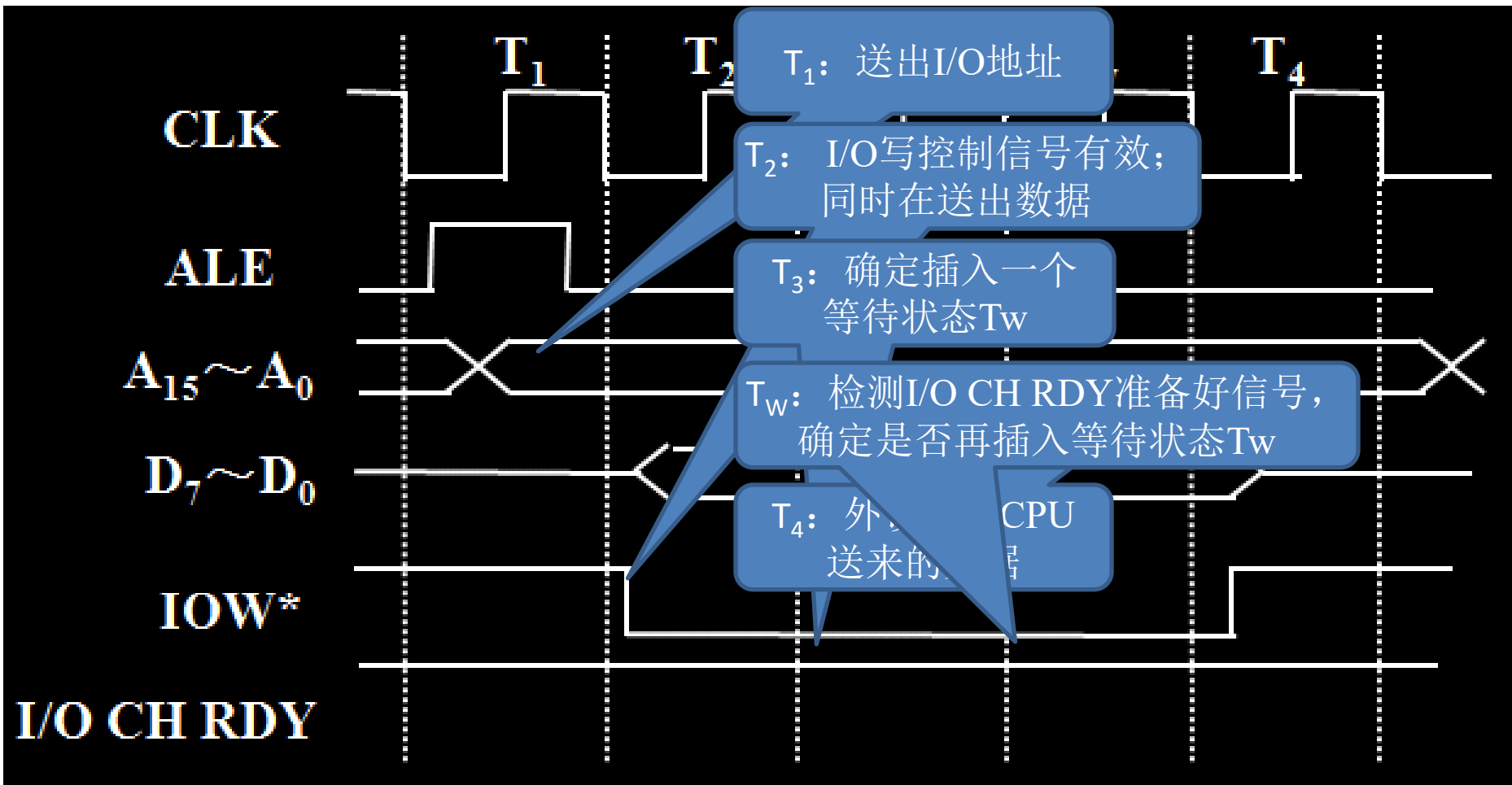
IBM PC存储器写总线周期



IBM PC I/O读总线周期



IBM PC I/O写总线周期



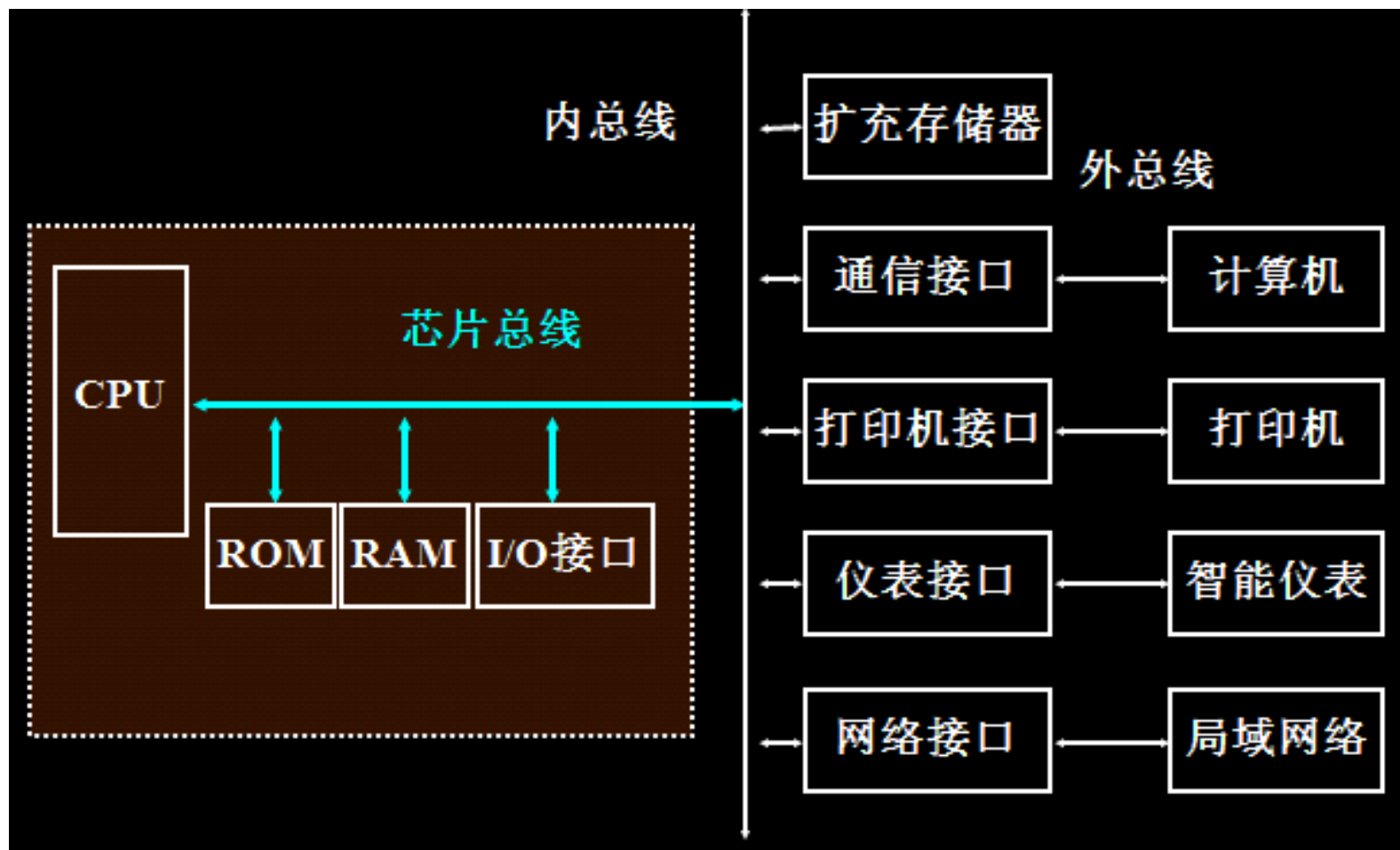
微机系统总线的组成及分类

- 1. 系统的总线组成：地址总线、数据总线、控制总线，这也是按照功能对总线的分类。
- 2. 地址总线与寻址空间的关系
- 3. 数据总线与总线周期数量的关系

微机系统总线的组成及分类

- 4. 总线、总线周期的概念
- 5. 按照总线连接的对象分类：芯片总线、内总线、外总线。
- 6. 按照数据传输方式分类：并行总线、串行总线
- 7. 片选的概念、片选的产生方式

总线按照连接对象分类



芯片总线（Chip Bus）

- 一个大规模集成电路芯片内部，或一个较小系统中各种不同器件连接在一起的总线；用于芯片级互连
- 芯片总线也称为局部总线（Local Bus）
- 微处理器的引脚信号就是芯片总线
- 微处理器内部的控制器、运算器、寄存器之间，还有系统主机板上CPU、存储器、接口电路等之间通常就是利用芯片级总线互连的

内总线（Internal Bus）

- 微机系统中模板与模板间连接的总线，是微机系统所特有的总线；用于模板级互连
- 内总线也被称为板级总线或系统总线（System Bus）
- 多数已实现标准化，例如STD总线、ISA总线等。
- 微机主板的各种扩展插槽多属于内总线

外总线（External Bus）

- 微机系统之间或微机系统与其外设通信的总线，用于设备级互连
- 外总线过去又称为通信总线，主要指串行通信总线，例如RS-232
- 现在，外总线的意义常延伸为外设总线，主要用于连接各种外设
- 外总线种类较多，常与特定设备有关，例如Centronics并行打印机总线、IEEE 488智能仪器仪表并行总线（又称为GPIB总线）

半导体存储器及其接口

- （1）掌握ROM、RAM的概念与特征。
- （2）掌握存储系统的位扩展、地址扩展（字扩展）方法。
- （3）掌握各种存储芯片片选译码方式的原理、特点。
- （4）能够按照指定要求构造存储系统。

存储芯片片选端的功能

- 存储芯片的片选控制端可以被看作是一根最高位地址线
- 在系统中，主要与地址发生联系：包括地址空间的选择（接系统的IO/M*信号）和高位地址的译码选择（与系统的高位地址线相关联）
- 对一些存储芯片通过片选无效可关闭内部的输出驱动机制，起到降低功耗的作用

片选端常有效

- 令芯片（组）的片选端常有效
- 不与系统的高位地址线发生联系
- 芯片（组）总处在被选中的状态
- 虽简单易行、但无法再进行地址扩充，会出现“地址重复”

全译码

- 所有的系统地址线均参与对存储单元的译码寻址
- 包括低位地址线对芯片内各存储单元的译码寻址（片内译码），高位地址线对存储芯片的译码寻址（片选译码）
- 采用全译码，每个存储单元的地址都是唯一的，不存在地址重复
- 译码电路可能比较复杂、连线也较多

部分译码

- 只有部分（高位）地址线参与对存储芯片的译码
- 每个存储单元将对应多个地址（地址重复），需要选取一个可用地址
- 可简化译码电路的设计
- 但系统的部分地址空间将被浪费

线选译码

- 只用少数几根高位地址线进行芯片的译码，且每根负责选中一个芯片（组）
- 虽构成简单，但地址空间严重浪费，必然会出现地址重复
- 一个存储地址会对应多个存储单元
- 多个存储单元共用的存储地址不应使用

作业题解析

- **5.7** 什么是存储芯片连接中的位扩充和地址扩充？采用静态RAM的芯片2114（1K*4位）或动态RAM的芯片4116（16K*1位）来组成32KB的RAM存储区，请问各需要多少芯片？

$$32 \times 8 \text{ 位}$$

作业题解析

- 位扩充是指当一片存储芯片的数据引脚不足8位时，实质上是芯片内部存储单元存储的数据位不足8位时，使用多片芯片中相同地址的存储单元拼接为一个字节单元的存储系统扩充方式。
- 在与总线的连接中，多个存储芯片的片选引脚、地址引脚与总线发生相同连接，而数据引脚则连接于数据总线中不同的数据位。

作业题解析

- 地址扩充是指当一片存储芯片的容量（存储单元数量）低于CPU的寻址范围（CPU地址引脚所能支持的最大地址数量）时，采用多片芯片组合成为一个更大容量存储系统的扩充方式。
- 在与总线的连接中，多个存储芯片的片选引脚分别连接至高位地址译码器不同的片选输出，地址引脚连接至相同的地址线，数据引脚连接至相同的数据线。
- 根据所选芯片的具体情况，位扩充与地址扩充可能在同一存储系统中并存。

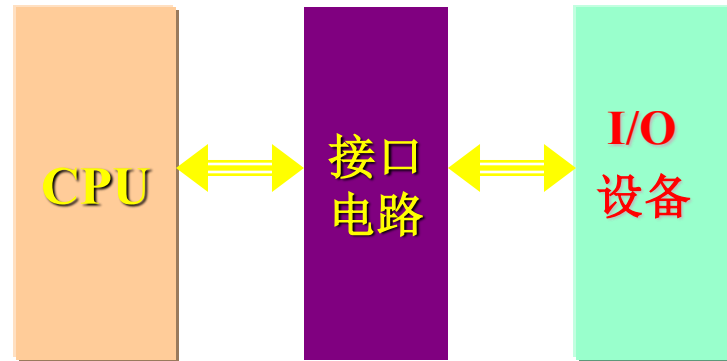
作业题解析

- 组织32KB的RAM存储区，对于2114芯片需要 $32 \times 2 = 64$ 片，因为针对位扩充，2片2114提供一个完整字节单元，针对地址扩充，32片2114提供32K个不同地址的存储单元；
- 芯片组：位扩展所用芯片构成一个芯片组。
- 本例中芯片组的数量：32个。

作业题解析

- 对于4116芯片需要 $2*8=16$ 片，因为针对位扩充，8片4116提供一个完整字节单元，针对地址扩充，2片4116提供32K个不同地址的存储单元。
- 芯片组数量：2个。

基本输入/输出接口



什么是I/O接口（电路）？

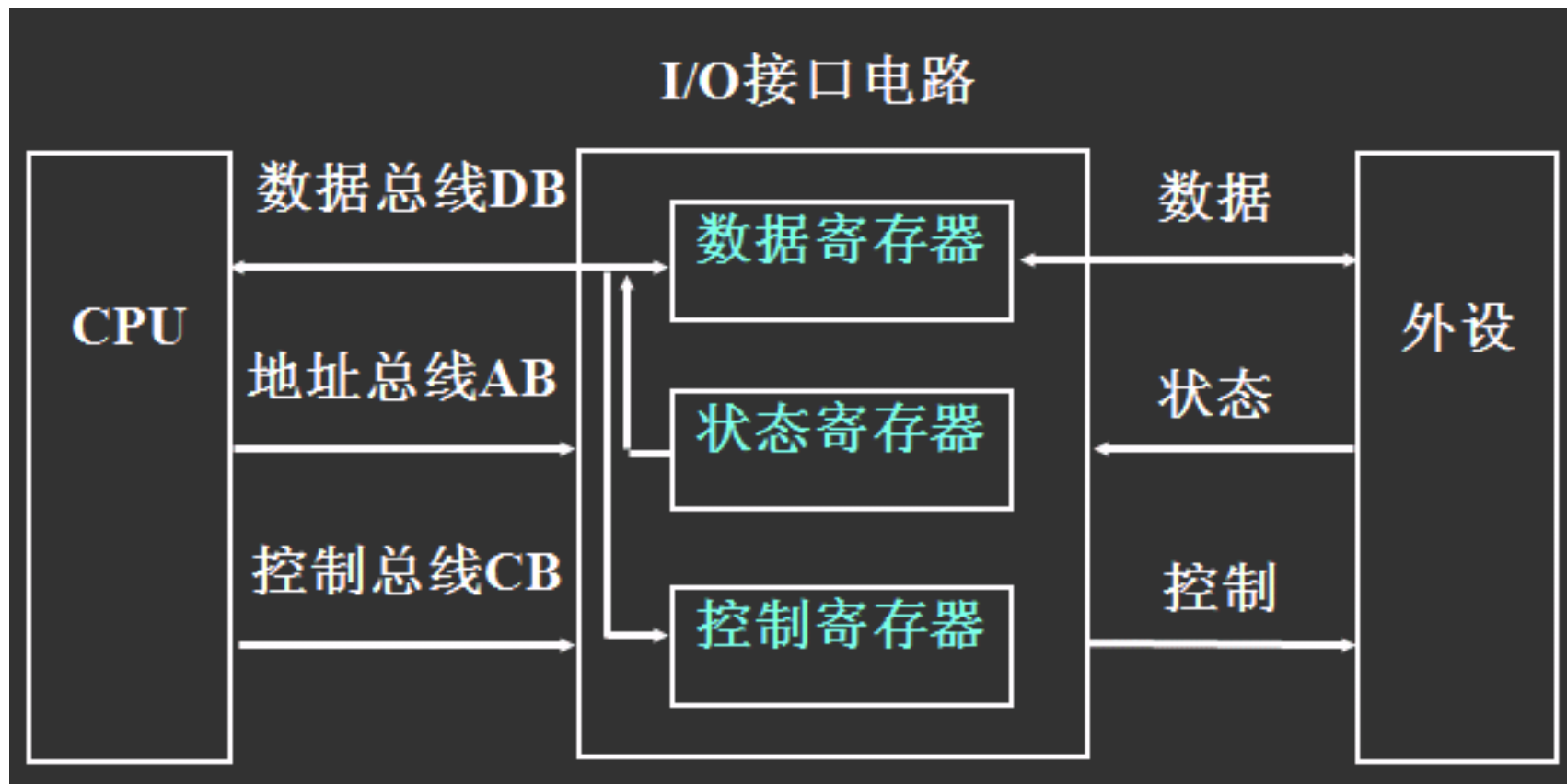
- I/O接口是位于系统与外设间、用来协助完成数据传送和控制任务的逻辑电路
- PC机系统板的可编程接口芯片、I/O总线槽的电路板（适配器）都是接口电路

基本输入/输出接口

什么是微机接口技术？

- 处理微机系统与外设间联系的技术
- 具有软硬结合的特点
- 根据应用系统的需要，使用和构造相应的接口电路，编制配套的接口程序，支持和连接有关的设备

I/O接口的典型结构（内部、外部）



I/O接口的典型结构

- CPU与外设主要有数据、状态和控制信息需要相互交换，于是从应用角度看内部：

数据寄存器

- 保存外设给CPU和CPU发往外设的数据

状态寄存器

- 保存外设或接口电路的状态

控制寄存器

- 保存CPU给外设或接口电路的命令

I/O端口

- 端口的概念：
- 端口泛指I/O地址，通常对应寄存器
- 一个接口电路可以具有多个I/O端口，每个端口用来保存和交换不同的信息

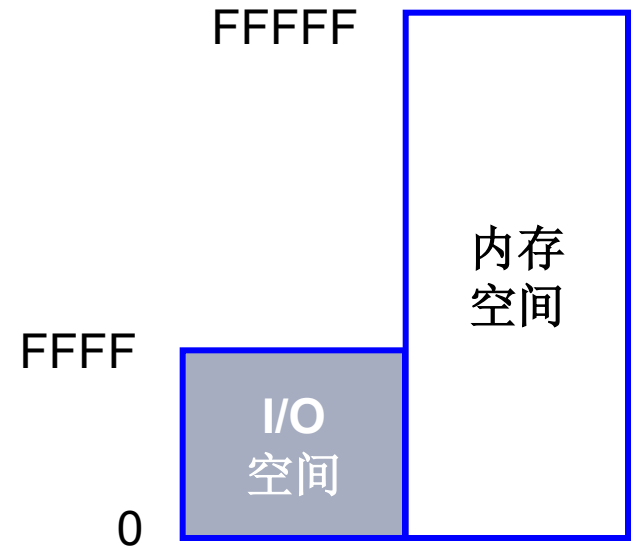
I/O端口的编址

接口电路占用的I/O端口有两类编排形式

- I/O端口独立编址
 - I/O地址空间独立于存储地址空间
 - 如8086/8088
- I/O端口与存储器统一编址
 - 它们共享一个地址空间
 - 如M6800

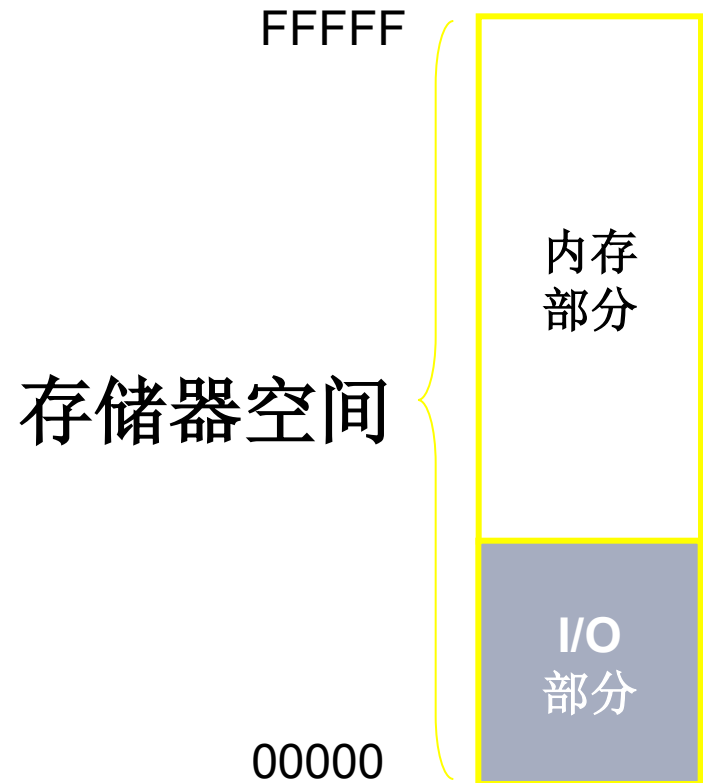
1) I/O端口单独编址

- 优点：
 - I/O端口的地址空间独立
 - 控制和地址译码电路相对简单
 - 专门的I/O指令使程序清晰易读
- 缺点：
 - I/O指令没有存储器指令丰富
- **80x86采用I/O端口独立编址**



2) I/O端口与存储器统一编址

- 优点：
 - 不需要专门的I/O指令
 - I/O数据存取与存储器数据存取一样灵活
- 缺点：
 - I/O端口要占去部分存储器地址空间
 - 程序不易阅读（不易分清访问和访问外设）



I/O寻址方式

- 8088/8086的端口有64K个，无需分段，设计有两种寻址方式
 - ❖ **直接寻址**：只用于寻址00H ~ FFH前256个端口，操作数i8表示端口号，优点在于端口地址传递到DX寄存器，缺点在于寻址范围小。
 - ❖ **间接寻址**：可用于寻址全部64K个端口，DX寄存器的值就是端口号，对端口号大于FFH的端口只能采用间接寻址方式

数据交换方式

- 如果输入输出一个字节，使用AL寄存器
- 如果输入输出一个字，使用AX寄存器

I/O接口数据传送方式

- **无条件传送**：CPU与外设间直接进行数据交换，不经过任何状态查询，此方式的使用前提是外部设备始终处于“准备好”状态。
- **查询传送**：CPU与外设交换数据前，需要先查询外设状态，当外设“准备好”时，才进行数据传输。
- **中断传送**：CPU不主动查询外设状态，当外设准备好时，主动向CPU提出中断请求，CPU收到中断请求信号时才给予响应并进行数据传输。

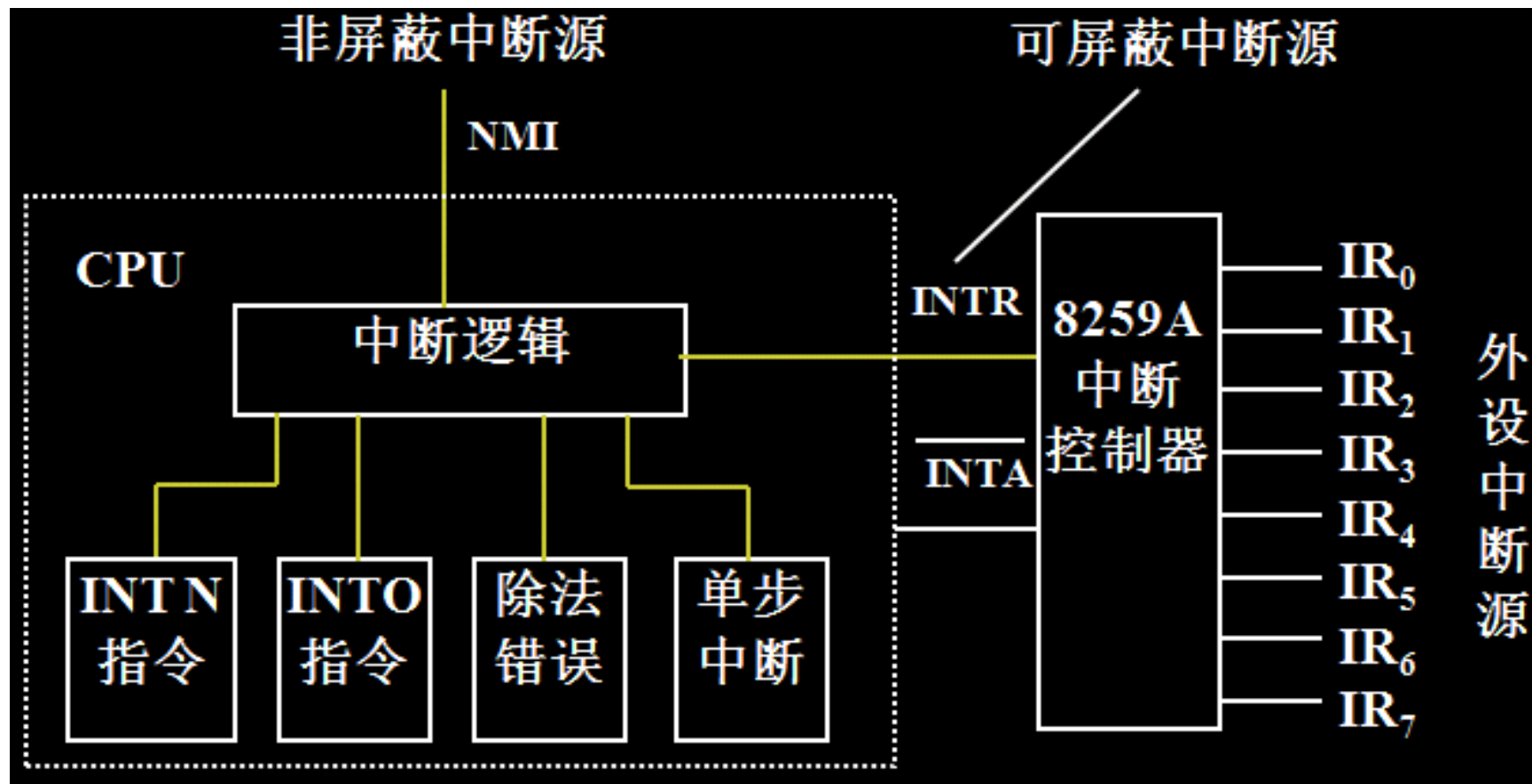
I/O接口数据传送方式

- **直接存储器存取（DMA）**——传送请求由外设向DMA控制器（DMAC）提出，后者向CPU申请总线，最后DMAC利用系统总线来完成外设和存储器间的数据传送
- **I/O处理机**——CPU委托专门的I/O处理机来管理外设，完成传送和相应的数据处理

8088中断系统与中断控制器8259

- 8088的中断系统采用向量中断机制
- 能够处理256个中断
- 用中断向量号0~255区别
- 可屏蔽中断还需要借助专用中断控制器Intel 8259A实现优先权管理

8088的中断类型



8088中断系统与中断控制器8259

- 8088通常需要配合中断控制器8259A共同处理可屏蔽中断
- 可屏蔽中断主要用于主机与外设交换数据
- **IF控制可屏蔽中断的响应**

8088的中断向量表

- 中断向量：中断服务程序的入口地址（首地址）
- 逻辑地址含有段地址CS和偏移地址IP（32位）
- 每个中断向量的低字是偏移地址、高字是段地址，需占用4个字节
- 相关概念：中断向量号（类型号）、中断向量表

8088的中断向量表

- 8088微处理器从物理地址00000H开始，依次安排各个中断向量，向量号也从0开始
- 256个中断占用1KB区域，就形成中断向量表
- 向量号为N的中断向量的物理地址 $= N \times 4$

8259A的内部结构

- 中断请求寄存器IRR
 - 保存8条外界中断请求信号IR0~IR7的请求状态
 - Di位为1表示IRi引脚有中断请求；为0表示无请求
- 中断服务寄存器ISR
 - 保存正在被8259A服务着的中断状态
 - Di位为1表示IRi中断正在服务中；为0表示没有被服务
- 中断屏蔽寄存器IMR
 - 保存对中断请求信号IR的屏蔽状态
 - Di位为1表示IRi中断被屏蔽（禁止）；为0表示允许

中断级连

- 一个系统中，8259A可以级连，有一个主8259A，若干个（最多8个）从8259A
- 级连时，主8259A的三条级连线CAS0～CAS2作为输出线，连至每个从8259A的CAS0～CAS2

8259A相关概念

- （1）掌握中断响应过程的各个步骤。
- （2）掌握优先权固定方式、循环方式的概念。
- （3）掌握自动中断结束方式、非自动中断结束方式的概念
- （4）掌握优先权普通全嵌套方式、特殊全嵌套方式的概念、用途。
- （5）掌握8259A区分使用相同地址的ICW、OCW的方法。

8259A应用编程

- 初始化命令字（大概指定了什麼要知道）、操作命令字（OCW细节都要掌握、注意地址）
- 对指定中断源屏蔽设置进行修改
- 外部中断服务程序怎么写？

组织为子程序

开中断STI

保护寄存器

.....

是否要写EOI，怎么写

恢复寄存器

iret返回

8253与8255

- 要求详细掌握所有已经讲解过的知识点，重点在于程序分析与设计。
- 使用课堂教学课件和教材复习。

8253与8255

例如：

- 各个工作方式分别是什么？名字（8253）、特点、用法
 - 怎么确定端口地址？CS、A0和A1
 - 8253：内部有哪些寄存器，分别什么作用？怎么初始化？计数初值怎么计算，怎么设置？哪些工作方式需要硬件启动？哪些工作方式会连续自动重启？不同工作方式的波形？
 - 8255：方式控制字和位控制字怎么写？A、B口占用C口哪些位？INTEA和INTEB通过C口的位控制字如何操作？
-等等

注意：控制字中0是什么、1是什么需要记忆

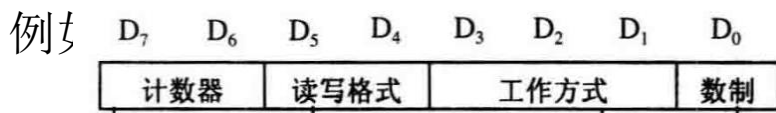


图10-6 方式控制字

8237DMA控制器

- 哪些工作方式，各有什么特点？（流程会描述）
- 软命令是如何下达的？
- 通道寄存器：基地址寄存器、基字节数寄存器、现行地址寄存器、现行字节数寄存器。
- 命令寄存器、状态寄存器、请求寄存器、方式寄存器、屏蔽寄存器、临时寄存器。