

# ML620Q503/Q504

超ローパワー 16-bit マイクロコントローラ

## ■ 概要

本 LSI は、16 ビット CPU nX-U16/100 を搭載し、SSIO、UART、I<sup>2</sup>C、電源電圧レベル検出回路、RC 発振式 AD コンバータ、逐次比較型 AD コンバータ等、多彩な周辺機能を集積した高性能 CMOS16 ビットマイクロコントローラです。

CPU nX-U16/100 は、3 段パイプラインアーキテクチャによる並列処理をすることで 1 命令 1 クロックの効率的な命令実行が可能です。また、プログラムメモリとして低電圧/低消費電力動作(読み出し時)を実現したフラッシュ ROM を搭載しており、バッテリー動作のアプリケーションに最適です。更に、ソフトウェアによる書き込み可能なデータフラッシュ・メモリ領域やソフトウェアからプログラム領域を書き換える機能を持ちます。

オンチップデバッグ機能を搭載しているため、基板実装状態でのソフトウェアのデバッグや書き換えも可能です。

## ■ 特長

### ● CPU

- RISC 方式 16 ビット CPU (CPU 名称:nX-U16/100)
- 命令体系:16 ビット長命令
- 命令セット:転送, 算術演算, 比較, 論理演算, 乗除算, ビット操作, ビット論理演算, ジャンプ, 条件ジャンプ, コール・リターンスタック操作, 算術シフトなど
- オンチップデバッグ機能を内蔵
- 最小命令実行時間  
30.5μs (@32.768kHz システムクロック)  
62.5ns (@16MHz システムクロック)

### ● 乗除算コプロセッサ

- 符号有り、無しの演算の設定が可能
- 乗算 16bit×16bit (演算時間 4 サイクル)
- 除算 32bit÷16bit (演算時間 8 サイクル)
- 除算 32bit÷32bit (演算時間 16 サイクル)
- 積和(非飽和型) 16bit×16bit+32bit (演算時間 4 サイクル)
- 積和(飽和型) 16bit×16bit+32bit (演算時間 4 サイクル)

### ● 内部メモリ

- ISP 機能対応(ソフトウェアでプログラムメモリを書き換え可能)
- メモリサイズ

製品名	フラッシュメモリ		SRAM
	プログラム領域*	データ領域	
ML620Q503	32K バイト(16K×16 ビット)	2K バイト(1K×16 ビット)	2K バイト(1K×16 ビット)
ML620Q504	64K バイト(32K×16 ビット)	2K バイト(1K×16 ビット)	6K バイト(3K×16 ビット)

\*: 使用できないテスト領域 1K バイトを含む

### ● 割り込みコントローラ(INTC)

- ノンマスカブル割り込み 1 要因(内部要因:1)
- マスカブル割り込み 37 要因(内部要因:29、外部要因:8)
- ソフトウェア割り込み(SWI)最大 64 要因
- 外部割り込み、コンパレータはエッジの選択、サンプリング有無が選択可能
- 各割り込みに対して、優先レベル(4 レベル)の設定可能

- タイムベースカウンタ(TBC)
  - 低速タイムベースカウンタ×1ch
- タイマ(TMR)
  - 8ビット×8ch(2ch使用で16ビット構成可能)
  - ワンショットタイマモード機能
  - カウンタクロックに外部端子を選択可能
- 多機能タイマ(FTM)
  - 16ビット×4ch
  - オートリロードタイマモード/ワンショットタイマモード/PWMモード
  - ソフトウェア/イベントトリガ(外部端子,他のタイマ)によるタイマスタート・ストップ機能
  - カウンタクロックに外部端子を選択可能
  - キャプチャ機能(外部トリガ入力を利用してパルス幅などの測定が可能)
  - デッドタイム付き相補PWM出力、同期PWM出力
- ウォッチドッグタイマ(WDT)
  - ノンマスカブル割込み、およびリセット  
(1回目のオーバフローで割込みを発生、2回目のオーバフローでリセットを発生)
  - フリーラン
  - オーバフロー周期は、125ms、500ms、2s、8sから選択可能(LSCLK=32.768kHz時)
- 同期式シリアルポート(SSIOF/SSIO)
  - 4ワード 送信/受信 FIFO 内蔵 ×1ch, FIFO なし ×1ch
  - マスタ/スレーブ選択可能
  - LSB/MSB ファースト選択可能
  - 8ビット/16ビット長選択可能
  - クロックの位相及び極性が選択可能
  - スレーブセレクト信号対応 (FIFO 内蔵タイプのみ)
- UART(UARTF/UART)
  - 4バイト 送信/受信 FIFO 内蔵 ×1ch, FIFO なし ×1ch
  - 全二重通信対応
  - 通信速度 2400~115200bpsを設定可能
  - プログラマブルインタフェース(データ長、パリティ、ストップビットの選択可能)
- I<sup>2</sup>C バスインタフェース(I<sup>2</sup>C)
  - マスタ ×2ch
  - 標準モード(100kbit/s)、ファーストモード(400kbit/s)対応
- 汎用ポート(PORT)
  - 入出力ポート×36ch, 入力ポート×2ch
- メロディドライバ(MELODY)
  - テンポ:15種
  - 音階:29種(メロディ音周波数:508Hz~10.922kHz)
  - 音長:63種
  - ブザー出力モード(出力モード4種、ブザー周波数8種、デューティ変更15レベル(ブザー周波数=4.096kHz時は、7レベル))
- RC 発振型 A/D コンバータ(RC-ADC)
  - 時分割 2ch 方式
  - 24ビットカウンタ

- 逐次比較型 A/D コンバータ(SA-ADC)
  - 入力 12ch
  - 分解能 12ビット
  - タイマによるスタート機能
  - 静電容量タッチセンス機能
- アナログコンパレータ(CMP)
  - 入力 2ch
  - コモンモード入力電圧:  $0.2V \sim V_{DD} - 0.2V$
  - 入力オフセット電圧: 30mV(max)
  - 割込みはエッジの選択、サンプリング有無が選択可能
- 電圧レベル検出(VLS)機能
  - 閾値電圧: 9 値より選択
  - 割込み発生、リセット発生選択可能
- 低電圧検出(LLD)機能
  - 閾値電圧:  $1.8V \pm 0.2V$
  - リセット発生可能
- リセット
  - RESET\_N 端子リセット
  - パワーオン検出リセット
  - WDT オーバーフローによるリセット
  - 電圧レベル検出(VLS)リセット
  - 低電圧検出(LLD)リセット
- クロック
  - 低速側クロック (本 LSI は、低速クロックは必須です)
    - 水晶発振(32.768kHz)
    - 外部クロック入力(30kHz~36kHz)
    - 内蔵 RC 発振(32.768kHz)
  - 高速側クロック
    - 水晶/セラミック発振(16MHz)
    - 外部クロック入力(300kHz~16MHz)
    - 内蔵 RC 発振(16MHz)
- パワーマネジメント
  - HALT モード: CPU の命令実行中断(周辺回路は動作状態)
  - HALT-H モード: CPU の命令実行中断(周辺回路は動作状態で高速クロックを自動で停止)
  - DEEP-HALT モード: CPU の命令実行中断(タイマ、LTBC など動作可能な超ローパワーモード)
  - STOP モード: 低速発振および高速発振の停止 (CPU および周辺回路は動作を停止)
  - クロックギア: ソフトウェアにより高速システムクロックの周波数を変更可能 (発振クロックの 1/1、1/2、1/4、1/8、1/16、1/32)
  - ブロック制御機能: 使わない機能ブロック回路の動作をパワーダウン (レジスタリセット&クロック停止)

- 出荷形態
  - チップ(ダイ) \*パッドレイアウト情報につきましては、弊社担当営業までお問い合わせください。
  - 48 ピン プラスチック TQFP  
トレイ  
ML620Q503-xxxTBZWAAL  
ML620Q504-xxxTBZWAAL  
  
テープ&リール  
ML620Q503-xxxTBZWABL  
ML620Q504-xxxTBZWABL
- 動作保証範囲
  - 動作温度(周囲):  $T_a = -40^{\circ}\text{C} \sim 85^{\circ}\text{C}$
  - 動作電圧:  $V_{DD} = 1.8\text{V} \sim 3.6\text{V}$

■ 機能ブロック構成

● ML620Q503/Q504 ブロック図

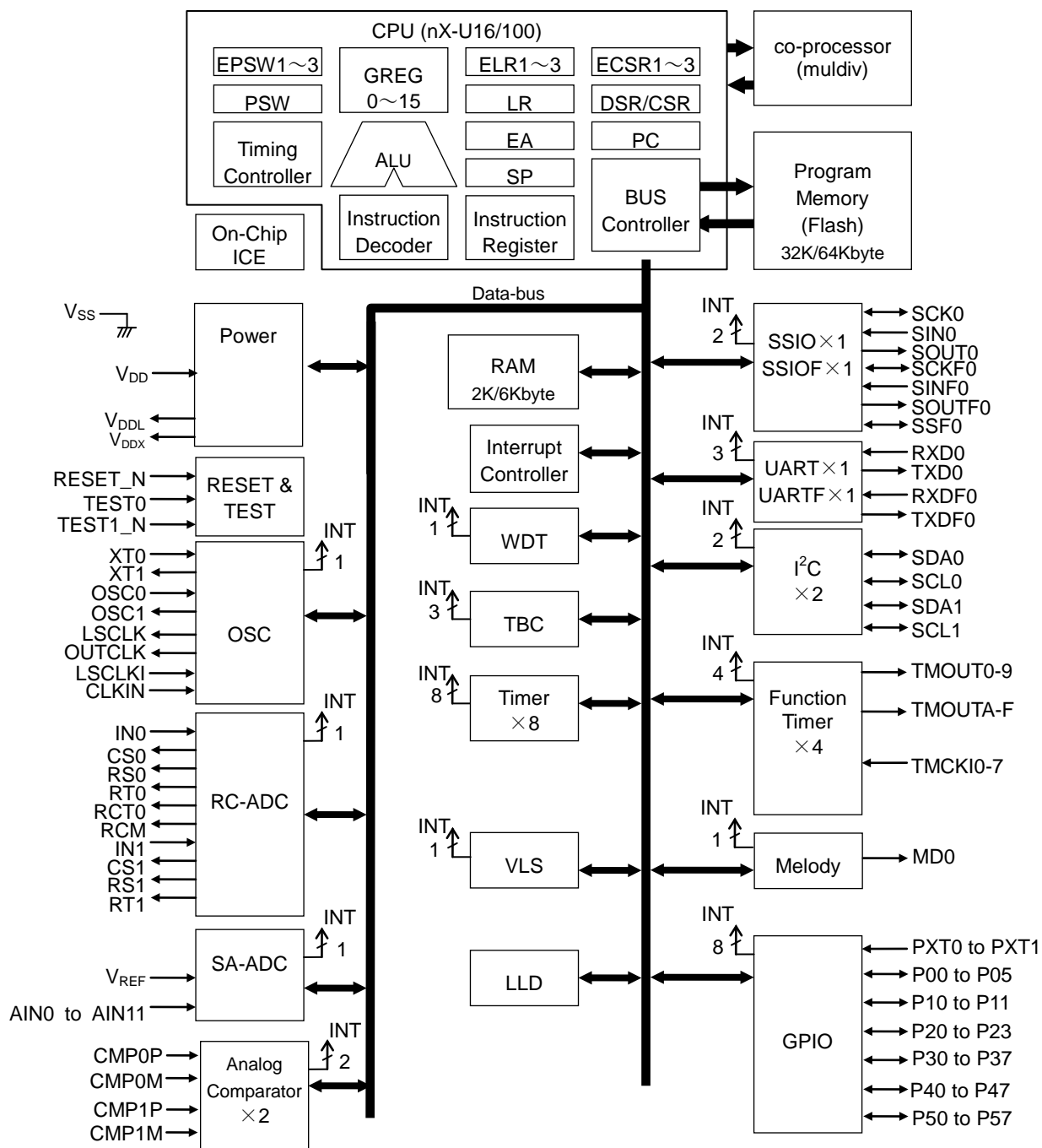
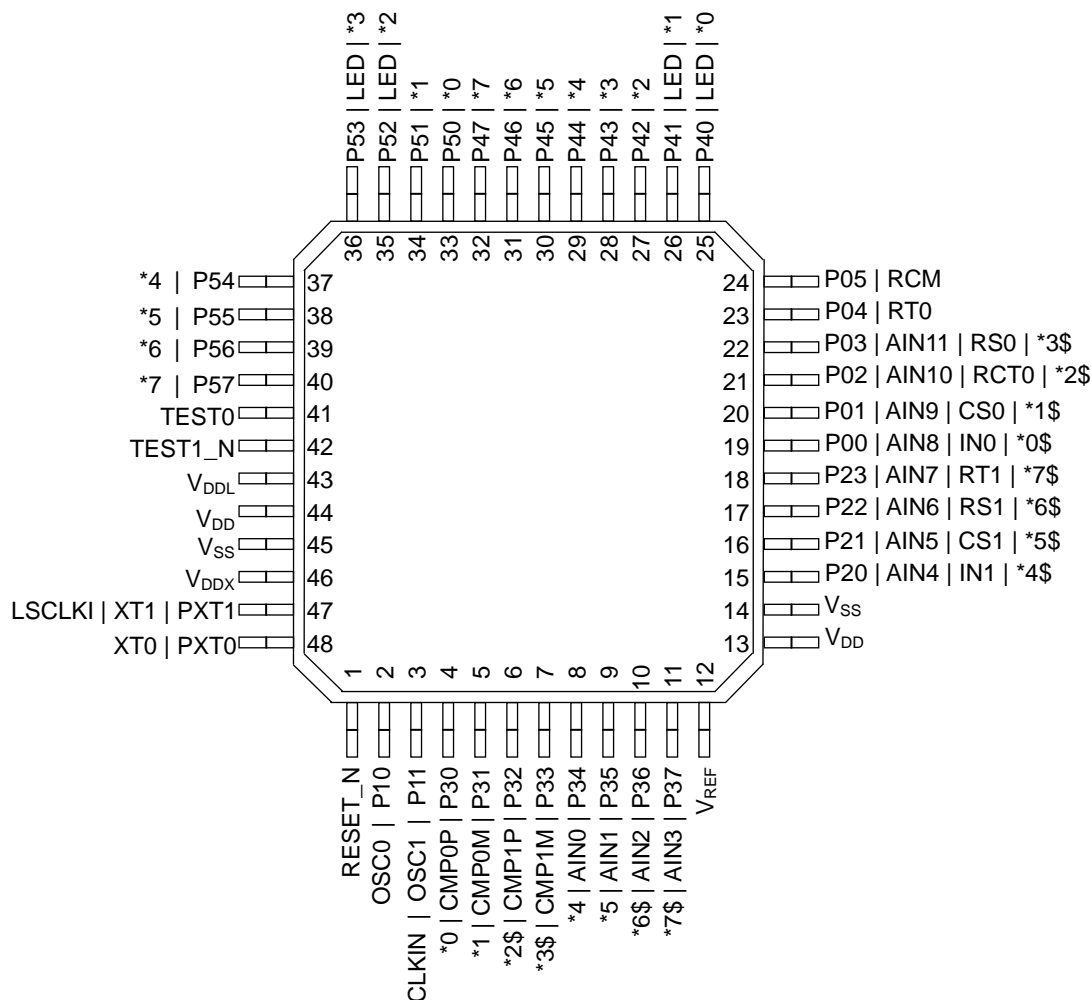


図 1 ML620Q503/Q504 ブロック図

## ■ 端子配置

### ● ML620Q503/Q504 TQFP パッケージの端子配置図



外部割込み入力端子(EXI)は P00-P05,PXT0-1,P20-P57 に割付可能です。

\*0～\*7 は下記の機能群をもちます。但し、末尾に"\$"がつくものは一部機能がありません。詳細は、端子一覧を参照して下さい。

*0 : SDA0, SOUT0, RXD0	*4 : SDA1, SOUTF0, RXDF0
*1 : SCL0, SIN0, TXD0	*5 : SCL1, SIN0, TXDF0
*2 : SCK0, TMOUT, TMCKI	*6 : LSCLKO, SCKF0, TMOUT, TMCKI
*3 : MD0, TMOUT, TMCKI	*7 : OUTCLK, SSF0, TMOUT, TMCKI
*0\$ : SOUT0, RXD0	*4\$ : SOUTF0, RXDF0
*1\$ : SIN0, TXD0	*5\$ : SIN0, TXDF0
*2\$ : SCK0, TMOUT	*6\$ : SCKF0, TMOUT
*3\$ : MD0(P33 only), TMOUT	*7\$ : SSF0, TMOUT

図 2 ML620Q503/Q504 パッケージ品端子配置図

## ■ 端子一覧

## ● ML620Q503/Q504 TQFP パッケージの端子一覧

TQFP48 PIN No.	1 次機能				2 次/3 次/4 次機能								
	端子名	I/O	初期値	機能	端子名	I/O	機能	端子名	I/O	機能	端子名	I/O	機能
14, 45	V <sub>SS</sub>	—	—	マイナス側電源端子	-	-	-	-	-	-	-	-	-
13, 44	V <sub>DD</sub>	—	—	プラス側電源端子	-	-	-	-	-	-	-	-	-
43	V <sub>DDL</sub>	—	—	内部回路用電源端子 (内部発生)	-	-	-	-	-	-	-	-	-
46	V <sub>DDX</sub>	—	—	内部回路用電源端子 (内部発生)	-	-	-	-	-	-	-	-	-
12	V <sub>REF</sub>	I	—	SA-ADC リファレンス電圧 端子	-	-	-	-	-	-	-	-	-
1	RESET_N	I	Pull-up Input	リセット入力端子	-	-	-	-	-	-	-	-	-
42	TEST1_N	I	Pull-up Input	テスト入力端子	-	-	-	-	-	-	-	-	-
41	TEST0	I/O	Pull-down Input	テスト入出力端子	-	-	-	-	-	-	-	-	-
48	PXT0/ EXI0/ XT0	I	Input disable	入力ポート/ 外部割込み/ 低速クロック発振端子	-	-	-	-	-	-	-	-	-
47	PXT1/ EXI1/ XT1/ LSCLKI	I/O	Hi-Z output	入出力ポート/ 外部割込み/ 低速クロック発振端子/ 低速クロック入力端子	-	-	-	-	-	-	-	-	-
19	P00/ EXI00/ AIN8	I/O	Hi-Z output	入出力ポート/ 外部割込み/ SA-ADC 入力	IN0	I	RC-ADC 発振入力	SOUT0	O	SSIO データ 出力	RXD0	I	UART データ入 力
20	P01/ EXI01/ AIN9	I/O	Hi-Z output	入出力ポート/ 外部割込み/ SA-ADC 入力	CS0	O	RC-ADC 基準容量接続 端子	SIN0	I	SSIO データ 入力	TXD0	O	UART データ出 力
21	P02/ EXI02/ AIN10	I/O	Hi-Z output	入出力ポート/ 外部割込み/ SA-ADC 入力	RCT0	O	RC-ADC 測定用抵抗/ 容量センサ接続端子	SCK0	I/O	SSIO クロック 入出力	TMOUT0	O	多機能タイマ出 力
22	P03/ EXI03/ AIN11	I/O	Hi-Z output	入出力ポート/ 外部割込み/ SA-ADC 入力	RS0	O	RC-ADC 基準抵抗接続 端子	-	-	-	TMOUT1	O	多機能タイマ出 力
23	P04/ EXI04	I/O	Hi-Z output	入出力ポート/ 外部割込み	RT0	O	RC-ADC 測定用抵抗セ ンサ接続端子	-	-	-	-	-	-
24	P05/ EXI05	I/O	Hi-Z output	入出力ポート/ 外部割込み	RCM	O	RC-ADC 発振モニタ	-	-	-	-	-	-
2	P10/ OSC0	I/O	Hi-Z output	入出力ポート/ 高速クロック発振端子	-	-	-	-	-	-	-	-	-
3	P11/ OSC1/ CLKIN	I/O	Hi-Z output	入出力ポート/ 高速クロック発振端子/ 高速クロック入力端子	-	-	-	-	-	-	-	-	-
15	P20/ EXI20/ AIN4	I/O	Hi-Z output	入出力ポート/ 外部割込み/ SA-ADC 入力	IN1	I	RC-ADC 発振入力	SOUTF0	O	FIFO 付き SSIO データ 出力	RXDF0	I	FIFO 付き UART データ入 力
16	P21/ EXI21/ AIN5	I/O	Hi-Z output	入出力ポート/ 外部割込み/ SA-ADC 入力	CS1	O	RC-ADC 基準容量接続 端子	SINF0	I	FIFO 付き SSIO データ 入力	TXDF0	O	FIFO 付き UART データ出 力
17	P22/ EXI22/ AIN6	I/O	Hi-Z output	入出力ポート/ 外部割込み/ SA-ADC 入力	RS1	O	RC-ADC 基準抵抗接続 端子	SCKF0	I/O	FIFO 付き SSIO クロック 入出力	TMOUT2	O	多機能タイマ出 力
18	P23/ EXI23/ AIN7	I/O	Hi-Z output	入出力ポート/ 外部割込み/ SA-ADC 入力	RT1	O	RC-ADC 測定用抵抗セ ンサ接続端子	SSF0	I/O	FIFO 付き SSIO チップセ レクト入出力	TMOUT3	O	多機能タイマ出 力
4	P30/ EXI30/ CMP0P	I/O	Hi-Z output	入出力ポート/ 外部割込み/ コンパレータ非反転入力	SDA0	I/O	I2C データ入出力	SOUT0	O	SSIO データ 出力	RXD0	I	UART データ入 力
5	P31/ EXI31/ CMP0M	I/O	Hi-Z output	入出力ポート/ 外部割込み/ コンパレータ反転入力	SCL0	O	I2C クロック出力	SIN0	I	SSIO データ 入力	TXD0	O	UART データ出 力
6	P32/ EXI32/ CMP1P	I/O	Hi-Z output	入出力ポート/ 外部割込み/ コンパレータ非反転入力	-	-	-	SCK0	I/O	SSIO クロック 入出力	TMOUT4	O	多機能タイマ出 力
7	P33/ EXI33/ CMP1M	I/O	Hi-Z output	入出力ポート/ 外部割込み/ コンパレータ反転入力	MD0	O	メロディ/ブザー出力	-	-	-	TMOUT5	O	多機能タイマ出 力
8	P34/ EXI34/ AIN0	I/O	Hi-Z output	入出力ポート/ 外部割込み/ SA-ADC 入力	SDA1	I/O	I2C データ入出力	SOUTF0	O	FIFO 付き SSIO データ 出力	RXDF0	I	FIFO 付き UART データ入 力

TQFP48 PIN No.	1 次機能				2 次/3 次/4 次機能								
	端子名	I/O	初期値	機能	端子名	I/O	機能	端子名	I/O	機能	端子名	I/O	機能
9	P35/ EXI35/ AIN1	I/O	Hi-Z output	入出力ポート/ 外部割込み/ SA-ADC 入力	SCL1	O	I2C クロック出力	SINF0	I	FIFO 付き SSIO データ 入力	TXDF0	O	FIFO 付き UART データ出 力
10	P36/ EXI36/ AIN2	I/O	Hi-Z output	入出力ポート/ 外部割込み/ SA-ADC 入力	-	-	-	SCKF0	I/O	FIFO 付き SSIO クロック 入出力	TMOUT6	O	多機能タイマ出 力
11	P37/ EXI37/ AIN3	I/O	Hi-Z output	入出力ポート/ 外部割込み/ SA-ADC 入力	-	-	-	SSF0	I/O	FIFO 付き SSIO チップセ レクト入出力	TMOUT7	O	多機能タイマ出 力
25	P40/ EXI40/ LED	I/O	Hi-Z output	入出力ポート/ 外部割込み/ LED 出力	SDA0	I/O	I2C データ入出力	SOUT0	O	SSIO データ 出力	RXD0	I	UART データ入 力
26	P41/ EXI41/ LED	I/O	Hi-Z output	入出力ポート/ 外部割込み/ LED 出力	SCL0	O	I2C クロック出力	SIN0	I	SSIO データ 入力	TXD0	O	UART データ出 力
27	P42/ EXI42/ TMCKI0	I/O	Hi-Z output	入出力ポート/ 外部割込み/ タイマクロック入力	-	-	-	SCK0	I/O	SSIO クロック 入出力	TMOUT8	O	多機能タイマ出 力
28	P43/ EXI43/ TMCKI1	I/O	Hi-Z output	入出力ポート/ 外部割込み/ タイマクロック入力	MD0	O	メロディ/ブザー出力	-	-	-	TMOUT9	O	多機能タイマ出 力
29	P44/ EXI44	I/O	Hi-Z output	入出力ポート/ 外部割込み	SDA1	I/O	I2C データ入出力	SOUTF0	O	FIFO 付き SSIO データ 出力	RXDF0	I	FIFO 付き UART データ入 力
30	P45/ EXI45	I/O	Hi-Z output	入出力ポート/ 外部割込み	SCL1	O	I2C クロック出力	SINF0	I	FIFO 付き SSIO データ 入力	TXDF0	O	FIFO 付き UART データ出 力
31	P46/ EXI46/ TMCKI2	I/O	Hi-Z output	入出力ポート/ 外部割込み/ タイマクロック入力	LSCLKO	O	低速クロック出力	SCKF0	I/O	FIFO 付き SSIO クロック 入出力	TMOUTA	O	多機能タイマ出 力
32	P47/ EXI47/ TMCKI3	I/O	Hi-Z output	入出力ポート/ 外部割込み/ タイマクロック入力	OUTCLK	O	高速クロック出力	SSF0	I/O	FIFO 付き SSIO チップセ レクト入出力	TMOUTB	O	多機能タイマ出 力
33	P50/ EXI50	I/O	Hi-Z output	入出力ポート/ 外部割込み	SDA0	I/O	I2C データ入出力	SOUT0	O	SSIO データ 出力	RXD0	I	UART データ入 力
34	P51/ EXI51	I/O	Hi-Z output	入出力ポート/ 外部割込み	SCL0	O	I2C クロック出力	SIN0	I	SSIO データ 入力	TXD0	O	UART データ出 力
35	P52/ EXI52/ TMCKI4/ LED	I/O	Hi-Z output	入出力ポート/ 外部割込み/ タイマクロック入力/ LED 出力	-	-	-	SCK0	I/O	SSIO クロック 入出力	TMOUTC	O	多機能タイマ出 力
36	P53/ EXI53/ TMCKI5/ LED	I/O	Hi-Z output	入出力ポート/ 外部割込み/ タイマクロック入力/ LED 出力	MD0	O	メロディ/ブザー出力	-	-	-	TMOUTD	O	多機能タイマ出 力
37	P54/ EXI54	I/O	Hi-Z output	入出力ポート/ 外部割込み	SDA1	I/O	I2C データ入出力	SOUTF0	O	FIFO 付き SSIO データ 出力	RXDF0	I	FIFO 付き UART データ入 力
38	P55/ EXI55	I/O	Hi-Z output	入出力ポート/ 外部割込み	SCL1	O	I2C クロック出力	SINF0	I	FIFO 付き SSIO データ 入力	TXDF0	O	FIFO 付き UART データ出 力
39	P56/ EXI56/ TMCKI6	I/O	Hi-Z output	入出力ポート/ 外部割込み/ タイマクロック入力	LSCLKO	O	低速クロック出力	SCKF0	I/O	FIFO 付き SSIO クロック 入出力	TMOUTE	O	多機能タイマ出 力
40	P57/ EXI57/ TMCKI7	I/O	Hi-Z output	入出力ポート/ 外部割込み/ タイマクロック入力	OUTCLK	O	高速クロック出力	SSF0	I/O	FIFO 付き SSIO チップセ レクト入出力	TMOUTF	O	多機能タイマ出 力



## ■ 端子説明

下表に機能端子の説明を示します。

LSI 端子名は、各端子の 1 次機能の機能端子名を表し、端子モードはポート制御のモードレジスタの設定を表します。

(1<sup>st</sup>: 1 次機能, 2<sup>nd</sup>: 2 次機能, 3<sup>rd</sup>: 3 次機能, 4<sup>th</sup>: 4 次機能)

機能 端子名	I/O	説明	LSI 端子名	端子 モード	Logic (Active Level)
System					
RESET_N	I	リセット入力。Lレベルを入力すると LSI にリセットされます。Hレベルにすると内部プログラムの動作を開始します。 本端子は、内部でプルアップされています。	RESET_N	—	L
XT0	I	低速クロック用の水晶発振子を接続する端子。 必要に応じて本端子と V <sub>SS</sub> 端子間に C <sub>DL</sub> , C <sub>GL</sub> のコンデンサを接続して下さい。	PXT0	1 <sup>st</sup>	—
XT1	O		PXT1	1 <sup>st</sup>	—
LSCLKI	I	低速クロック用の外部クロック入力端子。	PXT1	1 <sup>st</sup>	—
OSC0	I	高速クロック用の水晶/セラミック発振子(最大 16MHz)を接続する端子。 本端子と V <sub>SS</sub> 端子間に C <sub>DH</sub> , C <sub>GH</sub> のコンデンサを接続して下さい。	P10	1 <sup>st</sup>	—
OSC1	O		P11	1 <sup>st</sup>	—
CLKIN	I	高速クロック用の外部クロック入力端子。	P11	1 <sup>st</sup>	—
LSCLKO	O	低速クロック出力端子。	P46,P56	2 <sup>nd</sup>	—
OUTCLK	O	高速クロック出力端子。	P47,P57	2 <sup>nd</sup>	—
General-purpose input/output port					
PXT0-PXT1	I	汎用入力端子(プルアップ/プルダウンなし)。	PXT0-PXT1	1 <sup>st</sup>	—
P00-P05	I/O	汎用入出力端子。	P00-P05	1 <sup>st</sup>	—
P10-P11	I/O	汎用入出力端子。	P10-P11	1 <sup>st</sup>	—
P20-P23	I/O	汎用入出力端子。	P20-P23	1 <sup>st</sup>	—
P30-P37	I/O	汎用入出力端子。	P30-P37	1 <sup>st</sup>	—
P40-P47	I/O	汎用入出力端子。	P40-P47	1 <sup>st</sup>	—
P50-P57	I/O	汎用入出力端子。	P50-P57	1 <sup>st</sup>	—
External interrupt					
EXI00-05 EXI10-11 EXI20-23 EXI30-37 EXI40-47 EXI50-57	I	マスカブルの外部割込み端子。ソフトウェアでどの割込みを有効にするか、どのエッジを使用するか選択します。	P00-P05, PXT0-PXT1, P20-P23, P30-P37, P40-P47, P50-P57	1 <sup>st</sup>	H/L
LED					
LED	O	LED 用 N-ch オープンドレイン出力端子	P40,P41,P52,P53	1 <sup>st</sup>	—
Melody/Buzzer					
MD0	O	メロディ/ブザー出力端子。	P33,P43,P53	2 <sup>nd</sup>	H
UART					
TXD0	O	UART データ送信端子。	P01,P31,P41,P51	4 <sup>th</sup>	—
RXD0	I	UART データ受信端子。	P00,P30,P40,P50	4 <sup>th</sup>	—
TXDF0	O	FIFO 付き UART データ送信端子。	P21,P35,P45,P55	4 <sup>th</sup>	—
RXDF0	I	FIFO 付き UART データ受信端子。	P20,P34,P44,P54	4 <sup>th</sup>	—
I <sup>2</sup> C bus interface					
SDA0	I/O	I <sup>2</sup> C0 データ入出力端子。NMOS オープンドレイン出力に設定し、外部にプルアップ抵抗を接続して使用して下さい。	P30,P40,P50	2 <sup>nd</sup>	—
SCL0	O	I <sup>2</sup> C0 クロック出力端子。NMOS オープンドレイン出力に設定し、外部にプルアップ抵抗を接続して使用して下さい。	P31,P41,P51	2 <sup>nd</sup>	—
SDA1	I/O	I <sup>2</sup> C1 データ入出力端子。NMOS オープンドレイン出力に設定し、外部にプルアップ抵抗を接続して使用して下さい。	P34,P44,P54	2 <sup>nd</sup>	—
SCL1	O	I <sup>2</sup> C1 クロック出力端子。NMOS オープンドレイン出力に設定し、外部にプルアップ抵抗を接続して使用して下さい。	P35,P45,P55	2 <sup>nd</sup>	—

機能 端子名	I/O	説明	LSI 端子名	端子 モード	Logic (Active Level)
Synchronous serial (SSIO)					
SCK0	I/O	同期シリアル(SSIO)クロック入出力端子。	P02,P32,P42,P52	3 <sup>rd</sup>	—
SIN0	I	同期シリアル(SSIO)データ入力端子。	P01,P31,P41,P51	3 <sup>rd</sup>	—
SOUT0	O	同期シリアル(SSIO)データ出力端子。	P00,P30,P40,P50	3 <sup>rd</sup>	—
SCKF0	I/O	FIFO 付き同期シリアル(SSIOF)クロック入出力端子。	P22,P36,P46,P56	3 <sup>rd</sup>	—
SINF0	I	FIFO 付き同期シリアル(SSIOF)データ入力端子。	P21,P35,P45,P55	3 <sup>rd</sup>	—
SOUTF0	O	FIFO 付き同期シリアル(SSIOF)データ出力端子。	P20,P34,P44,P54	3 <sup>rd</sup>	—
SSF0	I/O	FIFO 付き同期シリアル(SSIOF)セレクト入出力端子。	P23,P37,P47,P57	3 <sup>rd</sup>	L
FTM					
TMOUT0-9 TMOUTA-F	O	多機能タイマ出力端子。ソフトウェアで FTIMER0-3 のタイマ出力のいずれかを選択して出力します。	P02,P03,P22,P23 P32,P33,P36,P37, P42,P43,P46,P47 P52,P53,P56,P57	4 <sup>th</sup>	—
TMCKI0-7	I	多機能タイマ用外部クロック入力端子。FTIMER0-3 の外部クロックです。	P42,P43,P46,P47, P52,P53,P56,P57	1 <sup>st</sup>	—
RC oscillation type A/D converter					
IN0	I	チャンネル 0 の発振入力端子。	P00	2 <sup>nd</sup>	—
CS0	O	チャンネル 0 の基準容量接続端子。	P01	2 <sup>nd</sup>	—
RS0	O	チャンネル 0 の基準抵抗接続端子。	P03	2 <sup>nd</sup>	—
RT0	O	チャンネル 0 の測定用抵抗センサ接続端子。	P04	2 <sup>nd</sup>	—
RCT0	O	チャンネル 0 の測定用抵抗/容量センサ接続端子。	P02	2 <sup>nd</sup>	—
RCM	O	RC 発振モニタ端子。	P05	2 <sup>nd</sup>	—
IN1	I	チャンネル 1 の発振入力端子。	P20	2 <sup>nd</sup>	—
CS1	O	チャンネル 1 の基準容量接続端子。	P21	2 <sup>nd</sup>	—
RS1	O	チャンネル 1 の基準抵抗接続端子。	P22	2 <sup>nd</sup>	—
RT1	O	チャンネル 1 の測定用抵抗センサ接続端子。	P23	2 <sup>nd</sup>	—
Successive approximation type A/D converter					
V <sub>REF</sub>	I	SA-ADC 基準電位入力。	V <sub>REF</sub>	—	—
AIN0-11	I	SA-ADC の 0-11 チャンネルのアナログ入力端子。	(AIN0-3) P34-37, (AIN4-7) P20-23, (AIN8-11) P00-03	1 <sup>st</sup>	—
Analog comparator					
CMP0P	I	コンパレータ 0 の非反転入力端子。	P30	1 <sup>st</sup>	—
CMP0M	I	コンパレータ 0 の反転入力端子。	P31	1 <sup>st</sup>	—
CMP1P	I	コンパレータ 1 の非反転入力端子。	P32	1 <sup>st</sup>	—
CMP1M	I	コンパレータ 1 の反転入力端子。	P33	1 <sup>st</sup>	—
For testing					
TEST0	I/O	テスト用入出力端子。内部でプルダウンされています。	TEST0	—	—
TEST1_N	I	テスト用入力端子。内部でプルアップされています。	TEST1_N	—	—
Power supply					
V <sub>SS</sub>	—	マイナス側電源端子。	V <sub>SS</sub>	—	—
V <sub>DD</sub>	—	プラス側電源端子。	V <sub>DD</sub>	—	—
V <sub>DDL</sub>	—	ロジック用内蔵レギュレータのコンデンサ接続端子。V <sub>SS</sub> との間に C <sub>L0</sub> ,C <sub>L1</sub> を接続して下さい。	V <sub>DDL</sub>	—	—
V <sub>DDX</sub>	—	内部発振用内蔵レギュレータのコンデンサ接続端子。V <sub>SS</sub> との間に C <sub>X1</sub> を接続して下さい。	V <sub>DDX</sub>	—	—

## ■ 未使用端子の処理

表 1 に未使用端子の処理方法を示します。

表 1 未使用端子の処理

端子	推奨端子処理
RESET_N	オープン
TEST0	オープン
TEST1_N	オープン
V <sub>REF</sub>	V <sub>DD</sub> へ接続
P00 to P05	オープン
PXT0 to PXT1	オープン
P10 to P11	オープン
P20 to P23	オープン
P30 to P37	オープン
P40 to P47	オープン
P50 to P57	オープン

### 【注意】

未使用の入力ポートおよび入出力ポートは、ハイインピーダンス入力設定状態で端子をオープンのままにしておくと消費電流が過大に流れる恐れがありますので、プルダウン抵抗付き入力モード／プルアップ抵抗付き入力モード、もしくは出力モードに設定することを推奨します。

## ■ 電気的特性

## ● 絶対最大定格

(V<sub>SS</sub>=0V)

項 目	記 号	条 件	定 格 値	単位
電源電圧 1	V <sub>DD</sub>	Ta=25°C	-0.3~+4.6	V
電源電圧 2	V <sub>DDL</sub>	Ta=25°C	-0.3~+2.0	V
電源電圧 3	V <sub>DDX</sub>	Ta=25°C	-0.3~+2.0	V
入力電圧	V <sub>IN</sub>	Ta=25°C	-0.3~V <sub>DD</sub> +0.3	V
出力電圧	V <sub>OUT</sub>	Ta=25°C	-0.3~V <sub>DD</sub> +0.3	V
出力電流 1	I <sub>OUT1</sub>	Port0~2 系 Ta=25°C	-12~+11	mA
出力電流 2	I <sub>OUT2</sub>	Port3~5 系 Ta=25°C	-12~+20	mA
許容損失	PD	Ta=25°C	0.9	W
保存温度	T <sub>STG</sub>	—	-55 ~ +150	°C

## ● 推奨動作条件

(V<sub>SS</sub>=0V)

項 目	記 号	条 件	範 囲	単位
動作温度（周囲）	T <sub>OP</sub>	—	-40~+85	°C
動作電圧	V <sub>DD</sub>	—	1.8~3.6	V
リファレンス電圧	V <sub>REF</sub>	—	1.8~V <sub>DD</sub>	V
動作周波数（CPU）	f <sub>OP</sub>	—	30k ~ 16.8 M	Hz
低速外部クロック 入力周波数	f <sub>EXTL</sub>	—	30k ~ 36k	Hz
高速外部クロック 入力周波数	f <sub>EXTH</sub>	—	300k ~ 16M	Hz
低速水晶発振周波数	f <sub>XTL</sub>	—	32.768k	Hz
低速水晶発振 外付け容量 1	C <sub>DL</sub>	VT-200-FL（SII 製）使用時	6.8~12	pF
	C <sub>GL</sub>		6.8~12	
低速水晶発振 外付け容量 2	C <sub>DL</sub>	DT-26（大真空）使用時	12~16	pF
	C <sub>GL</sub>		12~16	
低速水晶発振 <sup>*1</sup> 外付け容量 3	C <sub>DL</sub>	VT-200-F（SII 製）使用時	12~22	pF
	C <sub>GL</sub>		12~22	
高速水晶発振周波数 セラミック発振周波数	f <sub>XTH</sub>	—	16M	Hz
高速水晶発振 外付け容量	C <sub>DH</sub>	NX8045GB（日本電波工業製）使用時	12~20	pF
	C <sub>GH</sub>		12~20	
セラミック発振 外付け容量	C <sub>DH</sub>	CSTCE16M0V53（村田製作所製） CL 内蔵タイプ	0~5	pF
	C <sub>GH</sub>		0~5	
V <sub>DDL</sub> 端子外付け容量 <sup>*2</sup>	C <sub>L</sub>	ESR≤500mΩ	2.2±30%	μF
V <sub>DDX</sub> 端子外付け容量	C <sub>X</sub>	—	0.33 ± 30%	μF

\*1：この水晶での DEEPHALT を設定すると、動作しない可能性がありますので、設定は禁止致します。DEEPHALT 以外でご利用下さい。

その他の水晶振動子をご使用の場合はマッチング評価等で、特性をご確認の上ご利用ください。

\*2：お客様のご使用環境で評価の上、必要に応じて C<sub>L0</sub>=0.1μF を付けて下さい。

## ● フラッシュメモリ仕様

(V<sub>SS</sub>= 0V)

項 目	記 号	条 件	範 囲	単 位
動作温度（周囲）	T <sub>OP</sub>	データ領域：書き込み／消去時	-40～+85	℃
		プログラム領域：書き込み／消去時	0～+40	℃
動作電圧 書き換え回数	V <sub>DD</sub>	書き込み／消去時	1.8～3.6	V
	C <sub>EPD</sub>	データ領域(1,024B x 2)	10,000	回
	C <sub>EPP</sub>	プログラム領域	100	回
消去単位	—	ブロック消去	プログラム領域	8
			データ領域	2
		セクタ消去	1	KB
消去時間（最大）	—	ブロック消去 セクタ消去	100	ms
書き込み単位	—	—	1ワード(2バイト)	—

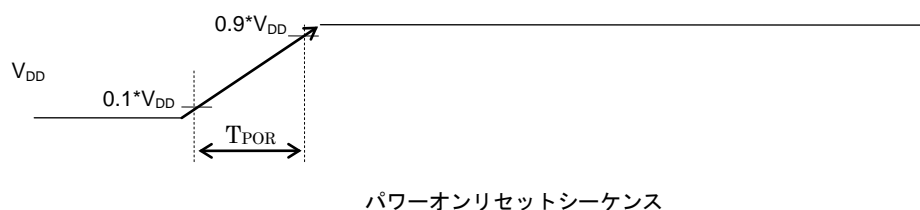
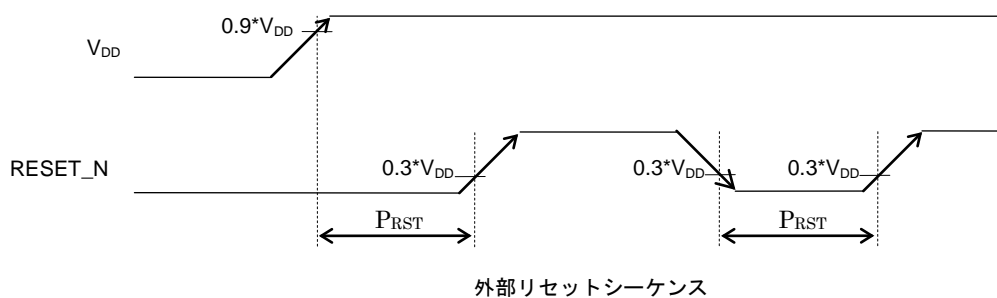
## ● 直流特性(発振、リセット)

(特に指定のない場合は、 $V_{DD}=1.8\sim 3.6V$ ,  $V_{SS}=0V$ ,  $T_a=-40\sim +85^{\circ}C$ )

項 目	記 号	条 件	規 格 値			単位	測定回路
			Min.	Typ.	Max.		
低速水晶発振開始時間	T <sub>XTL</sub>	—	—	—	2	s	1
高速水晶発振開始時間	T <sub>XTH</sub>	—	—	—	20	ms	
低速内蔵 RC 発振周波数 <sup>*1*2</sup>	f <sub>LCR</sub>	Ta=25℃	typ -1.5%	32.768	typ +1.5%	kHz	
		Ta=-40～85℃	typ -5%	32.768	typ +5%		
高速内蔵 RC 発振周波数 <sup>*1*2</sup>	f <sub>HCR</sub>	Ta=25℃	typ -1%	16	typ +1%	MHz	
		Ta=-40～85℃	typ -5%	16	typ +5%		
リセットパルス幅	P <sub>RST</sub>	—	200	—		μs	
リセットノイズ除去 パルス幅	P <sub>NRST</sub>	—	—	—	0.3	μs	
パワーオンリセット発生 電源立ち上がり時間	T <sub>POR</sub>	—	—	—	10	ms	

\*1: 1024 サイクルの平均値です。

\*2: 出荷時の保証値です。



## ● 直流特性(IDD)

(特に指定のない場合は、 $V_{DD}=1.8\sim 3.6V$ ,  $V_{SS}=0V$ ,  $T_a=-40\sim +85^{\circ}C$ )

項 目	記 号	条 件	規 格 値 <sup>*1</sup>			単位	測定 回路
			Min.	Typ.	Max.		
消費電流 1	IDD1	CPU が STOP 状態 (低速/高速発振停止)	$T_a=25^{\circ}C$	—	0.25	0.8	$\mu A$
			$T_a=-40\sim 85^{\circ}C$	—	—	15	
消費電流 2	IDD2	DEEP HALT モード時 (LTBC 動作) 水晶 32.768kHz 発振動作、 高速発振停止 <sup>*3*5</sup>	$T_a=25^{\circ}C$	—	0.45	1.3	$\mu A$
			$T_a=-40\sim 85^{\circ}C$	—	—	15	
消費電流 3	IDD3	HALT モード時 (LTBC 動作) 水晶 32.768kHz 発振動作、 高速発振停止 <sup>*3*5</sup>	$T_a=25^{\circ}C$	—	2	2.7	$\mu A$
			$T_a=-40\sim 85^{\circ}C$	—	—	18	
消費電流 4	IDD4	CPU 低速クロック時 内蔵 32.768kHz 発振動作、 高速発振停止 <sup>*2*5</sup>	$T_a=25^{\circ}C$	—	10	12	$\mu A$
			$T_a=-40\sim 85^{\circ}C$	—	—	25	
消費電流 5	IDD5	CPU 高速クロック時 (16MHz 選択) 内蔵 16MHz 発振動作 <sup>*2*5</sup>	$T_a=25^{\circ}C$	—	4	5.5	mA
			$T_a=-40\sim 85^{\circ}C$	—	—	6	
消費電流 6	IDD6	CPU 高速クロック時 (16MHz 選択) 水晶 16MHz 発振時 <sup>*2*4*5</sup>	$T_a=25^{\circ}C$	—	6	7.5	mA
			$T_a=-40\sim 85^{\circ}C$	—	—	8	

<sup>\*1</sup>: Typ.規格は  $V_{DD}=3.0V$  のとき<sup>\*2</sup>: CPU 動作率 100%時 (HALT 状態なし)<sup>\*3</sup>: 32.768KHz 水晶振動子 VT-200-FL (SII 製) 使用時 ( $C_{GL}/C_{DL}=12pF$ )32.768KHz 水晶振動子 DT-26 (大真空) 使用時 ( $C_{GL}/C_{DL}=12pF$ )<sup>\*4</sup>: NX8045GB (日本電波工業製) 使用時 ( $C_{GH}/C_{DH}=16pF$ )<sup>\*5</sup>: BLKCON0~BLKCON5 の有効ビット全て“1”

## ● 直流特性(VLS)

(特に指定のない場合は、 $V_{DD}=1.8\sim 3.6V$ ,  $V_{SS}=0V$ ,  $T_a=-40\sim +85^{\circ}C$ )

項 目	記 号	条 件	規 格 値			単位	測定回路
			Min.	Typ.	Max.		
VLS 判定電圧 ( $V_{DD}$ 立ち下がり)	$V_{VLS}$	viscon = 3H	1.798	1.898	1.998	V	1
		viscon = 4H	1.900	2.000	2.100		
		viscon = 5H	1.993	2.093	2.193		
		viscon = 6H	2.096	2.196	2.296		
		viscon = 7H	2.209	2.309	2.409		
		viscon = 8H	2.309	2.409	2.509		
		viscon = 9H	2.505	2.605	2.705		
		viscon = AH	2.700	2.800	2.900		
		viscon = BH	2.968	3.068	3.168		
$V_{VLS}$ ヒステリシス幅 ( $V_{DD}$ 立ち上がり)	$H_{VLS}$	—	$V_{VLS}$ x 1.8%	$V_{VLS}$ x 3.8%	$V_{VLS}$ x 6.3%	V	

## ● 直流特性(LLD)

(特に指定のない場合は、 $V_{DD}=1.8\sim 3.6V$ ,  $V_{SS}=0V$ ,  $T_a=-40\sim +85^{\circ}C$ )

項 目	記 号	条 件	規 格 値			単位	測定回路
			Min.	Typ.	Max.		
LLD 判定電圧	VLLR	—	1.60	1.80	2.00	V	1

## ● 直流特性(アナログコンパレータ)

(特に指定のない場合は、 $V_{DD}=1.8\sim 3.6V$ ,  $V_{SS}=0V$ ,  $T_a=-40\sim +85^{\circ}C$ )

項目	記号	条件	規 格 値			単位	測定回路
			Min.	Typ.	Max.		
同相入力範囲	$V_{CMPIN}$	—	0.2	—	$V_{DD}$ -0.2	V	1
入力オフセット電圧	$V_{CMPOF}$	—	-30	—	30	mV	
コンパレータ判定時間	$T_{CMP}$	CMPP- CPM =40mV	—	—	2	$\mu s$	



## ● 直流特性(VOHL、IOHL)

(特に指定のない場合は、 $V_{DD}=1.8\sim 3.6V$ ,  $V_{SS}=0V$ ,  $T_a=-40\sim +85^{\circ}C$ )

項 目	記 号	条 件	規 格 値			単位	測定 回路
			Min.	Typ.	Max.		
出力電圧 1 ( P00-P05, P10-P11, P20-P23, P30-P37, P40-P47, P50-P57 )	VOH1	$1.8V \leq V_{DD} \leq 3.6V$ $I_{OH}=-1mA$	$V_{DD}$ -0.5	—	—	V	2
	VOL1	$1.8V \leq V_{DD} \leq 3.6V$ $I_{OL}=+0.5mA$	—	—	0.4		
出力電圧 2 ( P40, P41, P52, P53 ) (LED モード 選択時)	VOL2	$2.7V \leq V_{DD} \leq 3.6V$ $I_{OL}=+5.0mA$	—	—	0.6		
		$1.8V \leq V_{DD} < 2.7V$ $I_{OL}=+2.0mA$	—	—	0.4		
出力電圧 3 (P30, P31, P34, P35, P40, P41, P44, P45, P50, P51, P54, P55 ) (I <sup>2</sup> C モード選択時)	VOL3	$I_{OL3}= +3mA$ (I <sup>2</sup> C 規格) ( $V_{DD} \geq 2V$ )	—	—	0.4		
出力電圧 4 (P30, P31, P34, P35, P40, P41, P44, P45, P50, P51, P54, P55 ) (I <sup>2</sup> C モード選択時)	VOL4	$I_{OL3}= +2mA$ (I <sup>2</sup> C 規格) ( $V_{DD} < 2V$ )	—	—	$V_{DD}$ x 0.2		
出力リーク 1 ( P00-P05, P20-P23, P30-P37, P40-P47, P50-P57 )	IOOH1	$VOH=V_{DD}$ (ハイインピーダンス時)	—	—	+1	$\mu A$	3
	IOOL1	$VOL=V_{SS}$ (ハイインピーダンス時)	-1	—	—		
出力リーク 2 ( P10-P11 )	IOOH2	$VOH=V_{DD}$ (ハイインピーダンス時)	—	—	+2		
	IOOL2	$VOL=V_{SS}$ (ハイインピーダンス時)	-2	—	—		

## ● 直流特性(IIHL)

(特に指定のない場合は、 $V_{DD}=1.8\sim 3.6V$ ,  $V_{SS}=0V$ ,  $T_a=-40\sim +85^{\circ}C$ )

項 目	記 号	条 件	規 格 値 <sup>*1</sup>			単位	測定回路
			Min.	Typ.	Max.		
入力電流 1 (RESET_N, TEST1_N)	IIH1	$V_{IH1}=V_{DD}$	—	—	1	$\mu A$	4
	IIL1	$V_{IL1}=V_{SS}$	-900	-300	-20		
入力電流 2 (TEST0)	IIH2	$V_{IH2}=V_{DD}$	20	300	900		
	IIL2	$V_{IL2}=V_{SS}$	-1	—	—		
入力電流 3 (PXT0-PXT1, P00-P05, P20-P23, P30-P37, P40-P47, P50-P57)	IIH3	$V_{IH3}=V_{DD}$ (プルダウン時)	1	15	200		
	IIL3	$V_{IL3}=V_{SS}$ (プルアップ時)	-200	-15	-1		
	IIH3Z	$V_{IH3}=V_{DD}$ (ハイインピーダンス時)	—	—	1		
	IIL3Z	$V_{IL3}=V_{SS}$ (ハイインピーダンス時)	-1	—	—		
入力電流 4 (P10-P11)	IIH4	$V_{IH4}=V_{DD}$ (プルダウン時)	1	15	200		
	IIL4	$V_{IL4}=V_{SS}$ (プルアップ時)	-200	-15	-1		
	IIH4Z	$V_{IH4}=V_{DD}$ (ハイインピーダンス時)	—	—	2		
	IIL4Z	$V_{IL4}=V_{SS}$ (ハイインピーダンス時)	-2	—	—		

<sup>\*1</sup>: Typ.規格は  $T_a=25^{\circ}C$ ,  $V_{DD}=3.0V$  のとき

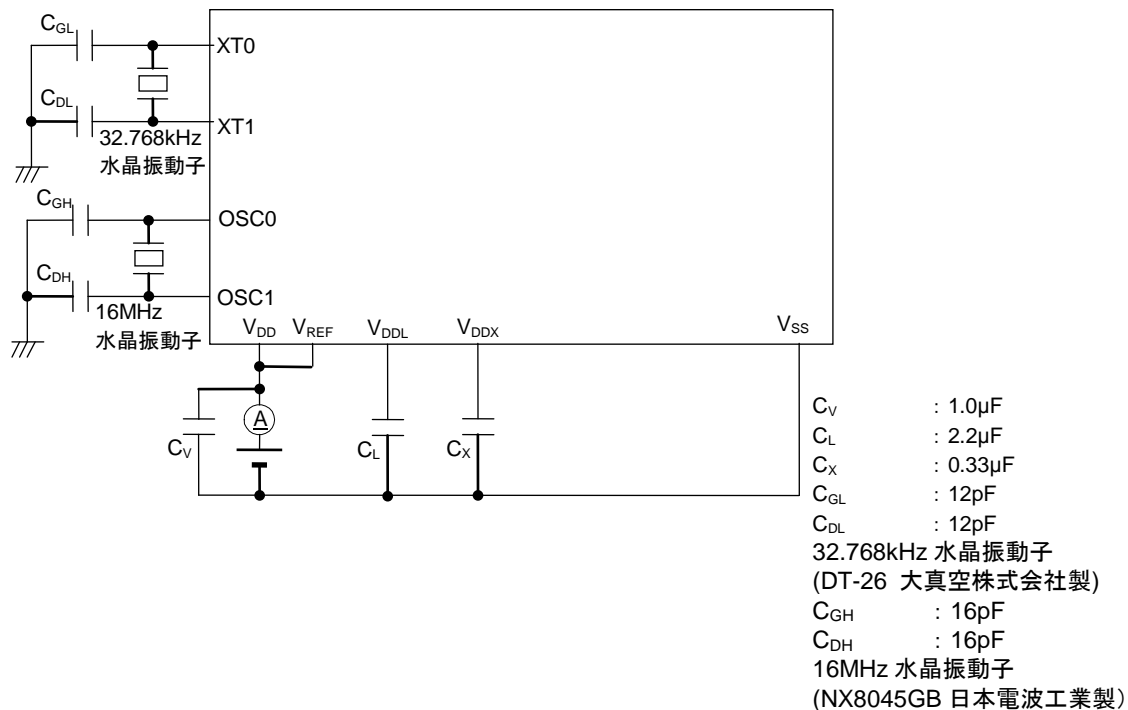
## ● 直流特性(VIHL)

(特に指定のない場合は、 $V_{DD}=1.8\sim 3.6V$ ,  $V_{SS}=0V$ ,  $T_a=-40\sim +85^{\circ}C$ )

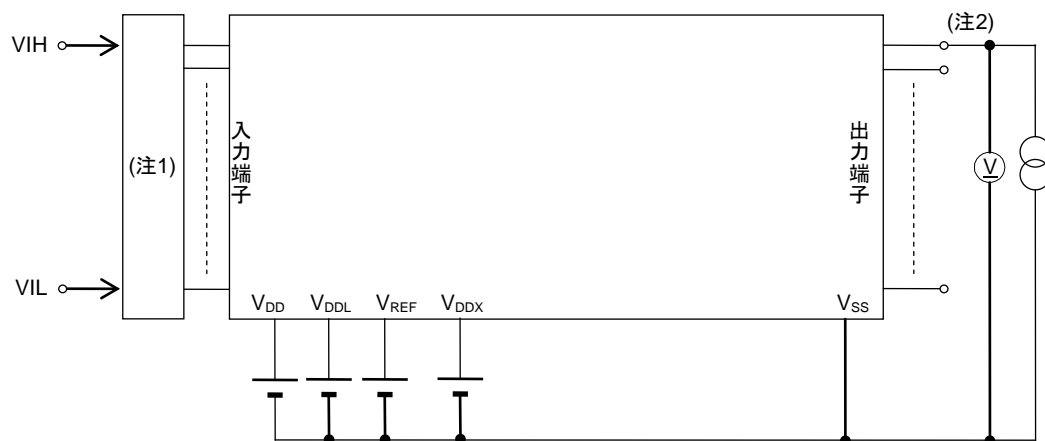
項 目	記 号	条 件	規 格 値			単位	測定回路
			Min.	Typ.	Max.		
入力電圧 1 (RESET_N, TEST0, TEST1_N, PXT0-PXT1, P00-P05, P10-P11, P20-P23, P30-P37, P40-P47, P50-P57)	VIH1	—	$0.7 \times V_{DD}$	—	$V_{DD}$	V	5
	VIL1	—	0	—	$0.3 \times V_{DD}$		
入力端子容量 (RESET_N, TEST0, TEST1_N, PXT0-PXT1, P00-P05, P10-P11, P20-P23, P30-P37, P40-P47, P50-P57)	CIN	$f=10kHz$ $V_{rms}=50mV$ $T_a=25^{\circ}C$	—	—	10	pF	—

● 測定回路

測定回路 1

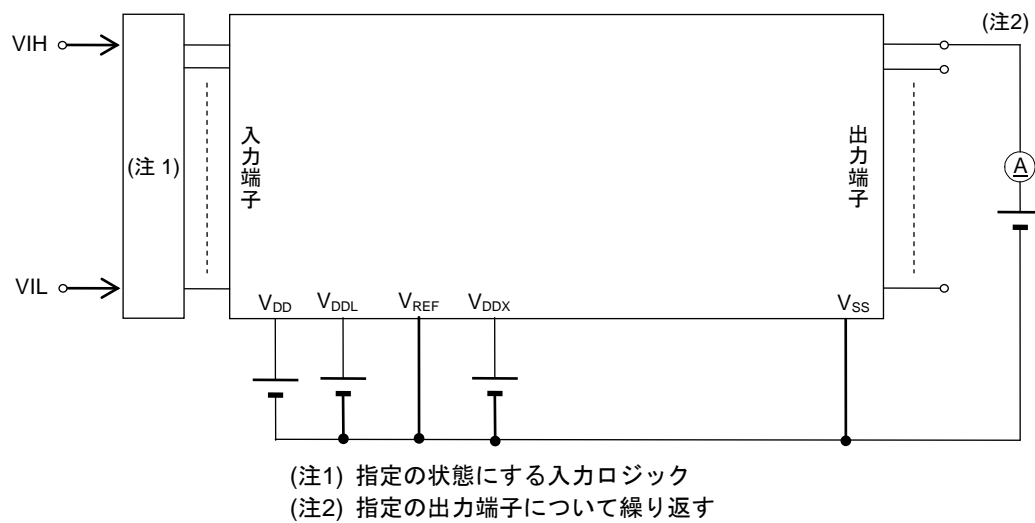


測定回路 2

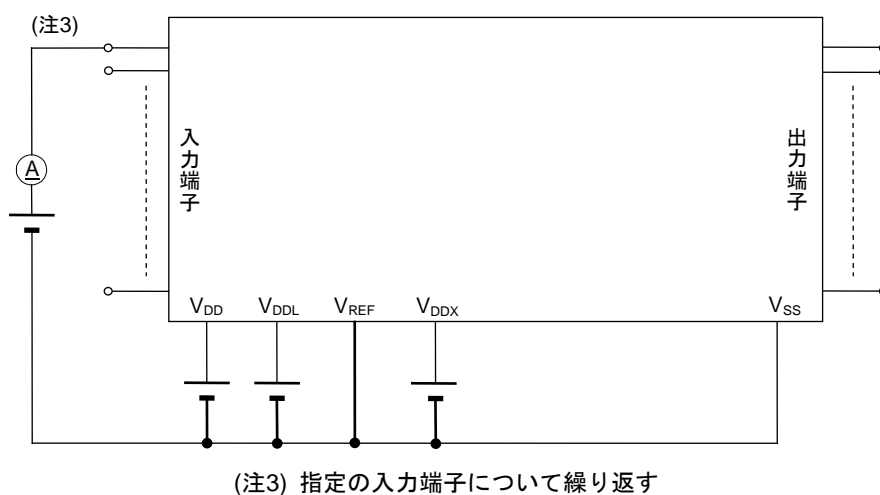


(注1) 指定の状態にする入力ロジック  
 (注2) 指定の出力端子について繰り返す

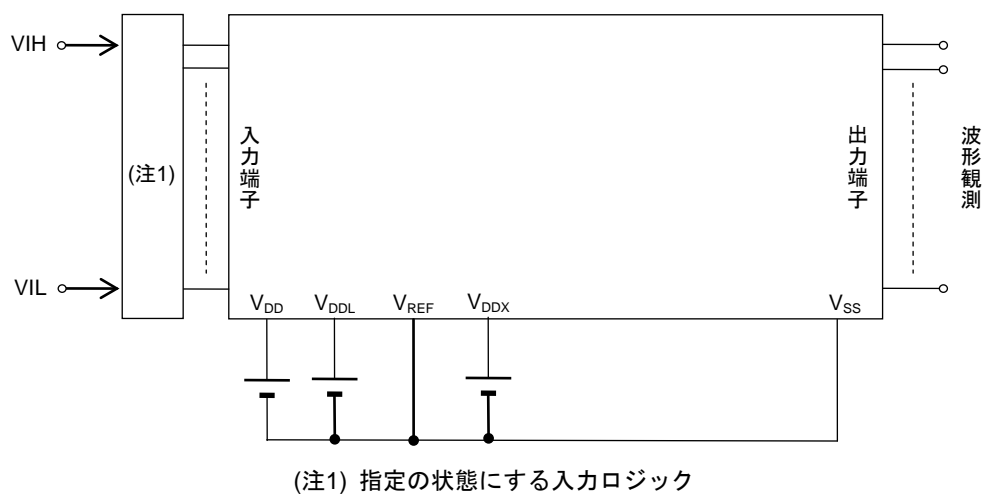
測定回路 3



測定回路 4



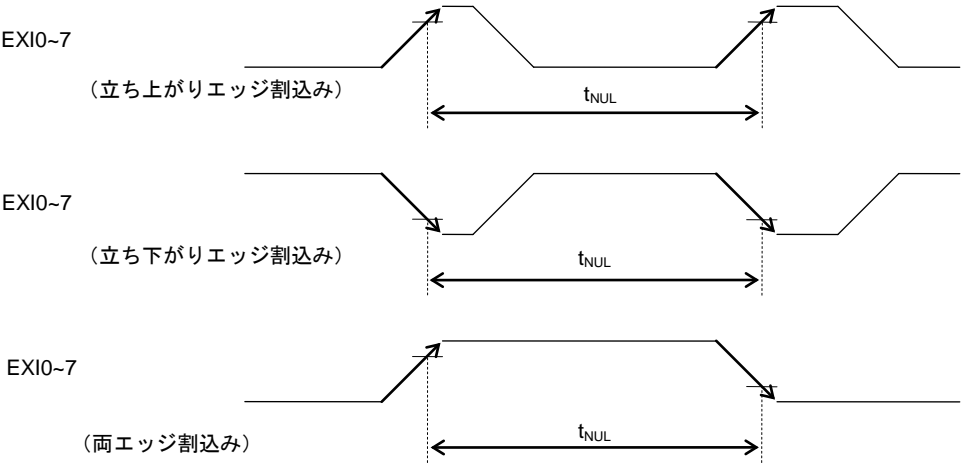
測定回路 5



● 交流特性（外部割込み）

（特に指定のない場合は、 $V_{DD}=1.8\sim 3.6V$ ,  $V_{SS}=0V$ ,  $T_a=-40\sim +85^{\circ}C$ ）

項 目	記 号	条 件	規 格 値			単位
			Min.	Typ.	Max.	
外部割込み無効期間	$t_{NUL}$	割込み許可 (MIE=1) CPU は NOP 動作	2.5 x sysclk	—	3.5 x sysclk	$\phi$



## ● 交流特性（同期式シリアルポート）

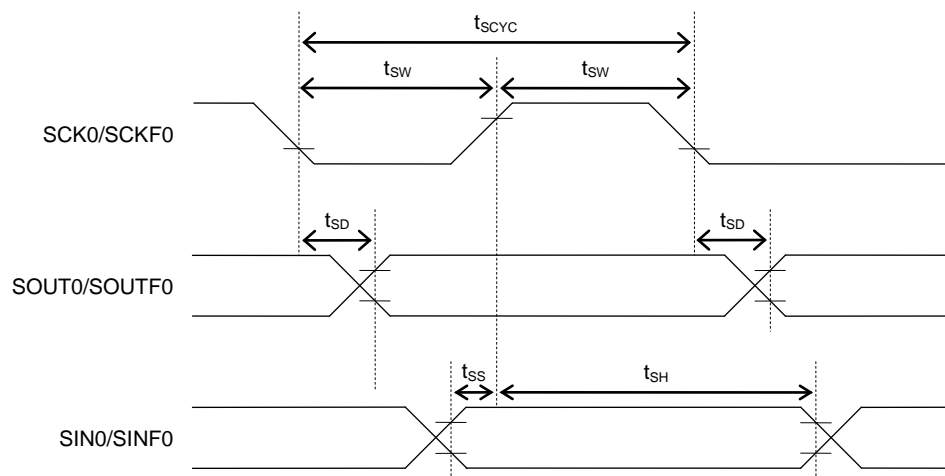
（特に指定のない場合は、 $V_{DD}=1.8\sim 3.6V$ ,  $V_{SS}=0V$ ,  $T_a=-40\sim +85^{\circ}C$ ）

項 目	記 号	条 件	規 格 値			単位
			Min.	Typ.	Max.	
SCK 入力サイクル （スレーブモード）	$t_{SCYC}$	高速発振停止時	10	—	—	$\mu s$
		高速発振時	500	—	—	ns
SCK 出力サイクル （マスターモード）	$t_{SCYC}$	—	—	$SCK^{*1}$	—	s
SCK 入力パルス幅 （スレーブモード）	$t_{SW}$	高速発振停止時	4	—	—	$\mu s$
		高速発振時	200	—	—	ns
SCK 出力パルス幅 （マスターモード）	$t_{SW}$	—	$t_{SCYC}$ $\times 0.4$	$t_{SCYC}$ $\times 0.5$	$t_{SCYC}$ $\times 0.6$	s
SOUT 出力遅延時間 （スレーブモード）	$t_{SD}$	—	—	—	180	ns
SOUT 出力遅延時間 （マスターモード）	$t_{SD}$	—	—	—	80	ns
SIN 入力 セットアップ時間 （スレーブモード）	$t_{SS}$	—	50	—	—	ns
SIN 入力 ホールド時間	$t_{SH}$	—	50	—	—	ns

\*1：次のレジスタで選択されたクロック周期(最小 250ns, 但し P02,P22 使用時は 500ns)

SSIO の場合, シリアルポート 0 モードレジスタ (SIO0MOD) の S0CK2-0

SSIOF の場合, SIOF0 ボーレートレジスタ(SF0BRR)の SF0BR9-0

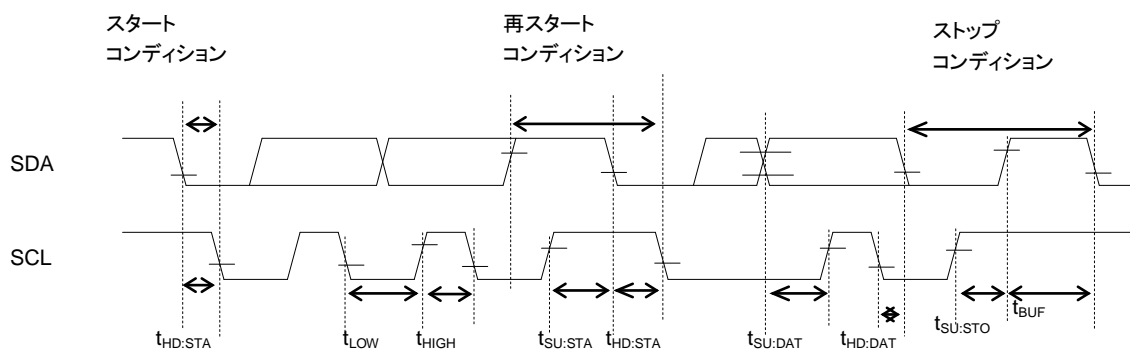


● 交流特性 (I<sup>2</sup>C バスインタフェース : 標準モード 100kHz)(特に指定のない場合は、V<sub>DD</sub>=1.8~3.6V, V<sub>SS</sub>=0V, Ta=-40~+85°C)

項 目	記 号	条 件	規 格 値			単位
			Min.	Typ.	Max.	
SCL クロック周波数	f <sub>SCL</sub>	—	0	—	100	kHz
SCL ホールド時間 (スタート/再スタート コンディション)	t <sub>HD:STA</sub>	—	4.0	—	—	μs
SCL "L" レベル時間	t <sub>LOW</sub>	—	4.7	—	—	μs
SCL "H" レベル時間	t <sub>HIGH</sub>	—	4.0	—	—	μs
SCL セットアップ時間 (再スタートコンディション)	t <sub>SU:STA</sub>	—	4.7	—	—	μs
SDA ホールド時間	t <sub>HD:DAT</sub>	—	0	—	3.45	μs
SDA セットアップ時間	t <sub>SU:DAT</sub>	—	0.25	—	—	μs
SCL セットアップ時間 (ストップコンディション)	t <sub>SU:STO</sub>	—	4.0	—	—	μs
バスフリー時間	t <sub>BUF</sub>	—	4.7	—	—	μs

● 交流特性 (I<sup>2</sup>C バスインタフェース : ファーストモード 400kHz)(特に指定のない場合は、V<sub>DD</sub>=1.8~3.6V, V<sub>SS</sub>=0V, Ta=-40~+85°C)

項 目	記 号	条 件	規 格 値			単位
			Min.	Typ.	Max.	
SCL クロック周波数	f <sub>SCL</sub>	—	0	—	400	kHz
SCL ホールド時間 (スタート/再スタート コンディション)	t <sub>HD:STA</sub>	—	0.6	—	—	μs
SCL "L" レベル時間	t <sub>LOW</sub>	—	1.3	—	—	μs
SCL "H" レベル時間	t <sub>HIGH</sub>	—	0.6	—	—	μs
SCL セットアップ時間 (再スタートコンディション)	t <sub>SU:STA</sub>	—	0.6	—	—	μs
SDA ホールド時間	t <sub>HD:DAT</sub>	—	0	—	0.9	μs
SDA セットアップ時間	t <sub>SU:DAT</sub>	—	0.1	—	—	μs
SCL セットアップ時間 (ストップコンディション)	t <sub>SU:STO</sub>	—	0.6	—	—	μs
バスフリー時間	t <sub>BUF</sub>	—	1.3	—	—	μs



### ● 交流特性 (RC 発振方式 A/D コンバータ)

(特に指定のない場合は、 $V_{DD}=1.8\sim 3.6V$ ,  $V_{SS}=0V$ ,  $T_a=-40\sim +85^{\circ}C$ )

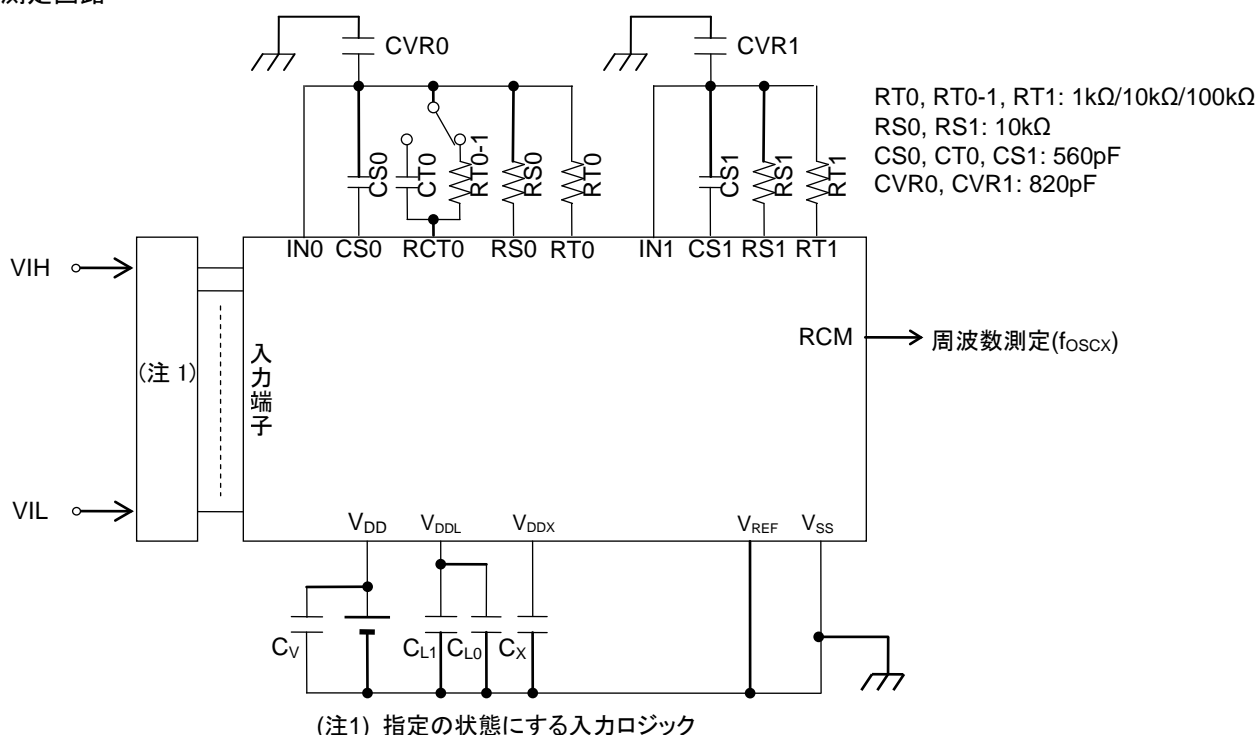
項 目	記 号	条 件	規 格 値			単位
			Min.	Typ.	Max.	
発振用抵抗	RS0,RS1,RT0 ,RT0-1,RT1	—	1	—	400	kΩ
発振周波数 V <sub>DD</sub> = 3.0V CVR=820pF CS=560pF	f <sub>OSC1_0</sub>	発振用抵抗=1kΩ	—	528	—	kHz
	f <sub>OSC2_0</sub>	発振用抵抗=10kΩ	—	59	—	kHz
	f <sub>OSC3_0</sub>	発振用抵抗=100kΩ	—	5.9	—	kHz
RS・RT 発振周波数比*1 V <sub>DD</sub> = 3.0V CVR=820pF CS=560pF	Kf1_0	RT0, RT0-1, RT1=1kΩ	8.225	8.94	9.655	—
	Kf2_0	RT0, RT0-1, RT1=10kΩ	0.99	1	1.01	—
	Kf3_0	RT0, RT0-1, RT1=100kΩ	0.093	0.101	0.109	—

\*1:  $K_{fx}$  は、同一条件におけるセンサ抵抗による発振周波数と基準抵抗による発振周波数の比

$$K_{fx} = \frac{f_{oscx}(RT0-CS0 \text{ 発振})}{f_{oscx}(RS0-CS0 \text{ 発振})}, \quad \frac{f_{oscx}(RT0-1-CS0 \text{ 発振})}{f_{oscx}(RS0-CS0 \text{ 発振})}, \quad \frac{f_{oscx}(RT1-CS1 \text{ 発振})}{f_{oscx}(RS1-CS1 \text{ 発振})}$$

(x = 1, 2, 3)

### 測定回路



【注意】

- ・共通ノード(各外付けコンデンサや抵抗から IN0/IN1 端子に接続される配線パターン)は、CVR0/CVR1 を含めて LSI から最短になるようレイアウトしてください。特に IN0 と RS0、IN1 と RS1 間の長い配線は避けて下さい。配線間のカップリング容量で A/D 変換が誤動作する可能性があります。また、共通ノードの周辺にノイズ源となるような信号は配線しないでください。
- ・RT0/RT1 など(サーミスタなど)が配置場所の制限によって配線の引き回しが必要な信号は V<sub>SS</sub>(GND)線でガードしてください。
- ・目的の測定に必要な素子(コンデンサや抵抗など)のみ配線して下さい。予備の素子などを配線している場合、その素子からのノイズで A/D 変換動作に影響を与える可能性があります。

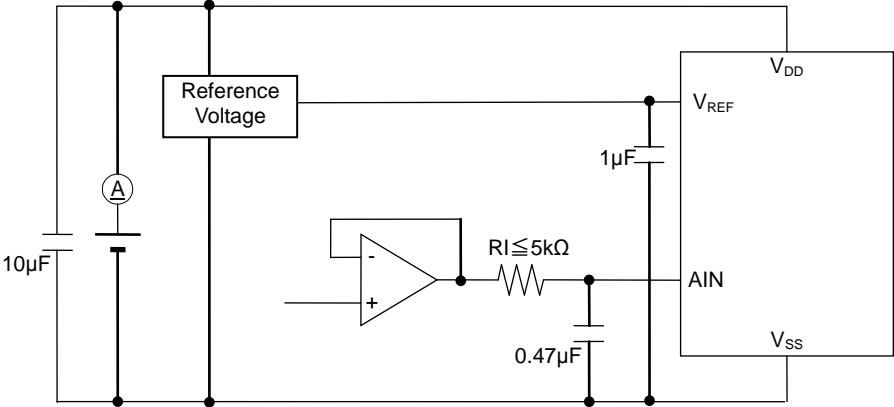


● 逐次比較型 A/D コンバータの電气的特性

(特に指定のない場合は、 $V_{DD}=1.8\sim 3.6V$ ,  $V_{SS}=0V$ ,  $T_a=-40\sim +85^{\circ}C$ )

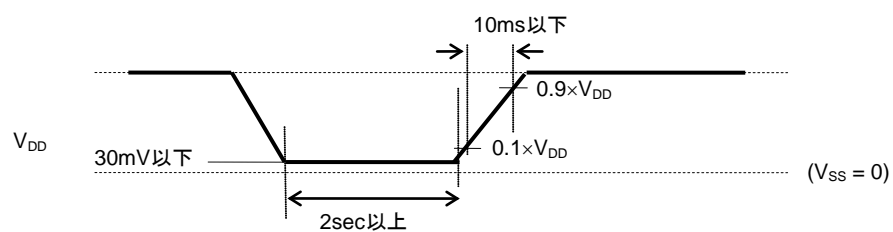
項 目	記 号	条 件	規 格 値			単位
			Min.	Typ.	Max.	
分解能	n	—	—	12	—	bit
積分非直線性誤差	INL	$2.7V \leq V_{REF} \leq 3.6V$	-4	—	+4	LSB
		$2.2V \leq V_{REF} < 2.7V$	-6	—	+6	
		$1.8V \leq V_{REF} < 2.2V$ (低速クロック使用時)	-10	—	+10	
微分非直線性誤差	DNL	$2.7V \leq V_{REF} \leq 3.6V$	-3	—	+3	
		$2.2V \leq V_{REF} < 2.7V$	-5	—	+5	
		$1.8V \leq V_{REF} < 2.2V$ (低速クロック使用時)	-9	—	+9	
ゼロスケール誤差	$V_{OFF}$	$2.2V \leq V_{REF} \leq 3.6V$	-6	—	+6	
		$1.8V \leq V_{REF} < 2.2V$ (低速クロック使用時)	-10	—	+10	
フルスケール誤差	FSE	$2.2V \leq V_{REF} \leq 3.6V$	-6	—	+6	
		$1.8V \leq V_{REF} < 2.2V$ (低速クロック使用時)	-10	—	+10	
入力インピーダンス	RI	—	—	—	5k	$\Omega$
SA-ADC 基準電位	$V_{REF}$	—	1.8	—	$V_{DD}$	V
変換時間	$t_{CONV}$	高速クロック使用時(Max.4MHz)	—	170	—	clk
		低速クロック使用時	—	16	—	

測定回路

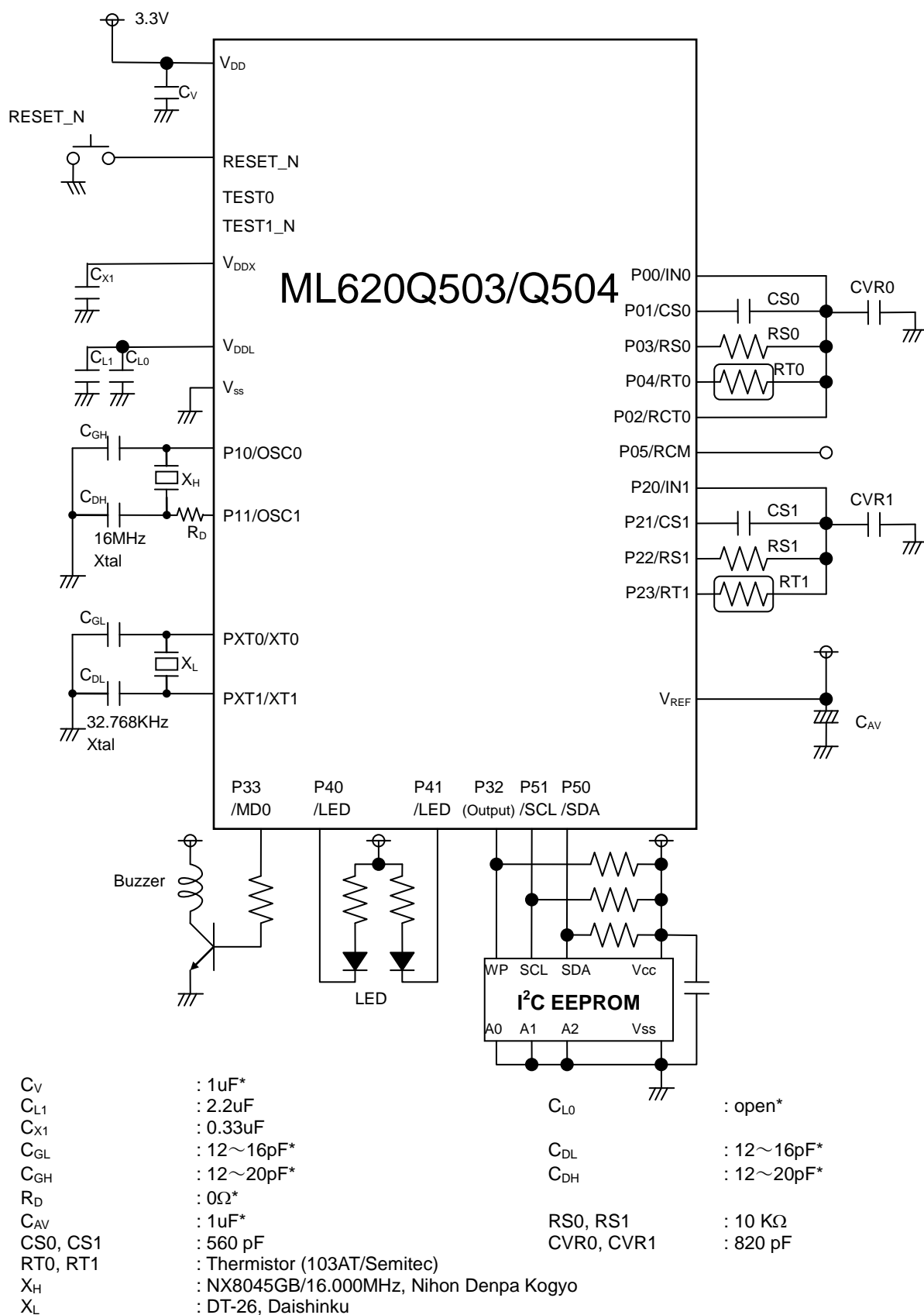


## ● 電源の投入および遮断

$V_{DD}$  の電源投入および遮断は、以下のタイミング制約を守ってください。



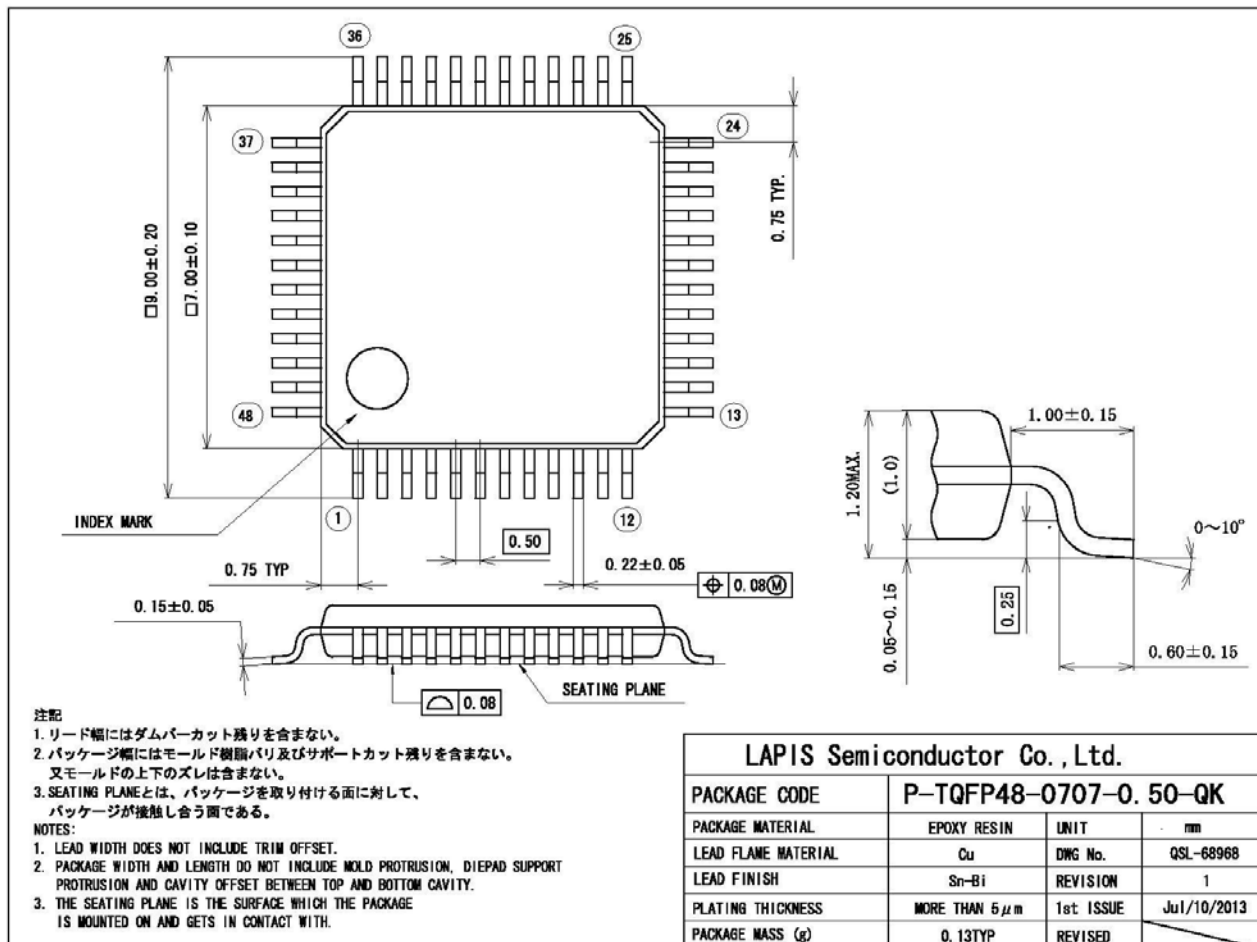
■ 応用回路例



\*: お客様のご使用環境で評価の上、必要に応じて適切なものをご使用ください。

## ■ パッケージ外形図

### ● ML620Q503/Q504 パッケージ外形図



## 表面実装型パッケージ実装上のご注意

表面実装型パッケージは、リフロー実装時の熱や保管時のパッケージの吸湿量等に変影響を受けやすいパッケージです。したがって、リフロー実装の実施を検討される際には、その製品名、パッケージ名、ピン数、パッケージコード及び希望されている実装条件（リフロー方法、温度、回数）、保管条件などをセールスオフィスまで必ずお問い合わせください。

## ■ 改版履歴

ドキュメント No.	発行日	ページ		変更内容
		改版前	改版後	
PJDL620Q504-01	2014.06.10	－	－	暫定初版発行
FJDL620Q504-01	2015.03.13	－	－	初版発行

## ご注意

- 1) 本資料の記載内容は改良などのため予告なく変更することがあります。
- 2) ラピスセミコンダクタは常に品質・信頼性の向上に取り組んでおりますが、半導体製品は種々の要因で故障・誤作動する可能性があります。  
万が一、本製品が故障・誤作動した場合であっても、その影響により人身事故、火災損害等が起こらないようご使用機器でのディレーティング、冗長設計、延焼防止、バックアップ、フェイルセーフ等の安全確保をお願いします。定格を超えたご使用や使用上の注意書が守られていない場合、いかなる責任もラピスセミコンダクタは負うものではありません。
- 3) 本資料に記載されております応用回路例やその定数などの情報につきましては、本製品の標準的な動作や使い方を説明するものです。したがって、量産設計をされる場合には、外部諸条件を考慮していただきますようお願いいたします。
- 4) 本資料に記載されております技術情報は、本製品の代表的動作および応用回路例などを示したものであり、それをもって、当該技術情報に関するラピスセミコンダクタまたは第三者の知的財産権その他の権利を許諾するものではありません。したがって、上記技術情報の使用に起因して第三者の権利にかかわる紛争が発生した場合、ラピスセミコンダクタはその責任を負うものではありません。
- 5) 本製品は、一般的な電子機器（AV機器、OA機器、通信機器、家電製品、アミューズメント機器など）および本資料に明示した用途への使用を意図しています。
- 6) 本資料に掲載されております製品は、耐放射線設計はなされていません。
- 7) 本製品を下記のような特に高い信頼性が要求される機器等に使用される際には、ラピスセミコンダクタへ必ずご連絡の上、承諾を得てください。
  - ・輸送機器（車載、船舶、鉄道など）、幹線用通信機器、交通信号機器、防災・防犯装置、安全確保のための装置、医療機器、サーバー、太陽電池、送電システム
- 8) 本製品を極めて高い信頼性を要求される下記のような機器等には、使用しないでください。
  - ・航空宇宙機器、原子力制御機器、海底中継機器
- 9) 本資料の記載に従わないために生じたいかなる事故、損害もラピスセミコンダクタはその責任を負うものではありません。
- 10) 本資料に記載されております情報は、正確を期すため慎重に作成したのですが、万が一、当該情報の誤り・誤植に起因する損害がお客様に生じた場合においても、ラピスセミコンダクタはその責任を負うものではありません。
- 11) 本製品のご使用に際しては、RoHS 指令など適用される環境関連法令を遵守の上ご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関して、ラピスセミコンダクタは一切の責任を負いません。本製品の RoHS 適合性などの詳細につきましては、セールス・オフィスまでお問合せください。
- 12) 本製品および本資料に記載の技術を輸出又は国外へ提供する際には、「外国為替及び外国貿易法」、「米国輸出管理規則」など適用される輸出関連法令を遵守し、それらの定めにしたがって必要な手続を行ってください。
- 13) 本資料の一部または全部をラピスセミコンダクタの許可なく、転載・複写することを堅くお断りします。

Copyright 2014-2015 LAPIS Semiconductor Co., Ltd.