ROHM GROUP
LAPIS
SEMICONDUCTOR

FJUL620Q504-01

ML620Q503/Q504
ユーザーズマニュアル

初版　発行日 2015 年 4 月 16 日

ROHM
SEMICONDUCTOR

ご注意

1) 本資料の記載内容は改良などのため予告なく変更することがあります。
2) ラピスセミコンダクタは常に品質･信頼性の向上に取り組んでおりますが、半導体製品は種々の要因で故障･誤作動する可能性があります。
   万が一、本製品が故障･誤作動した場合であっても、その影響により人身事故、火災損害等が起こらないようご使用機器でのディレーティング、冗長設計、延焼防止、バックアップ、フェイルセーフ等の安全確保をお願いします。定格を超えたご使用や使用上の注意書が守られていない場合、いかなる責任もラピスセミコンダクタは負うものではありません。
3) 本資料に記載されております応用回路例やその定数などの情報につきましては、本製品の標準的な動作や使い方を説明するものです。したがいまして、量産設計をされる場合には、外部諸条件を考慮していただきますようお願いいたします。
4) 本資料に記載されております技術情報は、本製品の代表的動作および応用回路例などを示したものであり、それをもって、当該技術情報に関するラピスセミコンダクタまたは第三者の知的財産権その他の権利を許諾するものではありません。したがいまして、上記技術情報の使用に起因して第三者の権利にかかわる紛争が発生した場合、ラピスセミコンダクタはその責任を負うものではありません。
5) 本製品は、一般的な電子機器（AV機器、OA機器、通信機器、家電製品、アミューズメント機器など）および本資料に明示した用途への使用を意図しています。
6) 本資料に掲載されております製品は、耐放射線設計はなされておりません。
7) 本製品を下記のような特に高い信頼性が要求される機器等に使用される際には、ラピスセミコンダクタへ必ずご連絡の上、承諾を得てください。
   ･輸送機器（車載、船舶、鉄道など）、幹線用通信機器、交通信号機器、防災･防犯装置、安全確保のための装置、医療機器、サーバー、太陽電池、送電システム
8) 本製品を極めて高い信頼性を要求される下記のような機器等には、使用しないでください。
   ･航空宇宙機器、原子力制御機器、海底中継機器
9) 本資料の記載に従わないために生じたいかなる事故、損害もラピスセミコンダクタはその責任を負うものではありません。
10) 本資料に記載されております情報は、正確を期すため慎重に作成したものですが、万が一、当該情報の誤り･誤植に起因する損害がお客様に生じた場合においても、ラピスセミコンダクタはその責任を負うものではありません。
11) 本製品のご使用に際しては、RoHS 指令など適用される環境関連法令を遵守の上ご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関して、ラピスセミコンダクタは一切の責任を負いません。本製品のRoHS 適合性などの詳細につきましては、セールス･オフィスまでお問合せください。
12) 本製品および本資料に記載の技術を輸出又は国外へ提供する際には、「外国為替及び外国貿易法」、「米国輸出管理規則」など適用される輸出関連法令を遵守し、それらの定めにしたがって必要な手続を行ってください。
13) 本資料の一部または全部をラピスセミコンダクタの許可なく、転載･複写することを堅くお断りします。

Copyright 2014 - 2015 LAPIS Semiconductor Co., Ltd.

ラピスセミコンダクタ株式会社

〒222-8575 神奈川県横浜市港北区新横浜 2-4-8
http://www.lapis-semi.com

はじめに

本ユーザーズマニュアルでは、16 ビットマイクロコントローラ ML620Q503/Q504 のハードウェアの動作説明が記述されています。

本書のほかに以下に示すマニュアルが用意されておりますので、必要に応じてあわせてお読み下さい。

■ nX-U16/100 コア インストラクションマニュアル
nX-U16/100 コアの基本アーキテクチャおよび各命令の説明

■ MACU8 アセンブラパッケージ ユーザーズマニュアル
リロケータブルアセンブラ、リンカ、ライブラリアン、オブジェクトコンバータの操作方法の説明およびアセンブリ言語仕様の説明

■ CCU8 ユーザーズマニュアル
コンパイラの操作方法の説明

■ CCU8 プログラミングガイド
プログラミング方法の説明

■ CCU8 ランゲージリファレンス
CCU8 の言語仕様の説明

■ DTU8 デバッガ ユーザーズマニュアル
デバッガ DTU8 の操作方法の説明

■ IDEU8 ユーザーズマニュアル
統合化開発環境 IDEU8 の操作方法の説明

■ uEASE ユーザーズマニュアル
オンチップデバッグツール uEASE の説明

■ uEASE ターゲット接続補足マニュアル
uEASE と ML620Q503/Q504 の接続方法の説明

■ FWuEASE フラッシュライタ ホストプログラム ユーザーズマニュアル
フラッシュライタ ホストプログラム FWuEASE の説明

表記法

分 類	表記法	説　明
● 数値	xxh，xxH	16 進数を表します。
	xxb	2 進数を表します。
● 単位	ワード, W	1 ワード ＝16 ビット
	バイト, B	1 バイト ＝8 ビット
	ニブル，N	1 ニブル＝4 ビット
	メガ，M	10^6
	キロ，K	2^{10}＝1024
	キロ，k	10^3＝1000
	ミリ，m	10^{-3}
	マイクロ，m	10^{-6}
	ナノ，n	10^{-9}
	セカンド，s（小文字）	秒

● 用語

“ H ”レベル：電圧の高い側の信号レベルで、電気的特性で規定された V_{IH}、V_{OH} の電圧レベルを示します。

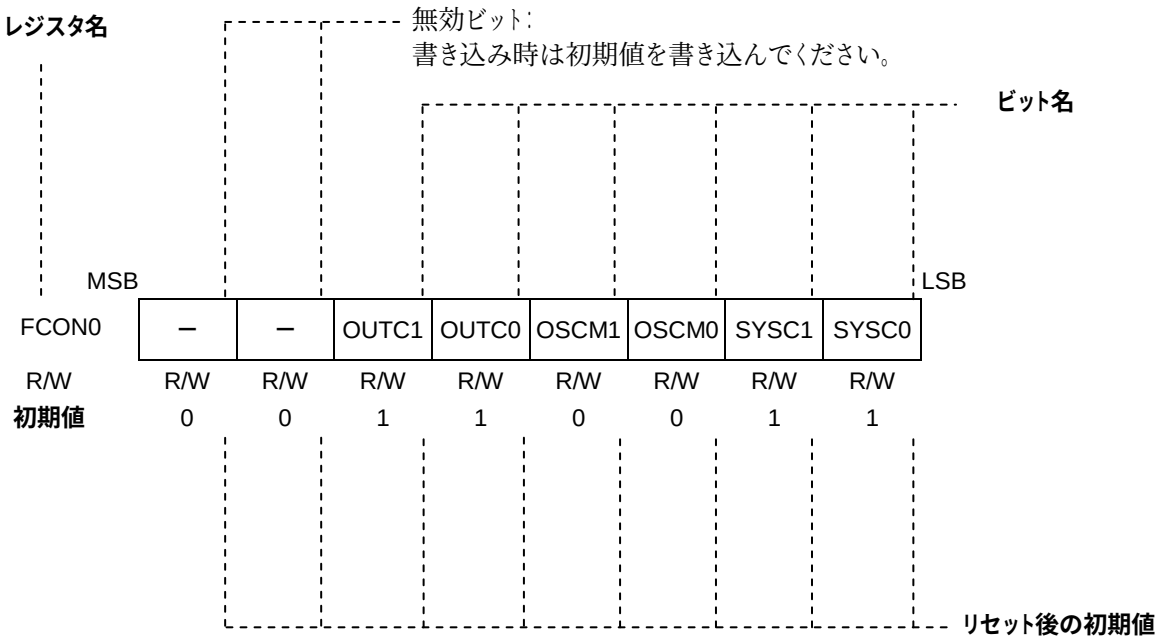
“ L ”レベル：電圧の低い側の信号レベルで、電気的特性で規定された V_{IL}、V_{OL} の電圧レベルを示します。

● レジスタ説明図

R/W：読み書き属性を表します。R は読み出し可能、W は書き込み可能、R/W は読み書き可能です。

MSB：8 ビットのレジスタ(メモリ)の最上位ビット

LSB：8 ビットのレジスタ(メモリ)の最下位ビット



目次

第 1 章 概要

1. 概要 1-1
1.1 特長 1-1
1.2 機能ブロック構成 1-5
1.2.1 ML620Q503/Q504 ブロック図 1-5
1.3 端子 1-6
1.3.1 端子配置 1-6
1.3.1.1 ML620Q503/Q504 TQFP パッケージの端子配置図 1-6
1.3.2 端子一覧 1-7
1.3.2.1 ML620Q503/Q504 TQFP パッケージの端子一覧 1-7
1.3.3 端子説明 1-9
1.3.4 未使用端子の処理 1-11

第 2 章 CPU とメモリ空間

2. CPU とメモリ空間 2-1
2.1 概要 2-1
2.1.1 特長 2-1
2.1.2 SB/RB 命令実行時の注意事項 2-1
2.2 プログラム･メモリ空間 2-2
2.3 データ･メモリ空間 2-3
2.4 命令長 2-4
2.5 データタイプ 2-4
2.6 レジスタ説明 2-4
2.6.1 レジスター一覧 2-4
2.6.2 データセグメントレジスタ (DSR) 2-4
2.7 乗除算コプロセッサ 2-5
2.7.1 概要 2-5
2.7.2 レジスター一覧 2-5
2.7.2.1 A,B,C,D レジスタ (CR0～CR7) 2-6
2.7.2.2 演算モードレジスタ (CR8) 2-7
2.7.2.3 演算ステータスレジスタ (CR9) 2-8
2.7.2.4 コプロ ID レジスタ (CR15) 2-9
2.7.3 動作説明 2-9

第 3 章 リセット機能

3. リセット機能 3-1
3.1 概要 3-1
3.1.1 特長 3-1
3.1.2 構成 3-1
3.1.3 端子一覧 3-1
3.2 レジスタ説明 3-2
3.2.1 レジスター一覧 3-2
3.2.2 リセットステータスレジスタ (RSTAT) 3-3
3.3 動作説明 3-4
3.3.1 リセット要因 3-4
3.3.2 システムリセットモードの動作 3-5

第 4 章 パワーマネジメント

4. パワーマネジメント 4-1
4.1 概要 4-1
4.1.1 特長 4-1
4.1.2 構成 4-1
4.2 レジスタ説明 4-2
4.2.1 レジスター覧 4-2
4.2.2 ストップコードアクセプタ (STPACP) 4-3
4.2.3 スタンバイコントロールレジスタ (SBYCON) 4-4
4.2.4 ブロックコントロールレジスタ 01 (BLKCON01) 4-5
4.2.5 ブロックコントロールレジスタ 23 (BLKCON23) 4-7
4.2.6 ブロックコントロールレジスタ 45(BLKCON45) 4-9
4.3 動作説明 4-10
4.3.1 HALT モード 4-10
4.3.1.1 HALT モード 4-10
4.3.1.2 DEEP-HALT モード 4-11
4.3.1.3 HALT-H モード 4-12
4.3.2 STOP モード 4-13
4.3.2.1 低速クロックの発振停止と再開タイミング 4-13
4.3.2.2 高速クロックの発振停止と再開タイミング 4-14
4.3.2.3 STOP/HALT/DEEP-HALT/HALT-H モードからの復帰動作についての注意事項 4-15
4.3.3 STOP/HALT/DEEP-HALT/HALT-H モード時の各機能の動作 4-16
4.3.4 ブロック制御機能 4-17

第 5 章 割込み

5. 割込み 5-1
5.1 概要 5-1
5.1.1 特長 5-1
5.1.2 構成 5-1
5.2 レジスタ説明 5-2
5.2.1 レジスター覧 5-2
5.2.2 割込み許可レジスタ 01 (IE01) 5-4
5.2.3 割込み許可レジスタ 23 (IE23) 5-6
5.2.4 割込み許可レジスタ 45 (IE45) 5-8
5.2.5 割込み許可レジスタ 67 (IE67) 5-10
5.2.6 割込み要求レジスタ 01 (IRQ01) 5-12
5.2.7 割込み要求レジスタ 23 (IRQ23) 5-14
5.2.8 割込み要求レジスタ 45 (IRQ45) 5-16
5.2.9 割込み要求レジスタ 67 (IRQ67) 5-19
5.2.10 割込みレベル制御イネーブルレジスタ (ILEN) 5-21
5.2.11 現割込み要求レベルレジスタ (CIL) 5-22
5.2.12 割込みレベル制御レジスタ 1 (ILC1) 5-24
5.2.13 割込みレベル制御レジスタ 2 (ILC2) 5-26
5.2.14 割込みレベル制御レジスタ 3 (ILC3) 5-28
5.2.15 割込みレベル制御レジスタ 4 (ILC4) 5-29
5.2.16 割込みレベル制御レジスタ 5 (ILC5) 5-31
5.2.17 割込みレベル制御レジスタ 6 (ILC6) 5-33
5.2.18 割込みレベル制御レジスタ 7 (ILC7) 5-35
5.2.19 外部割込みコントロールレジスタ 01 (EXICON01) 5-36
5.2.20 外部割込みコントロールレジスタ 23 (EXICON23) 5-37

5.2.21 外部割込み 01 選択レジスタ (EXI01SEL) 5-38
5.2.22 外部割込み 23 選択レジスタ (EXI23SEL) 5-39
5.2.23 外部割込み 45 選択レジスタ (EXI45SEL) 5-40
5.2.24 外部割込み 67 選択レジスタ (EXI67SEL) 5-41
5.3 動作説明 5-42
5.3.1 割込み要因 5-42
5.3.2 マスカブル割込み処理 5-44
5.3.3 ノンマスカブル割込み処理 5-44
5.3.4 ソフトウェア割込み処理 5-44
5.3.5 割込みルーチンでの注意事項 5-45
5.3.6 割込みレベル制御有効時の割込み処理 5-48
5.3.7 フローチャート(割込みレベル制御有効時) 5-49
5.3.8 割込み禁止状態 5-51
5.3.9 外部割込み 5-52

第 6 章 クロック発生回路

6. クロック発生回路 6-1
6.1 概要 6-1
6.1.1 特長 6-1
6.1.2 構成 6-1
6.1.3 端子一覧 6-2
6.1.4 クロック構成図 6-3
6.2 レジスタ説明 6-4
6.2.1 レジスター覧 6-4
6.2.2 周波数コントロールレジスタ 01(FCON01) 6-5
6.2.3 周波数コントロールレジスタ 23(FCON23) 6-8
6.2.4 周波数ステータスレジスタ (FSTAT) 6-10
6.3 動作説明 6-11
6.3.1 低速クロック 6-11
6.3.1.1 低速内蔵 RC 発振モード 6-11
6.3.1.2 低速水晶発振モード 6-12
6.3.1.3 低速外部クロック入力モード 6-13
6.3.1.4 低速内蔵 RC 発振モードの動作 6-14
6.3.1.5 低速水晶発振モードの動作 6-15
6.3.1.6 低速外部クロックモードの動作 6-16
6.3.2 高速クロック 6-17
6.3.2.1 内蔵 RC 発振モード 6-17
6.3.2.2 水晶/セラミック発振モード 6-17
6.3.2.3 高速外部クロック入力モード 6-18
6.3.2.4 内蔵 RC 発振モードの動作 6-19
6.3.2.5 水晶/セラミック発振モードの動作 6-20
6.3.2.6 高速外部クロックモードの動作 6-21
6.3.3 システムクロック切り替え 6-22
6.3.4 低速発振クロック切り替え割込み 6-23

第 7 章 タイムベースカウンタ

7. タイムベースカウンタ 7-1
7.1 概要 7-1
7.1.1 特長 7-1
7.1.2 構成 7-1

7.2 レジスタ説明 7-2
7.2.1 レジスター覧 7-2
7.2.2 低速タイムベースカウンタレジスタ (LTBR) 7-3
7.2.3 低速タイムベースカウンタ周波数補正レジスタ(LTBADJ) 7-4
7.2.4 低速タイムベースカウンタ割込み選択レジスタ (LTBINT) 7-6
7.3 動作説明 7-7
7.3.1 低速タイムベースカウンタ 7-7

第 8 章 タイマ

8. タイマ 8-1
8.1 概要 8-1
8.1.1 特長 8-1
8.1.2 構成 8-1
8.2 レジスタ説明 8-3
8.2.1 レジスター覧 8-3
8.2.2 タイマ nm データレジスタ (TMnmD : {n,m}={0,1} , {2,3} , {4,5} , {6,7}) 8-4
8.2.3 タイマ nm カウンタレジスタ (TMnmC : {n,m}={0,1} , {2,3} , {4,5} , {6,7}) 8-5
8.2.4 タイマ nm コントロールレジスタ(TMnmCON : {n,m}={0,1} , {2,3} , {4,5} , {6,7}) 8-6
8.2.5 タイマスタートレジスタ 0(TMSTR0) 8-8
8.2.6 タイマストップレジスタ 0(TMSTP0) 8-9
8.2.7 タイマステータスレジスタ 0(TMSTAT0) 8-10
8.3 動作説明 8-11
8.3.1 通常タイマモード動作 8-11
8.3.2 ワンショットタイマモード動作 8-12
8.3.3 16 ビットタイマモード動作 8-12

第 9 章 多機能タイマ(FTM)

9. 多機能タイマ (FTM) 9-1
9.1 概要 9-1
9.1.1 特長 9-1
9.1.2 構成 9-2
9.1.3 端子一覧 9-3
9.2 レジスタ説明 9-4
9.2.1 レジスター覧 9-4
9.2.2 FTMn 周期レジスタ (FTnP : n=0,1,2,3) 9-7
9.2.3 FTMn イベントレジスタ A (FTnEA : n=0,1,2,3) 9-8
9.2.4 FTMn イベントレジスタ B (FTnEB : n=0,1,2,3) 9-9
9.2.5 FTMn デッドタイムレジスタ(FTnDT : n=0,1,2,3) 9-10
9.2.6 FTMn カウンタレジスタ(FTnC : n=0,1,2,3) 9-11
9.2.7 FTMn コントロールレジスタ 0 (FTnCON0 : n=0,1,2,3) 9-12
9.2.8 FTMn コントロールレジスタ 1 (FTnCON1 : n=0,1,2,3) 9-13
9.2.9 FTMn モードレジスタ(FTnMOD : n=0,1,2,3) 9-15
9.2.10 FTMn クロックレジスタ(FTnCLK : n=0,1,2,3) 9-17
9.2.11 FTMn トリガレジスタ 0 (FTnTRG0 : n=0,1,2,3) 9-19
9.2.12 FTMn トリガレジスタ 1(FTnTRG1 : n=0,1,2,3) 9-21
9.2.13 FTMn 割込みイネーブルレジスタ (FTnINTE : n=0,1,2,3) 9-22
9.2.14 FTMn 割込みステータスレジスタ(FTnINTS : n=0,1,2,3) 9-24
9.2.15 FTMn 割込みクリアレジスタ(FTnINTC : n=0,1,2,3) 9-26
9.2.16 FTM 出力 nm 選択レジスタ (FTOnmSL : n = 0,2,4,6,8,A,C,E, m=n+1) 9-27

9.3 動作説明 9-29
9.3.1 共通シーケンス 9-29
9.3.2 カウンタ動作 9-31
9.3.2.1 ソフトウェアによるカウント開始/停止 9-31
9.3.2.2 トリガイベントによるカウント開始/停止 9-31
9.3.3 TIMER モードの動作 9-32
9.3.3.1 TIMER モードの出力波形 9-32
9.3.4 PWM1 モードの動作 9-34
9.3.4.1 PWM1 モードの出力波形 9-34
9.3.5 PWM2 モードの動作 9-35
9.3.5.1 PWM2 モードの出力波形 9-35
9.3.6 CAPTURE モードの動作 9-37
9.3.6.1 CAPTURE モードの測定例 9-37
9.3.7 イベント/緊急停止トリガ制御 9-39
9.3.7.1 イベント信号について 9-39
9.3.7.2 イベントトリガによるスタート、ストップ動作 9-40
9.3.7.3 緊急停止動作 9-41
9.3.8 カウンタストップ時の出力 9-41
9.3.9 周期,イベント A/B,デッドタイムの動作中の変更 9-42
9.3.10 割込み要因 9-43

第 10 章 ウォッチドッグタイマ

10. ウォッチドッグタイマ 10-1
10.1 概要 10-1
10.1.1 特長 10-1
10.1.2 構成 10-1
10.2 レジスタ説明 10-2
10.2.1 レジスター一覧 10-2
10.2.2 ウォッチドッグタイマコントロールレジスタ (WDTCON) 10-3
10.2.3 ウォッチドッグタイマモードレジスタ (WDTMOD) 10-4
10.3 動作説明 10-5
10.3.1 ウォッチドッグタイマを使用しない場合の処理例 10-7

第 11 章 同期式シリアルポート (SSIO)

11. 同期式シリアルポート (SSIO) 11-1
11.1 概要 11-1
11.1.1 特長 11-1
11.1.2 構成 11-1
11.1.3 端子一覧 11-1
11.2 レジスタ説明 11-2
11.2.1 レジスター一覧 11-2
11.2.2 シリアルポート 0 送受信バッファ (SIO0BUF) 11-3
11.2.3 シリアルポート 0 コントロールレジスタ (SIO0CON) 11-4
11.2.4 シリアルポート 0 モードレジスタ (SIO0MOD) 11-5
11.3 動作説明 11-7
11.3.1 送信動作 11-7
11.3.2 受信動作 11-9
11.3.3 送受信動作 11-11
11.3.4 端子設定について 11-11

第 12 章 FIFO 付同期式シリアルポート (SSIOF)

12. FIFO 付同期式シリアルポート (SSIOF) 12-1
12.1 概要 12-1
12.1.1 特長 12-1
12.1.2 構成 12-2
12.1.3 端子一覧 12-2
12.2 レジスタ説明 12-3
12.2.1 レジスター覧 12-3
12.2.2 SIOF0 制御レジスタ (SF0CTRL) 12-4
12.2.3 SIOF0 割込み制御レジスタ (SF0INTC) 12-6
12.2.4 SIOF0 転送間隔制御レジスタ (SF0TRAC) 12-8
12.2.5 SIOF0 ボーレートレジスタ (SF0BRR) 12-9
12.2.6 SIOF0 状態レジスタ (SF0SRR) 12-11
12.2.7 SIOF0 状態クリアレジスタ (SF0SRC) 12-13
12.2.8 SIOF0FIFO ステータスレジスタ (SF0FSR) 12-14
12.2.9 SIOF0 ライトデータレジスタ (SF0DWR) 12-15
12.2.10 SIOF0 リードデータレジスタ (SF0DRR) 12-16
12.3 動作説明 12-17
12.3.1 マスタモードとスレーブモード 12-17
12.3.2 シリアルクロックの極性と位相の制御 12-17
12.3.3 SF0CPHA が"0"の場合のデータ転送タイミング 12-17
12.3.4 SF0CPHA が"1"の場合のデータ転送タイミング 12-18
12.3.5 シリアルクロックボーレート 12-18
12.3.6 転送サイズ 12-19
12.3.7 転送間隔設定 12-20
12.3.8 送信動作 (マスタモード) 12-21
12.3.9 受信動作 (マスタモード) 12-22
12.3.10 FIFO 動作 12-23
12.3.11 書き込みオーバフロー 12-23
12.3.12 オーバーランエラー 12-23
12.3.13 FIFO クリア 12-23
12.3.14 スレーブの FIFO 転送 Byte/Word 数が異なる場合の転送 12-24
12.3.15 モードフォルト (MDF) 12-25
12.3.16 割込み要因 12-26
12.3.16.1 SSIOF の割込み要因 12-26
12.3.16.2 SSIOF の割込みクリア 12-26
12.3.16.3 SSIOF の割込みタイミング 12-26
12.3.16.4 割込み処理フロー 12-27
12.3.17 Hi-Z の動作 12-28
12.3.18 SF0MST 設定後から転送開始までの時間 12-28
12.3.19 端子設定について 12-28

第 13 章 UART

13. UART 13-1
13.1 概要 13-1
13.1.1 特長 13-1
13.1.2 構成 13-1
13.1.3 端子一覧 13-2
13.2 レジスタ説明 13-2
13.2.1 レジスター覧 13-2

13.2.2 UART0 受信バッファ (UA0BUF) 13-3
13.2.3 UART0 送信バッファ (UA1BUF) 13-3
13.2.4 UART0 コントロールレジスタ (UA0CON) 13-4
13.2.5 UART0 送信モニタレジスタ (UA1CON) 13-5
13.2.6 UART0 モードレジスタ (UA0MOD) 13-6
13.2.7 UART0 ボーレートレジスタ (UA0BRT) 13-8
13.2.8 UART0 受信ステータスレジスタ (UA0STAT) 13-9
13.2.9 UART0 送信ステータスレジスタ (UA1STAT) 13-10
13.3 動作説明 13-11
13.3.1 転送データフォーマット 13-11
13.3.2 ボーレート 13-12
13.3.3 送信データ方向 13-13
13.3.4 送信動作 13-14
13.3.5 受信動作 13-15
13.3.5.1 スタートビットの検出 13-16
13.3.5.2 サンプリングタイミング 13-16
13.3.5.3 受信マージン 13-17

第 14 章 FIFO 付 UART (UARTF)

14. FIFO 付 UART (UARTF) 14-1
14.1 概要 14-1
14.1.1 特長 14-1
14.1.2 構成 14-2
14.1.3 端子一覧 14-3
14.2 レジスタ説明 14-3
14.2.1 レジスター覧 14-3
14.2.2 UARTF0 送受信バッファ (UAF0BUF) 14-4
14.2.3 UARTF0 割込みイネーブルレジスタ (UAF0IER) 14-5
14.2.4 UARTF0 割込みステータスレジスタ (UAF0IIR) 14-6
14.2.5 UARTF0 モードレジスタ (UAF0MOD) 14-8
14.2.6 UARTF0 ラインステータスレジスタ (UAF0LSR) 14-11
14.2.7 UARTF0 クロック調整レジスタ (UAF0CAJ) 14-14
14.2.8 UARTF0 割込み要求レジスタ (UAF0IRQ) 14-15
14.3 動作説明 14-16
14.3.1 データ送信 14-16
14.3.2 データ受信 14-17
14.3.3 ボーレートクロック生成 14-19
14.3.4 FIFO モード 14-20
14.3.5 FIFO ポールモード 14-21
14.3.6 エラーステータス 14-22
14.3.7 ブロックコントロールによる初期化の注意事項 14-23

第 15 章 I^{2}C バスインタフェース

15. I^{2}C バスインターフェース 15-1
15.1 概要 15-1
15.1.1 特長 15-1
15.1.2 構成 15-1
15.1.3 端子一覧 15-1
15.2 レジスタ説明 15-2
15.2.1 レジスター覧 15-2

15.2.2 I²C バス n 受信データレジスタ (I2CnRD:n=0,1) 15-3
15.2.3 I²C バス n スレーブアドレスレジスタ (I2CnSA:n=0,1)....15-4
15.2.4 I²C バス n 送信データレジスタ (I2CnTD:n=0,1)....15-5
15.2.5 I²C バス n コントロールレジスタ (I2CnCON:n=0,1)....15-6
15.2.6 I²C バス n モードレジスタ (I2CnMOD:n=0,1)....15-8
15.2.7 I²C バス n ステータスレジスタ (I2CnSTA:n=0,1)....15-10
15.3 動作説明 15-11
15.3.1 通信動作モード 15-11
15.3.1.1 スタートコンディション 15-11
15.3.1.2 再スタートコンディション....15-11
15.3.1.3 スレーブアドレス送信モード....15-11
15.3.1.4 データ送信モード 15-11
15.3.1.5 データ受信モード 15-11
15.3.1.6 コントロールレジスタ設定待ち状態 15-11
15.3.1.7 ストップコンディション....15-12
15.3.2 通信動作タイミング 15-13
15.3.3 動作波形....15-15
15.3.4 端子設定について 15-16

第 16 章 ポート XT

16. ポート XT....16-1
16.1 概要....16-1
16.1.1 特長 16-1
16.1.2 構成 16-1
16.1.3 端子一覧....16-1
16.2 レジスタ説明 16-2
16.2.1 レジスター覧....16-2
16.2.2 ポート XT データレジスタ (PXTD) 16-3
16.2.3 ポート XT ディレクションレジスタ (PXTDIR)....16-4
16.3 動作説明 16-5
16.3.1 入力ポート機能 16-5
16.3.2 入力ポート以外の 1 次機能....16-5

第 17 章 ポート 0

17. ポート 0 17-1
17.1 概要....17-1
17.1.1 特長 17-1
17.1.2 構成 17-1
17.1.3 端子一覧....17-2
17.2 レジスタ説明 17-3
17.2.1 レジスター覧....17-3
17.2.2 ポート 0 データレジスタ (P0D) 17-4
17.2.3 ポート 0 ディレクションレジスタ (P0DIR)....17-5
17.2.4 ポート 0 コントロールレジスタ (P0CON)....17-6
17.2.5 ポート 0 モードレジスタ (P0MOD)....17-8
17.3 動作説明 17-10
17.3.1 入出力ポート機能....17-10
17.3.2 入出力ポート以外の 1 次機能 17-10
17.3.3 2 次機能～4 次機能....17-10

第 18 章 ポート 1

18. ポート 1 18-1
18.1 概要 18-1
18.1.1 特長 18-1
18.1.2 構成 18-1
18.1.3 端子一覧 18-1
18.2 レジスタ説明 18-2
18.2.1 レジスター覧 18-2
18.2.2 ポート 1 データレジスタ (P1D) 18-3
18.2.3 ポート 1 ディレクションレジスタ (P1DIR) 18-4
18.2.4 ポート 1 コントロールレジスタ (P1CON) 18-5
18.3 動作説明 18-6
18.3.1 入出力ポート機能 18-6
18.3.2 入出力ポート以外の 1 次機能 18-6

第 19 章 ポート 2

19. ポート 2 19-1
19.1 概要 19-1
19.1.1 特長 19-1
19.1.2 構成 19-2
19.1.3 端子一覧 19-3
19.2 レジスタ説明 19-4
19.2.1 レジスター覧 19-4
19.2.2 ポート 2 データレジスタ (P2D) 19-5
19.2.3 ポート 2 ディレクションレジスタ (P2DIR) 19-6
19.2.4 ポート 2 コントロールレジスタ (P2CON) 19-7
19.2.5 ポート 2 モードレジスタ (P2MOD) 19-8
19.3 動作説明 19-10
19.3.1 入出力ポート機能 19-10
19.3.2 入出力ポート以外の 1 次機能 19-10
19.3.3 2 次機能～4 次機能 19-10

第 20 章 ポート 3

20. ポート 3 20-1
20.1 概要 20-1
20.1.1 特長 20-1
20.1.2 構成 20-2
20.1.3 端子一覧 20-3
20.2 レジスタ説明 20-4
20.2.1 レジスター覧 20-4
20.2.2 ポート 3 データレジスタ (P3D) 20-5
20.2.3 ポート 3 ディレクションレジスタ (P3DIR) 20-6
20.2.4 ポート 3 コントロールレジスタ (P3CON) 20-7
20.2.5 ポート 3 モードレジスタ (P3MOD) 20-9
20.3 動作説明 20-12
20.3.1 入出力ポート機能 20-12
20.3.2 入出力ポート以外の 1 次機能 20-12
20.3.3 2 次機能～4 次機能 20-12

第 21 章 ポート 4

21. ポート 4 21-1
21.1 概要 21-1
21.1.1 特長 21-1
21.1.2 構成 21-2
21.1.3 端子一覧 21-3
21.2 レジスタ説明 21-4
21.2.1 レジスター覧 21-4
21.2.2 ポート 4 データレジスタ (P4D) 21-5
21.2.3 ポート 4 ディレクションレジスタ (P4DIR) 21-6
21.2.4 ポート 4 コントロールレジスタ (P4CON) 21-7
21.2.5 ポート 4 モードレジスタ (P4MOD) 21-9
21.3 動作説明 21-11
21.3.1 入出力ポート機能 21-11
21.3.2 入出力ポート以外の 1 次機能 21-11
21.3.3 2 次機能～4 次機能 21-11

第 22 章 ポート 5

22. ポート 5 22-1
22.1 概要 22-1
22.1.1 特長 22-1
22.1.2 構成 22-2
22.1.3 端子一覧 22-3
22.2 レジスタ説明 22-4
22.2.1 レジスター覧 22-4
22.2.2 ポート 5 データレジスタ (P5D) 22-5
22.2.3 ポート 5 ディレクションレジスタ (P5DIR) 22-6
22.2.4 ポート 5 コントロールレジスタ (P5CON) 22-7
22.2.5 ポート 5 モードレジスタ (P5MOD) 22-9
22.3 動作説明 22-11
22.3.1 入出力ポート機能 22-11
22.3.2 入出力ポート以外の 1 次機能 22-11
22.3.3 2 次機能～4 次機能 22-11

第 23 章 メロディドライバ

23. メロディドライバ 23-1
23.1 概要 23-1
23.1.1 特長 23-1
23.1.2 構成 23-1
23.1.3 端子一覧 23-1
23.2 レジスタ説明 23-2
23.2.1 レジスター覧 23-2
23.2.2 メロディ 0 コントロールレジスタ (MD0CON) 23-3
23.2.3 メロディ 0 テンポコードレジスタ (MD0TMP) 23-4
23.2.3 メロディ 0 音階、音長コードレジスタ (MD0TL) 23-5
23.3 動作説明 23-7
23.3.1 メロディ出力の動作 23-7

23.3.2 メロディ回路の使用例 23-8
23.3.3 テンポコード 23-9
23.3.4 音長コード 23-10
23.3.5 音階コード 23-11
23.3.6 ブザー出力の動作 23-12

第 24 章 RC 発振型 A/D コンバータ(RC-ADC)

24. RC 発振型 A/D コンバータ (RC-ADC) 24-1
24.1 概要 24-1
24.1.1 特長 24-1
24.1.2 構成 24-1
24.1.3 端子一覧 24-2
24.2 レジスタ説明 24-3
24.2.1 レジスター覧 24-3
24.2.2 RC-ADC カウンタ A レジスタ 0 (RADCA0) 24-4
24.2.3 RC-ADC カウンタ A レジスタ 1(RADCA1) 24-4
24.2.4 RC-ADC カウンタ B レジスタ 0 (RADCB0) 24-5
24.2.5 RC-ADC カウンタ B レジスタ 1(RADCB1) 24-5
24.2.6 RC-ADC モードレジスタ (RADMOD) 24-6
24.2.7 RC-ADC コントロールレジスタ (RADCON) 24-8
24.3 動作説明 24-9
24.3.1 RC 発振回路 24-10
24.3.2 カウンタ A/B 基準モード 24-12
24.3.3 RC 発振型 A/D コンバータの使用例 24-15
24.3.4 RC 発振モニタ 24-19

第 25 章 逐次比較型 A/D コンバータ(SA-ADC)

25. 逐次比較型 A/D コンバータ (SA-ADC) 25-1
25.1 概要 25-1
25.1.1 特長 25-1
25.1.2 構成 25-1
25.1.3 端子一覧 25-2
25.2 レジスタ説明 25-3
25.2.1 レジスター覧 25-3
25.2.2 SA-ADC リザルトレジスタ n (SADRn) n=0〜9、A、B 25-4
25.2.3 SA-ADC コントロールレジスタ 0 (SADCON0) 25-5
25.2.4 SA-ADC コントロールレジスタ 1 (SADCON1) 25-7
25.2.5 SA-ADC イネーブルレジスタ (SADEN) 25-8
25.2.6 SA-ADC タッチセンサレジスタ (SADTCH) 25-9
25.2.7 SA-ADC トリガレジスタ (SADTRG) 25-10
25.2.8 SA-ADC 精度コントロールレジスタ (SADCVT) 25-12
25.3 動作説明 25-13
25.3.1 A/D 変換チャンネルの設定 25-13
25.3.2 逐次比較型 A/D コンバータの動作 25-14
25.3.3 静電容量タッチセンス機能動作 25-15
25.3.4 SA-ADC 使用時の注意事項 25-16

第 26 章 アナログコンパレータ

26. アナログコンパレータ 26-1
26.1 概要 26-1
26.1.1 特長 26-1
26.1.2 構成 26-1
26.1.3 端子一覧 26-1
26.2 レジスタ説明 26-2
26.2.1 レジスター覧 26-2
26.2.2 コンパレータ n コントロールレジスタ (CMPnCON:n=0,1) 26-3
26.2.3 コンパレータ n モードレジスタ (CMPnMOD:n=0,1) 26-4
26.3 動作説明 26-6
26.3.1 コンパレータ機能 26-6
26.3.2 スーパーバイザモード 26-6
26.3.3 シングルモード 26-7
26.3.4 シングルモニタモード 26-9

第 27 章 フラッシュメモリ制御

27. フラッシュメモリ制御 27-1
27.1 概要 27-1
27.1.1 特長 27-1
27.2 レジスタ説明 27-2
27.2.1 レジスター覧 27-2
27.2.2 フラッシュアドレスレジスタ (FLASHA) 27-3
27.2.3 フラッシュデータレジスタ (FLASHD) 27-4
27.2.4 フラッシュコントロールレジスタ (FLASHCON) 27-5
27.2.5 フラッシュアクセプタ (FLASHACP) 27-6
27.2.6 フラッシュセグメントレジスタ (FLASHSEG) 27-6
27.2.7 フラッシュセルフレジスタ (FLASHSLF) 27-7
27.2.8 リマップアドレスレジスタ (REMAPADD) 27-8
27.3 動作説明 27-9
27.3.1 消去時のアドレス設定 27-10
27.3.2 データフラッシュの書換え 27-11
27.3.3 プログラムメモリの書換え(ISP 機能) 27-11
27.3.4 ソフトウェアによるブート領域リマップ機能 27-12
27.3.5 ハードウェアによるリマップ機能 27-13
27.3.6 リマップ後のプログラムの注意事項 27-14
27.3.7 プログラム例 27-15

第 28 章 電圧レベル検出回路 (VLS)

28. 電圧レベル検出回路 (VLS) 28-1
28.1 概要 28-1
28.1.1 特長 28-1
28.1.2 構成 28-1
28.2 レジスタ説明 28-2
28.2.1 レジスター覧 28-2
28.2.2 電圧レベル検出回路コントロールレジスタ (VLSCON) 28-3
28.2.3 電圧レベル検出回路モードレジスタ (VLSMOD) 28-5
28.3 動作説明 28-7

28.3.1 スーパーバイザモード.....28-7

第 29 章 LLD 回路

29. LLD 回路.....29-1
29.1 概要.....29-1
29.1.1 特長.....29-1
29.2 レジスタ説明.....29-1
29.3 動作説明.....29-1
29.3.1 LLD 回路の動作.....29-1

第 30 章 オンチップデバッグ機能

30. オンチップデバッグ機能.....30-1
30.1 概要.....30-1
30.2 オンチップデバッグエミュレータとの接続方法.....30-1
30.3 フラッシュメモリ書き換え機能.....30-2

付録

付録 A レジスター覧.....A-1
付録 B パッケージ外形図.....B-1
付録 C 電気的特性.....C-1
付録 D 応用回路例.....D-1

改版履歴

改版履歴.....R-1

第１章　概要

1. 概要

1.1 特長

本 LSI は、16 ビット CPU nX-U16/100 を搭載し、SSIO、UART、I²C、電源電圧レベル検出回路、RC 発振式 AD コンバータ、逐次比較型 AD コンバータ等、多彩な周辺機能を集積した高性能 CMOS16 ビットマイクロコントローラです。
CPU nX-U16/100 は、3 段パイプラインアーキテクチャによる並列処理をすることで 1 命令 1 クロックの効率的な命令実行が可能です。また、プログラムメモリとして低電圧/低消費電力動作(読み出し時)を実現したフラッシュ ROM を搭載しており、バッテリー動作のアプリケーションに最適です。更に、ソフトウェアによる書き込み可能なデータフラッシュ・メモリ領域やソフトウェアからプログラム領域を書き換える機能を持ちます。
オンチップデバッグ機能を搭載しているため、基板実装状態でのソフトウェアのデバッグや書き換えも可能です。

- CPU
  - RISC 方式 16 ビット CPU (CPU 名称：nX-U16/100)
  - 命令体系：16 ビット長命令
  - 命令セット：転送, 算術演算, 比較, 論理演算, 乗除算, ビット操作, ビット論理演算, ジャンプ, 条件ジャンプ, コール・リターンスタック操作, 算術シフトなど
  - オンチップデバッグ機能を内蔵
  - 最小命令実行時間
    30.5µs (@32.768kHz システムクロック)
    62.5ns (@16MHz システムクロック)

- 乗除算コプロセッサ
  - 符号有り、無しの演算の設定が可能
  - 乗算 16bit×16bit (演算時間 4 サイクル)
  - 除算 32bit÷16bit (演算時間 8 サイクル)
  - 除算 32bit÷32bit (演算時間 16 サイクル)
  - 積和 (非飽和型) 16bit×16bit＋32bit (演算時間 4 サイクル)
  - 積和 (飽和型) 16bit×16bit＋32bit (演算時間 4 サイクル)

- 内部メモリ
  - ISP 機能対応(ソフトウェアでプログラムメモリを書き換え可能)
  - メモリサイズ

製品名	フラッシュメモリ		SRAM
	プログラム領域*	データ領域	
ML620Q503	32K バイト (16K×16 ビット)	2K バイト(1K×16 ビット)	2K バイト (1K×16 ビット)
ML620Q504	64K バイト (32K×16 ビット)	2K バイト(1K×16 ビット)	6K バイト (3K×16 ビット)

*: 使用できないテスト領域 1K バイトを含む

- 割込みコントローラ(INTC)
  - ノンマスカブル割込み 1 要因 (内部要因：1)
  - マスカブル割込み 37 要因 (内部要因：29、外部要因：8)
  - ソフトウェア割込み (SWI) 最大 64 要因
  - 外部割込み、コンパレータはエッジの選択、サンプリング有無が選択可能
  - 各割込みに対して、優先レベル (4 レベル) の設定可能

- タイムベースカウンタ(TBC)
  - 低速タイムベースカウンタ×1ch

- タイマ(TMR)
  - 8 ビット×8ch (2ch 使用で 16 ビット構成可能)
  - ワンショットタイマモード機能
  - カウンタクロックに外部クロックを選択可能

- 多機能タイマ（FTM）
  - 16 ビット×4ch
  - オートリロードタイマモード/ワンショットタイマモード/PWM モード
  - ソフトウェア/イベントトリガ(外部端子,他のタイマ)によるタイマスタート･ストップ機能
  - カウンタクロックに外部端子を選択可能
  - キャプチャ機能 (外部トリガ入力を利用してパルス幅などの測定が可能)
  - デッドタイム付き相補 PWM 出力、同期 PWM 出力

- ウォッチドッグタイマ(WDT)
  - ノンマスカブル割込み、およびリセット
    （1 回目のオーバフローで割込みを発生、2 回目のオーバフローでリセットを発生）
  - フリーラン
  - オーバフロー周期は、125ms、500ms、2s、8s から選択可能 (LSCLK=32.768kHz 時)

- 同期式シリアルポート(SSIOF/SSIO)
  - 4 ワード 送信/受信 FIFO 内蔵 ´ 1 ch, FIFO なし ´ 1 ch
  - マスタ/スレーブ選択可能
  - LSB/MSB ファースト選択可能
  - 8 ビット/16 ビット長選択可能
  - クロックの位相及び極性を選択可能
  - スレーブセレクト信号対応 (FIFO 内蔵タイプのみ)

- UART(UARTF/UART)
  - 4 バイト 送信/受信 FIFO 内蔵 ´ 1 ch, FIFO なし ´ 1 ch
  - 全二重通信対応
  - 通信速度 2400～115200bps を設定可能
  - プログラマブルインタフェース(データ長, パリティ, ストップビットの選択可能)

- I^2C バスインタフェース(I^2C)
  - マスタ ´ 2 ch
  - 標準モード（100kbit/s）、ファーストモード（400kbit/s）対応

- 汎用ポート(PORT)
  - 入出力ポート×36ch, 入力ポート×2ch

- メロディドライバ(MELODY)
  - テンポ：15 種
  - 音階：29 種（メロディ音周波数：508Hz ~ 10.922kHz）
  - 音長：63 種
  - ブザー出力モード（出力モード 4 種、ブザー周波数 8 種、デューティ変更 15 レベル（ブザー周波数=4.096kHz 時は、7 レベル））

- RC 発振型 A/D コンバータ(RC-ADC)
  - 時分割 2ch 方式
  - 24 ビットカウンタ

- 逐次比較型 A/D コンバータ(SA-ADC)
  - 入力 12ch
  - 分解能 12 ビット
  - タイマによるスタート機能
  - 静電容量タッチセンス機能

- アナログコンパレータ(CMP)
  - 入力 2ch
  - コモンモード入力電圧: 0.2V～V_{DD}－0.2V
  - 入力オフセット電圧: 30mV(max)
  - 割込みはエッジの選択、サンプリング有無が選択可能

- 電圧レベル検出(VLS)機能
  - 閾値電圧:9 値より選択
  - 割込み発生、リセット発生選択可能

- 低電圧検出(LLD)機能
  - 閾値電圧:1.8V±0.2V
  - リセット発生可能

- リセット
  - RESET_N 端子リセット
  - パワーオン検出リセット
  - WDT オーバーフローによるリセット
  - 電圧レベル検出(VLS)リセット
  - 低電圧検出(LLD)リセット

- クロック
  - 低速側クロック (本 LSI は、低速クロックは必須です)
    - 水晶発振(32.768kHz)
    - 外部クロック入力(30kHz～36kHz)
    - 内蔵 RC 発振(32.768kHz)
  - 高速側クロック
    - 水晶/セラミック発振(16MHz)
    - 外部クロック入力(300kHz～16MHz)
    - 内蔵 RC 発振(16MHz)

- パワーマネジメント
  - HALT モード:CPU の命令実行中断(周辺回路は動作状態)
  - HALT-H モード:CPU の命令実行中断(周辺回路は動作状態で高速クロックを自動で停止)
  - DEEP-HALT モード:CPU の命令実行中断(タイマ、LTBC など動作可能な超ローパワーモード)
  - STOP モード:低速発振および高速発振の停止(CPU および周辺回路は動作を停止)
  - クロックギア:ソフトウェアにより高速システムクロックの周波数を変更可能(発振クロックの 1/1、1/2、1/4、1/8、1/16、1/32)
  - ブロック制御機能:使わない機能ブロック回路の動作をパワーダウン(レジスタリセット&クロック停止)

- 出荷形態
  - チップ(ダイ) *パッドレイアウト情報につきましては、弊社担当営業までお問い合わせください。
  - 48 ピン プラスチック TQFP

    トレイ
    ML620Q503-xxxTBZWAAL
    ML620Q504-xxxTBZWAAL

    テープ＆リール
    ML620Q503-xxxTBZWABL
    ML620Q504-xxxTBZWABL

- 動作保証範囲
  - 動作温度(周囲): Ta=-40℃～85℃
  - 動作電圧:V_{DD}=1.8V~3.6V

1.2 機能ブロック構成

1.2.1 ML620Q503/Q504 ブロック図

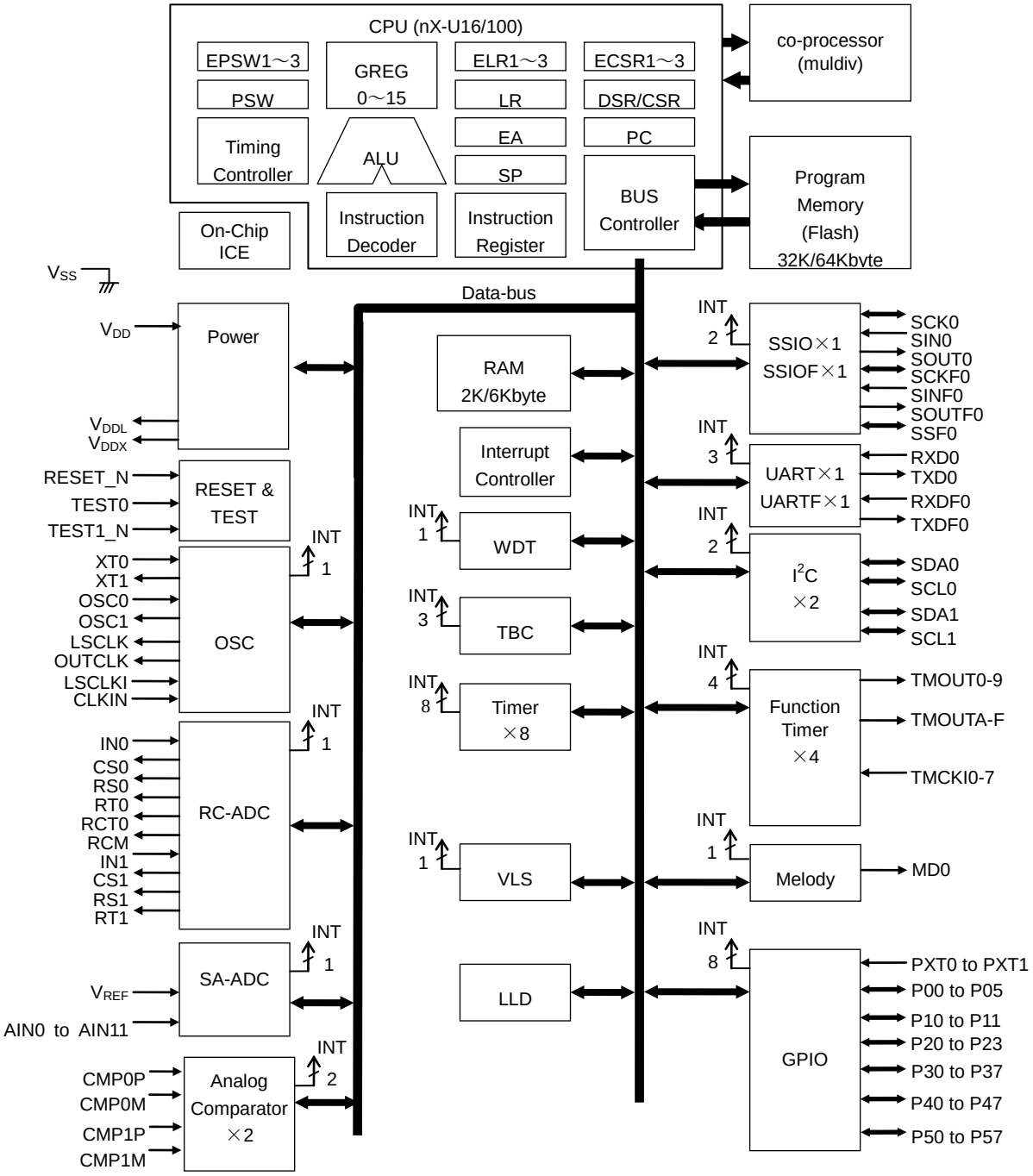
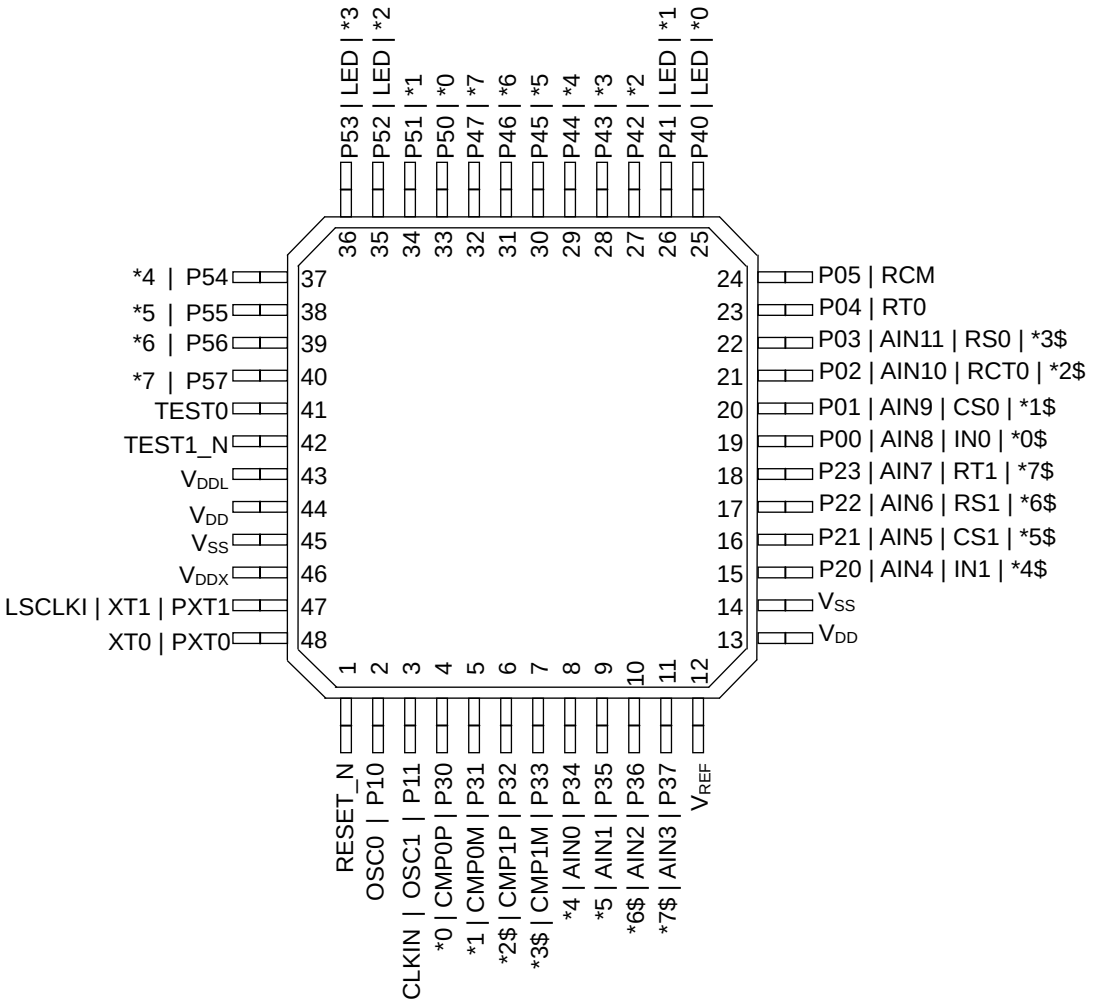


図 1-1 ML620Q503/Q504 ブロック図

1.3 端子

1.3.1 端子配置

1.3.1.1 ML620Q503/Q504 TQFP パッケージの端子配置図



外部割込み入力端子(EXI)は P00-P05,PXT0-1,P20-P57 に割付可能です。
*0～*7 は下記の機能群をもちます。但し、末尾に”$“がつくものは一部機能がありません。詳細は、端子一覧を参照して下さい。

*0 : SDA0, SOUT0, RXD0	*4 : SDA1, SOUTF0, RXDF0
*1 : SCL0, SIN0 , TXD0	*5 : SCL1, SINF0, TXDF0
*2 : SCK0, TMOUT ,TMCKI	*6 : LSCLKO, SCKF0, TMOUT, TMCKI
*3 : MD0, TMOUT , TMCKI	*7 : OUTCLK, SSF0, TMOUT, TMCKI
*0$: SOUT0, RXD0	*4$: SOUTF0, RXDF0
*1$: SIN0 , TXD0	*5$: SINF0, TXDF0
*2$: SCK0, TMOUT	*6$: SCKF0, TMOUT
*3$: MD0(P33 only), TMOUT	*7$: SSF0, TMOUT

図 1-2 ML620Q503/Q504 パッケージ品端子配置図

1.3.2 端子一覧

1.3.2.1 ML620Q503/Q504 TQFP パッケージの端子一覧

TQFP48 PIN No.	1 次機能				2 次/3 次/4 次機能								
	端子名	I/O	初期値	機能	端子名	I/O	機能	端子名	I/O	機能	端子名	I/O	機能
14, 45	V_{SS}	ー	-	マイナス側電源端子	-	-	-	-	-	-	-	-	-
13, 44	V_{DD}	ー	-	プラス側電源端子	-	-	-	-	-	-	-	-	-
43	V_{DDL}	ー	-	内部回路用電源端子 (内部発生)	-	-	-	-	-	-	-	-	-
46	V_{DDX}	ー	-	内部回路用電源端子 (内部発生)	-	-	-	-	-	-	-	-	-
12	V_{REF}	I	-	SA-ADC リファレンス電圧端子	-	-	-	-	-	-	-	-	-
1	RESET_N	I	Pull-up Input	リセット入力端子	-	-	-	-	-	-	-	-	-
42	TEST1_N	I	Pull-up Input	テスト入力端子	-	-	-	-	-	-	-	-	-
41	TEST0	I/O	Pull-down Input	テスト入出力端子	-	-	-	-	-	-	-	-	-
48	PXT0/ EXII0/ XT0	I	Input disable	入力ポート/ 外部割込み/ 低速クロック発振端子	-	-	-	-	-	-	-	-	-
47	PXT1/ EXII1/ XT1/ LSCLKI	I/O	Hi-Z output	入出力ポート/ 外部割込み/ 低速クロック発振端子/ 低速クロック入力端子	-	-	-	-	-	-	-	-	-
19	P00/ EXI00/ AIN8	I/O	Hi-Z output	入出力ポート/ 外部割込み/ SA-ADC 入力	IN0	I	RC-ADC 発振入力	SOUT0	O	SSIO データ出力	RXD0	I	UART データ入力
20	P01/ EXI01/ AIN9	I/O	Hi-Z output	入出力ポート/ 外部割込み/ SA-ADC 入力	CS0	O	RC-ADC 基準容量接続端子	SIN0	I	SSIO データ入力	TXD0	O	UART データ出力
21	P02/ EXI02/ AIN10	I/O	Hi-Z output	入出力ポート/ 外部割込み/ SA-ADC 入力	RCT0	O	RCADC 測定用抵抗/容量センサ接続端子	SCK0	I/O	SSIO クロック入出力	TMOUT0	O	多機能タイマ出力
22	P03/ EXI03/ AIN11	I/O	Hi-Z output	入出力ポート/ 外部割込み/ SA-ADC 入力	RS0	O	RC-ADC 基準抵抗接続端子	-	-	-	TMOUT1	O	多機能タイマ出力
23	P04/ EXI04	I/O	Hi-Z output	入出力ポート/ 外部割込み	RT0	O	RC-ADC 測定用抵抗センサ接続端子	-	-	-	-	-	-
24	P05/ EXI05	I/O	Hi-Z output	入出力ポート/ 外部割込み	RCM	O	RC-ADC 発振モニタ	-	-	-	-	-	-
2	P10/ OSC0	I/O	Hi-Z output	入出力ポート/ 高速クロック発振端子	-	-	-	-	-	-	-	-	-
3	P11/ OSC1/ CLKIN	I/O	Hi-Z output	入出力ポート/ 高速クロック発振端子/ 高速クロック入力端子	-	-	-	-	-	-	-	-	-
15	P20/ EXI20/ AIN4	I/O	Hi-Z output	入出力ポート/ 外部割込み/ SA-ADC 入力	IN1	I	RC-ADC 発振入力	SOUTF0	O	FIFO 付き SSIO データ出力	RXDF0	I	FIFO 付き UART データ入力
16	P21/ EXI21/ AIN5	I/O	Hi-Z output	入出力ポート/ 外部割込み/ SA-ADC 入力	CS1	O	RC-ADC 基準容量接続端子	SINF0	I	FIFO 付き SSIO データ入力	TXDF0	O	FIFO 付き UART データ出力
17	P22/ EXI22/ AIN6	I/O	Hi-Z output	入出力ポート/ 外部割込み/ SA-ADC 入力	RS1	O	RC-ADC 基準抵抗接続端子	SCKF0	I/O	FIFO 付き SSIO クロック入出力	TMOUT2	O	多機能タイマ出力
18	P23/ EXI23/ AIN7	I/O	Hi-Z output	入出力ポート/ 外部割込み/ SA-ADC 入力	RT1	O	RC-ADC 測定用抵抗センサ接続端子	SSF0	I/O	FIFO 付き SSIO チップセレクト入出力	TMOUT3	O	多機能タイマ出力
4	P30/ EXI30/ CMP0P	I/O	Hi-Z output	入出力ポート/ 外部割込み/ コンパレータ非反転入力	SDA0	I/O	I2C データ入出力	SOUT0	O	SSIO データ出力	RXD0	I	UART データ入力
5	P31/ EXI31/ CMP0M	I/O	Hi-Z output	入出力ポート/ 外部割込み/ コンパレータ反転入力	SCL0	O	I2C クロック出力	SIN0	I	SSIO データ入力	TXD0	O	UART データ出力
6	P32/ EXI32/ CMP1P	I/O	Hi-Z output	入出力ポート/ 外部割込み/ コンパレータ非反転入力	-	-	-	SCK0	I/O	SSIO クロック入出力	TMOUT4	O	多機能タイマ出力
7	P33/ EXI33/ CMP1M	I/O	Hi-Z output	入出力ポート/ 外部割込み/ コンパレータ反転入力	MD0	O	メロディ/ブザー出力	-	-	-	TMOUT5	O	多機能タイマ出力

TQFP48 PIN No.	1 次機能				2 次/3 次/4 次機能								
	端子名	I/O	初期値	機能	端子名	I/O	機能	端子名	I/O	機能	端子名	I/O	機能
8	P34/ EXI34/ AIN0	I/O	Hi-Z output	入出力ポート/ 外部割込み/ SA-ADC 入力	SDA1	I/O	I2C データ入出力	SOUTF0	O	FIFO 付き SSIO データ出力	RXDF0	I	FIFO 付き UART データ入力
9	P35/ EXI35/ AIN1	I/O	Hi-Z output	入出力ポート/ 外部割込み/ SA-ADC 入力	SCL1	O	I2C クロック出力	SINF0	I	FIFO 付き SSIO データ入力	TXDF0	O	FIFO 付き UART データ出力
10	P36/ EXI36/ AIN2	I/O	Hi-Z output	入出力ポート/ 外部割込み/ SA-ADC 入力	-	-	-	SCKF0	I/O	FIFO 付き SSIO クロック入出力	TMOUT6	O	多機能タイマ出力
11	P37/ EXI37/ AIN3	I/O	Hi-Z output	入出力ポート/ 外部割込み/ SA-ADC 入力	-	-	-	SSF0	I/O	FIFO 付き SSIO チップセレクト入出力	TMOUT7	O	多機能タイマ出力
25	P40/ EXI40/ LED	I/O	Hi-Z output	入出力ポート/ 外部割込み/ LED 出力	SDA0	I/O	I2C データ入出力	SOUT0	O	SSIO データ出力	RXD0	I	UART データ入力
26	P41/ EXI41/ LED	I/O	Hi-Z output	入出力ポート/ 外部割込み/ LED 出力	SCL0	O	I2C クロック出力	SIN0	I	SSIO データ入力	TXD0	O	UART データ出力
27	P42/ EXI42/ TMCKI0	I/O	Hi-Z output	入出力ポート/ 外部割込み/ タイマクロック入力	-	-	-	SCK0	I/O	SSIO クロック入出力	TMOUT8	O	多機能タイマ出力
28	P43/ EXI43/ TMCKI1	I/O	Hi-Z output	入出力ポート/ 外部割込み/ タイマクロック入力	MD0	O	メロディ/ブザー出力	-	-	-	TMOUT9	O	多機能タイマ出力
29	P44/ EXI44	I/O	Hi-Z output	入出力ポート/ 外部割込み	SDA1	I/O	I2C データ入出力	SOUTF0	O	FIFO 付き SSIO データ出力	RXDF0	I	FIFO 付き UART データ入力
30	P45/ EXI45	I/O	Hi-Z output	入出力ポート/ 外部割込み	SCL1	O	I2C クロック出力	SINF0	I	FIFO 付き SSIO データ入力	TXDF0	O	FIFO 付き UART データ出力
31	P46/ EXI46/ TMCKI2	I/O	Hi-Z output	入出力ポート/ 外部割込み/ タイマクロック入力	LSCLKO	O	低速クロック出力	SCKF0	I/O	FIFO 付き SSIO クロック入出力	TMOUTA	O	多機能タイマ出力
32	P47/ EXI47/ TMCKI3	I/O	Hi-Z output	入出力ポート/ 外部割込み/ タイマクロック入力	OUTCLK	O	高速クロック出力	SSF0	I/O	FIFO 付き SSIO チップセレクト入出力	TMOUTB	O	多機能タイマ出力
33	P50/ EXI50	I/O	Hi-Z output	入出力ポート/ 外部割込み	SDA0	I/O	I2C データ入出力	SOUT0	O	SSIO データ出力	RXD0	I	UART データ入力
34	P51/ EXI51	I/O	Hi-Z output	入出力ポート/ 外部割込み	SCL0	O	I2C クロック出力	SIN0	I	SSIO データ入力	TXD0	O	UART データ出力
35	P52/ EXI52/ TMCKI4/ LED	I/O	Hi-Z output	入出力ポート/ 外部割込み/ タイマクロック入力/ LED 出力	-	-	-	SCK0	I/O	SSIO クロック入出力	TMOUTC	O	多機能タイマ出力
36	P53/ EXI53/ TMCKI5/ LED	I/O	Hi-Z output	入出力ポート/ 外部割込み/ タイマクロック入力/ LED 出力	MD0	O	メロディ/ブザー出力	-	-	-	TMOUTD	O	多機能タイマ出力
37	P54/ EXI54	I/O	Hi-Z output	入出力ポート/ 外部割込み	SDA1	I/O	I2C データ入出力	SOUTF0	O	FIFO 付き SSIO データ出力	RXDF0	I	FIFO 付き UART データ入力
38	P55/ EXI55	I/O	Hi-Z output	入出力ポート/ 外部割込み	SCL1	O	I2C クロック出力	SINF0	I	FIFO 付き SSIO データ入力	TXDF0	O	FIFO 付き UART データ出力
39	P56/ EXI56/ TMCKI6	I/O	Hi-Z output	入出力ポート/ 外部割込み/ タイマクロック入力	LSCLKO	O	低速クロック出力	SCKF0	I/O	FIFO 付き SSIO クロック入出力	TMOUTE	O	多機能タイマ出力
40	P57/ EXI57/ TMCKI7	I/O	Hi-Z output	入出力ポート/ 外部割込み/ タイマクロック入力	OUTCLK	O	高速クロック出力	SSF0	I/O	FIFO 付き SSIO チップセレクト入出力	TMOUTF	O	多機能タイマ出力

1.3.3 端子説明

下表に機能端子の説明を示します。
LSI 端子名は、各端子の 1 次機能の機能端子名を表し、端子モードはポート制御のモードレジスタの設定を表します。
(1st: 1 次機能, 2nd:2 次機能, 3rd:3 次機能, 4th:4 次機能)

機能 端子名	I/O	説明	LSI 端子名	端子 モード	Logic (Active Level)
System					
RESET_N	I	リセット入力。L レベルを入力すると LSI にリセットされます。H レベルにすると内部プログラムの動作を開始します。 本端子は、内部でプルアップされています。	RESET_N	—	L
XT0	I	低速クロック用の水晶発振子を接続する端子。 必要に応じて本端子と V_{SS} 端子間に C_{DL},C_{GL} のコンデンサを接続して下さい。	PXT0	1st	—
XT1	O		PXT1	1st	—
LSCLKI	I	低速クロック用の外部クロック入力端子。	PXT1	1st	—
OSC0	I	高速クロック用の水晶/セラミック発振子(最大 16MHz)を接続する端子。 本端子と V_{SS} 端子間に C_{DH},C_{GH} のコンデンサを接続して下さい。	P10	1st	—
OSC1	O		P11	1st	—
CLKIN	I	高速クロック用の外部クロック入力端子。	P11	1st	—
LSCLKO	O	低速クロック出力端子。	P46,P56	2nd	—
OUTCLK	O	高速クロック出力端子。	P47,P57	2nd	—
General-purpose input/output port					
PXT0-PXT1	I	汎用入力端子(プルアップ/プルダウンなし)。	PXT0-PXT1	1st	—
P00-P05	I/O	汎用入出力端子。	P00-P05	1st	—
P10-P11	I/O	汎用入出力端子。	P10-P11	1st	—
P20-P23	I/O	汎用入出力端子。	P20-P23	1st	—
P30-P37	I/O	汎用入出力端子。	P30-P37	1st	—
P40-P47	I/O	汎用入出力端子。	P40-P47	1st	—
P50-P57	I/O	汎用入出力端子。	P50-P57	1st	—
External interrupt					
EXI00-05 EXII0-I1 EXI20-23 EXI30-37 EXI40-47 EXI50-57	I	マスカブルの外部割込み端子。ソフトウェアでどの割込みを有効にするか、どのエッジを使用するか選択します。	P00-P05, PXT0-PXT1, P20-P23, P30-P37, P40-P47, P50-P57	1st	H/L
LED					
LED	O	LED 用 N-ch オープンドレイン出力端子	P40,P41,P52,P53	1st	—
Melody/Buzzer					
MD0	O	メロディ/ブザー出力端子。	P33,P43,P53	2nd	H
UART					
TXD0	O	UART データ送信端子。	P01,P31,P41,P51	4th	—
RXD0	I	UART データ受信端子。	P00,P30,P40,P50	4th	—
TXDF0	O	FIFO 付き UART データ送信端子。	P21,P35,P45,P55	4th	—
RXDF0	I	FIFO 付き UART データ受信端子。	P20,P34,P44,P54	4th	—
I^2C bus interface					
SDA0	I/O	I^2C0 データ入出力端子。NMOS オープンドレイン出力に設定し、外部にプルアップ抵抗を接続して使用して下さい。	P30,P40,P50	2nd	—
SCL0	O	I^2C0 クロック出力端子。 NMOS オープンドレイン出力に設定し、外部にプルアップ抵抗を接続して使用して下さい。	P31,P41,P51	2nd	—
SDA1	I/O	I^2C1 データ入出力端子。NMOS オープンドレイン出力に設定し、外部にプルアップ抵抗を接続して使用して下さい。	P34,P44,P54	2nd	—
SCL1	O	I^2C1 クロック出力端子。 NMOS オープンドレイン出力に設定し、外部にプルアップ抵抗を接続して使用して下さい。	P35,P45,P55	2nd	—

機能 端子名	I/O	説明	LSI 端子名	端子 モード	Logic (Active Level)
Synchronous serial (SSIO)					
SCK0	I/O	同期シリアル(SSIO)クロック入出力端子。	P02,P32,P42,P52	3rd	—
SIN0	I	同期シリアル(SSIO)データ入力端子。	P01,P31,P41,P51	3rd	—
SOUT0	O	同期シリアル(SSIO)データ出力端子。	P00,P30,P40,P50	3rd	—
SCKF0	I/O	FIFO 付き同期シリアル(SSIOF)クロック入出力端子。	P22,P36,P46,P56	3rd	—
SINF0	I	FIFO 付き同期シリアル(SSIOF)データ入力端子。	P21,P35,P45,P55	3rd	—
SOUTF0	O	FIFO 付き同期シリアル(SSIOF)データ出力端子。	P20,P34,P44,P54	3rd	—
SSF0	I/O	FIFO 付き同期シリアル(SSIOF)セレクト入出力端子。	P23,P37,P47,P57	3rd	L
FTM					
TMOUT0-9 TMOUTA-F	O	多機能タイマ出力端子。ソフトウェアで FTIMER0-3 のタイマ出力のいずれかを選択して出力します。	P02,P03,P22,P23 P32,P33,P36,P37, P42,P43,P46,P47 P52,P53,P56,P57	4th	—
TMCKI0-7	I	多機能タイマ用外部クロック入力端子。FTIMER0-3 の外部クロックです。	P42,P43,P46,P47, P52,P53,P56,P57	1st	—
RC oscillation type A/D converter					
IN0	I	チャネル 0 の発振入力端子。	P00	2nd	—
CS0	O	チャネル 0 の基準容量接続端子。	P01	2nd	—
RS0	O	チャネル 0 の基準抵抗接続端子。	P03	2nd	—
RT0	O	チャネル 0 の測定用抵抗センサ接続端子。	P04	2nd	—
RCT0	O	チャネル 0 の測定用抵抗/容量センサ接続端子。	P02	2nd	—
RCM	O	RC 発振モニタ端子。	P05	2nd	—
IN1	I	チャネル 1 の発振入力端子。	P20	2nd	—
CS1	O	チャネル 1 の基準容量接続端子。	P21	2nd	—
RS1	O	チャネル 1 の基準抵抗接続端子。	P22	2nd	—
RT1	O	チャネル 1 の測定用抵抗センサ接続端子。	P23	2nd	—
Successive approximation type A/D converter					
V_{REF}	I	SA-ADC 基準電位入力。	V_{REF}	—	—
AIN0-11	I	SA-ADC の 0-11 チャネルのアナログ入力端子。	(AIN0-3) P34-37, (AIN4-7) P20-23, (AIN8-11) P00-03	1st	—
Analog comparator					
CMP0P	I	コンパレータ 0 の非反転入力端子。	P30	1st	—
CMP0M	I	コンパレータ 0 の反転入力端子。	P31	1st	—
CMP1P	I	コンパレータ 1 の非反転入力端子。	P32	1st	—
CMP1M	I	コンパレータ 1 の反転入力端子。	P33	1st	—
For testing					
TEST0	I/O	テスト用入出力端子。内部でプルダウンされています。	TEST0	—	—
TEST1_N	I	テスト用入力端子。内部でプルアップされています。	TEST1_N	—	—
Power supply					
V_{SS}	—	マイナス側電源端子。	V_{SS}	—	—
V_{DD}	—	プラス側電源端子。	V_{DD}	—	—
V_{DDL}	—	ロジック用内蔵レギュレータのコンデンサ接続端子。V_{SS} との間に C_{L0},C_{L1} を接続して下さい。	V_{DDL}	—	—
V_{DDX}	—	内部発振用内蔵レギュレータのコンデンサ接続端子。V_{SS} との間に C_{X1} を接続して下さい。	V_{DDX}	—	—

1.3.4 未使用端子の処理

表 1-1 に未使用端子の処理方法を示します。

表 1-1 未使用端子の処理

端子	推奨端子処理
RESET_N	オープン
TEST0	オープン
TEST1_N	オープン
V_{REF}	V_{DD} へ接続
P00 to P05	オープン
PXT0 to PXT1	オープン
P10 to P11	オープン
P20 to P23	オープン
P30 to P37	オープン
P40 to P47	オープン
P50 to P57	オープン

【注意】
未使用の入力ポートおよび入出力ポートは、ハイインピーダンス入力設定状態で端子をオープンのままにしておくと消費電流が過大に流れる恐れがありますので、プルダウン抵抗付き入力モード／プルアップ抵抗付き入力モード、もしくは出力モードに設定することを推奨します。

第 2 章　CPU とメモリ空間

2 CPU とメモリ空間

2.1 概要

CPU nX-U16/100 は、3 段パイプラインアーキテクチャによる並列処置をすることで 1 命令 1 クロックの効率的な命令実行が可能な CPU です。また、コプロセッサにより乗除算/積和演算が可能です。

2.1.1 特長

- RISC 方式 16 ビット CPU （CPU 名称：nX-U16/100）
- 命令体系：16 ビット長命令
- 命令セット：転送, 算術演算, 比較, 論理演算, 乗除算, ビット操作, ビット論理演算, ジャンプ, 条件ジャンプ, コール・リターンスタック操作, 算術シフトなど
- オンチップデバッグ機能を内蔵
- 最小命令実行時間
  30.5µs（@32.768kHz システムクロック）
  62.5ns（@16MHz システムクロック）
- 乗除算コプロセッサを搭載

2.1.2 SB/RB 命令実行時の注意事項

ビット操作命令の SB/RB 命令は、対象となるビットが含まれているレジスタにバイト単位でリードし、対象となるビットのみ値を書き換えたバイトデータを生成し、バイト単位でライトを行います。
複数のビットが配置されたレジスタに SB/RB 命令を実行した場合に、SB/RB 命令の対象とならないビットは、その時に、リードした値を書き直します。
ハードウェアの状態で値が変わるビットが存在するレジスタに SB/RB 命令を実行した場合、SB/RB 命令の対象とならないビットの状態を SB/RB 命令により書き換えてしまう可能性がありますのでご注意ください。

2.2 プログラム･メモリ空間

プログラム･メモリ空間は、プログラムコード、またはベクタテーブルを格納します。
プログラム･コードは 16 ビット長のコードで、16 ビットの PC（プログラムカウンタ）で指定されます。
プログラム･メモリ空間は、32K ワード(64K バイト)を一つのセグメント（コードセグメント）として構成されます。

ベクタテーブルは、リセットおよび割込み時に実行するプログラムのエントリアドレスを定義するテーブルで、セグメント 0 の 0H から 0FEH に配置します。

プログラム･メモリ空間の容量によりメモリモデルは決まり、プログラムメモリ空間が 64K バイト以内である ML620Q503 および、ML620Q504 は、スモールモデルとなります。
メモリモデルの詳細については、『nX-U16/100 コア インストラクションマニュアル』を参照してください。

図 2-1 にプログラム･メモリ空間の構成を示します。

(a) ML620Q503 **プログラム･メモリ空間の構成**

(b) ML620Q504 **プログラム･メモリ空間の構成**

図 2-1 プログラム･メモリ空間の構成

【注意】
･テストデータ領域（1KB）は、プログラムコードは配置できません。
　また、プログラムメモリ空間の内容を書き換える場合、テストデータ領域には必ず”0FFH”を書き込んでください。未書き込み状態または”0FFH”以外のデータを書き込んだ場合の動作は保証されません。
･プログラム･メモリ空間の未使用領域には、フェイルセーフ対策のため“0FFH”データ（BRK 命令）を設定することを推奨します。

2.3 データ･メモリ空間

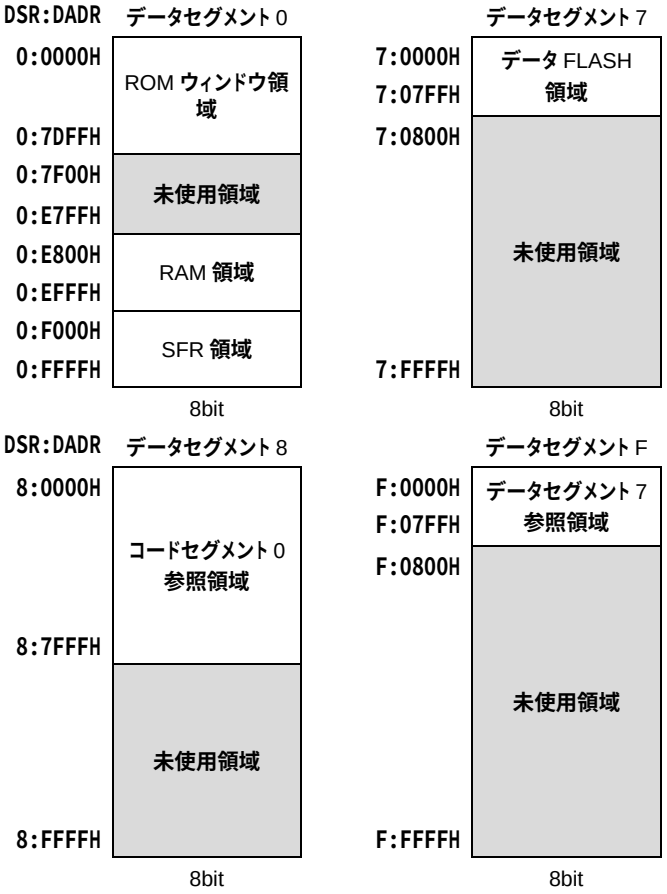
データ･メモリ空間は、セグメント 0 の ROM ウィンドウ領域、RAM 領域、SFR 領域、セグメント 7,F の FLASH データ領域、およびセグメント 1,8,9 の ROM 参照領域で構成されています。
データ･メモリ空間は、32K ワード(64K バイト)を一つのセグメント（データセグメント）として構成されます。

ROM ウィンドウ領域は、ROM 領域のデータを RAM のアドレッシングを用いてアクセスするために ROM 領域に開いた窓です。この窓を通して、プログラムメモリ空間の同じアドレスのデータなどを読み出すことができます。
SFR 領域は、LSI の機能ブロックの動作を制御する特殊機能レジスタ（SFR）が配置されている領域です。
FLASH データ領域は、データ領域としてリード、ライト可能な FLASH メモリが配置された領域です。
この領域に対する書き込みは、27 章 フラッシュメモリ制御を参照ください。
なお、FLASH データ領域は、プログラムメモリとして動作させることはできません。

データメモリは 8 ビット長のデータで、DSR を上位 4 ビット、各命令で指定されるアドレッシングを下位 16 ビットとする 20 ビットで指定します。

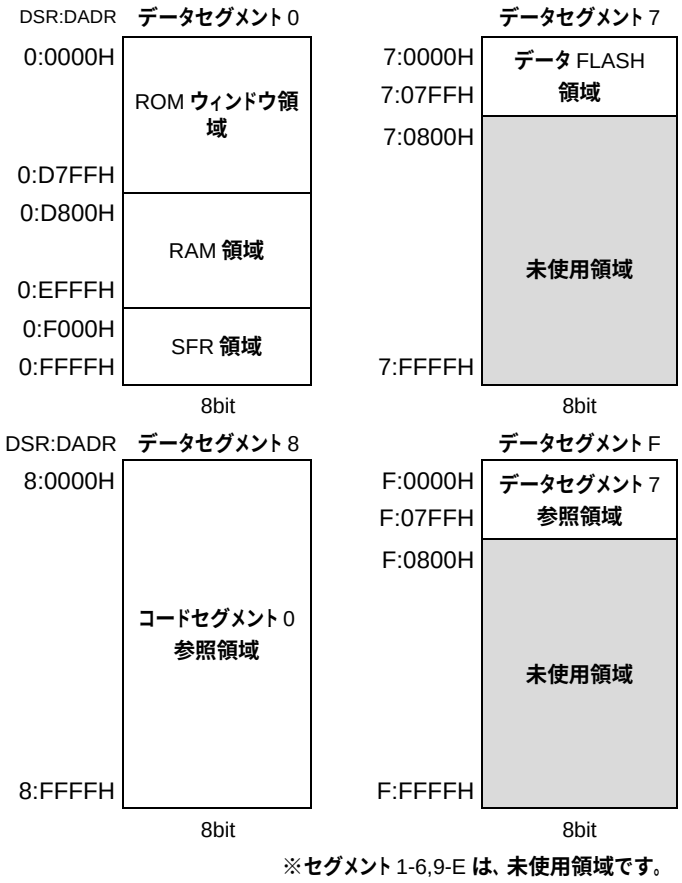
図 2-2 にデータ･メモリ空間の構成を示します。

【注意】
RAM 領域の内容は、電源投入時、システムリセット時に不定となります。ソフトウェアで初期化してください。



※セグメント 1-6,9-E は、未使用領域です。

(a) ML620Q503



(a) ML620Q504

図 2-2 データ・メモリ空間の構成

2.4 命令長

命令は 16 ビット長です。

2.5 データタイプ

バイト（8 ビット），およびワード（16 ビット）のデータタイプがサポートされています。

2.6 レジスタ説明

2.6.1 レジスター覧

アドレス [H]	名称	略称 (Byte)	略称 (Word)	R/W	サイズ	初期値 [H]
0F000	データセグメントレジスタ	DSR	－	R/W	8	00

2.6.2 データセグメントレジスタ (DSR)

アドレス：0F000H
アクセス：R/W
アクセスサイズ：8 ビット
初期値：00H

	7	6	5	4	3	2	1	0
DSR	－	－	－	－	DSR3	DSR2	DSR1	DSR0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

DSR は、データセグメントを保持するための特殊機能レジスタ（SFR）です。
DSR の詳細については、『nX－U16/100 コア インストラクションマニュアル』を参照してください。

ビットの説明

・ **DSR3-0**（ビット 3～0）

DSR3	DSR2	DSR1	DSR0	説明
0	0	0	0	データセグメント 0（初期値）
0	0	0	1	データセグメント 1
0	0	1	0	データセグメント 2
0	0	1	1	データセグメント 3
0	1	0	0	データセグメント 4
0	1	0	1	データセグメント 5
0	1	1	0	データセグメント 6
0	1	1	1	データセグメント 7
1	0	0	0	データセグメント 8
1	0	0	1	データセグメント 9
1	0	1	0	データセグメント A
1	0	1	1	データセグメント B
1	1	0	0	データセグメント C
1	1	0	1	データセグメント D
1	1	1	0	データセグメント E
1	1	1	1	データセグメント F

2.7 乗除算コプロセッサ

2.7.1 概要

本 LSI は、CPU nX-U16/100 のコプロセッサとして、乗除算機能を内蔵しています。
コプロセッサ命令に関しては、『nX-U16/100 コア インストラクションマニュアル』を参照してください。
本機能を利用して演算を行うルーチン群をまとめた乗除算ライブラリに関しては、『MULDIVU8LIB ユーザーズマニュアル』を参照してください。

- 符号有り、無しの演算の設定が可能
- 乗算 16bit×16bit (演算時間 4 サイクル)
- 除算 32bit÷16bit (演算時間 8 サイクル)
- 除算 32bit÷32bit (演算時間 16 サイクル)
- 積和（非飽和型） 16bit×16bit＋32bit (演算時間 4 サイクル)
- 積和（飽和型） 16bit×16bit＋32bit (演算時間 4 サイクル)
- 飽和型積和演算の場合、演算結果が表現できる範囲を超えた場合に、正の数であれば、7FFF_FFFFH、負の数であれば、8000_0000H に演算結果が固定となります。

2.7.2 レジスタ一覧

演算を行うためのバイト型レジスタです。
レジスタはバイト長ですが、アドレッシングモードの使い分けにより、連続するレジスタを結合して、ワード型レジスタ(ERn)、ダブルワード型レジスタ（XRn）、クワッド型レジスタ(QRn)としてアクセスすることができます。

名称	略称（Quad-Word）	略称（Double-Word）	略称（Word）	略称（Byte）	R/W	サイズ	初期値 [H]
A レジスタ L	CQR0	CXR0	CER0	CR0	R/W	8	00
A レジスタ H				CR1	R/W	8	00
B レジスタ L			CER2	CR2	R/W	8	00
B レジスタ H				CR3	R/W	8	00
C レジスタ L		CXR4	CER4	CR4	R/W	8	00
C レジスタ H				CR5	R/W	8	00
D レジスタ L			CER6	CR6	R/W	8	00
D レジスタ H				CR7	R/W	8	00
演算モードレジスタ	CQR8	CXR8	CER8	CR8	R/W	8	00
演算ステータスレジスタ				CR9	R/W	8	00
-			CER10	CR10	-	-	00
-				CR11	-	-	00
-		CXR12	CER12	CR12	-	-	00
-				CR13	-	-	00
-			CER14	CR14	-	-	00
コプロ ID レジスタ				CR15	R	8	81

CR10～CR14 に機能はありません。読み出すと”00H”が読み出されます。書込みは無視されます。

2.7.2.1 A,B,C,D レジスタ (CR0～CR7)

アクセス：R/W
アクセスサイズ：8/16 ビット
初期値：0000H

	7	6	5	4	3	2	1	0
CR0	AREG7	AREG6	AREG5	AREG4	AREG3	AREG2	AREG1	AREG0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
CR1	AREG15	AREG14	AREG13	AREG12	AREG11	AREG10	AREG9	AREG8
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

	7	6	5	4	3	2	1	0
CR2	BREG7	BREG6	BREG5	BREG4	BREG3	BREG2	BREG1	BREG0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
CR3	BREG15	BREG14	BREG13	BREG12	BREG11	BREG10	BREG9	BREG8
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

	7	6	5	4	3	2	1	0
CR4	CREG7	CREG6	CREG5	CREG4	CREG3	CREG2	CREG1	CREG0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
CR5	CREG15	CREG14	CREG13	CREG12	CREG11	CREG10	CREG9	CREG8
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

	7	6	5	4	3	2	1	0
CR6	DREG7	DREG6	DREG5	DREG4	DREG3	DREG2	DREG1	DREG0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
CR7	DREG15	DREG14	DREG13	DREG12	DREG11	DREG10	DREG9	DREG8
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

A レジスタ~D レジスタ(CR0～CR7)は演算の入力値と演算結果が格納されるレジスタです。
ビットシンボルをプログラムに使うことはできません。

2.7.2.2 演算モードレジスタ (CR8)

アクセス：R/W
アクセスサイズ：8 ビット
初期値：00H

	7	6	5	4	3	2	1	0
CR8	CLEN	-	-	SIGN	-	CLMOD2	CLMOD1	CLMOD0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

演算モードレジスタは、演算モードを設定するレジスタです。
ビットシンボルをプログラムに使うことはできません。

ビットの説明

・ **CLMOD2-0** （ビット 2～0）
CLMOD2, CLMOD1, CLMOD0 は、演算モードを選択するビットです。乗算、除算、積和(非飽和)、積和(飽和) が選択できます。

CLMOD2	CLMOD1	CLMOD0	説明	
0	0	0	**乗算 (初期値)**	16bit * 16bit
0	0	1	**除算**	32bit / 16bit
0	1	0	**積和(非飽和型)**	16bit * 16bit + 32bit
0	1	1	**積和(飽和型)**	16bit * 16bit + 32bit
1	0	0	Reserved	
1	0	1	**除算**	32bit / 32bit
1	1	*	Reserved	

・ **SIGN** （ビット 4）
SIGN は、符号演算を設定するビットです。

SIGN	説明
0	**符号無し演算 (初期値)**
1	**符号有り演算**

・ **CLEN** （ビット 7）
CLEN は、演算の禁止/許可を設定するビットです。

CLEN	説明
0	**演算禁止 (初期値)**
1	**演算許可**

＊CLEN を”1”セットしないと演算を開始しません。
また、演算中に CLEN を”0”にクリアすると、その演算終了後、次の演算を開始しません。

2.7.2.3 演算ステータスレジスタ (CR9)

アクセス：R/W
アクセスサイズ：8 ビット
初期値：00H

	7	6	5	4	3	2	1	0
CR9	C	Z	S	OV	Q	-	-	USE
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R
初期値	0	0	0	0	0	0	0	0

演算ステータスレジスタは、演算の実行結果の状態が格納されるレジスタです。
ビットシンボルをプログラムで使うことはできません。

- **USE**（ビット 0）
  USE は、演算中を示すステータスビットです。

USE	説明
0	**演算停止（初期値）**
1	**演算中**

- **Q**（ビット 3）
  飽和型積和演算の結果、飽和状態で”1”になります。次の演算でも値は保持されています。”0”にする場合、”0”を書き込む必要があります。

- **OV**（ビット 4）
  演算結果が 2 の補数で表現できる範囲を超えた場合に”1”になります。演算毎に設定されます。
  また、値を書き込むことができます。

- **S**（ビット 5）
  演算結果が負の数の場合に”1”になります。積和(非飽和,飽和)演算の場合、演算結果の最上位ビットの状態を示します。演算毎に値が設定されます。また値を書き込むことができます。

- **Z**（ビット 6）
  演算結果が 0 の場合に”1”になります。演算毎に値が設定されます。また値を書き込むことができます。

- **C**（ビット 7）
  演算結果がキャリーした場合または除算モードで除数が 0 の場合に”1”になります。演算毎に値が設定されます。また値を書き込むことができます。

各演算実行時のフラグは以下のように変化します。

演算モード	SIGN	C	Z	S	OV	Q
乗算	0	-	*	-	-	-
	1	-	*	*	-	-
除算	0	*	*	-	-	-
	1	*	*	*	*	-
積和(非飽和)	0	*	*	*	*	-
	1	*	*	*	*	-
積和(飽和)	0	*	*	*	*	*
	1	*	*	*	*	*

*：結果に伴い変化する。 -：変化はありません。

2.7.2.4 コプロ ID レジスタ (CR15)

アクセス：R
アクセスサイズ：8 ビット
初期値：81H

	7	6	5	4	3	2	1	0
CR15	COPID7	COPID6	COPID5	COPID4	COPID3	COPID2	COPID1	COPID0
R/W	R	R	R	R	R	R	R	R
初期値	1	0	0	0	0	0	0	1

コプロ ID レジスタは、コプロ ID を示すコプロレジスタです。ビットシンボルをプログラムで使うことはできません。

2.7.3 動作説明

乗除算機能を使用する場合は、乗除算ライブラリが用意されていますので、『MULDIVU8LIB ユーザーズマニュアル』を参照してください。

ライブラリを使用せずに乗算を行う場合のプログラム例を示します。

```
; 0x1234H × 0x0AA55H の乗算の例

MOV     R2      ,#55H       ;乗数の設定
MOV     R3      ,#0AAH      ;
MOV     R0      ,#34H       ;被乗数の設定
MOV     R1      ,#12H       ;
MOV     CR4     ,R0         ;乗数[7:0]の転送
MOV     R0      ,#90H       ;乗算モード設定
MOV     CR8     ,R0         ;符号付き乗算モードの設定
MOV     CR5     ,R1         ;乗数[15:8]の転送
MOV     CR6     ,R2         ;被乗数[7:0]の転送
MOV     CR7     ,R3         ;被乗数[15:8]の転送、演算スタート
NOP                         ;演算中。演算終了待ち (1 クロック)
BAL  READ                   ;演算中。演算終了待ち。次命令へ無条件分岐 (3 クロック)
;演算終了
READ:
MOV     R0      ,CR0        ;積[7:0]転送
MOV     R1      ,CR1        ;積[15:8]転送
MOV     R2      ,CR2        ;積[23:16]転送
MOV     R3      ,CR3        ;積[31:24]転送
```

第３章　リセット機能

3 リセット機能

3.1 概要

本 LSI は、以下の 6 つのリセット機能をもっています。いずれかのリセットが発生すると、本 LSI はシステムリセットモードに移行します。

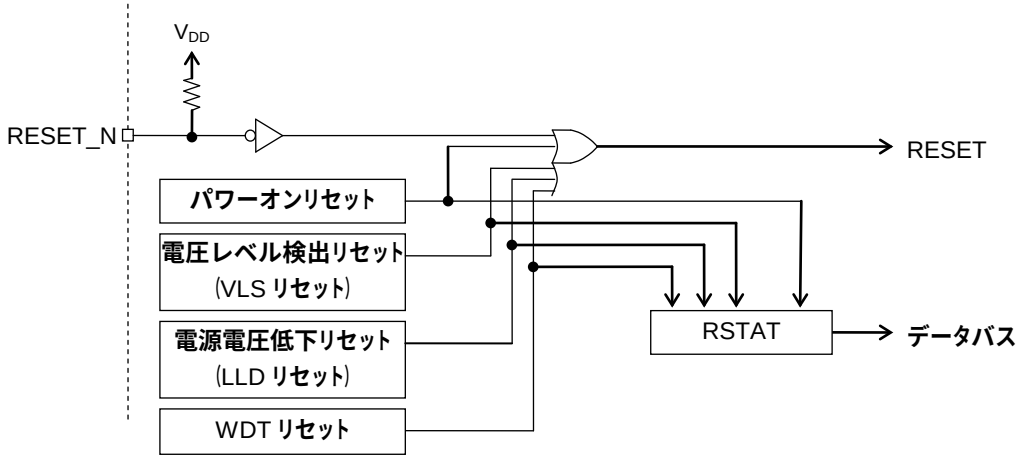
- RESET_N 端子によるリセット
- 電源投入時のパワーオン検出によるリセット
- ウォッチドッグタイマ（WDT）の二度目のオーバフローによるリセット
- 電圧レベル検出によるリセット（VLS）
- 電源電圧低下によるリセット（LLD）
- BRK 命令実行によるソフトウェアリセット

3.1.1 特長

- RESET_N 端子にはプルアップ抵抗を内蔵
- ウォッチドッグタイマ（WDT）のオーバフロー時間は、125ms, 500ms, 2s, 8s が選択可能
- リセット発生要因を示すリセットステータスレジスタ (RSTAT) を内蔵
- BRK 命令によるリセットは、CPU のみリセット（RAM 領域、SFR 領域はリセットされません。）

3.1.2 構成

図 3-1 にリセット発生回路の構成を示します。



RSTAT ：リセットステータスレジスタ

図 3-1 リセット発生回路の構成

3.1.3 端子一覧

端子名	入出力	機能
RESET_N	I	リセット入力端子

3.2 レジスタ説明

3.2.1 レジスター覧

アドレス [H]	名称	略称 (Byte)	略称 (Word)	R/W	サイズ	初期値 [H]
0F00C	リセットステータスレジスタ	RSTAT	―	R/W	8	―

3.2.2 リセットステータスレジスタ (RSTAT)

アドレス：0F00CH
アクセス：R/W
アクセスサイズ：8 ビット
初期値：不定

	7	6	5	4	3	2	1	0
RSTAT	—	—	—	LLDR	VLSR	WDTR	—	POR
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値*	0	0	0	x	x	x	0	x

*) 初期値はリセット要因に依存します.

RSTAT は、システムリセットモードに移行した要因を示す特殊機能レジスタ (SFR) です。
システムリセットモード移行時、リセット要因を示すビットが“1”になります。RSTAT は、システムリセットモード中に初期化されませんのでリセット要因を判別する場合は、あらかじめ RSTAT の各リセット要因フラグを”0”（非発生）にクリアしてください。

ビットの説明

- **POR**（ビット 0）
  POR は、パワーオンリセットが発生したことを示すフラグです。電源投入時に“1”になります。

POR	説明
0	**パワーオンリセット非発生**
1	**パワーオンリセット発生**

- **WDTR**（ビット 2）
  WDTR は、ウォッチドッグタイマリセットが発生したことを示すフラグです。ウォッチドッグタイマのオーバフローによるリセットが発生した場合に“1”になります。また、電源投入時は不定です。

WDTR	説明
0	**ウォッチドッグタイマリセット非発生**
1	**ウォッチドッグタイマリセット発生**

- **VLSR**（ビット 3）
  VLSR は、電圧レベル検出リセットが発生したことを示すフラグです。電圧レベル検出回路（VLS）によるリセットが発生した場合に“1”になります。また、電源投入時は不定です。

VLSR	説明
0	**電圧レベル検出リセット非発生**
1	**電圧レベル検出リセット発生**

- **LLDR**（ビット 4）
  LLDR は、電源電圧低下リセットが発生したことを示すフラグです。電源電圧低下によるリセットが発生した場合に“1”になります。また、電源投入時は不定です。

LLDR	説明
0	**電源電圧低下リセット非発生**
1	**電源電圧低下リセット発生**

【注意】
RESET_N 端子によるリセットが発生したことを示すフラグは存在しません。

3.3 動作説明

3.3.1 リセット要因

本 LSI は、端子によるリセットや、BRK 命令によるソフトウェアリセットに加え、LSI 内部の状態によりシステムリセットモードへ移行します。

・端子リセット
RESET_N 端子に"0"を印加するとリセットが発生します。RESET_N 端子によるシステムリセットモードへの移行時は、リセットステータスレジスタ（RSTAT）の内容は変化しません。

・BRK 命令によるソフトウェアリセット
ソフトウェアでシステムをリセットする命令です。CPU のみがリセットされ、RAM 領域や SFR 領域はリセットされません。BRK 命令によるステムリセットモードへの移行時は、リセットステータスレジスタ（RSTAT）の内容は変化しません。

・パワーオン検出
LSI が電源 OFF の状態から ON になることで発生するリセットです。パワーオン検出によるシステムリセットモードへの移行時は、リセットステータスレジスタ（RSTAT）の POR ビットが”1”になります。

・ウォッチドッグタイマのオーバーフローによるリセット
ウォッチドッグタイマの 2 度目のオーバーフローにより発生するリセットです。ウォッチドッグタイマの動作については「第 10 章 ウォッチドッグタイマ」を参照してください。ウォッチドッグタイマのオーバーフローによるシステムリセットモードへの移行時は、リセットステータスレジスタ（RSTAT）の WDTR ビットが”1”になります。

・電圧レベル検出回路（VLS）によるリセット
電源電圧が、指定した電圧レベルを下回った時に発生するリセットです。VLS によるリセットは、起動時は停止しています,有効にする場合は、電圧レベル検出回路モードレジスタ(VLSMOD)の VLSSEL0 ビットを”1”にします。VLS 機能の動作については、「第 28 章 電圧レベル検出回路」を参照してください。VLS によるシステムリセットモードへの移行時は、リセットステータスレジスタ（RSTAT）の VLSR ビットが”1”になります。

・電源電圧低下によるリセット（LLD リセット）
電源電圧が、低電圧検出回路（LLD）の閾値（1.8V Typ)より下回った時に発生するリセットです。LLD の機能は、起動時は、停止しています。有効にする場合は、ブロックコントロールレジスタ 45（BLKCON45）の DLLD ビットを”0”にします。LLD によるシステムリセットモードへの移行時は、リセットステータスレジスタ（RSTAT）の LLDR ビットが”1”になります。

3.3.2 システムリセットモードの動作

システムリセットは、全ての処理に対して最優先され、それまでの処理は中断されます。
システムリセットモードでは、以下の処理が実行されます。

(1) 電源回路が初期化されます。ただし BRK 命令実行によるリセットでは初期化されません。
(2) 初期値が不定でない全ての特殊機能レジスタ (SFR) が初期化されます。ただし、BRK 命令実行によるソフトウェアリセットでは初期化されません。SFR の初期値については、「付録 A レジスタ一覧」を参照してください。
(3) CPU が初期化されます。
- CPU 内の全てのレジスタが初期化されます。
- プログラム・メモリの 0000H, 0001H 番地の内容がスタック・ポインタ (SP) にセットされます。
- プログラム・メモリの 0002H, 0003H 番地の内容がプログラム・カウンタ (PC) にセットされます。ただし BRK 命令によるリセットにおいてプログラム・ステータスワード (PSW) の割込みレベル (ELEVEL) が 1 以下の場合は、プログラム・メモリの 0004H, 0005H 番地の内容がプログラム・カウンタ (PC) にセットされます。BRK 命令については、『nX-U16/100 コア インストラクションマニュアル』を参照してください。

【注意】
システムリセットモードでは、データメモリの内容と初期値が不定の SFR の内容は初期化されず不定です。ソフトウェアにて初期化して下さい。
BRK 命令によるシステムリセットモードでは、初期値が固定の特殊機能レジスタ (SFR) も初期化されませんので、ソフトウェアにて初期化してください。

システムリセットモードへ移行した要因と LSI 内部の初期化状態は、以下のようになります。

初期化項目／要因	RESET_N	POR	WDT	VLS	LLD	BRK 命令
SFR	○	○	○	○	○	×
CPU	○	○	○	○	○	○
データメモリ	×	×	×	×	×	×
VLS イネーブル*1	○	○	○	×	○	○
LLD イネーブル*1	○	○	○	○	×	○

＊1 VLS イネーブル(電圧レベル検出回路コントロールレジスタの ENVLS ビット)、LLD イネーブル(ブロックコントロールレジスタ 45 の DLLD ビット)は、それぞれの機能の有効/無効を選択する機能です。
それぞれ初期時は、無効に選択されていますが、それぞれの要因でリセットが発生した場合のみ、リセット前の状態を保持します。

第４章　パワーマネジメント

4 パワーマネジメント

4.1 概要

LSI の消費電流を抑制するために、以下の 4 つのパワーマネジメントモードがあります。
また、使わない機能の回路の動作をパワーダウン（レジスタリセット＆クロック停止）することで、より消費電流を減らすことができるブロック制御機能を持っています。

(1) HALT モード
(2) HALT-H モード
(3) DEEP-HALT モード
(4) STOP モード

4.1.1 特長

- CPU が動作を停止し、周辺回路のみ動作している HALT モードを搭載
- 高速クロックでの CPU 動作から CPU が動作を停止した際に高速クロックを自動で停止する HALT-H モードを搭載
- CPU が動作を停止し、LTBC, タイマのみ動作可能にしたより低消費電力な DEEP-HALT モードを搭載
- 低速発振および高速発振が発振を停止する STOP モードを搭載
- STOP モードへの移行を制御するストップコードアクセプタ機能を内蔵
- 使わない機能ブロック回路の動作をパワーダウン（レジスタリセット＆クロック停止）させるブロック制御機能を内蔵

4.1.2 構成

図 4-1 に動作状態遷移図を示します。

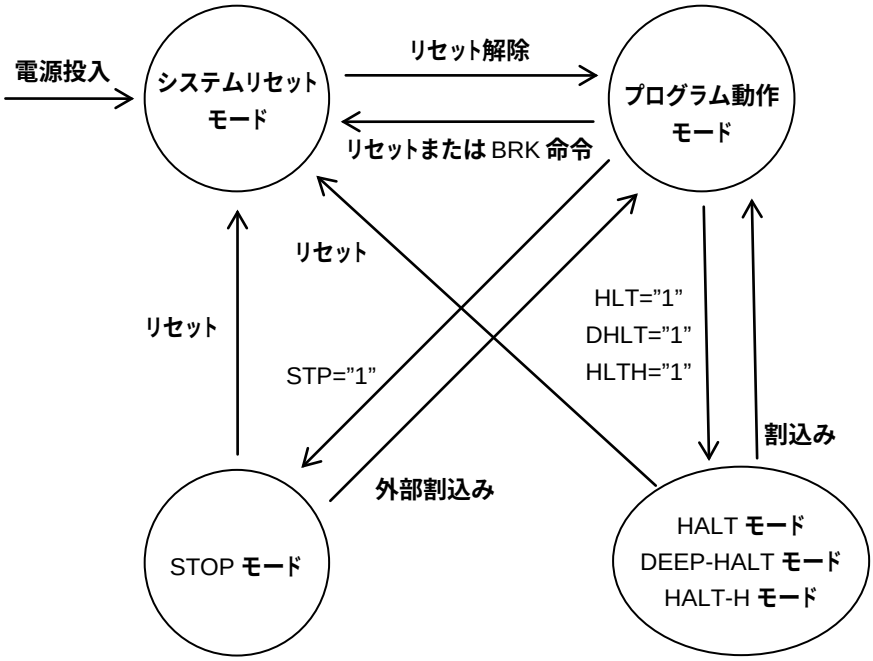


図 4-1 動作状態遷移図

4.2 レジスタ説明

4.2.1 レジスター覧

アドレス [H]	名称	略称 (Byte)	略称 (Word)	R/W	サイズ	初期値 [H]
0F008	ストップコードアクセプタ	STPACP	-	W	8	ー
0F009	スタンバイコントロールレジスタ	SBYCON	-	W	8	00
0F068	ブロックコントロールレジスタ 01	BLKCON0	BLKCON01	R/W	8/16	00
0F069		BLKCON1		R/W	8	00
0F06A	ブロックコントロールレジスタ 23	BLKCON2	BLKCON23	R/W	8/16	00
0F06B		BLKCON3		R/W	8	00
0F06C	ブロックコントロールレジスタ 45	BLKCON4	BLKCON45	R/W	8/16	00
0F06D		BLKCON5		R/W	8	04

4.2.2 ストップコードアクセプタ (STPACP)

アドレス：0F008H
アクセス：W
アクセスサイズ：8 ビット
初期値：－（不定）

	7	6	5	4	3	2	1	0
STPACP	–	–	–	–	–	–	–	–
R/W	W	W	W	W	W	W	W	W
初期値	-	-	-	-	-	-	-	-

STPACP は、STOP モードを設定するために使用する書き込み専用の特殊機能レジスタ(SFR)です。
STPACP を読み出すと、“00H”が読み出されます。
STPACP にデータを“5nH”,“0AnH”（n=0～0FH）の順序で書き込むとストップコードアクセプタが許可状態になり、この状態でスタンバイコントロールレジスタ (SBYCON) の STP ビットを“1”にすると STOP モードに移行します。STOP モードになるとストップコードアクセプタは禁止状態になります。
STPACP へ“5nH”を書き込む命令と“0AnH”を書き込む命令の間に他の命令が実行されてもストップコードアクセプタは許可状態になります。ただし、“5nH”を書き込み後に“0AnH”以外のデータを STPACP に書き込むと“5nH”書き込みが無効となるため、再度“5nH”から書き込む必要があります。
システムリセット時、ストップコードアクセプタは禁止状態です。

【注意】
・各割込みの許可フラグと要求フラグが両方”1”となる条件では（MIE フラグが”0”の時に割込み要求が発生した場合にこのような条件が成立します）、ストップコードアクセプタは許可状態になりません。

4.2.3 スタンバイコントロールレジスタ (SBYCON)

アドレス：0F009H
アクセス：W
アクセスサイズ：8 ビット
初期値：00H

	7	6	5	4	3	2	1	0
SBYCON	–	–	–	–	HLTH	DHLT	STP	HLT
R/W	W	W	W	W	W	W	W	W
初期値	0	0	0	0	0	0	0	0

SBYCON は、MCU の動作モードを制御する特殊機能レジスタ (SFR) です。

ビットの説明

- **HLT** （ビット 0）
  HLT は、HALT モードを設定するビットです。HLT ビットを“1”にすると HALT モードに移行します。HLT ビットに”0”を書き込んでも HALT モードには移行しません。

- **STP** （ビット 1）
  STP は、STOP モードを設定するビットです。STP ビットを“1”にすると STOP モードに移行します。STP ビットに”0”を書き込んでも STOP モードに移行しません。
  STP ビットへの書き込みは、STPACP を用いてストップコードアクセプタを許可状態した状態で行ってください。ストップコードアクセプタが禁止状態で STP ビットへ書き込みを行っても書き込みが無効となります。

- **DHLT** （ビット 2）
  DHLT は、DEEP-HALT モードを設定するビットです。DHLT ビットを“1”にすると DEEP-HALT モードに移行します。DHLT ビットに”0”を書き込んでも DEEP-HALT モードに移行しません。

- **HLTH** （ビット 3）
  HLTH は、HALT-H モードを設定するビットです。 HLTH ビットを“1”にすると、高速クロックをハードウェアで停止して、HALT-H モードに移行します。 HLTH ビットに”0”を書き込んでも HALT-H モードに移行しません。

  複数ビットに同時に”1”を書き込まないでください。

【注意】
・高速水晶発振/外部クロック使用時に、STOP、DEEP‐HALT、HALT-H モードへ移行する場合は、周波数ステータスレジスタ（FSTAT）の HOSCS ビットが”0”になっていることを確認してください。
・低速クロックとして水晶発振/外部クロック使用時に、DEEP-HALT モードへ移行する場合は、周波数ステータスレジスタ(FSTAT)の LOSCS ビットが”0”になっていることも確認してください。
・各割込みの許可フラグと要求フラグが両方”1”となる条件では（MIE フラグが”0”の時に割込み要求が発生した場合にこのような条件が成立します）、STOP モードおよび HALT モード、DEEP- HALT モードには移行しません。
・nX-U16/100 コア内にあるプログラム・ステータスワード (PSW) の MIE フラグが“0”の状態でマスカブル割込み（許可ビットを持つ割込み）の要因が発生した場合は、STOP モードおよび HALT モード、DEEP- HALT モードが解除されるのみで割込み処理には移行しません。PSW の詳細については、『nX－U16/100 コア インストラクションマニュアル』を参照してください。

4.2.4 ブロックコントロールレジスタ 01 (BLKCON01)

アドレス：0F068H
アクセス：R/W
アクセスサイズ：8/16 ビット
初期値：0000H

	7	6	5	4	3	2	1	0
BLKCON0	DTM7	DTM6	DTM5	DTM4	DTM3	DTM2	DTM1	DTM0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

	15	14	13	12	11	10	9	8
BLKCON1	–	–	–	–	DFTM3	DFTM2	DFTM1	DFTM0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

BLKCON01 は、各ブロックの動作を制御する特殊機能レジスタ (SFR) です。

ビットの説明

・ **DTM7-0**（ビット 7～0）
DTM7-0 は、8 ビットタイマの動作を制御するビットです。

DTM0	説明
0	タイマ 0 動作許可（初期値）
1	タイマ 0 動作禁止

DTM1	説明
0	タイマ 1 動作許可（初期値）
1	タイマ 1 動作禁止

DTM2	説明
0	タイマ 2 動作許可（初期値）
1	タイマ 2 動作禁止

DTM3	説明
0	タイマ 3 動作許可（初期値）
1	タイマ 3 動作禁止

DTM4	説明
0	タイマ 4 動作許可（初期値）
1	タイマ 4 動作禁止

DTM5	説明
0	タイマ 5 動作許可（初期値）
1	タイマ 5 動作禁止

DTM6	説明
0	タイマ 6 動作許可（初期値）
1	タイマ 6 動作禁止

DTM7	説明
0	タイマ 7 動作許可（初期値）
1	タイマ 7 動作禁止

・ **DFTM3-0**（ビット 11～8）
DFTM3, DFTM2, DFTM1, DFTM0 は、多機能タイマ(FTM）の動作を制御するビットです。

DFTM0	説明
0	多機能タイマ 0 動作許可（初期値）
1	多機能タイマ 0 動作禁止

DFTM1	説明
0	多機能タイマ 1 動作許可（初期値）
1	多機能タイマ 1 動作禁止

DFTM2	説明
0	多機能タイマ 2 動作許可（初期値）
1	多機能タイマ 2 動作禁止

DFTM3	説明
0	多機能タイマ 3 動作許可（初期値）
1	多機能タイマ 3 動作禁止

【注意】
・任意のフラグを"1"にセット（動作禁止）すると該当するブロックの機能がリセットされ(全てのレジスタは初期化されます)、そのブロックへのクロック供給が停止します。フラグが”1”にセットされている間は、ブロックのレジスタへの書込みは無効となります。ブロックの機能を利用する場合は、ブロックコントロールレジスタの該当フラグを"0"にリセット（動作許可）してください。

4.2.5 ブロックコントロールレジスタ 23 (BLKCON23)

アドレス：0F06AH
アクセス：R/W
アクセスサイズ：8/16 ビット
初期値：0000H

	7	6	5	4	3	2	1	0
BLKCON2	DI2C1	DI2C0	–	DUAF0	DUA1	DUA0	DSIOF0	DSIO0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

	15	14	13	12	11	10	9	8
BLKCON3	DCMP1	DCMP0	–	–	–	–	–	DMD0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

BLKCON23 は、各ブロックの動作を制御する特殊機能レジスタ (SFR) です。

ビットの説明

- **DSIO0**（ビット 0）
  DSIO0 は、同期式シリアルポートの動作を制御するビットです。

DSIO0	説明
0	**同期式シリアルポート 0 動作許可（初期値）**
1	**同期式シリアルポート 0 動作禁止**

- **DSIOF0**（ビット 1）
  DSIOF0 は、FIFO 付き同期式シリアルポートの動作を制御するビットです。

DSIOF0	説明
0	FIFO **付き同期式シリアルポート 0 動作許可（初期値）**
1	FIFO **付き同期式シリアルポート 0 動作禁止**

- **DUA1-0**（ビット 3～2）
  DUA1-0 は、UART0 の動作を制御するビットです。

DUA1	DUA0	説明
0	0	UART0 **動作許可（初期値）**
0	1	**設定禁止**
1	0	**設定禁止**
1	1	UART0 **動作禁止**

- **DUAF0**（ビット 4）
  DUAF0 は、FIFO 付き UART の動作を制御するビットです。

DUAF0	説明
0	FIFO **付き** UART **動作許可（初期値）**
1	FIFO **付き** UART **動作禁止**

・ **DI2C1-0**（ビット 7～6）
DI2C1-0 は、I2C バスインターフェースの動作を制御するビットです。

DI2C1	説明
0	I2C バスインターフェース 1 動作許可（初期値）
1	I2C バスインターフェース 1 動作禁止

DI2C0	説明
0	I2C バスインターフェース 0 動作許可（初期値）
1	I2C バスインターフェース 0 動作禁止

・ **DMD0**（ビット 8）
DMD0 は、メロディドライバ 0 の動作を制御するビットです。

DMD0	説明
0	メロディドライバ 0 動作許可（初期値）
1	メロディドライバ 0 動作禁止

・ **DCMP0**（ビット 14）
DCMP0 は、アナログコンパレータ 0 の動作を制御するビットです。

DCMP0	説明
0	アナログコンパレータ 0 動作許可（初期値）
1	アナログコンパレータ 0 動作禁止

・ **DCMP1**（ビット 15）
DCMP1 は、アナログコンパレータ 1 の動作を制御するビットです。

DCMP1	説明
0	アナログコンパレータ 1 動作許可（初期値）
1	アナログコンパレータ 1 動作禁止

【注意】
・任意のフラグを"1"にセット（動作禁止）すると該当するブロックの機能がリセットされ(全てのレジスタは初期化されます)、そのブロックへのクロック供給が停止します。フラグが”1”にセットされている間は、ブロックのレジスタへの書込みは無効となります。ブロックの機能を利用する場合は、ブロックコントロールレジスタの該当フラグを"0"にリセット（動作許可）してください。

4.2.6 ブロックコントロールレジスタ 45(BLKCON45)

アドレス：0F06CH
アクセス：R/W
アクセスサイズ：8/16 ビット
初期値：0400H

	7	6	5	4	3	2	1	0
BLKCON4	–	–	–	–	–	–	DRAD	DSAD
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

	15	14	13	12	11	10	9	8
BLKCON5	–	–	–	–	–	DLLD	DVLS	–
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	1	0	0

BLKCON45 は、各ブロックの動作を制御する特殊機能レジスタ (SFR) です。

ビットの説明

・ **DSAD**（ビット 0）
DSAD は、逐次比較型 A/D コンバータの動作を制御するビットです。

DSAD	説明
0	**逐次比較型** A/D **コンバータ動作許可**（**初期値**）
1	**逐次比較型** A/D **コンバータ動作禁止**

・ **DRAD**（ビット 1）
DRAD は、RC 発振型 A/D コンバータの動作を制御するビットです。

DRAD	説明
0	RC **発振型** A/D **コンバータ動作許可**（**初期値**）
1	RC **発振型** A/D **コンバータ動作禁止**

・ **DVLS**（ビット 9）
DVLS は、電源電圧検出回路（VLS）の動作を制御するビットです。

DVLS	説明
0	VLS **動作許可**（**初期値**）
1	VLS **動作禁止**

・ **DLLD**（ビット 10）
DLLD は、電源電圧低下検出回路（LLD）の動作を制御するビットです。

DLLD	説明
0	LLD **動作許可**
1	LLD **動作禁止**（**初期値**）

【注意】
・任意のフラグを"1"にセット（動作禁止）すると該当するブロックの機能がリセットされ(全てのレジスタは初期化されます)、そのブロックへのクロック供給が停止します。フラグが”1”にセットされている間は、ブロックのレジスタへの書込みは無効となります。ブロックの機能を利用する場合は、ブロックコントロールレジスタの該当フラグを"0"にリセット（動作許可）してください。

4.3 動作説明

4.3.1 HALT モード

4.3.1.1 HALT モード

HALT モード中は、CPU が命令の実行を中断し、周辺回路のみ動作します。
スタンバイコントロールレジスタ (SBYCON) の HLT ビットを“1”にすると HALT モードに移行します。
WDT 割込み要求、もしくは割込み許可レジスタ(IE1～IE7)で許可された割込み要求が発生すると、次のシステムクロック（SYSCLK）の立ち下りエッジで HLT ビットは“0”になり、HALT モードは解除されプログラム動作モードに復帰します。
図 4-2 に HALT モードの動作波形を示します。

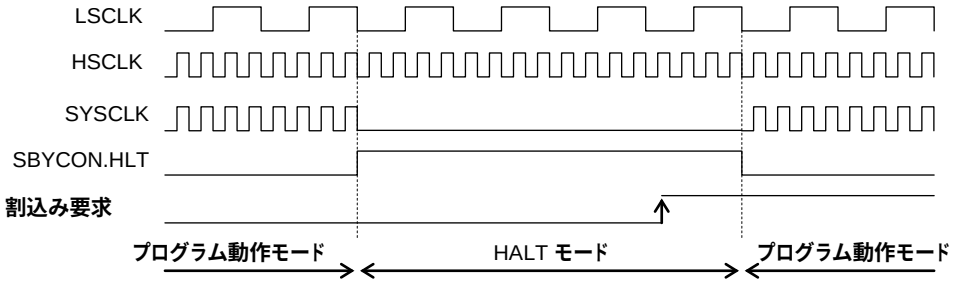


図 4-2(1) HALT モードの動作波形 FCON1.SYSCLK=1, FCON1.ENOSC=1

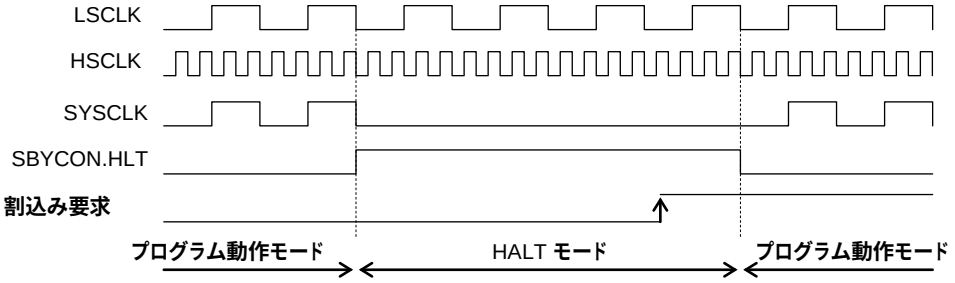


図 4-2(2) HALT モードの動作波形 FCON1.SYSCLK=0, FCON1.ENOSC=1

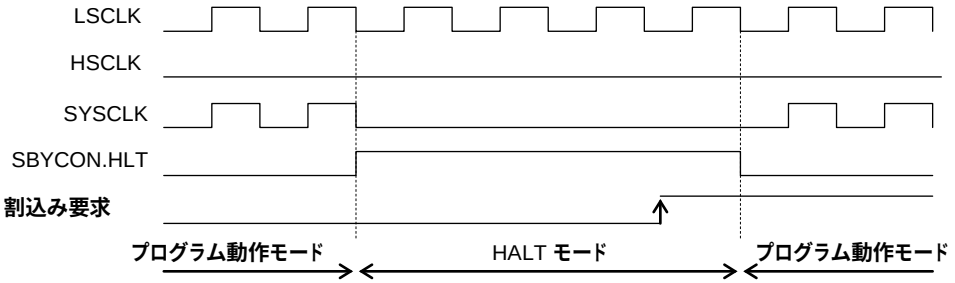


図 4-2(3) HALT モードの動作波形 FCON1.SYSCLK=0, FCON1.ENOSC=0

【注意】
・HALT モードの解除後、WDT 割込み以外の割込みは、PSW の MIE ビットで割込みが許可（”1”）されていると割込み処理に移行します。
PSW の詳細については『nX-U16/100 コア インストラクションマニュアル』を参照してください
・HALT モード解除から割込みに移行するまでに最大 2 命令が実行されますので、HLT ビットを“1”に設定した命令の次には NOP 命令を 2 個置いてください。

4.3.1.2 DEEP-HALT モード

DEEP-HALT モード中は、CPU が命令の実行を中断し、ウォッチドッグタイマと LTBC などいくつかの周辺ブロックを除いて動作を停止します。
スタンバイコントロールレジスタ (SBYCON) の DHLT ビットを“1”にすると DEEP-HALT モードに移行します。
WDT 割込み要求、もしくは許可された（割込み許可フラグが”1”の状態で）割込み要求が発生すると、次のシステムクロック（SYSCLK）の立ち下りエッジで DHLT ビットは“0”になり、DEEP-HALT モードは解除されプログラム動作モードに復帰します。
なお、高速クロックで動作中に DHLT ビットを“1”にすると、低速クロックに切り替わり、DEEP-HALT モードに移行します。
この状態で WDT 割込み要求、もしくは許可された（割込み許可フラグが”1”の状態で）割込み要求が発生すると、
DHLT が”0”になり、プログラム動作モードに復帰し、再び高速クロックに切り替わります。

高速クロックの再開については、クロックモードに関係なく、割込み要求発生後に低速クロックが 29 カウントすると、高速内蔵 RC 発振が発振を開始し、512 カウントして OSCLK としてクロック供給します。システムクロックが高速クロックの場合は、同時にプログラム動作モードに復帰します。
高速水晶発振モードの場合、LSCLK 供給から、高速発振開始時間(T_{XTH})後に発振を開始し、水晶発振で 4096 カウントすると OSCLK は RC 発振から水晶発振に自動で切り替わります。
高速外部クロックモードの場合、LSCLK 供給から、外部クロックで 128 カウントすると OSCLK は RC 発振から外部クロックに自動で切り替わります。

図 4-3 に DEEP-HALT モードの動作波形を示します。

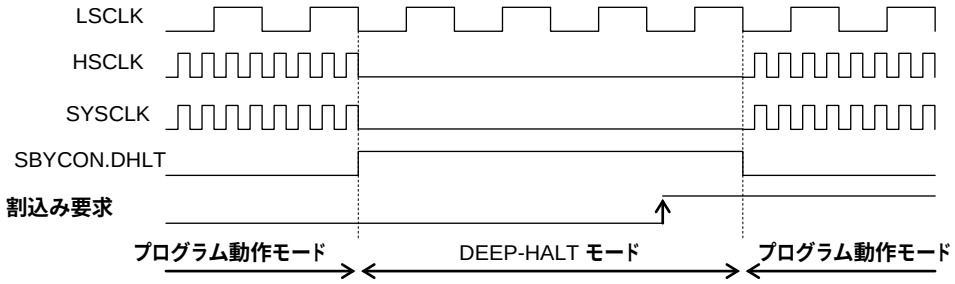


図 4-3 DEEP-HALT モードの動作波形

【注意】
・低速/高速水晶発振使用時に、DEEP‐HALT へ移行する場合は、周波数ステータスレジスタ（FSTAT）の LOSCS/HOSCS ビットが”0”になっていることを確認してください。
・DEEP-HALT モードの解除後、WDT 割込み以外の割込みは、PSW の MIE ビットで割込みが許可（”1”）されていると割込み処理に移行します。
PSW の詳細については『nX-U16/100 コア インストラクションマニュアル』を参照してください
・DEEP-HALT モード解除から割込みに移行するまでに最大 2 命令が実行されますので、DHLT ビットを“1”に設定した命令の次には NOP 命令を 2 個置いてください。

4.3.1.3 HALT-H モード

HALT-H モード中は、CPU が命令の実行を中断し、高速クロックを停止し、低速クロックで動作可能な周辺回路のみが動作します。
スタンバイコントロールレジスタ (SBYCON) の HLTH ビットを“1”にすると HALT-H モードに移行します。
WDT 割込み要求、もしくは割込み許可レジスタ(IE1～IE7)で許可された割込み要求が発生すると、次のシステムクロック (SYSCLK) の立ち下りエッジで HLTH ビットは“0”になり、HALT-H モードは解除されプログラム動作モードに復帰します。
高速クロックで動作中に HLTH ビットを“1”にすると、高速クロックは停止し、HALT-H モードに移行します。この状態で WDT 割込み要求、もしくは許可された (割込み許可フラグが”1”の状態で) 割込み要求が発生すると、HLTH が”0”になり、高速クロックが動作を再開し、プログラム動作モードに復帰します。

高速クロックの再開については、DEEP-HALT のときと同じです。

図 4-4 に、高速クロック動作中に HALT-H モードに移行させた場合の動作波形を示します。

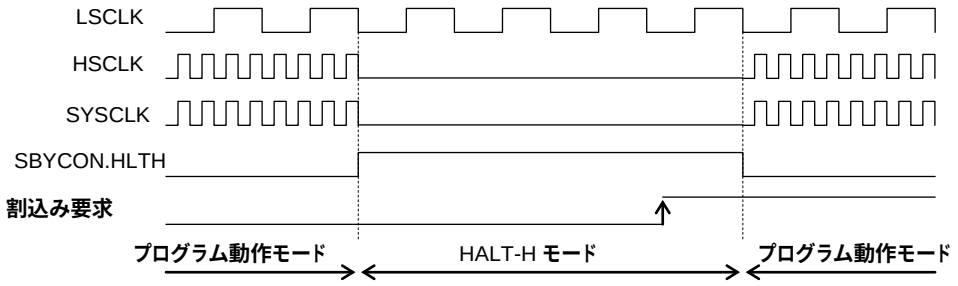


図 4-4 HALT-H モードの動作波形

【注意】
・高速水晶発振使用時に、HALT-H モードへ移行する場合は、周波数ステータスレジスタ (FSTAT) の HOSCS ビットが”0”になっていることを確認してください。
・HALT-H モードの解除後、WDT 割込み以外の割込みは、PSW の MIE ビットで割込みが許可 (”1”) されていると割込み処理に移行します。
PSW の詳細については『nX-U16/100 コア インストラクションマニュアル』を参照してください
・HALT-H モード解除から割込みに移行するまでに最大 2 命令が実行されますので、HLTH ビットを“1”に設定した命令の次には NOP 命令を 2 個置いてください。

4.3.2 STOP モード

STOP モード中は、低速発振、および高速発振が停止している状態で、CPU および周辺回路は動作を停止します。
ストップコードアクセプタ (STPACP) に“5nH”,“0AnH” (n=0～0FH) を順に書き込みストップコードアクセプタを許可状態にし、スタンバイコントロールレジスタ (SBYCON) の STP ビットを“1”にすると STOP モードに移行します。STOP モードになるとストップコードアクセプタは禁止状態になります。
割込み許可された (割込み許可フラグが”1”の状態で) 外部端子割込み要求が発生すると STP ビットは“0”になり、STOP モードは解除され、プログラム動作モードに復帰します。

【注意】
・高速水晶発振使用時に、STOP モードへ移行する場合は、周波数ステータスレジスタ (FSTAT) の HOSCS ビットが”0”になっていることを確認してください。
・STOP モードの解除後、WDT 割込み以外の割込みは、PSW の MIE ビットで割込みが許可 (”1”) されていると割込み処理に移行します。
PSW の詳細については『nX-U16/100 コア インストラクションマニュアル』を参照してください
・STOP モード解除から割込みに移行するまでに最大 2 命令が実行されますので、STP ビットを“1”に設定した命令の次には NOP 命令を 2 個置いてください。

4.3.2.1 低速クロックの発振停止と再開タイミング

ストップコードアクセプタが許可状態で SBYCON の STP ビットを“1”にすると STOP モードに移行し、低速発振、および高速発振が停止します。
割込み許可された (割込み許可フラグが”1”の状態で) 外部端子割込み要求が発生すると、STP ビットは“0”になり低速発振が再開されます。また、STOP モード移行前に高速クロックが発振状態であった場合は、高速発振も発振を再開します。STOP モード移行前に高速クロックが発振停止状態であった場合は、高速発振は開始されません。
クロックモードに関係なく、割込み要求発生後に低速内蔵 RC 発振が発振を開始し、29 カウントすると LSCLK としてクロックを供給します。システムクロックが低速クロックの場合は、同時にプログラム動作モードに復帰します。
低速水晶発振モードの場合、割込み要求発生により、低速発振開始時間(T_{XTL})後に発振を開始し、水晶発振で 8192 カウントすると LSCLK は RC 発振から水晶発振に自動で切り替わります。
低速外部クロックモードの場合、割込み要求発生により、外部クロックで 16 カウントすると LSCLK は RC 発振から外部クロックに自動で切り替わります。
低速発振開始時間 (T_{XTL})については「付録 C 電気的特性」を参照してください。
図 4-5 に CPU 低速クロック動作時の STOP モード動作波形を示します。

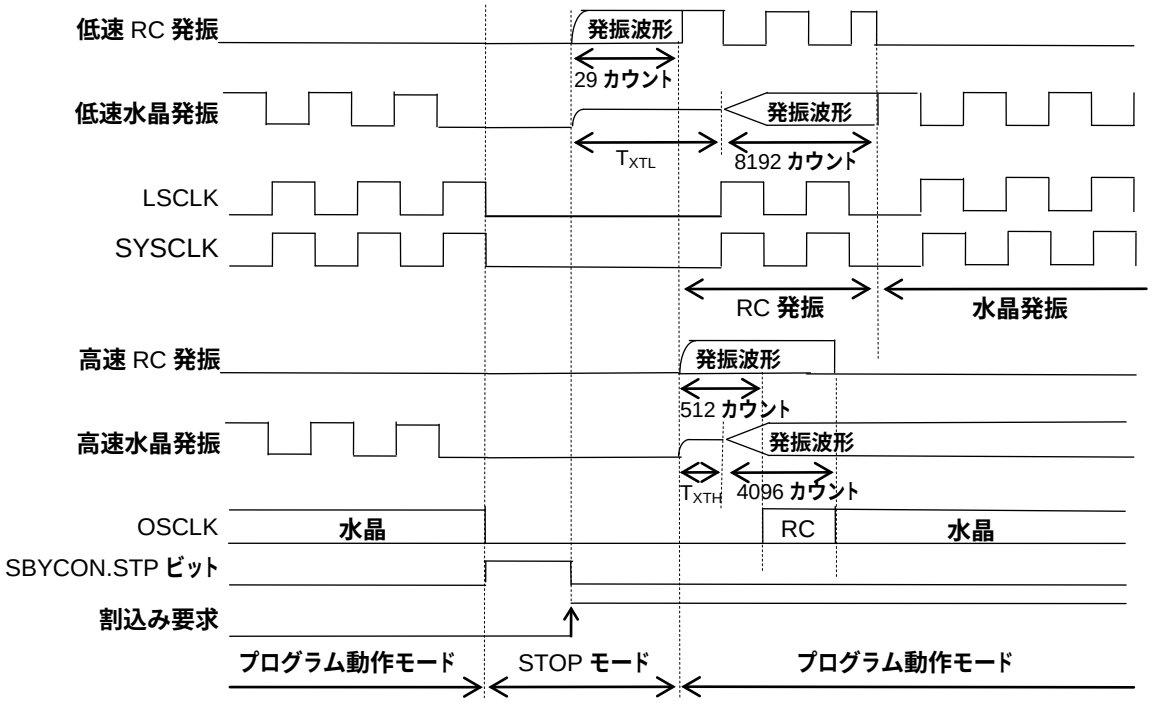


図 4-5 CPU 低速クロック動作時の STOP モード動作波形

4.3.2.2 高速クロックの発振停止と再開タイミング

高速クロックが動作している場合に、ストップコードアクセプタが許可状態で SBYCON の STP ビットを“1”にすると STOP モードに移行し、高速発振、および低速発振が停止します。
割込み許可された（割込み許可フラグが”1”の状態で）外部端子割込み要求が発生すると、STP ビットは“0”になり高速発振、および低速発振が再開されます。
クロックモードに関係なく、割込み要求発生後に低速内蔵 RC 発振が発振を開始し、29 カウントすると LSCLK としてクロックを供給します。そして高速内蔵 RC 発振が発振を開始し、512 カウントすると OSCLK としてクロック供給します。システムクロックが高速クロックの場合は、同時にプログラム動作モードに復帰します。
高速水晶/セラミック発振モードの場合、LSCLK 供給から、高速発振開始時間(T_{XTH})後に発振を開始し、水晶発振で 4096 カウントすると OSCLK は RC 発振から水晶発振に自動で切り替わります。
高速外部クロックモードの場合、LSCLK 供給から、外部クロックで 128 カウントすると OSCLK は RC 発振から外部クロックに自動で切り替わります。

高速発振開始時間 (T_{XTH})、低速発振開始時間 (T_{XTL})については「付録 C 電気的特性」を参照してください。
図 4-6 に高速クロック動作時の STOP モードの動作波形を示します。

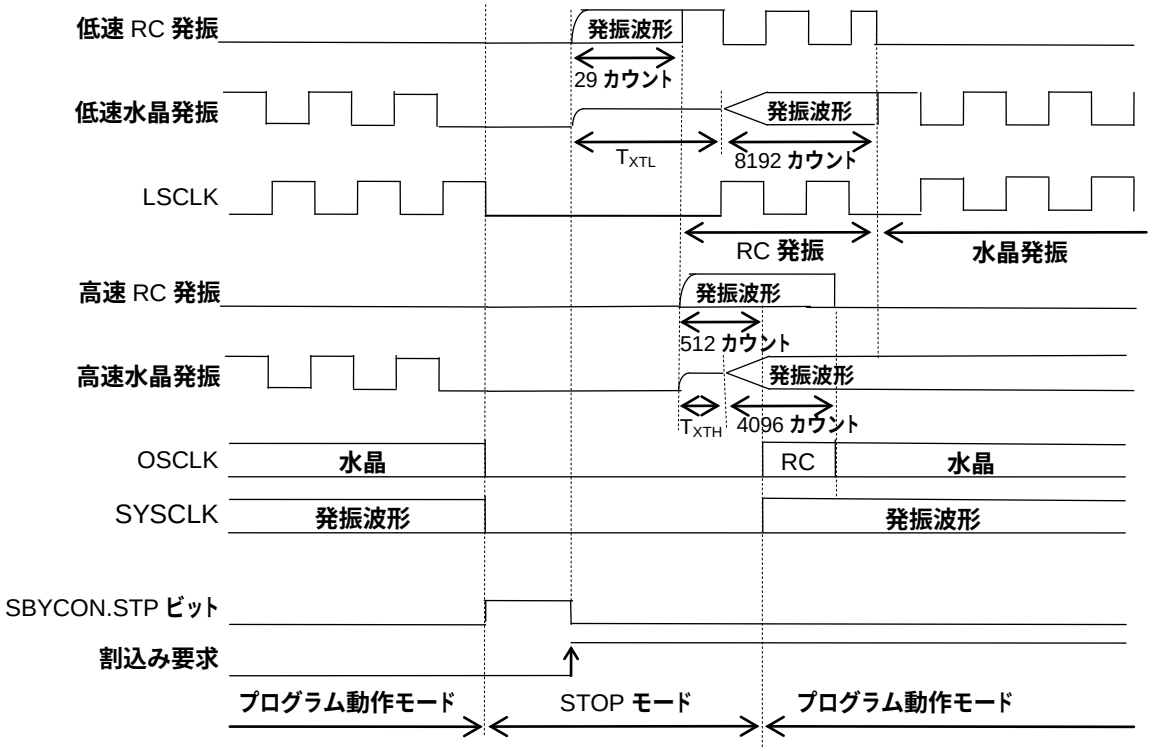


図 4-6 高速クロック動作時の STOP モードの動作波形

【注意】
・STP ビットを“1”に設定した命令から STOP モードに移行し、また STOP モード解除から割込みに移行するまでに最大 2 命令が実行されますので、STP ビットを“1”に設定した命令の次には NOP 命令を 2 個置いてください。

4.3.2.3 STOP/HALT/DEEP-HALT/HALT-H モードからの復帰動作についての注意事項

STOP モード、および HALT モード、DEEP-HALT モード、HALT-H モードからの復帰は、プログラム・ステータス・ワード (PSW) の割込みレベル (ELEVEL) 、マスタ・インタラプト・イネーブル・フラグ (MIE) 、割込み許可レジスタ (IE0～3) の内容、および割込みがノンマスカブル割込みかマスカブル割込みかによっても動作が異なります。
PSW の詳細については、『nX－U16/100 コア インストラクションマニュアル』を、IE レジスタや IRQ レジスタについては、「第 5 章 割込み」を参照してください。

表 4-1、および表 4-2 に STOP/HALT/ DEEP-HALT/HALT-H モードからの復帰動作一覧を示します。

表 4-1 STOP/HALT/DEEP-HALT/HALT-H モードからの復帰動作一覧（ノンマスカブル割込みの場合）

ELEVEL	MIE	IEn.m	IRQn.m	STOP/HALT/DEEP-HALT/HALT-H **モードからの復帰動作**
＊	＊	－	0	STOP/HALT/DEEP-HALT/HALT-H **モードから復帰しません。**
3	＊	－	1	STOP/HALT/DEEP-HALT/HALT-H **モードから復帰後、**STP/HLT/DEEP-HALT/HALT-H **ビットを**“1”**にセットした命令の次の命令からプログラム動作を再開します。割込みルーチンには移行しません。**
0,1,2	＊	－	1	STOP/HALT/DEEP-HALT/HALT-H **モードから復帰後、**STP/HLT/DEEP-HALT/HALT-H **ビットを**“1”**にセットした命令の次の命令からプログラム動作を再開し、割込みルーチンに移行します。**

表 4-2 STOP/HALT/DEEP-HALT/HALT-H モードからの復帰動作一覧（マスカブル割込みの場合）

ELEVEL	MIE	IEn.m	IRQn.m	STOP/HALT/DEEP-HALT/HALT-H **モードからの復帰動作**
＊	＊	＊	0	STOP/HALT/DEEP-HALT/HALT-H **モードから復帰しません。**
＊	＊	0	1	
＊	0	1	1	STOP/HALT/DEEP-HALT/HALT-H **モードから復帰後、**STP/HLT/DHLT/HLTH **ビットを**“1”**にセットした命令の次の命令からプログラム動作を再開します。割込みルーチンには移行しません。**
2,3	1	1	1	
0,1	1	1	1	STOP/HALT/DEEP-HALT/HALT-H **モードから復帰後、**STP/HLT/DHLT/HLTH **ビットを**“1”**にセットした命令の次の命令からプログラム動作を再開し、割込みルーチンに移行します。**

【注意】
・ELEVEL ビットが 0H の場合は、CPU がノンマスカブル割込み、マスカブル割込み、およびソフトウェア割込みを処理していない状態を表します。
・ELEVEL ビットが 1H の場合は、CPU がマスカブル割込みもしくはソフトウェア割込みを処理している状態を表します。（割込み移行サイクル中にセットされます。）
・ELEVEL ビットが 2H の場合は、CPU がノンマスカブル割込みを処理している状態を表します。（割込み移行サイクル中にセットされます。）
・ELEVEL ビットが 3H の場合は、CPU がエミュレータ専用の割込みを処理している状態を表します。通常のアプリケーションでは使用禁止です。

4.3.3 STOP/HALT/DEEP-HALT/HALT-H モード時の各機能の動作

表 4-3 に、STOP、および HALT、DEEP-HALT、HALT-H それぞれの場合における、各機能の状態を示します。

表 4-3 STOP/HALT/DEEP-HALT/HALT-H モード時の各機能の状態一覧

機能	HALT	HALT-H[*2]	DEEP-HALT[*2]	STOP
CPU	×	×	×	×
RAM	保持	保持	保持	保持
ウォッチドッグタイマ	●	●	○	×
外部割込み	受付可能	受付可能	受付可能	受付可能
LTBC	●	●	●	×
タイマ	○	○	○	×
多機能タイマ	○	○	○	×
UART	○	○	×	×
FIFO 付き UART	○[*1]	×	×	×
SSIO	○	○	×	×
FIFO 付き SSIO	○[*1]	×	×	×
I^2C	○[*1]	×	×	×
メロディドライバ	○	○	×	×
RC-ADC	○	○	×	×
SA-ADC	○	○	×	×
コンパレータ	○	○	○	○
VLS	○	○	○	○
LLD	○	○	○	○

[*1]:高速 CLK を ON 時のみ動作可能です
[*2]:HALT-H、DEEP-HALT モードは低速 CLK 動作のみ可能です

●:動作
○:動作可能
×:動作不可能

4.3.4 ブロック制御機能

本ブロック制御機能を使い、使わない機能の回路の動作を完全に止めることで、より消費電流を減らすことができます。DLLD フラグを除く各ブロックコントロールレジスタの各フラグの初期値は”0”で、各ブロックの動作は許可されています。任意のフラグを"1"にセット（動作禁止）すると該当するブロックの機能がリセットされ(全てのレジスタは初期化されます)、さらに該当ブロックへのクロック供給が停止します。当フラグが”1”にセットされている時は、該当するブロックの全てのレジスタへの書込みは無効となります。該当ブロックの機能をご使用の際には、必ず本ブロックコントロールレジスタの該当フラグを"0"にリセット（動作許可）してください。

BLKCON0 レジスタはタイマ 0～タイマ 7 の回路動作を制御（許可／禁止）します。
BLKCON1 レジスタは多機能タイマ 0～3 の回路動作を制御（許可／禁止）します。
BLKCON2 レジスタは I2C、UART、SSIO の回路動作を制御（許可／禁止）します。
BLKCON3 レジスタはメロディ、アナログコンパレータの回路動作を制御（許可／禁止）します。
BLKCON4 レジスタは RC 型 A/D コンバータ、逐次比較型 A/D コンバータの回路動作を制御（許可／禁止）します。
BLKCON5 レジスタは電源電圧レベル検出（LLD,VLS）の回路動作を制御（許可／禁止）します。

【注意】
・ブロックレジスタの任意のフラグを”1”にセットすると該当する機能の全てのレジスタが初期化されます。
・各ブロックの動作詳細や注意事項については各章を参照してください。

第 5 章　割込み

5 割込み

5.1 概要

本 LSI は、外部割込み 8 要因と内部割込み 30 要因の計 38 要因の割込み、およびソフトウェア割込み (SWI) を持っています。
各割込みの詳細については、以下の章を参照して下さい。

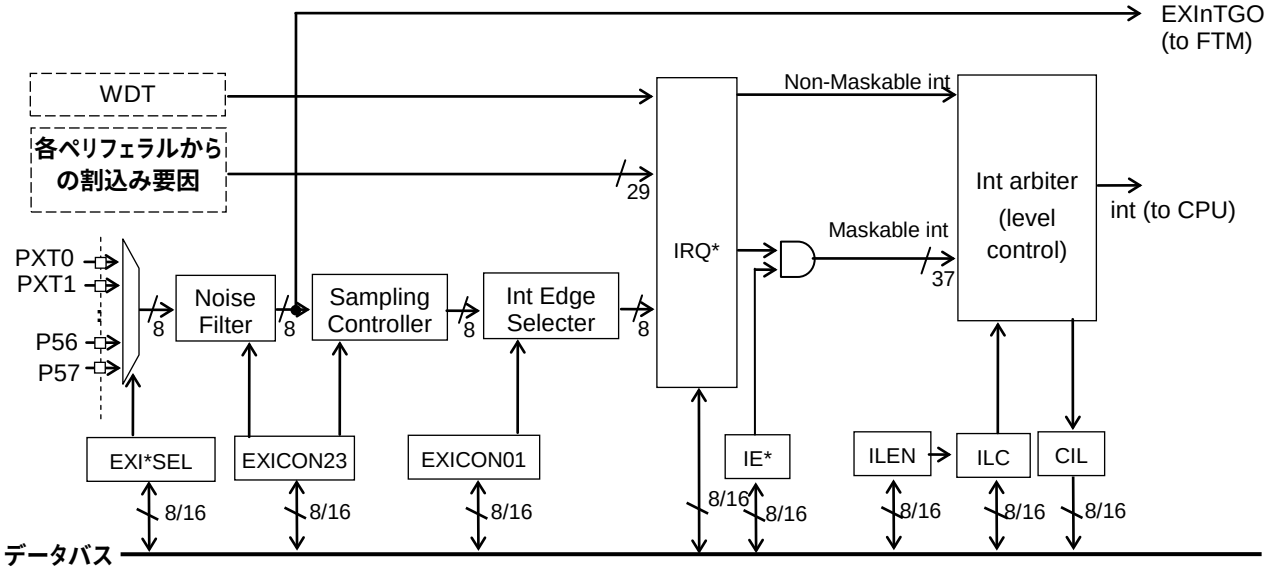
「第 6 章 クロック発生回路」
「第 7 章 タイムベースカウンタ」
「第 8 章 タイマ」
「第 9 章 多機能タイマ (FTM)」
「第 10 章 ウォッチドッグタイマ」
「第 11 章 同期式シリアルポート (SSIO)」
「第 12 章 FIFO 付同期式シリアルポート (SSIOF)」
「第 13 章 UART」
「第 14 章 FIFO 付 UART(UARTF)」
「第 15 章 I2C バスインタフェース」
「第 23 章 メロディドライバ」
「第 24 章 RC 発振型 A/D コンバータ」
「第 25 章 逐次比較型 A/D コンバータ」
「第 26 章 アナログコンパレータ」
「第 28 章 電圧レベル検出回路 (VLS)」

5.1.1 特長

- ノンマスカブル割込み 1 要因 (WDT)
- マスカブル割込み 37 要因 (内部要因:29、外部要因:8)
- ソフトウェア割込み (SWI) 最大 64 要因
- 外部割込み、コンパレータはエッジの選択、サンプリング有無が選択可能
- 各割込みに対して、優先レベル (4 レベル) の設定可能

5.1.2 構成

図 5-1 に割込みコントローラの回路の構成を示します。



IE*	:割込みイネーブルレジスタ 0～7	CIL	: 現割込みレベル要求レジスタ
IRQ*	:割込み要因レジスタ 0～7	EXICON01/23	: 外部割込みコントロールレジスタ
ILEN	:割込みレベル制御イネーブルレジスタ	EXI*SEL	: 外部割込み選択レジスタ
ILC	: 割込みレベル制御レジスタ		

図 5-1 回路の構成

5.2 レジスタ説明

5.2.1 レジスター覧

アドレス [H]	名称	略称 (Byte)	略称 (Word)	R/W	サイズ	初期値 [H]
0F010	割込み許可レジスタ 01	IE0	IE01	R/W	8/16	00
0F011		IE1		R/W	8	00
0F012	割込み許可レジスタ 23	IE2	IE23	R/W	8/16	00
0F013		IE3		R/W	8	00
0F014	割込み許可レジスタ 45	IE4	IE45	R/W	8/16	00
0F015		IE5		R/W	8	00
0F016	割込み許可レジスタ 67	IE6	IE67	R/W	8/16	00
0F017		IE7		R/W	8	00
0F018	割込み要求レジスタ 01	IRQ0	IRQ01	R/W	8/16	00
0F019		IRQ1		R/W	8	00
0F01A	割込み要求レジスタ 23	IRQ2	IRQ23	R/W	8/16	00
0F01B		IRQ3		R/W	8	00
0F01C	割込み要求レジスタ 45	IRQ4	IRQ45	R/W	8/16	00
0F01D		IRQ5		R/W	8	00
0F01E	割込み要求レジスタ 67	IRQ6	IRQ67	R/W	8/16	00
0F01F		IRQ7		R/W	8	00
0F020	割込みレベル制御イネーブルレジスタ	ILENL	ILEN	R/W	8/16	00
0F021		ILENH		R/W	8	00
0F022	現割込み要求レベルレジスタ	CILL	CIL	R/W	8/16	00
0F023		CILH		R/W	8	00
0F024	割込みレベル制御レジスタ 1	ILC1L	ILC1	R/W	8/16	00
0F025		ILC1H		R/W	8	00
0F026	割込みレベル制御レジスタ 2	ILC2L	ILC2	R/W	8/16	00
0F027		ILC2H		R/W	8	00
0F028	割込みレベル制御レジスタ 3	ILC3L	ILC3	R/W	8/16	00
0F029		ILC3H		R/W	8	00
0F02A	割込みレベル制御レジスタ 4	ILC4L	ILC4	R/W	8/16	00
0F02B		ILC4H		R/W	8	00
0F02C	割込みレベル制御レジスタ 5	ILC5L	ILC5	R/W	8/16	00
0F02D		ILC5H		R/W	8	00
0F02E	割込みレベル制御レジスタ 6	ILC6L	ILC6	R/W	8/16	00
0F02F		ILC6H		R/W	8	00
0F030	割込みレベル制御レジスタ 7	ILC7L	ILC7	R/W	8/16	00
0F031		ILC7H		R/W	8	00
0F040	外部割込みコントロールレジスタ 01	EXICON0	EXICON01	R/W	8/16	00
0F041		EXICON1		R/W	8	00
0F042	外部割込みコントロールレジスタ 23	EXICON2	EXICON23	R/W	8/16	00
0F043		EXICON3		R/W	8	00
0F048	外部割込み 01 選択レジスタ	EXI0SEL	EXI01SEL	R/W	8/16	00
0F049		EXI1SEL		R/W	8	00
0F04A	外部割込み 23 選択レジスタ	EXI2SEL	EXI23SEL	R/W	8/16	00
0F04B		EXI3SEL		R/W	8	00

アドレス [H]	名称	略称 (Byte)	略称 (Word)	R/W	サイズ	初期値 [H]
0F04C	外部割込み 45 選択レジスタ	EXI4SEL	EXI45SEL	R/W	8/16	00
0F04D		EXI5SEL		R/W	8	00
0F04E	外部割込み 67 選択レジスタ	EXI6SEL	EXI67SEL	R/W	8/16	00
0F04F		EXI7SEL		R/W	8	00

5.2.2 割込み許可レジスタ 01 (IE01)

アドレス：0F010H
アクセス：R/W
アクセスサイズ：8/16 ビット
初期値：0000H

	7	6	5	4	3	2	1	0
IE0	–	–	–	–	–	–	–	–
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

	15	14	13	12	11	10	9	8
IE1	EEXI7	EEXI6	EEXI5	EEXI4	EEXI3	EEXI2	EEXI1	EEXI0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

IE01 は、各割込み要求ごとに割込みの禁止／許可を制御する特殊機能レジスタ (SFR) です。
割込みが受け付けられた際にマスタインタラプトイネーブルフラグ (MIE) は“0”になりますが、IE01 の当該フラグはリセットされません。

ビットの説明

- **EEXI0** （ビット 8）
  EEXI0 は、外部割込み 0 (EXI0INT) の許可フラグです。

EEXI0	説明
0	**禁止（初期値）**
1	**許可**

- **EEXI1** （ビット 9）
  EEXI1 は、外部割込み 1 (EXI1INT) の許可フラグです。

EEXI1	説明
0	**禁止（初期値）**
1	**許可**

- **EEXI2** （ビット 10）
  EEXI2 は、外部割込み 2 (EXI2INT) の許可フラグです。

EEXI2	説明
0	**禁止（初期値）**
1	**許可**

- **EEXI3** （ビット 11）
  EEXI3 は、外部割込み 3 (EXI3INT) の許可フラグです。

EEXI3	説明
0	**禁止（初期値）**
1	**許可**

- **EEXI4** （ビット 12）
  EEXI4 は、外部割込み 4 (EXI4INT) の許可フラグです。

EEXI4	説明
0	**禁止（初期値）**
1	**許可**

・ **EEXI5** （ビット 13）
EEXI5 は、外部割込み 5 (EXI5INT) の許可フラグです。

EEXI5	説明
0	**禁止 (初期値)**
1	**許可**

・ **EEXI6** （ビット 14）
EEXI6 は、外部割込み 6 (EXI6INT) の許可フラグです。

EEXI6	説明
0	**禁止 (初期値)**
1	**許可**

・ **EEXI7** （ビット 15）
EEXI7 は、外部割込み 7 (EXI7INT) の許可フラグです。

EEXI7	説明
0	**禁止 (初期値)**
1	**許可**

5.2.3 割込み許可レジスタ 23 (IE23)

アドレス：0F012H
アクセス：R/W
アクセスサイズ：8/16 ビット
初期値：0000H

	7	6	5	4	3	2	1	0
IE2	–	EUAF0	EUA1	EUA0	EI2C1	EI2C0	ESIOF0	ESIO0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

	15	14	13	12	11	10	9	8
IE3	EMD0	EVLS	ELOSC	–	–	–	–	–
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

IE23 は、各割込み要求ごとに割込みの禁止／許可を制御する特殊機能レジスタ (SFR) です。
割込みが受け付けられた際にマスタインタラプトイネーブルフラグ (MIE) は“0”になりますが、IE23 の当該フラグはリセットされません。

ビットの説明

- **ESIO0** （ビット 0）
  ESIO0 は、同期式シリアルポート 0 割込み (SIO0INT) の許可フラグです。

ESIO0	説明
0	**禁止 (初期値)**
1	**許可**

- **ESIOF0** （ビット 1）
  ESIOF0 は、FIFO 付同期式シリアルポート 0 割込み (SIOF0INT) の許可フラグです。

ESIOF0	説明
0	**禁止 (初期値)**
1	**許可**

- **EI2C0** （ビット 2）
  EI2C0 は、I2C バス 0 割込み (I2C0INT) の許可フラグです。

EI2C0	説明
0	**禁止 (初期値)**
1	**許可**

- **EI2C1** （ビット 3）
  EI2C1 は、I2C バス 1 割込み (I2C1INT) の許可フラグです。

EI2C1	説明
0	**禁止 (初期値)**
1	**許可**

- **EUA0** （ビット 4）
  EUA0 は、UART0 受信割込み (UA0INT) の許可フラグです。

EUA0	説明
0	**禁止 (初期値)**
1	**許可**

・ **EUA1**（ビット 5）
EUA1 は、UART0 送信割込み (UA1INT) の許可フラグです。

EUA1	説明
0	禁止(初期値)
1	許可

・ **EUAF0**（ビット 6）
EUAF0 は、FIFO 付 UART0 割込み (UAF0INT) の許可フラグです。

EUAF0	説明
0	禁止(初期値)
1	許可

・ **ELOSC**（ビット 13）
ELOSC は、低速発振クロック切り替え割込み (LOSCINT) の許可フラグです。

ELOSC	説明
0	禁止 (初期値)
1	許可

・ **EVLS**（ビット 14）
EVLS は、VLS 割込み (VLSINT) の許可フラグです。

EVLS	説明
0	禁止(初期値)
1	許可

・ **EMD0**（ビット 15）
EMD0 は、メロディ 0 割込み (MD0INT) の許可フラグです。

EMD0	説明
0	禁止(初期値)
1	許可

5.2.4 割込み許可レジスタ 45 (IE45)

アドレス:0F014H
アクセス:R/W
アクセスサイズ:8/16 ビット
初期値:0000H

	7	6	5	4	3	2	1	0
IE4	–	–	ECMP1	ECMP0	–	–	ERAD	ESAD
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

	15	14	13	12	11	10	9	8
IE5	ETM7	ETM6	ETM5	ETM4	ETM3	ETM2	ETM1	ETM0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

IE45 は、各割込み要求ごとに割込みの禁止／許可を制御する特殊機能レジスタ (SFR) です。
割込みが受け付けられた際にマスタインタラプトイネーブルフラグ (MIE) は“0”になりますが、IE45 の当該フラグはリセットされません。

ビットの説明

- **ESAD** (ビット 0)
  ESAD は、逐次比較型 A/D コンバータ割込み (SADINT) の許可フラグです。

ESAD	説明
0	**禁止 (初期値)**
1	**許可**

- **ERAD** (ビット 1)
  ERAD は、RC 発振型 A/D コンバータ割込み (RADINT) の許可フラグです。

ERAD	説明
0	**禁止(初期値)**
1	**許可**

- **ECMP0** (ビット 4)
  ECMP0 は、コンパレータ 0 割込み (CMP0INT) の許可フラグです。

ECMP0	説明
0	**禁止 (初期値)**
1	**許可**

- **ECMP1** (ビット 5)
  ECMP1 は、コンパレータ 1 割込み (CMP1INT) の許可フラグです。

ECMP1	説明
0	**禁止 (初期値)**
1	**許可**

- **ETM0** (ビット 8)
  ETM0 は、タイマ 0 割込み (TM0INT) の許可フラグです。

ETM0	説明
0	**禁止 (初期値)**
1	**許可**

・ **ETM1**（ビット 9）
ETM1 は、タイマ 1 割込み (TM1INT) の許可フラグです。

ETM1	説明
0	**禁止（初期値）**
1	**許可**

・ **ETM2**（ビット 10）
ETM2 は、タイマ 2 割込み (TM2INT) の許可フラグです。

ETM2	説明
0	**禁止（初期値）**
1	**許可**

・ **ETM3**（ビット 11）
ETM3 は、タイマ 3 割込み (TM3INT) の許可フラグです。

ETM3	説明
0	**禁止（初期値）**
1	**許可**

・ **ETM4**（ビット 12）
ETM4 は、タイマ 4 割込み (TM4INT) の許可フラグです。

ETM4	説明
0	**禁止（初期値）**
1	**許可**

・ **ETM5**（ビット 13）
ETM5 は、タイマ 5 割込み (TM5INT) の許可フラグです。

ETM5	説明
0	**禁止（初期値）**
1	**許可**

・ **ETM6**（ビット 14）
ETM6 は、タイマ 6 割込み (TM6INT) の許可フラグです。

ETM6	説明
0	**禁止（初期値）**
1	**許可**

・ **ETM7**（ビット 15）
ETM7 は、タイマ 7 割込み (TM7INT) の許可フラグです。

ETM7	説明
0	**禁止（初期値）**
1	**許可**

5.2.5 割込み許可レジスタ 67 (IE67)

アドレス：0F016H
アクセス：R/W
アクセスサイズ：8/16 ビット
初期値：0000H

	7	6	5	4	3	2	1	0
IE6	–	–	–	–	EFTM3	EFTM2	EFTM1	EFTM0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

	15	14	13	12	11	10	9	8
IE7	–	–	–	–	–	ELTBC2	ELTBC1	ELTBC0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

IE67 は、各割込み要求ごとに割込みの禁止／許可を制御する特殊機能レジスタ (SFR) です。
割込みが受け付けられた際にマスタインタラプトイネーブルフラグ (MIE) は“0”になりますが、IE67 の当該フラグはリセットされません。

ビットの説明

- **EFTM0** （ビット 0）
  EFTM0 は、多機能タイマ 0 割込み (FTM0INT) の許可フラグです。

EFTM0	説明
0	**禁止（初期値）**
1	**許可**

- **EFTM1** （ビット 1）
  EFTM1 は、多機能タイマ 1 割込み (FTM1INT) の許可フラグです。

EFTM1	説明
0	**禁止（初期値）**
1	**許可**

- **EFTM2** （ビット 2）
  EFTM2 は、多機能タイマ 2 割込み (FTM2INT) の許可フラグです。

EFTM1	説明
0	**禁止（初期値）**
1	**許可**

- **EFTM3** （ビット 3）
  EFTM3 は、多機能タイマ 3 割込み (FTM3INT) の許可フラグです。

EFTM3	説明
0	**禁止（初期値）**
1	**許可**

- **ELTBC0** （ビット 8）
  ELTBC0 は、タイムベースカウンタ 0 割込み (LTB0INT) の許可フラグです。

ELTBC0	説明
0	**禁止（初期値）**
1	**許可**

・ **ELTBC1**（ビット 9）

ELTBC1 は、タイムベースカウンタ 1 割込み (LTB1INT) の許可フラグです。

ELTBC1	説明
0	**禁止（初期値）**
1	**許可**

・ **ELTBC2**（ビット 10）

ELTBC2 は、タイムベースカウンタ 2 割込み (LTB2INT) の許可フラグです。

ELTBC2	説明
0	**禁止（初期値）**
1	**許可**

5.2.6 割込み要求レジスタ 01 (IRQ01)

アドレス：0F018H
アクセス：R/W
アクセスサイズ：8/16 ビット
初期値：0000H

	7	6	5	4	3	2	1	0
IRQ0	–	–	–	–	–	–	–	QWDT
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

	15	14	13	12	11	10	9	8
IRQ1	QEXI7	QEXI6	QEXI5	QEXI4	QEXI3	QEXI2	QEXI1	QEXI0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

IRQ01 は、各割込みごとに割込みを要求する特殊機能レジスタ (SFR) です。
ウォッチドッグタイマ割込み (WDTINT)は、MIE に依存しないノンマスカブル割込みです。この時、マスタインタラプトイネーブルフラグ（MIE）の値に関係なく CPU に割込みを要求します。
IRQ0 の各要求フラグは、MIE の値に関係なく割込み発生により“1”になります。
IRQ1 の各要求フラグは、IE1 および MIE の値に関係なく割込み発生により“1”になります。この時、割込み許可レジスタ (IE1) の当該フラグが“1”、マスタインタラプトイネーブルフラグ (MIE) が“1”になっていると CPU に割込みを要求します。
また、IRQ01 の要求フラグをソフトウェアにて“1”にすることにより割込みを発生させることができます。
IRQ01 の当該フラグは、CPU に割込み要求が受け付けられるとハードウェアにより“0”になります。

ビットの説明

・ **QWDT**（ビット 0）
QWDT は、ウォッチドッグタイマ割込み (WDTINT) の要求フラグです。

QWDT	説明
0	**要求なし（初期値）**
1	**要求あり**

【注意】
割込み要求レジスタ（IRQ0）への書き込み命令により割込みを要求した場合は、次の 1 命令実行後に割込み移行サイクルを開始します。

・ **QEXI0**（ビット 8）
QEXI0 は、外部割込み 0 (EXI0INT) の要求フラグです。

QEXI0	説明
0	**要求なし（初期値）**
1	**要求あり**

・ **QEXI1**（ビット 9）
QEXI1 は、外部割込み 1 (EXI1INT) の要求フラグです。

QEXI1	説明
0	**要求なし（初期値）**
1	**要求あり**

・ **QEXI2**（ビット 10）
QEXI2 は、外部割込み 2 (EXI2INT) の要求フラグです。

QEXI2	説明
0	要求なし（初期値）
1	要求あり

・ **QEXI3**（ビット 11）
QEXI3 は、外部割込み 3 (EXI3INT) の要求フラグです。

QEXI3	説明
0	要求なし（初期値）
1	要求あり

・ **QEXI4**（ビット 12）
QEXI4 は、外部割込み 4 (EXI4INT) の要求フラグです。

QEXI4	説明
0	要求なし（初期値）
1	要求あり

・ **QEXI5**（ビット 13）
QEXI5 は、外部割込み 5 (EXI5INT) の要求フラグです。

QEXI5	説明
0	要求なし（初期値）
1	要求あり

・ **QEXI6**（ビット 14）
QEXI6 は、外部割込み 6 (EXI6INT) の要求フラグです。

QEXI6	説明
0	要求なし（初期値）
1	要求あり

・ **QEXI7**（ビット 15）
QEXI7 は、外部割込み 7 (EXI7INT) の要求フラグです。

QEXI7	説明
0	要求なし（初期値）
1	要求あり

【注意】
割込み要求レジスタ(IRQ1)、もしくは割込み許可レジスタ(IE1)への書き込み命令により割込みを要求した場合は、次の 1 命令実行後に割込み移行サイクルを開始します。

5.2.7 割込み要求レジスタ 23 (IRQ23)

アドレス：0F01AH
アクセス：R/W
アクセスサイズ：8/16 ビット
初期値：0000H

	7	6	5	4	3	2	1	0
IRQ2	–	QUAF0	QUA1	QUA0	QI2C1	QI2C0	QSIOF0	QSIO0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

	15	14	13	12	11	10	9	8
IRQ3	QMD0	QVLS	QLOSC	–	–	–	–	–
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

IRQ23 は、各割込みごとに割込みを要求する特殊機能レジスタ (SFR) です。
IRQ23 の各要求フラグは、IE23 および MIE の値に関係なく割込み発生により“1”になります。この時、割込み許可レジスタ (IE23) の当該フラグが“1”、マスタインタラプトイネーブルフラグ (MIE) が“1”になっていると CPU に割込みを要求します。
また、IRQ23 の要求フラグをソフトウェアにて“1”にすることにより割込みを発生させることができます。
IRQ2 の当該フラグは、CPU に割込み要求が受け付けられるとハードウェアにより“0”になります。

ビットの説明

- **QSIO0** （ビット 0）
  QSIO0 は、同期式シリアルポート 0 割込み (SIO0INT) の要求フラグです。

QSIO0	説明
0	**要求なし（初期値）**
1	**要求あり**

- **QSIOF0** （ビット 1）
  QSIOF0 は、FIFO 付同期式シリアルポート 0 割込み (SIOF0INT) の要求フラグです。

QSIOF0	説明
0	**要求なし（初期値）**
1	**要求あり**

- **QI2C0** （ビット 2）
  QI2C0 は、I2C バス 0 割込み (I2C0INT) の要求フラグです。

QI2C0	説明
0	**要求なし（初期値）**
1	**要求あり**

- **QI2C1** （ビット 3）
  QI2C1 は、I2C バス 1 割込み (I2C1INT) の要求フラグです。

QI2C1	説明
0	**要求なし（初期値）**
1	**要求あり**

・ **QUA0**（ビット 4）
QUA0 は、UART0 受信割込み (UA0INT) の要求フラグです。

QUA0	説明
0	要求なし（初期値）
1	要求あり

・ **QUA1**（ビット 5）
QUA1 は、UART0 送信割込み (UA1INT) の要求フラグです。

QUA1	説明
0	要求なし（初期値）
1	要求あり

・ **QUAF0**（ビット 6）
QUAF0 は、FIFO 付 UART0 割込み (UAF0INT) の要求フラグです。

QUAF0	説明
0	要求なし（初期値）
1	要求あり

QLOSC（ビット 13）
QLOSC は、低速発振クロック切り替え割込み (LOSCINT) の要求フラグです。

QLOSC	説明
0	要求なし（初期値）
1	要求あり

・ **QVLS**（ビット 14）
QVLS は、VLS 割込み (VLSINT) の要求フラグです。

QVLS	説明
0	要求なし（初期値）
1	要求あり

・ **QMD0**（ビット 15）
QMD0 は、メロディ 0 割込み (MD0INT) の要求フラグです。

QMD0	説明
0	要求なし（初期値）
1	要求あり

【注意】
割込み要求レジスタ(IRQ23)、もしくは割込み許可レジスタ(IE23)への書き込み命令により割込みを要求した場合は、次の 1 命令実行後に割込み移行サイクルを開始します。

5.2.8 割込み要求レジスタ 45 (IRQ45)

アドレス：0F01CH
アクセス：R/W
アクセスサイズ：8/16 ビット
初期値：0000H

	7	6	5	4	3	2	1	0
IRQ4	—	—	QCMP1	QCMP0	—	—	QRAD	QSAD
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

	15	14	13	12	11	10	9	8
IRQ5	QTM7	QTM6	QTM5	QTM4	QTM3	QTM2	QTM1	QTM0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

IRQ45 は、各割込みごとに割込みを要求する特殊機能レジスタ (SFR) です。
IRQ45 の各要求フラグは、IE45 および MIE の値に関係なく割込み発生により“1”になります。この時、割込み許可レジスタ (IE45) の当該フラグが“1”、マスタインタラプトイネーブルフラグ (MIE) が“1”になっていると CPU に割込みを要求します。
また、IRQ45 の要求フラグをソフトウェアにて“1”にすることにより割込みを発生させることができます。
IRQ45 の当該フラグは、CPU に割込み要求が受け付けられるとハードウェアにより“0”になります。

ビットの説明

- **QSAD** （ビット 0）
  QSAD は、逐次比較型 A/D コンバータ割込み (SADINT) の要求フラグです。

QSAD	説明
0	**要求なし（初期値）**
1	**要求あり**

- **QRAD** （ビット 1）
  QRAD は、RC 発振型 A/D コンバータ割込み (RADINT) の要求フラグです。

QRAD	説明
0	**要求なし（初期値）**
1	**要求あり**

- **QCMP0** （ビット 4）
  QCMP0 は、コンパレータ 0 割込み (CMP0INT) の要求フラグです。

QCMP0	説明
0	**要求なし（初期値）**
1	**要求あり**

- **QCMP1** （ビット 5）
  QCMP1 は、コンパレータ 1 割込み (CMP1INT) の要求フラグです。

QCMP1	説明
0	**要求なし（初期値）**
1	**要求あり**

・ **QTM0** （ビット 8）
QTM0 は、タイマ 0 割込み (TM0INT) の要求フラグです。

QTM0	説明
0	要求なし（初期値）
1	要求あり

・ **QTM1** （ビット 9）
QTM1 は、タイマ 1 割込み (TM1INT) の要求フラグです。

QTM1	説明
0	要求なし（初期値）
1	要求あり

・ **QTM2** （ビット 10）
QTM2 は、タイマ 2 割込み (TM2INT) の要求フラグです。

QTM2	説明
0	要求なし（初期値）
1	要求あり

・ **QTM3** （ビット 11）
QTM3 は、タイマ 3 割込み (TM3INT) の要求フラグです。

QTM3	説明
0	要求なし（初期値）
1	要求あり

・ **QTM4** （ビット 12）
QTM4 は、タイマ 4 割込み (TM4INT) の要求フラグです。

QTM4	説明
0	要求なし（初期値）
1	要求あり

・ **QTM5** （ビット 13）
QTM5 は、タイマ 5 割込み (TM5INT) の要求フラグです。

QTM5	説明
0	要求なし（初期値）
1	要求あり

・ **QTM6** （ビット 14）
QTM6 は、タイマ 6 割込み (TM6INT) の要求フラグです。

QTM6	説明
0	要求なし（初期値）
1	要求あり

・ **QTM7** （ビット 15）
QTM7 は、タイマ 7 割込み (TM7INT) の要求フラグです。

QTM7	説明
0	**要求なし（初期値）**
1	**要求あり**

【注意】
割込み要求レジスタ(IRQ45)、もしくは割込み許可レジスタ(IE45)への書き込み命令により割込みを要求した場合は、次の 1 命令実行後に割込み移行サイクルを開始します。

5.2.9 割込み要求レジスタ 67 (IRQ67)

アドレス：0F01EH
アクセス：R/W
アクセスサイズ：8/16 ビット
初期値：0000H

	7	6	5	4	3	2	1	0
IRQ6	–	–	–	–	QFTM3	QFTM2	QFTM1	QFTM0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

	15	14	13	12	11	10	9	8
IRQ7	–	–	–	–	–	QLTBC2	QLTBC1	QLTBC0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

IRQ67 は、各割込みごとに割込みを要求する特殊機能レジスタ (SFR) です。
IRQ67 の各要求フラグは、IE67 および MIE の値に関係なく割込み発生により“1”になります。この時、割込み許可レジスタ (IE67) の当該フラグが“1”、マスタインタラプトイネーブルフラグ (MIE) が“1”になっていると CPU に割込みを要求します。
また、IRQ67 の要求フラグをソフトウェアにて“1”にすることにより割込みを発生させることができます。
IRQ67 の当該フラグは、CPU に割込み要求が受け付けられるとハードウェアにより“0”になります。

ビットの説明

- **QFTM0** （ビット 0）
  QFTM0 は、多機能タイマ 0 割込み (FTM0INT) の要求フラグです。

QFTM0	説明
0	**要求なし（初期値）**
1	**要求あり**

- **QFTM1** （ビット 1）
  QFTM1 は、多機能タイマ 1 割込み (FTM1INT) の要求フラグです。

QFTM1	説明
0	**要求なし（初期値）**
1	**要求あり**

- **QFTM2** （ビット 2）
  QFTM2 は、多機能タイマ 2 割込み (FTM2INT) の要求フラグです。

QFTM2	説明
0	**要求なし（初期値）**
1	**要求あり**

- **QFTM3** （ビット 3）
  QFTM3 は、多機能タイマ 3 割込み (FTM3INT) の要求フラグです。

QFTM3	説明
0	**要求なし（初期値）**
1	**要求あり**

・ **QLTBC0** （ビット 8）
QLTBC0 は、タイムベースカウンタ 0 割込み (LTB0INT) の要求フラグです。

QLTBC0	説明
0	**要求なし（初期値）**
1	**要求あり**

・ **QLTBC1** （ビット 9）
QLTBC1 は、タイムベースカウンタ 1 割込み (LTB1INT) の要求フラグです。

QLTBC1	説明
0	**要求なし（初期値）**
1	**要求あり**

・ **QLTBC2** （ビット 10）
QLTBC2 は、タイムベースカウンタ 2 割込み (LTB2INT) の要求フラグです。

QLTBC2	説明
0	**要求なし（初期値）**
1	**要求あり**

【注意】
割込み要求レジスタ(IRQ67)、もしくは割込み許可レジスタ(IE67)への書き込み命令により割込みを要求した場合は、次の 1 命令実行後に割込み移行サイクルを開始します。

5.2.10 割込みレベル制御イネーブルレジスタ (ILEN)

アドレス：0F020H
アクセス：R/W
アクセスサイズ：8/16 ビット
初期値：0000H

	7	6	5	4	3	2	1	0
ILENL	–	–	–	–	–	–	–	ILE
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

	15	14	13	12	11	10	9	8
ILENH	–	–	–	–	–	–	–	–
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

割込みレベル制御イネーブルレジスタ(ILEN)は、割込みレベル制御の無効／有効を制御する特殊機能レジスタ(SFR)です。

ビットの説明

・ **ILE** （ビット 0）
ILE ビットは、割込みレベル制御の無効/有効を制御します。割込みレベル制御を利用する場合、本ビットの設定を有効にしてください。本ビットの設定が無効時は CIL レジスタ、ILC レジスタへのアクセスをしないでください。

ILE	説明
0	**無効（初期値）**
1	**有効**

【注意】
割込みレベル制御イネーブルレジスタ（ILEN）への書き込み命令は、割込みをディスエーブルにした状態で設定してください。
割込みレベル制御機能を無効にする際は、ILC レジスタと CIL レジスタの値はすべて 00H としてください。

5.2.11 現割込み要求レベルレジスタ (CIL)

アドレス：0F022H
アクセス：R/W
アクセスサイズ：8/16 ビット
初期値：0000H

	7	6	5	4	3	2	1	0
CILL	CILN	–	–	–	CILM3	CILM2	CILM1	CILM0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

	15	14	13	12	11	10	9	8
CILH	–	–	–	–	–	–	–	–
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

現割込み要求レベルレジスタ(CIL)は、プロセッサが処理中の割込みの割込みレベルを示すレジスタです。
ILEN レジスタで割込みレベル制御を有効にした場合のみアクセス可能です。無効状態でアクセスした場合、ライトアクセスは無視され、リードアクセスは有効であったときのデータか、もしくは一度も有効にしていない場合は初期値を読み出します。

CIL のいずれかのビットに“1”がセットされているとき、最上位の”1”ビットの位置が示す割込みレベル以下の割込みの受付が禁止されます。ビット位置に対応するレベルの割込み処理を実行中であることを示してます。
CIL の複数のビット位置に’1’がセットされている場合は、多重割込み処理中であることを示します。

<<セット条件>>
　プロセッサが割込みを受け付けたとき、割込み要求がノンマスカブル割込みであれば、CILN ビットに”1”がセットされます。割込み要求がマスカブル割込みであれば、その割込みの割込み要因のレベルに対応する CILM のビット位置に”1”がセットされます。

<<クリア条件>>
　ライトアクセスが来ると最上位レベルの’1’のビットがクリアされます。割込みハンドラ処理終了時、ライトアクセスを1回だけ実行してください。

ビットの説明
・ **CILM3-0** （ビット 3～0）
　CPU が処理中のマスカブル割込み要求のレベルを示します。

CILM0	説明
0	**割込みレベル 1 処理中でない (初期値)**
1	**割込みレベル 1 処理中**

CILM1	説明
0	**割込みレベル 2 処理中でない (初期値)**
1	**割込みレベル 2 処理中**

CILM2	説明
0	**割込みレベル 3 処理中でない (初期値)**
1	**割込みレベル 3 処理中**

CILM3	説明
0	割込みレベル 4 処理中でない (初期値)
1	割込みレベル 4 処理中

・ **CILN** (ビット 7)
CPU がノンマスカブル割込み要求を処理中か示します。

CILN	説明
0	ノンマスカブル割込み処理中でない (初期値)
1	ノンマスカブル割込み処理中

5.2.12 割込みレベル制御レジスタ 1 (ILC1)

アドレス：0F024H
アクセス：R/W
アクセスサイズ：8/16 ビット
初期値：0000H

	7	6	5	4	3	2	1	0
ILC1L	L1EXI3	L0EXI3	L1EXI2	L0EXI2	L1EXI1	L0EXI1	L1EXI0	L0EXI0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

	15	14	13	12	11	10	9	8
ILC1H	L1EXI7	L0EXI7	L1EXI6	L0EXI6	L1EXI5	L0EXI5	L1EXI4	L0EXI4
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

割込みレベル制御レジスタ 1 は IE1 で許可する割込み要因のレベルを設定する特殊機能レジスタ (SFR) です。ILEN レジスタで割込みレベル制御を有効にした場合のみライトアクセスが可能です。各割込み要因に対して、レベル 1-4 を設定することができます。レベルの数値が高い方が優先順位が高くなります。

ビットの説明

- **L1-0EXI0** （ビット 1～0）
  L1-0EXI0 は、外部割込み 0 (EXI0INT) のレベルを設定します。

L1EXI0	L0EXI0	説明
0	0	**レベル** 1 （**初期値**）
0	1	**レベル** 2
1	0	**レベル** 3
1	1	**レベル** 4

- **L1-0EXI1** （ビット 3～2）
  L1-0EXI1 は、外部割込み 1 (EXI1INT) のレベルを設定します。

L1EXI1	L0EXI1	説明
0	0	**レベル** 1 （**初期値**）
0	1	**レベル** 2
1	0	**レベル** 3
1	1	**レベル** 4

- **L1-0EXI2** （ビット 5～4）
  L1-0EXI2 は、外部割込み 2 (EXI2INT) のレベルを設定します。

L1EXI2	L0EXI2	説明
0	0	**レベル** 1 （**初期値**）
0	1	**レベル** 2
1	0	**レベル** 3
1	1	**レベル** 4

・ **L1-0EXI3** （ビット 7～6）
L1-0EXI3 は、外部割込み 3 (EXI3INT) のレベルを設定します。

L1EXI3	L0EXI3	説明
0	0	**レベル** 1 （**初期値**）
0	1	**レベル** 2
1	0	**レベル** 3
1	1	**レベル** 4

・ **L1-0EXI4** （ビット 9～8）
L1-0EXI4 は、外部割込み 4 (EXI4INT) のレベルを設定します。

L1EXI4	L0EXI4	説明
0	0	**レベル** 1 （**初期値**）
0	1	**レベル** 2
1	0	**レベル** 3
1	1	**レベル** 4

・ **L1-0EXI5** （ビット 11～10）
L1-0EXI5 は、外部割込み 5 (EXI5INT) のレベルを設定します。

L1EXI5	L0EXI5	説明
0	0	**レベル** 1 （**初期値**）
0	1	**レベル** 2
1	0	**レベル** 3
1	1	**レベル** 4

・ **L1-0EXI6** （ビット 13～12）
L1-0EXI6 は、外部割込み 6 (EXI6INT) のレベルを設定します。

L1EXI6	L0EXI6	説明
0	0	**レベル** 1 （**初期値**）
0	1	**レベル** 2
1	0	**レベル** 3
1	1	**レベル** 4

・ **L1-0EXI7** （ビット 15～14）
L1-0EXI7 は、外部割込み 7 (EXI7INT) のレベルを設定します。

L1EXI7	L0EXI7	説明
0	0	**レベル** 1 （**初期値**）
0	1	**レベル** 2
1	0	**レベル** 3
1	1	**レベル** 4

【注意】
割込みレベル制御レジスタ 1 (ILC1) への書き込み命令は変更したい割込みを割込み禁止にしてからレベルを変更してください。
その他の時に割込みレベル制御レジスタ 1 (ILC1) への書き込み命令を実行した時の動作は保証しません。

5.2.13 割込みレベル制御レジスタ 2 (ILC2)

アドレス:0F026H
アクセス:R/W
アクセスサイズ:8/16 ビット
初期値:0000H

	7	6	5	4	3	2	1	0
ILC2L	L1I2C1	L0I2C1	L1I2C0	L0I2C0	L1SIOF0	L0SIOF0	L1SIO0	L0SIO0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

	15	14	13	12	11	10	9	8
ILC2H	−	−	L1UAF0	L0UAF0	L1UA1	L0UA1	L1UA0	L0UA0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

割込みレベル制御レジスタ 2 は IE2 で許可する割込み要因のレベルを設定する特殊機能レジスタ (SFR) です。ILEN レジスタで割込みレベル制御を有効にした場合のみライトアクセスが可能です。各割込み要因に対して、レベル 1-4 を設定することができます。レベルの数値が高い方が優先順位が高くなります。

ビットの説明

- **L1-0SIO0** (ビット 1〜0)
  L1-0SIO0 は、同期式シリアルポート 0 割込み (SIO0INT) のレベルを設定します。

L1SIO0	L0SIO0	説明
0	0	**レベル** 1 (**初期値**)
0	1	**レベル** 2
1	0	**レベル** 3
1	1	**レベル** 4

- **L1-0SIOF0** (ビット 3〜2)
  L1-0SIOF0 は、FIFO 付同期式シリアルポート 0(SIOF0INT) のレベルを設定します。

L1SIOF0	L0SIOF0	説明
0	0	**レベル** 1 (**初期値**)
0	1	**レベル** 2
1	0	**レベル** 3
1	1	**レベル** 4

- **L1-0I2C0** (ビット 5〜4)
  L1-0I2C0 は、I2C バス 0 割込み (I2C0INT) のレベルを設定します。

L1I2C0	L0I2C0	説明
0	0	**レベル** 1 (**初期値**)
0	1	**レベル** 2
1	0	**レベル** 3
1	1	**レベル** 4

・ **L1-0I2C1**（ビット 7～6）
L1-0I2C1 は、I2C バス 1 割込み (I2C1INT) のレベルを設定します。

L1I2C1	L0I2C1	説明
0	0	**レベル** 1（**初期値**）
0	1	**レベル** 2
1	0	**レベル** 3
1	1	**レベル** 4

・ **L1-0UA0**（ビット 9～8）
L1-0UA0 は、UART0 受信割込み (UA0INT) のレベルを設定します。

L1UA0	L0UA0	説明
0	0	**レベル** 1（**初期値**）
0	1	**レベル** 2
1	0	**レベル** 3
1	1	**レベル** 4

・ **L1-0UA1**（ビット 11～10）
L1-0UA1 は、UART0 送信割込み (UA1INT) のレベルを設定します。

L1UA1	L0UA1	説明
0	0	**レベル** 1（**初期値**）
0	1	**レベル** 2
1	0	**レベル** 3
1	1	**レベル** 4

・ **L1-0UAF0**（ビット 13～12）
L1-0UAF0 は、FIFO 付 UART0 割込み (UAF0INT) のレベルを設定します。

L1UAF0	L0UAF0	説明
0	0	**レベル** 1（**初期値**）
0	1	**レベル** 2
1	0	**レベル** 3
1	1	**レベル** 4

【注意】
割込みレベル制御レジスタ 2（ILC2）への書き込み命令は変更したい割込みを割込み禁止にしてからレベルを変更してください。
その他の時に割込みレベル制御レジスタ 2（ILC2）への書き込み命令を実行した時の動作は保証しません。

5.2.14 割込みレベル制御レジスタ 3 (ILC3)

アドレス：0F028H
アクセス：R/W
アクセスサイズ：8/16 ビット
初期値：0000H

	7	6	5	4	3	2	1	0
ILC3L	–	–	–	–	–	–	–	–
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

	15	14	13	12	11	10	9	8
ILC3H	L1MD0	L0MD0	L1VLS	L0VLS	L1LOSC	L0LOSC	–	–
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

割込みレベル制御レジスタ 3 は IE3 で許可する割込み要因のレベルを設定する特殊機能レジスタ (SFR) です。ILEN レジスタで割込みレベル制御を有効にした場合のみライトアクセスが可能です。各割込み要因に対して、レベル 1-4 を設定することができます。レベルの数値が高い方が優先順位が高くなります。

ビットの説明

・ **L1-0LOSC** （ビット 11～10）
L1-0LOSC は、OSC 割込み (LOSCINT) のレベルを設定します。

L1LOSC	L0LOSC	説明
0	0	**レベル** 1 （**初期値**）
0	1	**レベル** 2
1	0	**レベル** 3
1	1	**レベル** 4

・ **L1-0VLS** （ビット 13～12）
L1-0VLS は、VLS 割込み (VLSINT) のレベルを設定します。

L1VLS	L0VLS	説明
0	0	**レベル** 1 （**初期値**）
0	1	**レベル** 2
1	0	**レベル** 3
1	1	**レベル** 4

・ **L1-0MD0** （ビット 15～14）
L1-0MD0 は、メロディ 0 割込み (MD0INT) のレベルを設定します。

L1MD0	L0MD0	説明
0	0	**レベル** 1 （**初期値**）
0	1	**レベル** 2
1	0	**レベル** 3
1	1	**レベル** 4

【注意】
割込みレベル制御レジスタ 3 (ILC3) への書き込み命令は変更したい割込みを割込み禁止にしてからレベルを変更してください。
その他の時に割込みレベル制御レジスタ 3 (ILC3) への書き込み命令を実行した時の動作は保証しません。

5.2.15 割込みレベル制御レジスタ 4 (ILC4)

アドレス：0F02AH
アクセス：R/W
アクセスサイズ：8/16 ビット
初期値：0000H

	7	6	5	4	3	2	1	0
ILC4L	–	–	–	–	L1RAD	L0RAD	L1SAD	L0SAD
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

	15	14	13	12	11	10	9	8
ILC4H	–	–	–	–	L1CMP1	L0CMP1	L1CMP0	L0CMP0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

割込みレベル制御レジスタ 4 は IE4 で許可する割込み要因のレベルを設定する特殊機能レジスタ (SFR) です。ILEN レジスタで割込みレベル制御を有効にした場合のみライトアクセスが可能です。各割込み要因に対して、レベル 1-4 を設定することができます。レベルの数値が高い方が優先順位が高くなります。

ビットの説明

- **L1-0SAD**（ビット 1～0）
  L1-0SAD は、逐次比較型 A/D コンバータ割込み (SADINT) のレベルを設定します。

L1SAD	L0SAD	説明
0	0	**レベル** 1（**初期値**）
0	1	**レベル** 2
1	0	**レベル** 3
1	1	**レベル** 4

- **L1-0RAD**（ビット 3～2）
  L1-0RAD は、RC 発振型 A/D コンバータ割込み (RADINT) のレベルを設定します。

L1RAD	L0RAD	説明
0	0	**レベル** 1（**初期値**）
0	1	**レベル** 2
1	0	**レベル** 3
1	1	**レベル** 4

- **L1-0CMP0**（ビット 9～8）
  L1-0CMP0 は、コンパレータ 0 割込み (CMP0INT) のレベルを設定します。

L1CMP0	L0CMP0	説明
0	0	**レベル** 1（**初期値**）
0	1	**レベル** 2
1	0	**レベル** 3
1	1	**レベル** 4

・ **L1-0CMP1** （ビット 11～10）
L1-0CMP1 は、コンパレータ 1 割込み (CMP1INT) のレベルを設定します。

L1CMP1	L0CMP1	説明
0	0	**レベル** 1 （**初期値**）
0	1	**レベル** 2
1	0	**レベル** 3
1	1	**レベル** 4

【注意】
割込みレベル制御レジスタ 4 (ILC4) への書き込み命令は変更したい割込みを割込み禁止にしてからレベルを変更してください。
その他の時に割込みレベル制御レジスタ 4 (ILC4) への書き込み命令を実行した時の動作は保証しません。

5.2.16 割込みレベル制御レジスタ 5 (ILC5)

アドレス：0F02CH
アクセス：R/W
アクセスサイズ：8/16 ビット
初期値：0000H

	7	6	5	4	3	2	1	0
ILC5L	L1TM3	L0TM3	L1TM2	L0TM2	L1TM1	L0TM1	L1TM0	L0TM0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

	15	14	13	12	11	10	9	8
ILC5H	L1TM7	L0TM7	L1TM6	L0TM6	L1TM5	L0TM5	L1TM4	L0TM4
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

割込みレベル制御レジスタ 5 は IE5 で許可する割込み要因のレベルを設定する特殊機能レジスタ (SFR) です。ILEN レジスタで割込みレベル制御を有効にした場合のみライトアクセスが可能です。各割込み要因に対して、レベル 1-4 を設定することができます。レベルの数値が高い方が優先順位が高くなります。

ビットの説明

- **L1-0TM0**（ビット 1～0）
  L1-0TM0 は、タイマ 0 割込み (TM0INT) のレベルを設定します。

L1TM0	L0TM0	説明
0	0	**レベル** 1（**初期値**）
0	1	**レベル** 2
1	0	**レベル** 3
1	1	**レベル** 4

- **L1-0TM1**（ビット 3～2）
  L1-0TM1 は、タイマ 1 割込み (TM1INT) のレベルを設定します。

L1TM1	L0TM1	説明
0	0	**レベル** 1（**初期値**）
0	1	**レベル** 2
1	0	**レベル** 3
1	1	**レベル** 4

- **L1-0TM2**（ビット 5～4）
  L1-0TM2 は、タイマ 2 割込み (TM2INT) のレベルを設定します。

L1TM2	L0TM2	説明
0	0	**レベル** 1（**初期値**）
0	1	**レベル** 2
1	0	**レベル** 3
1	1	**レベル** 4

・ **L1-0TM3**（ビット 7～6）
L1-0TM3 は、タイマ 3 割込み (TM3INT) のレベルを設定します。

L1TM3	L0TM3	説明
0	0	**レベル** 1（**初期値**）
0	1	**レベル** 2
1	0	**レベル** 3
1	1	**レベル** 4

・ **L1-0TM4**（ビット 9～8）
L1-0TM4 は、タイマ 4 割込み (TM4INT) のレベルを設定します。

L1TM4	L0TM4	説明
0	0	**レベル** 1（**初期値**）
0	1	**レベル** 2
1	0	**レベル** 3
1	1	**レベル** 4

・ **L1-0TM5**（ビット 11～10）
L1-0TM5 は、タイマ 5 割込み (TM5INT) のレベルを設定します。

L1TM5	L0TM5	説明
0	0	**レベル** 1（**初期値**）
0	1	**レベル** 2
1	0	**レベル** 3
1	1	**レベル** 4

・ **L1-0TM6**（ビット 13～12）
L1-0TM6 は、タイマ 6 割込み (TM6INT) のレベルを設定します。

L1TM6	L0TM6	説明
0	0	**レベル** 1（**初期値**）
0	1	**レベル** 2
1	0	**レベル** 3
1	1	**レベル** 4

・ **L1-0TM7**（ビット 15～14）
L1-0TM7 は、タイマ 7 割込み (TM7INT) のレベルを設定します。

L1TM7	L0TM7	説明
0	0	**レベル** 1（**初期値**）
0	1	**レベル** 2
1	0	**レベル** 3
1	1	**レベル** 4

【注意】
割込みレベル制御レジスタ 5（ILC5）への書き込み命令は変更したい割込みを割込み禁止にしてからレベルを変更してください。
その他の時に割込みレベル制御レジスタ 5（ILC5）への書き込み命令を実行した時の動作は保証しません。

5.2.17 割込みレベル制御レジスタ 6 (ILC6)

アドレス:0F02EH
アクセス:R/W
アクセスサイズ:8/16 ビット
初期値:0000H

	7	6	5	4	3	2	1	0
ILC6L	L1FTM3	L0FTM3	L1FTM2	L0FTM2	L1FTM1	L0FTM1	L1FTM0	L0FTM0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

	15	14	13	12	11	10	9	8
ILC6H	–	–	–	–	–	–	–	–
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

割込みレベル制御レジスタ 6 は IE6 で許可する割込み要因のレベルを設定する特殊機能レジスタ (SFR) です。ILEN レジスタで割込みレベル制御を有効にした場合のみライトアクセスが可能です。各割込み要因に対して、レベル 1-4 を設定することができます。レベルの数値が高い方が優先順位が高くなります。

ビットの説明

- **L1-0FTM0** (ビット 1～0)
  L1-0FTM0 は、多機能タイマ 0 割込み (FTM0INT) のレベルを設定します。

L1FTM0	L0FTM0	説明
0	0	**レベル** 1 (**初期値**)
0	1	**レベル** 2
1	0	**レベル** 3
1	1	**レベル** 4

- **L1-0FTM1** (ビット 3～2)
  L1-0FTM1 は、多機能タイマ 1 割込み (FTM1INT) のレベルを設定します。

L1FTM1	L0FTM1	説明
0	0	**レベル** 1 (**初期値**)
0	1	**レベル** 2
1	0	**レベル** 3
1	1	**レベル** 4

- **L1-0FTM2** (ビット 5～4)
  L1-0FTM2 は、多機能タイマ 2 割込み (FTM2INT) のレベルを設定します。

L1FTM2	L0FTM2	説明
0	0	**レベル** 1 (**初期値**)
0	1	**レベル** 2
1	0	**レベル** 3
1	1	**レベル** 4

・ **L1-0FTM3** （ビット 7～6）

L1-0FTM3 は、多機能タイマ 3 割込み (FTM3INT) のレベルを設定します。

L1FTM3	L0FTM3	説明
0	0	**レベル** 1 （**初期値**）
0	1	**レベル** 2
1	0	**レベル** 3
1	1	**レベル** 4

【注意】

割込みレベル制御レジスタ 6 (ILC6) への書き込み命令は変更したい割込みを割込み禁止にしてからレベルを変更してください。

その他の時に割込みレベル制御レジスタ 6 (ILC6) への書き込み命令を実行した時の動作は保証しません。

5.2.18 割込みレベル制御レジスタ 7 (ILC7)

アドレス：0F030H
アクセス：R/W
アクセスサイズ：8/16 ビット
初期値：0000H

	7	6	5	4	3	2	1	0
ILC7L	–	–	L1LTBC2	L0LTBC2	L1LTBC1	L0LTBC1	L1LTBC0	L0LTBC0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

	15	14	13	12	11	10	9	8
ILC7H	–	–	–	–	–	–	–	–
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

割込みレベル制御レジスタ 6 は IE6 で許可する割込み要因のレベルを設定する特殊機能レジスタ (SFR) です。ILEN レジスタで割込みレベル制御を有効にした場合のみライトアクセスが可能です。各割込み要因に対して、レベル 1-4 を設定することができます。レベルの数値が高い方が優先順位が高くなります。

ビットの説明

・ **L1-0LTBC0** （ビット 1～0）
L1-0LTBC0 は、タイムベースカウンタ 0 割込み (LTB0INT) のレベルを設定します。

L1LTBC0	L0LTBC0	説明
0	0	**レベル** 1 （**初期値**）
0	1	**レベル** 2
1	0	**レベル** 3
1	1	**レベル** 4

・ **L1-0LTBC1** （ビット 3～2）
L1-0LTBC1 は、タイムベースカウンタ 1 割込み (LTB1INT) のレベルを設定します。

L1LTBC1	L0LTBC1	説明
0	0	**レベル** 1 （**初期値**）
0	1	**レベル** 2
1	0	**レベル** 3
1	1	**レベル** 4

・ **L1-0LTBC2** （ビット 5～4）
L1-0LTBC2 は、タイムベースカウンタ 2 割込み (LTB2INT) のレベルを設定します。

L1LTBC2	L0LTBC2	説明
0	0	**レベル** 1 （**初期値**）
0	1	**レベル** 2
1	0	**レベル** 3
1	1	**レベル** 4

【注意】
割込みレベル制御レジスタ 7 (ILC7) への書き込み命令は変更したい割込みを割込み禁止にしてからレベルを変更してください。
その他の時に割込みレベル制御レジスタ 7 (ILC7) への書き込み命令を実行した時の動作は保証しません。

5.2.19 外部割込みコントロールレジスタ 01 (EXICON01)

アドレス：0F040H
アクセス：R/W
アクセスサイズ：8/16 ビット
初期値：0000H

	7	6	5	4	3	2	1	0
EXICON0	EXI7E0	EXI6E0	EXI5E0	EXI4E0	EXI3E0	EXI2E0	EXI1E0	EXI0E0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

	15	14	13	12	11	10	9	8
EXICON1	EXI7E1	EXI6E1	EXI5E1	EXI4E1	EXI3E1	EXI2E1	EXI1E1	EXI0E1
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

EXICON01 は、外部割込みの割込みエッジを選択する特殊機能レジスタ (SFR) です。

ビットの説明

- **EXI7-0E0**（ビット 7～0）**, EXI7-0E1**（ビット 15～8）
  EXI7-0E0, EXI7-0E1 は、EXI7-0 それぞれについて、割込み禁止、立ち下がりエッジ割込み、立ち上がりエッジ割込み、両エッジ割込みを選択するビットです。
  EXIn の設定は、EXInE0 ビットと EXInE1 ビットにて外部割込みの割込みモードが決定します
  （例：EXI0E0=”0”、EXI0E1=”1”の場合、外部割込みは立ち上がりエッジ割込みモードとなる）。

EXI7-0E1	EXI7-0E0	説明
0	0	**割込み禁止（初期値）**
0	1	**立ち下がりエッジ割込み**
1	0	**立ち上がりエッジ割込み**
1	1	**両エッジ割込み**

5.2.20 外部割込みコントロールレジスタ 23 (EXICON23)

アドレス：0F042H
アクセス：R/W
アクセスサイズ：8/16 ビット
初期値：0000H

	7	6	5	4	3	2	1	0
EXICON2	EXI7SM	EXI6SM	EXI5SM	EXI4SM	EXI3SM	EXI2SM	EXI1SM	EXI0SM
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

	15	14	13	12	11	10	9	8
EXICON3	EXI7FL	EXI6FL	EXI5FL	EXI4FL	EXI3FL	EXI2FL	EXI1FL	EXI0FL
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

EXICON23 は、外部割込みの割込みエッジを選択する特殊機能レジスタ (SFR) です。

ビットの説明

・ **EXI7-0SM** （ビット 7～0）
EXI7-0SM は、外部割込みのサンプリング無し、サンプリング有りを選択するビットです。サンプリングクロックは、低速側タイムベースカウンタ (LTBC) の T16KHz です。

EXI7-0SM	説明
0	**外部割込み用入力信号エッジをサンプリング無しで検出（初期値）**
1	**サンプリング有りで検出**

【注意】
STOP モード時は、サンプリングクロック (T16KHZ) が停止しますので、EXI7SM～EXI0SM の値に関係なくサンプリング無しとなります。

・ **EXI7-0FL** （ビット 15～8）
EXI7-0FL は、外部割込みのノイズフィルタの有無を選択するビットです。

EXI7-0FL	説明
0	**ノイズフィルタ無しで検出（初期値）**
1	**ノイズフィルタ有りで検出**

5.2.21 外部割込み 01 選択レジスタ (EXI01SEL)

アドレス：0F048H
アクセス：R/W
アクセスサイズ：8/16 ビット
初期値：0000H

	7	6	5	4	3	2	1	0
EXI0SEL	EXI0S7	EXI0S6	EXI0S5	EXI0S4	EXI0S3	EXI0S2	EXI0S1	EXI0S0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

	15	14	13	12	11	10	9	8
EXI1SEL	EXI1S7	EXI1S6	EXI1S5	EXI1S4	EXI1S3	EXI1S2	EXI1S1	EXI1S0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

EXI01SEL は、EXI0/1 として使用するポートを選択する特殊機能レジスタ (SFR) です。

ビットの説明

・ **EXI0S3-0** （ビット 3～0）**, EXI0S7-4** （ビット 7～4）
EXI0S3-0 は、EXI0 として使用するポートのビットを選択するレジスタです。
EXI0S7-4 は、EXI0 として使用するポートのグループを選択するレジスタです（例：EXI0S7:4=”5”、EXI0S3:0=”1”の場合、EXI0 としてポート 51 を使用する）。

EXI0S7-4	EXI0S3-0							
	0	1	2	3	4	5	6	7
0	P00	P01	P02	P03	P04	P05	–	–
1	PXT0	PXT1	–	–	–	–	–	–
2	P20	P21	P22	P23	–	–	–	–
3	P30	P31	P32	P33	P34	P35	P36	P37
4	P40	P41	P42	P43	P44	P45	P46	P47
5	P50	P51	P52	P53	P54	P55	P56	P57

上記設定以外は、禁止です。

・ **EXI1S3-0** （ビット 11～8）**, EXI1S7-4** （ビット 15～12）
EXI1S3-0 は、EXI1 として使用するポートのビットを選択するレジスタです。
EXI1S7-4 は、EXI1 として使用するポートのグループを選択するレジスタです（例：EXI1S7:4=”5”、EXI1S3:0=”1”の場合、EXI1 としてポート 51 を使用する）。

EXI1S7-4	EXI1S3-0							
	0	1	2	3	4	5	6	7
0	P00	P01	P02	P03	P04	P05	–	–
1	PXT0	PXT1	–	–	–	–	–	–
2	P20	P21	P22	P23	–	–	–	–
3	P30	P31	P32	P33	P34	P35	P36	P37
4	P40	P41	P42	P43	P44	P45	P46	P47
5	P50	P51	P52	P53	P54	P55	P56	P57

上記設定以外は、禁止です。

【注意】
外部割込み 0/1 選択レジスタ（EXI01SEL）への書き込み命令は変更したい割込みを割込み禁止にしてから変更してください。また、変更後は割込み要求レジスタの該当する要求ビットを必ずクリアしてください。

5.2.22 外部割込み 23 選択レジスタ (EXI23SEL)

アドレス：0F04AH
アクセス：R/W
アクセスサイズ：8/16 ビット
初期値：0000H

	7	6	5	4	3	2	1	0
EXI2SEL	EXI2S7	EXI2S6	EXI2S5	EXI2S4	EXI2S3	EXI2S2	EXI2S1	EXI2S0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

	15	14	13	12	11	10	9	8
EXI3SEL	EXI3S7	EXI3S6	EXI3S5	EXI3S4	EXI3S3	EXI3S2	EXI3S1	EXI3S0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

EXI23SEL は、EXI2/3 として使用するポートを選択する特殊機能レジスタ (SFR) です。

ビットの説明

- **EXI2S3-0** （ビット 3～0）**, EXI2S7-4** （ビット 7～4）
  EXI2S3-0 は、EXI2 として使用するポートのビットを選択するレジスタです。
  EXI2S7-4 は、EXI2 として使用するポートのグループを選択するレジスタです（例：EXI2S7:4=”5”、EXI2S3:0=”1”の場合、EXI2 としてポート 51 を使用する）。

EXI2S7-4	EXI2S3-0							
	0	1	2	3	4	5	6	7
0	P00	P01	P02	P03	P04	P05	－	－
1	PXT0	PXT1	－	－	－	－	－	－
2	P20	P21	P22	P23	－	－	－	－
3	P30	P31	P32	P33	P34	P35	P36	P37
4	P40	P41	P42	P43	P44	P45	P46	P47
5	P50	P51	P52	P53	P54	P55	P56	P57

上記設定以外は、禁止です。

- **EXI3S3-0** （ビット 11～8）**, EXI3S7-4** （ビット 15～12）
  EXI3S3-0 は、EXI3 として使用するポートのビットを選択するレジスタです。
  EXI3S7-4 は、EXI3 として使用するポートのグループを選択するレジスタです（例：EXI3S7:4=”5”、EXI3S3:0=”1”の場合、EXI3 としてポート 51 を使用する）。

EXI3S7-4	EXI3S3-0							
	0	1	2	3	4	5	6	7
0	P00	P01	P02	P03	P04	P05	－	－
1	PXT0	PXT1	－	－	－	－	－	－
2	P20	P21	P22	P23	－	－	－	－
3	P30	P31	P32	P33	P34	P35	P36	P37
4	P40	P41	P42	P43	P44	P45	P46	P47
5	P50	P51	P52	P53	P54	P55	P56	P57

上記設定以外は、禁止です。

【注意】
外部割込み 2/3 選択レジスタ（EXI23SEL）への書き込み命令は変更したい割込みを割込み禁止にしてから変更してください。また、変更後は割込み要求レジスタの該当する要求ビットを必ずクリアしてください。

5.2.23 外部割込み 45 選択レジスタ (EXI45SEL)

アドレス：0F04CH
アクセス：R/W
アクセスサイズ：8/16 ビット
初期値：0000H

	7	6	5	4	3	2	1	0
EXI4SEL	EXI4S7	EXI4S6	EXI4S5	EXI4S4	EXI4S3	EXI4S2	EXI4S1	EXI4S0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

	15	14	13	12	11	10	9	8
EXI5SEL	EXI5S7	EXI5S6	EXI5S5	EXI5S4	EXI5S3	EXI5S2	EXI5S1	EXI5S0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

EXI45SEL は、EXI4/5 として使用するポートを選択する特殊機能レジスタ (SFR) です。

ビットの説明

・ **EXI4S3-0** （ビット 3～0）**, EXI4S7-4** （ビット 7～4）
EXI4S3-0 は、EXI4 として使用するポートのビットを選択するレジスタです。
EXI4S7-4 は、EXI4 として使用するポートのグループを選択するレジスタです（例：EXI4S7:4=”5”、EXI4S3:0=”1”の場合、EXI4 としてポート 51 を使用する）。

EXI4S7-4	EXI4S3-0							
	0	1	2	3	4	5	6	7
0	P00	P01	P02	P03	P04	P05	–	–
1	PXT0	PXT1	–	–	–	–	–	–
2	P20	P21	P22	P23	–	–	–	–
3	P30	P31	P32	P33	P34	P35	P36	P37
4	P40	P41	P42	P43	P44	P45	P46	P47
5	P50	P51	P52	P53	P54	P55	P56	P57

上記設定以外は、禁止です。

・ **EXI5S3-0** （ビット 11～8）**, EXI5S7-4** （ビット 15～12）
EXI5S3-0 は、EXI5 として使用するポートのビットを選択するレジスタです。
EXI5S7-4 は、EXI5 として使用するポートのグループを選択するレジスタです（例：EXI5S7:4=”5”、EXI5S3:0=”1”の場合、EXI5 としてポート 51 を使用する）。

EXI5S7-4	EXI5S3-0							
	0	1	2	3	4	5	6	7
0	P00	P01	P02	P03	P04	P05	–	–
1	PXT0	PXT1	–	–	–	–	–	–
2	P20	P21	P22	P23	–	–	–	–
3	P30	P31	P32	P33	P34	P35	P36	P37
4	P40	P41	P42	P43	P44	P45	P46	P47
5	P50	P51	P52	P53	P54	P55	P56	P57

上記設定以外は、禁止です。

【注意】
外部割込み 4/5 選択レジスタ（EXI45SEL）への書き込み命令は変更したい割込みを割込み禁止にしてから変更してください。また、変更後は割込み要求レジスタの該当する要求ビットを必ずクリアしてください。

5.2.24 外部割込み 67 選択レジスタ (EXI67SEL)

アドレス：0F04EH
アクセス：R/W
アクセスサイズ：8/16 ビット
初期値：0000H

	7	6	5	4	3	2	1	0
EXI6SEL	EXI6S7	EXI6S6	EXI6S5	EXI6S4	EXI6S3	EXI6S2	EXI6S1	EXI6S0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

	15	14	13	12	11	10	9	8
EXI7SEL	EXI7S7	EXI7S6	EXI7S5	EXI7S4	EXI7S3	EXI7S2	EXI7S1	EXI7S0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

EXI67SEL は、EXI6/7 として使用するポートを選択する特殊機能レジスタ (SFR) です。

ビットの説明

- **EXI6S3-0** （ビット 3～0）**, EXI6S7-4** （ビット 7～4）
  EXI6S3-0 は、EXI6 として使用するポートのビットを選択するレジスタです。
  EXI6S7-4 は、EXI6 として使用するポートのグループを選択するレジスタです（例：EXI6S7:4=”5”、EXI6S3:0=”1”の場合、EXI6 としてポート 51 を使用する）。

EXI6S7-4	EXI6S3-0							
	0	1	2	3	4	5	6	7
0	P00	P01	P02	P03	P04	P05	－	－
1	PXT0	PXT1	－	－	－	－	－	－
2	P20	P21	P22	P23	－	－	－	－
3	P30	P31	P32	P33	P34	P35	P36	P37
4	P40	P41	P42	P43	P44	P45	P46	P47
5	P50	P51	P52	P53	P54	P55	P56	P57

上記設定以外は、禁止です。

- **EXI7S3-0** （ビット 11～8）**, EXI7S7-4** （ビット 15～12）
  EXI7S3-0 は、EXI7 として使用するポートのビットを選択するレジスタです。
  EXI7S7-4 は、EXI7 として使用するポートのグループを選択するレジスタです（例：EXI7S7:4=”5”、EXI7S3:0=”1”の場合、EXI7 としてポート 51 を使用する）。

EXI7S7-4	EXI7S3-0							
	0	1	2	3	4	5	6	7
0	P00	P01	P02	P03	P04	P05	－	－
1	PXT0	PXT1	－	－	－	－	－	－
2	P20	P21	P22	P23	－	－	－	－
3	P30	P31	P32	P33	P34	P35	P36	P37
4	P40	P41	P42	P43	P44	P45	P46	P47
5	P50	P51	P52	P53	P54	P55	P56	P57

上記設定以外は、禁止です。

【注意】
外部割込み 67 選択レジスタ（EXI67SEL）への書き込み命令は変更したい割込みを割込み禁止にしてから変更してください。また、変更後は割込み要求レジスタの該当する要求ビットを必ずクリアしてください。

5.3 動作説明

5.3.1 割込み要因

ウォッチドッグタイマ割込み (WDTINT)を除く 37 要因の割込みの許可と禁止は、マスタインタラプトイネーブルフラグ (MIE) と各割込み許可レジスタ (IE0～7) で制御されます。WDTINT はノンマスカブル割込みです。
割込み条件が成立するとプログラムは各割込み要因毎に決められた割込みベクタテーブルより分岐先アドレスを呼び出して、割込み移行サイクルを開始します。
表 5-1 に割込み要因一覧を示します。

表 5-1 割込み要因一覧

優先順位	割込み要因	略 称	ベクタテーブルアドレス
1	ウォッチドッグタイマ割込み	WDTINT	0008H
5	EXI0 割込み	EXI0INT	0010H
6	EXI1 割込み	EXI1INT	0012H
7	EXI2 割込み	EXI2INT	0014H
8	EXI3 割込み	EXI3INT	0016H
9	EXI4 割込み	EXI4INT	0018H
10	EXI5 割込み	EXI5INT	001AH
11	EXI6 割込み	EXI6INT	001CH
12	EXI7 割込み	EXI7INT	001EH
13	同期式シリアルポート 0 割込み	SIO0INT	0020H
14	FIFO 付同期式シリアルポート 0 割込み	SIOF0INT	0022H
15	I2C バス 0 割込み	I2C0INT	0024H
16	I2C バス 1 割込み	I2C1INT	0026H
17	UART0 受信割込み	UA0INT	0028H
18	UART0 送信割込み	UA1INT	002AH
19	FIFO 付 UART0 割込み	UAF0INT	002CH
26	低速発振クロック切り替え割込み	LOSCINT	003AH
27	VLS 割込み	VLSINT	003CH
28	メロディ 0 割込み	MD0INT	003EH
29	逐次比較型 A/D コンバータ割込み	SADINT	0040H
30	RC 発振型 A/D コンバータ割込み	RADINT	0042H
33	コンパレータ 0 割込み	CMP0INT	0048H
34	コンパレータ 1 割込み	CMP1INT	004AH
37	タイマ 0 割込み	TM0INT	0050H
38	タイマ 1 割込み	TM1INT	0052H
39	タイマ 2 割込み	TM2INT	0054H
40	タイマ 3 割込み	TM3INT	0056H
41	タイマ 4 割込み	TM4INT	0058H
42	タイマ 5 割込み	TM5INT	005AH
43	タイマ 6 割込み	TM6INT	005CH
44	タイマ 7 割込み	TM7INT	005EH
45	多機能タイマ 0 割込み	FTM0INT	0060H
46	多機能タイマ 1 割込み	FTM1INT	0062H
47	多機能タイマ 2 割込み	FTM2INT	0064H
48	多機能タイマ 3 割込み	FTM3INT	0066H
53	低速タイムベースカウンタ 0 割込み	LTB0INT	0070H
54	低速タイムベースカウンタ 1 割込み	LTB1INT	0072H
55	低速タイムベースカウンタ 2 割込み	LTB2INT	0074H

【注意】

・複数の割込みが同時に発生した場合は、設定された割込みレベルの値が大きい割込み要因から実行し、割込みレベルの値が同じ場合は、上記の優先順位の高い割込みから実行されます。これにより、他の割込みレベルの値が低い、もしくは優先順位の低い割込みは保留されます。

・フェールセーフ対策のため、使用しない割込みベクタも定義してください。

5.3.2 マスカブル割込み処理

MIE フラグが“1”の状態で各割込みが発生すると、ハードウェアにて以下の処理が実施され、プログラムが割込み先へ移行します。

(1) プログラムカウンタ (PC) を ELR1 へ転送
(2) CSR を ECSR1 へ転送
(3) PSW を EPSW1 へ転送
(4) MIE フラグを“0”にする
(5) ELEVEL フィールドを“1”にする
(6) PC に割込み先頭アドレスをロードする

5.3.3 ノンマスカブル割込み処理

MIE フラグの状態によらず各割込みが発生すると、ハードウェアにて以下の処理が実施され、プログラムが割込み先へ移行します。

(1) PC を ELR2 へ転送
(2) CSR を ECSR2 へ転送
(3) PSW を EPSW2 へ転送
(4) ELEVEL フィールドを“2”にする
(5) PC に割込み先頭アドレスをロードする

5.3.4 ソフトウェア割込み処理

ソフトウェア割込みは、アプリケーションプログラム内で任意に発生させるものです。プログラム内で SWI 命令を実行するとソフトウェア割込みが発生し、ハードウェアにて以下の処理が実施され、プログラムが割込み先へ移行します。ベクタテーブルは SWI 命令にて指定します。

(1) PC を ELR1 へ転送
(2) CSR を ECSR1 へ転送
(3) PSW を EPSW1 へ転送
(4) MIE フラグを“0”にする
(5) ELEVEL フィールドを“1”にする
(6) PC に割込み先頭アドレスをロードする

【参照】
MIE フラグ、PC（プログラムカウンタ）、CSR、PSW、ELEVEL については別冊の『nX-U16/100 コア インストラクションマニュアル』を参照してください。

5.3.5 割込みルーチンでの注意事項

割込みルーチンを実行時に更にプログラムでサブルーチンを呼び出す場合と呼び出さない場合、および多重割込みを許可している場合と禁止している場合、またその割込みがマスカブル割込みの場合とノンマスカブル割込みの場合、それぞれプログラミング時の注意事項が異なります。

状態 A：マスカブル割込みが実行中

A-1：割込みルーチンを実行時にプログラムでサブルーチンを呼び出さない場合
A-1-1：多重割込みを禁止する場合
・割込みルーチン実行開始直後の処理
注意すべき事項は特にありません。
・割込みルーチン実行終了時の処理
RTI 命令を配置し、PC に ELR レジスタの内容を、PSW に EPSW レジスタの内容を復帰させます。
A-1-2：多重割込みを許可する場合
・割込みルーチン実行開始直後の処理
“PUSH　ELR, EPSW”を指定し、割込みの戻り番地と PSW の状態をスタックに退避します。
・割込みルーチン実行終了時の処理
RTI 命令の代わりに“POP　PC, PSW”を指定し、PC と PSW にスタックの内容を復帰させます。

記述例：状態 A-1-1

```
Intrpt_A-1-1:          ;A-1-1 の状態
   DI                  ;割込み禁止
   :
   :
   :
   RTI                 ;PC を ELR より復帰
                       ;PSW を EPSW より復帰
                       ;終了
```

記述例：状態 A-1-2

```
Intrpt_A-1-2:          ;開始
  PUSH  ELR, EPSW      ;先頭で ELR, EPSW を退避

  EI                   ;割込み許可
  :
  :
  :
  :
  :
  POP  PC, PSW         ;PC をスタックより復帰
                       ;PSW をスタックより復帰
                       ;終了
```

A-2：割込みルーチンを実行時にプログラムでサブルーチンを呼び出す場合

A-2-1：多重割込みを禁止する場合

・割込みルーチン実行開始直後の処理

“PUSH LR”命令を指定し、サブルーチンの戻り番地をスタックに退避します。

・割込みルーチン実行終了時の処理

RTI 命令の直前に“POP LR”を指定し、サブルーチンの戻り番地を LR に復帰させた後、割込みから復帰します。

A-2-2：多重割込みを許可する場合

・割込みルーチン実行開始直後の処理

“PUSH LR, ELR, EPSW”を指定し、割込みの戻り番地、サブルーチンの戻り番地および EPSW の状態をスタックに退避します。

・割込みルーチン実行終了時の処理

RTI 命令の代わりに“POP PC, PSW, LR”を指定し、割込みの戻り番地の退避データは PC へ、EPSW の退避データは PSW へ、LR の退避データは LR に復帰させます。

記述例：状態 A-2-2

```
Intrpt_A-2-2:          ;開始
  PUSH                 ;先頭で ELR, EPSW, LR
ELR,EPSW,LR            退避

  EI                   ;割込み許可
  :
  :
  :

  BL Sub_1             ;サブルーチン Sub_1 呼び出し
  :
  POP  PC, PSW, LR     ;PC をスタックより復帰
                       ;PSW をスタックより復帰
                       ;LR をスタックより復帰
                       ;終了
```

```
Sub_1:      ;
DI          ;割込み禁止
              :
              :
              :
RT          ;PC を LR より復帰
            ;サブルーチン終了
```

状態 B：ノンマスカブル割込み実行中

B-1：割込みルーチンにて割込み処理を実施しない場合
・割込みルーチン実行開始直後の処理
RTI の命令を指定し、PC に ELR レジスタの内容を、PSW に EPSW レジスタの内容を復帰させます。
B-2：割込みルーチンにて割込み処理を実施する場合
B-2-1: 割込みルーチンを実行時にプログラムでサブルーチンを呼び出さない場合
・割込みルーチン実行開始直後の処理
“PUSH ELR, EPSW”を指定し、割込みの戻り番地、および EPSW の状態をスタックに退避します。
・割込みルーチン実行終了時の処理
RTI 命令の代わりに“POP PC, PSW”を指定し、割込みの戻り番地の退避データは PC へ、EPSW の退避データは PSW に復帰させます。
B-2-2：割込みルーチンを実行時にプログラムでサブルーチンを呼び出す場合
・割込みルーチン実行開始直後の処理
“PUSH LR, ELR, EPSW”を指定し、割込みの戻り番地、サブルーチンの戻り番地および EPSW の状態をスタックに退避します。
・割込みルーチン実行終了時の処理
RTI 命令の代わりに“POP PC, PSW, LR”を指定し、割込みの戻り番地の退避データは PC へ、EPSW の退避データは PSW へ、LR の退避データは LR に復帰させます。

記述例：状態 B-1

```
Intrpt_B-1:          ;B-1 の状態
  RTI                ;PC を ELR より復帰
                     ;PSW を EPSW より復帰
                     ;終了
```

記述例：状態 B-2-1

```
Intrpt_B-2-1:        ;開始
  PUSH  ELR, EPSW    ;先頭で ELR, EPSW を退避

  :
  :
  :
  POP  PC, PSW       ;PC をスタックより復帰
                     ;PSW をスタックより復帰
                     ;終了
```

記述例：状態 B-2-2

```
Intrpt_B-2-2:        ;開始
  PUSH               ;先頭で ELR, EPSW, LR
ELR,EPSW,LR          退避
  :
  :
  :

  BL Sub_1           ;サブルーチン Sub_1 呼び出
                     し
  :
  POP  PC, PSW, LR   ;PC をスタックより復帰
                     ;PSW をスタックより復帰
                     ;LR をスタックより復帰
                     ;終了
```

```
Sub_1:               ;
                       :
                       :
                       :
                       :
RT                   ;PC を LR より復帰
                     ;サブルーチン終了
```

5.3.6 割込みレベル制御有効時の割込み処理

①割込み処理

割込みハンドラは以下の処理を行います。

ⅰ.多重割込み可とする場合、次の処理を行います。
自身より高いレベルの割込み要求が発生した場合に、そちらを優先して処理するために、復帰時のプロセッサ状態を確保するため、汎用レジスタをメモリに退避し、EPW、EPSW レジスタを PUSH します。

ⅱ.多重割込みの準備が整ったら、EI 命令を実行し、プロセッサの割込みを許可状態します。

②割込みからの復帰

割込みハンドラは以下の処理を行います。

ⅰ.割込みにて目的の処理の完了後、DI 命令を実行し、プロセッサの割込みを禁止状態にします。

ⅱ.現割込み要求レベルレジスタ(CIL)へライトアクセスしし最上位の現割込み要求レベルをクリアします。

ⅲ.割込みから復帰するため、最上位のレベルの割込みであれば、メモリから汎用レジスタを復元し、RTI 命令を実行します。それ以外の場合は、メモリから汎用レジスタを復元し、PC、PSW レジスタを POP します。

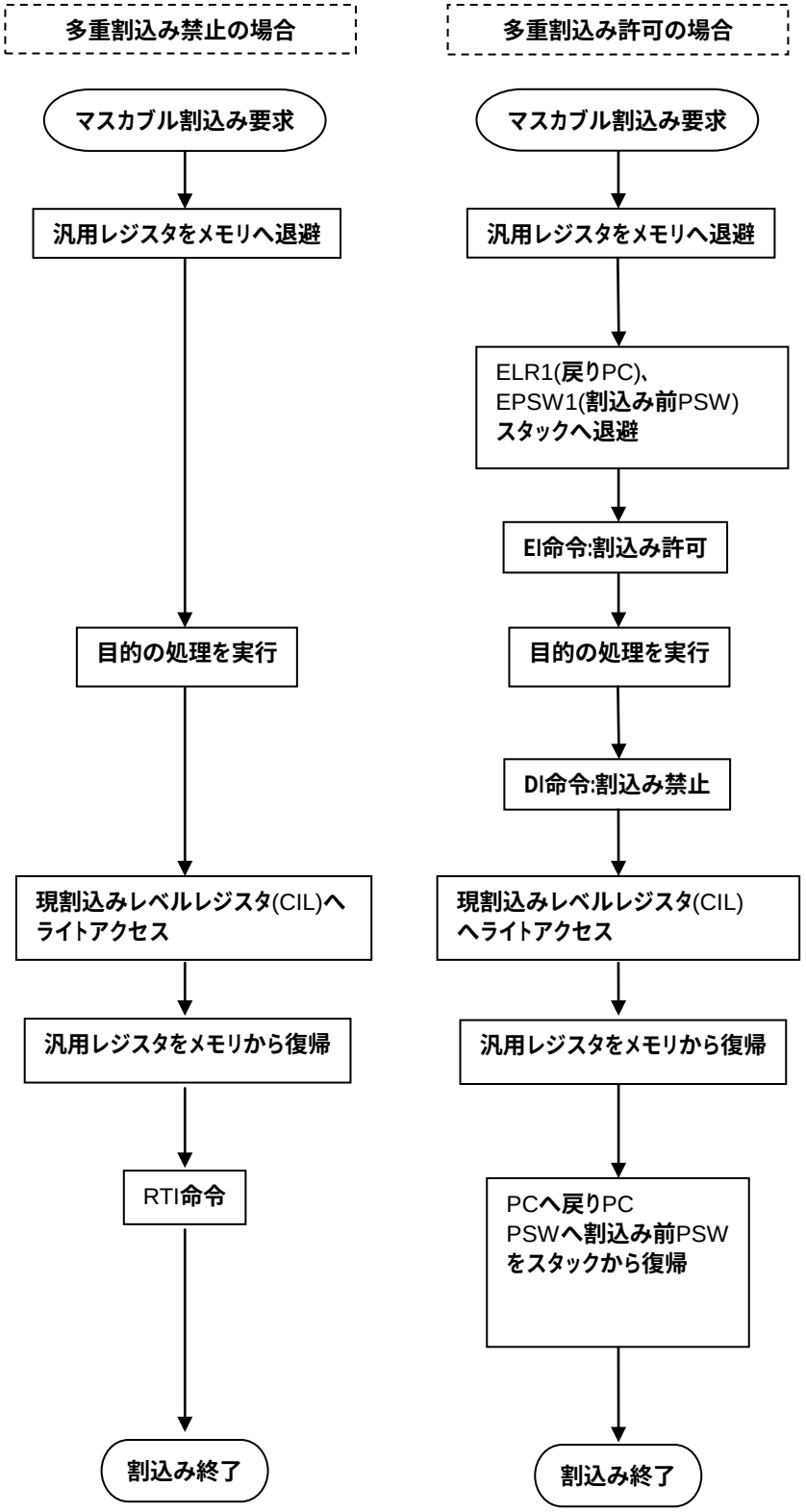
以下の処理がハードウェアで行われます。

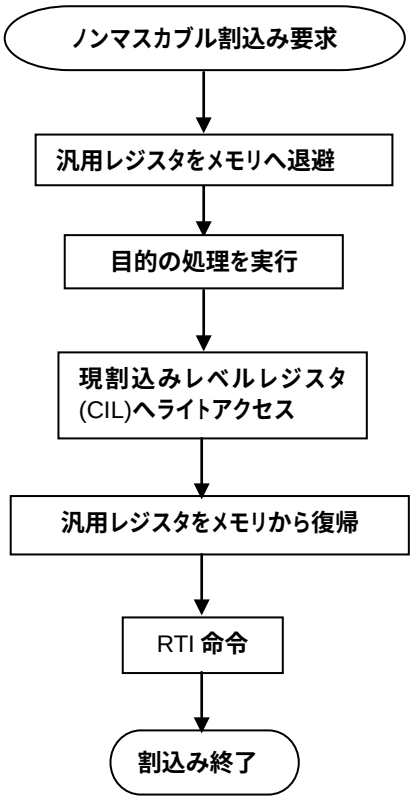
ⅰ.現割込み要求レベルレジスタ（CIL）へのライトアクセスを受けると、CIL レジスタの最上位のセットビットをクリアします。

ⅱ.割込み要求レジスタ(IRQ)に保留されている割込み要求フラグ内に、CIL レジスタのもつ現割込み要求レベルより高レベルの割込み要求フラグがあれば、U16 プロセッサへ割込み要求を行います。その際、CIL レジスタの持つ現割込み要求レベルより高レベルの割込み要求フラグが複数存在する場合は、最も優先順位の高い割込みを、U16 プロセッサに要求します。

5.3.7 フローチャート(割込みレベル制御有効時)

割込みレベル制御有効時、マスカブル割込みのソフト処理のフローチャートを示します。EI 命令、DI 命令により、“目的の処理の実行”中に高いレベルのマスカブル割込み要求による多重割込みの実行が許可されます。なお、U16 プロセッサの仕様により、ノンマスカブル割込みは EI 命令･DI 命令に関わらずマスカブル割込みに対して割込みが可能です。




ノンマスカブル割込み要求
汎用レジスタをメモリへ退避
目的の処理を実行
現割込みレベルレジスタ
(CIL)へライトアクセス
汎用レジスタをメモリから復帰
RTI 命令
割込み終了

5.3.8 割込み禁止状態

割込み条件が成立していても割込みを受け付けない動作状態があります。これを割込み禁止状態と呼びます。割込み禁止状態と、その状態における割込みの取り扱いは次のようになります。

割込み禁止状態 1. 割込み移行サイクルと、割込みルーチンの先頭にある命令の間
この区間に割込み条件が成立した場合、すでに許可されている割込みに対応している割込みルーチンの先頭にある命令実行直後に割込みが発生します。

割込み禁止状態 2. DSR プリフィックス命令と次の命令の間
この区間に割込み条件が成立した場合、DSR プリフィックス命令の次の命令実行直後に割込みが発生します。

DSR プリフィックス命令については、『nX-U16/100 コア インストラクションマニュアル』を参照してください。

5.3.9 外部割込み

外部割込み EXI0～7 に、外部割込みコントロールレジスタ 0/1 (EXICON01) で選択した割込みエッジが発生すると、マスカブルの EXI0～EXI7 割込み(EXI0INT～EXI7INT) が発生します。
また、外部割込みコントロールレジスタ 2/3 (EXICON23) で外部端子入力に対してノイズフィルタリングとサンプリング(T16KHZ:LSCLK2 分周によって 2φサンプリング)によるフィルタリングを行うことが可能です。
ただし、FTM のトリガ用信号(EXI[7:0]TGO)は、EXICON23 の制御によらずノイズフィルタあり、サンプリングなしです。

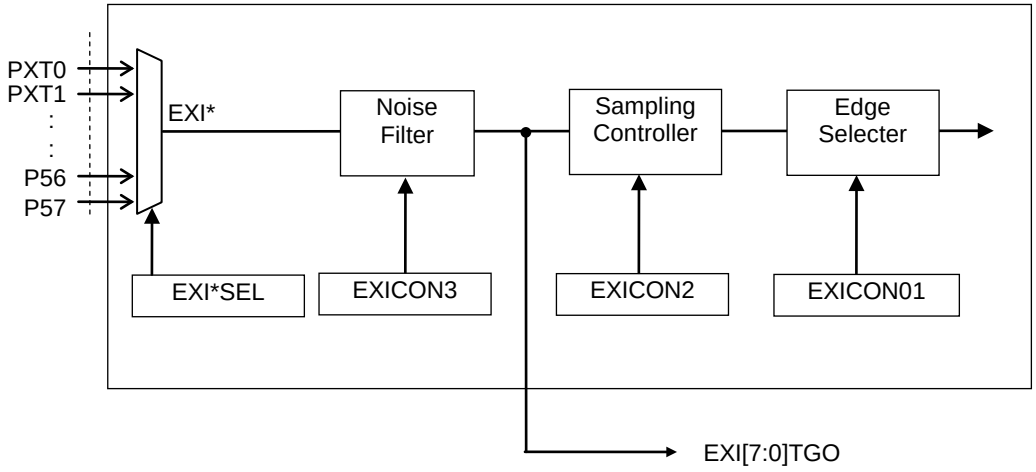
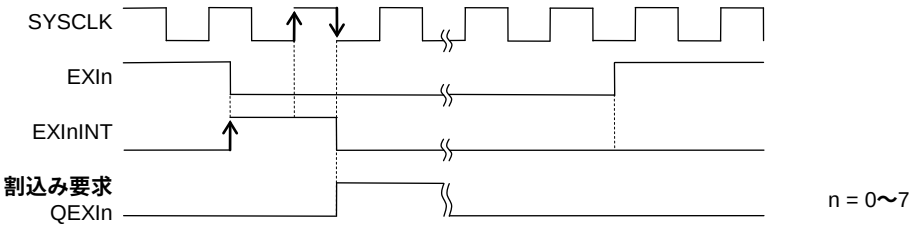
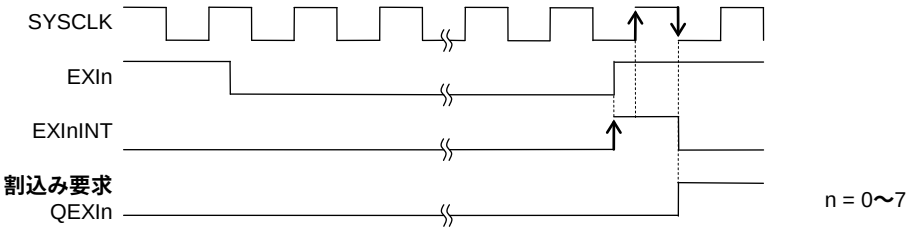


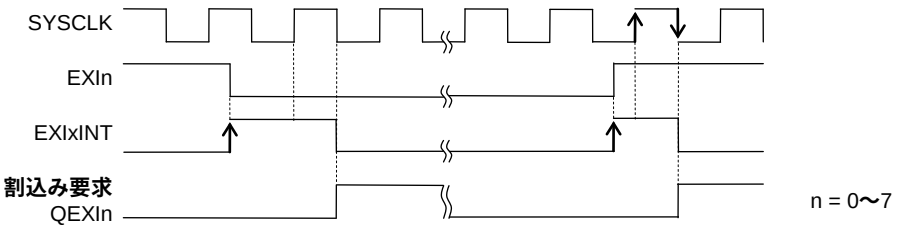
図 5-2 に、サンプリング無しの立ち上がりエッジ、立ち下がりエッジ、両エッジ、およびサンプリング有りの立ち上がりエッジ時の割込み発生タイミングを示します。



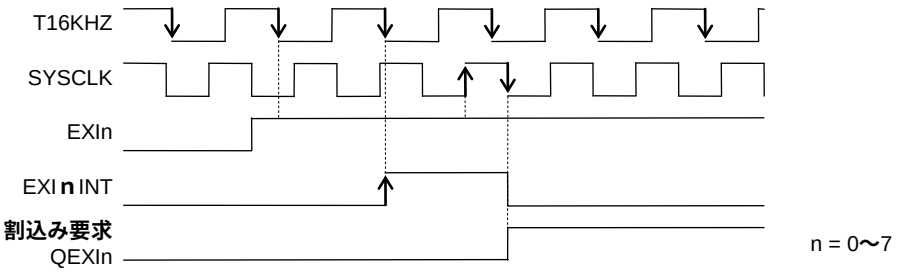
(a) **サンプリング無し、立ち下がりエッジ割込み選択時**



(b) **サンプリング無し、立ち上がりエッジ割込み選択時**



(c) **サンプリング無し、両エッジ割込み選択時)**



(d) **サンプリング有り、立ち上がりエッジ割込み選択時**

図 5-2 **外部割込みの発生タイミング**

第 6 章　クロック発生回路

6 クロック発生回路

6.1 概要

クロック発生回路は、低速クロック (LSCLK) 、高速クロック (HSCLK) 、システムクロック (SYSCLK) および、高速出力クロック (OUTCLK) を発生、供給します。LSCLK および HSCLK は、周辺回路のタイムベースクロックとなり、SYSCLK は CPU の基本動作クロックとなり、OUTCLK はポートから出力されるクロックとなります。
OUTCLK の出力ポートについては、「第 21 章 ポート 4」、「第 22 章 ポート 5」を参照してください。
また、本章で記載されている STOP モードについては、「第 4 章 パワーマネジメント」を参照してください。

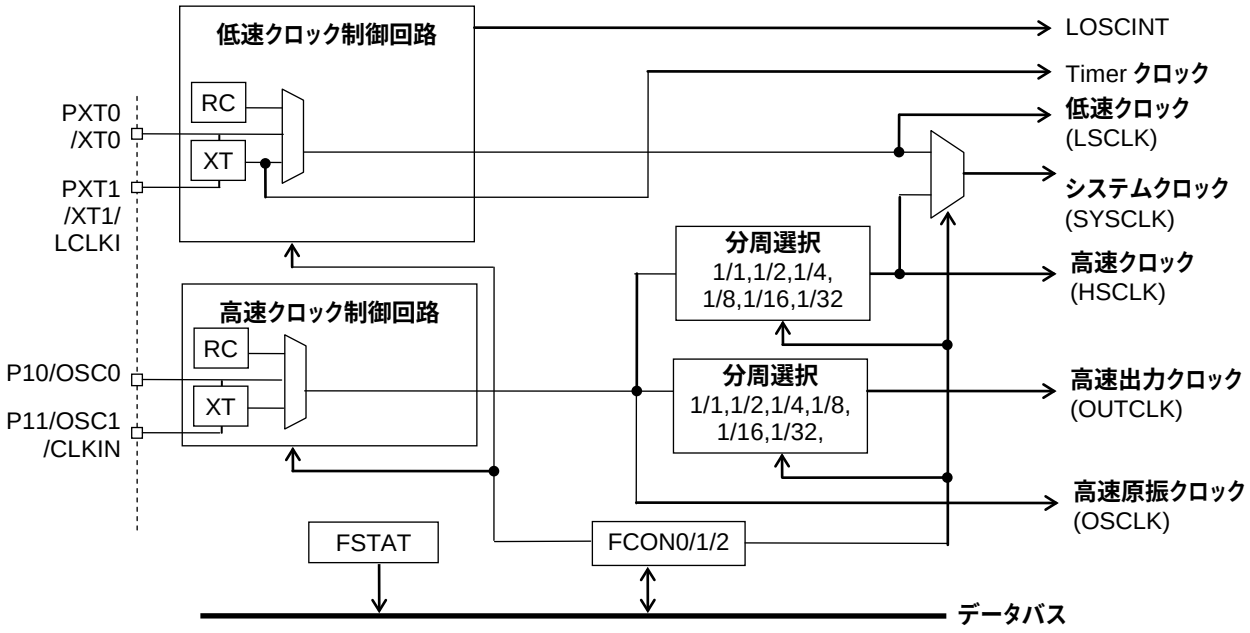
6.1.1 特長

- 低速クロック発生回路:
  - 低速水晶発振モード
  - 低速内蔵 RC 発振モード
  - 低速外部クロック入力モード
  - 低速クロックモード切り替え時の割込み機能

- 高速クロック発生回路:
  - 水晶/セラミック発振モード
  - 内蔵 RC 発振モード
  - 高速外部クロック入力モード

6.1.2 構成

図 6-1 にクロック発生回路の構成を示します。



FCON0 :周波数コントロールレジスタ 0
FCON1 :周波数コントロールレジスタ 1
FCON2 :周波数コントロールレジスタ 2
FSTAT :周波数ステータスレジスタ

図 6-1 クロック発生回路の構成

【注意】
電源投入後もしくはシステムリセット後は、内蔵の高速クロック発生回路から供給されるクロックで動作を開始します。ソフトウェアによる初期化の際に、FCON0 レジスタ、FCON1 レジスタ、FCON2 レジスタを設定し、必要とするクロックに切り替えてください。

6.1.3 端子一覧

端子名	入出力	機能
XT0	I	低速クロック用水晶振動子接続端子。
XT1 /LSCLKI	I/O	低速クロック用水晶振動子接続端子。 低速クロック用の外部クロック入力端子
OSC0	I	高速クロック用水晶／セラミック振動子接続端子。
OSC1 /CLKIN	I/O	高速クロック用水晶／セラミック振動子接続端子。 高速クロック用の外部クロック入力端子

6.1.4 クロック構成図

図 6-2 にクロック系統図を示します。

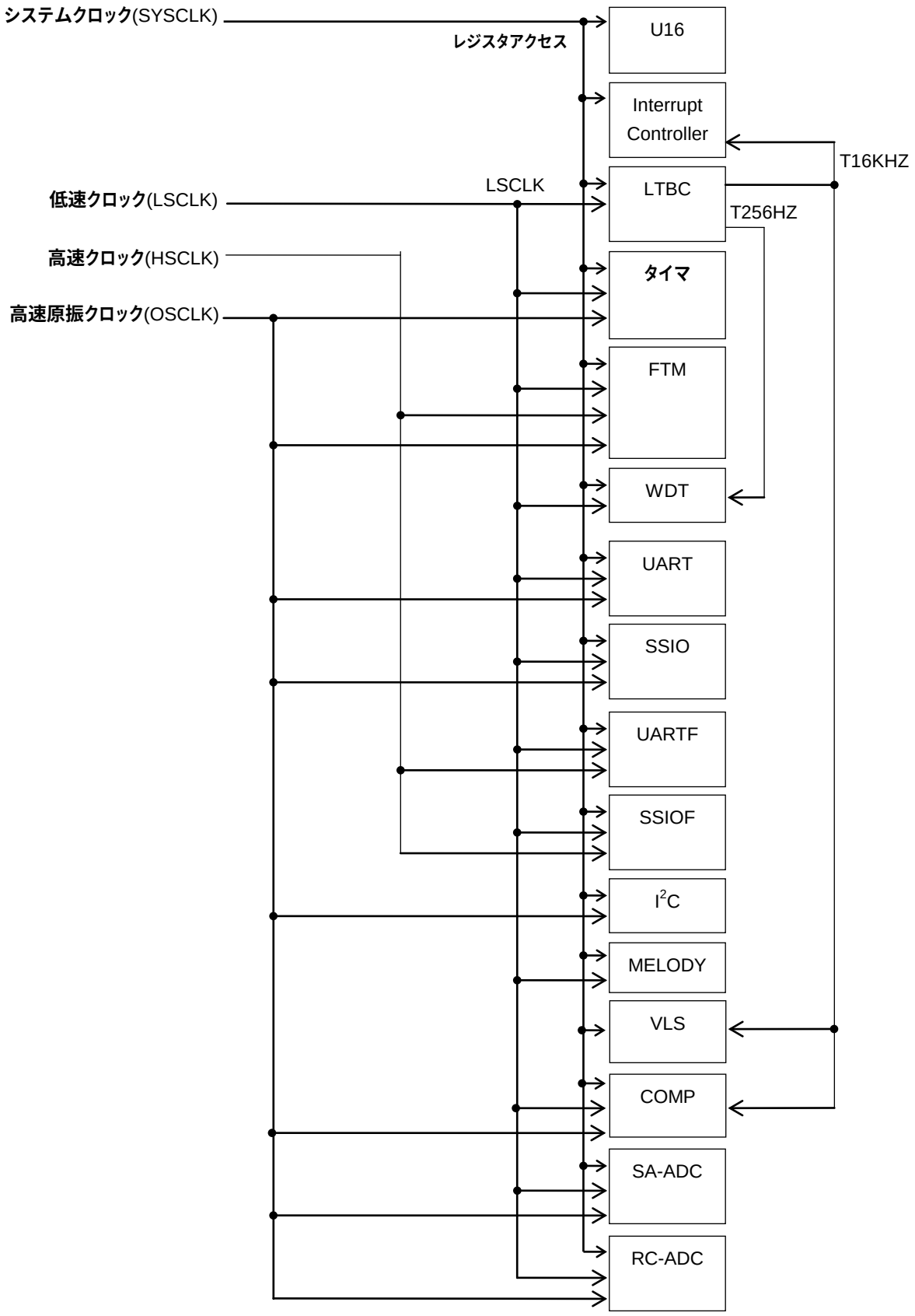


図 6-2 クロック系統図

6.2 レジスタ説明

6.2.1 レジスター覧

アドレス [H]	名称	略称 (Byte)	略称 (Word)	R/W	サイズ	初期値 [H]
0F002	周波数コントロールレジスタ 01	FCON0	FCON01	R/W	8/16	73
0F003		FCON1		R/W	8	03
0F004	周波数コントロールレジスタ 23	FCON2	FCON23	R/W	8/16	02
0F005		FCON3		R/W	8	00
0F00A	周波数ステータスレジスタ	FSTAT	-	R	8	06

6.2.2 周波数コントロールレジスタ 01(FCON01)

アドレス：0F002H
アクセス：R/W
アクセスサイズ：8/16 ビット
初期値：0373H

	7	6	5	4	3	2	1	0
FCON0	OUTC2	OUTC1	OUTC0	OSCM1	OSCM0	SYSC2	SYSC1	SYSC0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	1	1	1	0	0	1	1

	15	14	13	12	11	10	9	8
FCON1	HOSST	LOSST	－	－	LOSCON	－	ENOSC	SYSCLK
R/W	R	R	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	1	1

FCON01 は、高速クロック発生回路の制御とシステムクロックを選択する特殊機能レジスタ (SFR) です。

ビットの説明

- **SYSC2-0** （ビット 2～0）
  SYSC2-0 は、システムクロックおよび周辺回路に使用する高速クロック(HSCLK)の周波数を選択するビットです。
  OSCLK, 1/2OSCLK, 1/4OSCLK, 1/8OSCLK, 1/16OSCLK, 1/32OSCLK が選択できます。
  システムリセット時は、1/8OSCLK が選択されています。

SYSC2	SYSC1	SYSC0	説明
0	0	0	OSCLK
0	0	1	1/2OSCLK
0	1	0	1/4OSCLK
0	1	1	1/8OSCLK (**初期値**)
1	0	0	1/16OSCLK
1	0	1	1/32OSCLK
1	1	0	**設定禁止** (1/32OSCLK)
1	1	1	**設定禁止** (1/32OSCLK)

- **OSCM1-0** （ビット 4～3）
  OSCM1-0 は、高速クロック発生回路のモードを選択するビットです。水晶/セラミック発振モード、内蔵 RC 発振モード、高速外部クロック入力モードが選択できます。
  OSCM1, OSCM0 は、高速発振停止中 (FCON1 の ENOSC ビットが“0”の場合) のみ書き換えが可能です。
  システムリセット時は、内蔵 RC 発振モードが選択されています。
  高速クロック発生回路のモードを切り替える場合は、必ず高速発振を停止し (FCON1 レジスタの ENOSC ビットを”0”)、システムクロックを低速クロックに切り替えてください (FCON1 レジスタの SYSCLK ビットを”0”)。

OSCM1	OSCM0	説明
0	0	**設定禁止 (設定は無視され、前回の値を保持)**
0	1	**水晶/セラミック発振モード**
1	0	**内蔵 RC 発振モード (初期値)**
1	1	**高速外部クロック入力モード**

・ **OUTC2- 0** （ビット 7～5）
OUTC2-0 は、ポートの 2 次機能で出力される高速出力クロック (OUTCLK) の周波数を選択するビットです。
1/1OSCLK, 1/2OSCLK, 1/4OSCLK, 1/8OSCLK, 1/16OSCLK, 1/32OSCLK が選択できます。
システムリセット時は、1/8OSCLK が選択されています。

OUTC2	OUTC1	OUTC0	説明
0	0	0	1/1OSCLK
0	0	1	1/2OSCLK
0	1	0	1/4OSCLK
0	1	1	1/8OSCLK (**初期値**)
1	0	0	1/16OSCLK
1	0	1	1/32OSCLK
1	1	0	**設定禁止** (1/32OSCLK)
1	1	1	**設定禁止** (1/32OSCLK)

・ **SYSCLK** （ビット 8）
SYSCLK は、システムクロックを選択するビットです。低速クロック (LSCLK) もしくは FCON0 の高速クロック周波数選択ビット (SYSC2,1,0) で選択した HSCLK (1/nOSCLK：n=1,2,4,8,16,32) が選択できます。
高速クロックの発振を停止させる場合(ENOSC ビット="0")、SYSCLK ビットは"0"固定となり、システムクロックには低速クロック(LSCLK)が選択されます。

SYSCLK	説明
0	LSCLK
1	HSCLK (**初期値**)

・ **ENOSC** （ビット 9）
ENOSC は、高速クロック発振回路の発振許可／停止を選択するビットです。

ENOSC	説明
0	**高速発振停止**
1	**高速発振許可** (**初期値**)

・ **LOSCON** （ビット 11）
LOSCON は、低速内蔵 RC 発振モード選択時に低速水晶発振回路の発振も許可するビットです。LOSCON を"1"にすると、XTM1,XTM0 ビットにて低速内蔵 RC 発振モードが選択されていても、同時に低速水晶発振回路を発振させることができます。
なお、この時の低速水晶発振クロックはタイマブロックのみに供給され、タイマブロック以外のペリフェラルには、XTM1,XTM0 ビットにて選択されたクロックが供給されます。タイマブロックのクロックとして低速水晶発振を選択する場合に、LOSCON ビットを"1"にしてください。

LOSCON	説明
0	**低速内蔵** RC **発振モード選択時に、低速水晶発振禁止** (**初期値**)
1	**低速内蔵** RC **発振モード選択時に、低速水晶発振許可**

・ **LOSST** （ビット 14）
LOSST は、低速水晶発振回路の発振状態を示すフラグです。

LOSST	説明
0	**低速水晶発振が停止、または低速水晶発振安定時間のカウント中（初期値）**
1	**低速水晶発振が安定している状態**

・ **HOSST** （ビット 15）
HOSST は、高速セラミック/水晶発振回路の発振状態を示すフラグです。

HOSST	説明
0	**高速セラミック/水晶発振が停止、または安定時間のカウント中（初期値）**
1	**高速セラミック/水晶発振が安定している状態**

【注意】
・OSCM1, OSCM0 にて高速クロック発生回路のモードを切り替える場合は、必ず高速発振を停止し（FCON1 レジスタの ENOSC ビットを”0”）、システムクロックを低速クロックに（FCON1 レジスタの SYSCLK ビットを”0”）設定してください。
・高速外部クロック入力モード時は 16MHz を超えないクロックを入力してください。

6.2.3 周波数コントロールレジスタ 23(FCON23)

アドレス：0F004H
アクセス：R/W
アクセスサイズ：8/16 ビット
初期値：0002H

	7	6	5	4	3	2	1	0
FCON2	HFLTSEL	HFLTSEL	–	LFLTSEL	–	–	XTM1	XTM0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	1	0

	15	14	13	12	11	10	9	8
FCON3	–	–	–	–	–	–	–	–
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

FCON23 は、低速クロック発生回路のクロックを選択する特殊機能レジスタ (SFR) です。

ビットの説明

・ **XTM1-0** （ビット 1～0）
XTM1-0 は、低速クロック発生回路のモードを選択するビットです。低速水晶発振モード、低速内蔵 RC 発振モード、低速外部クロック入力モードが選択できます。
システムリセット時は、低速内蔵 RC 発振モードが選択されています。

XTM1	XTM0	説明
0	0	**設定禁止（設定は無視され、前回の値を保持）**
0	1	**低速水晶発振モード**
1	0	**低速内蔵 RC 発振モード（初期値）**
1	1	**低速外部クロック入力モード**

【注意】
低速外部クロック入力モードから低速水晶発振モードへの切り替え、または、低速水晶発振モードから低速外部クロック入力モードへの切り替えを行う場合は、一度、低速内蔵 RC 発振モードに設定した後に、低速水晶発振モードまたは低速外部クロック入力モードに設定してください。低速内蔵 RC 発振モードに設定しないで切り替えた場合の動作は保証できません。

・ **LFLTSEL** （ビット 4）
LFLTSEL は、低速水晶発振、または低速外部クロック入力モードの時に、低速クロック信号にノイズフィルタを使用するかどうかを選択するビットです。

LFLTSEL	説明
0	**低速クロックノイズフィルタ未使用（初期値）**
1	**低速クロックノイズフィルタ使用**

・ **HFLTSEL1-0** （ビット 7～6）

HFLTSEL1-0 は、高速水晶/セラミック発振、または高速外部クロック入力モードの時に、高速クロック信号にノイズフィルタを使用するかどうかを選択するビットです。ノイズフィルタは、除去幅の異なる 2 種類から選択できます。高速クロックを 16MHz で使用し、ノイズフィルタを使用する場合は、ノイズフィルタ1に設定してください。

HFLTSEL1	HFLTSEL0	説明
0	0	**高速クロックノイズフィルタ未使用（初期値）**
0	1	**高速クロックノイズフィルタ1を使用**（16MHz **選択時は、こちらを使用してください。**）
1	0	**高速クロックノイズフィルタ** 2 **を使用**
1	1	**高速クロックノイズフィルタ未使用**

6.2.4 周波数ステータスレジスタ (FSTAT)

アドレス:0F00AH
アクセス:R
アクセスサイズ:8 ビット
初期値:06H

	7	6	5	4	3	2	1	0
FSTAT	–	–	–	–	–	LOSCS	HOSCS	–
R/W	R	R	R	R	R	R	R	R
初期値	0	0	0	0	0	1	1	0

FSTAT は、クロック発生回路の状態を表す特殊機能レジスタ (SFR) です。

ビットの説明

- **HOSCS** (ビット 1)
  HOSCS は、高速発振回路の発振モードを示します。高速発振モードが切り替わると、HOSCS は変化します。FCON0 レジスタの OSCM1,0 ビットにて内蔵 RC 発振モードが選択されている場合は、HOSCS は常に"1"になります。また、高速発振モードに関係なく、STOP モード、DEEP-HALT モード、HALT-H モードに入る時には"1"になります。

HOSCS	説明
0	**高速水晶/セラミック発振モードまたは、外部クロック入力モードで動作中**
1	**・内蔵 RC 発振回路で動作中 (初期値)** **・高速水晶/セラミック発振モード時は、高速水晶/セラミック発振の停止中もしくは安定時間のカウント中**

- **LOSCS** (ビット 2)
  LOSCS は、低速発振回路の発振モードを示します。低速発振モードが切り替わると、LOSCS は変化します。FCON2 レジスタの XTM1,0 ビットにて低速内蔵 RC 発振モードが選択されている場合は、LOSCS は常に"1"になります。また、低速発振モードに関係なく、STOP モードに入る時には"1"になります。

LOSCS	説明
0	**低速水晶発振モードまたは、外部クロック入力モードで動作中**
1	**・低速内蔵 RC 発振回路で動作中 (初期値)** **・低速水晶発振モード時は、低速水晶発振の停止中もしくは安定時間のカウント中**

6.3 動作説明

6.3.1 低速クロック

6.3.1.1 低速内蔵 RC 発振モード

図 6-3 に、低速内蔵 RC 発振モードの回路構成を示します。
内蔵 RC 発振クロックを 128 カウントすると低速発振クロック (LSCLK) が供給開始されます。

図 6-3 低速内蔵 RC 発振モードの回路構成

6.3.1.2 低速水晶発振モード

図 6-4 に、低速水晶発振モードの回路構成を示します。
低速水晶発振モードでは、32.768kHz 水晶振動子を外付けします。なお、トリマーコンデンサ等にて発振周波数を合わせ込む場合は必要に応じコンデンサ (C_{GL}, C_{DL}) を外付けしてください。

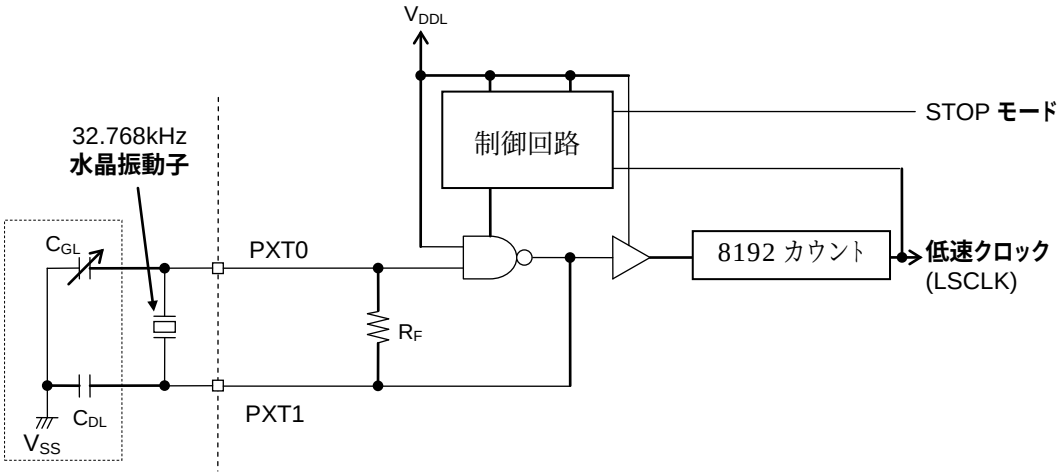


図 6-4 低速水晶発振モードの回路構成

【注意】
・水晶振動子はできる限り LSI の近くに実装し、水晶振動子およびその配線の近くにはノイズ源となる信号や電源配線を通さないでください。
・高湿度環境における回路基板の吸湿や, 基板上での結露によって XT1 端子と XT0 端子間のインピーダンスが低下し発振に障害が発生する場合があります。この様な環境でご使用される場合は, 回路基板をコーティングするなどの防湿対策をしてください。結露などにより発振が停止してしまう恐れがありますので注意してください。

6.3.1.3 低速外部クロック入力モード

低速外部クロック入力モードでは、PXT1 端子から外部クロックを入力します。図 6-5 に低速外部クロック入力モード時の回路構成を示します。

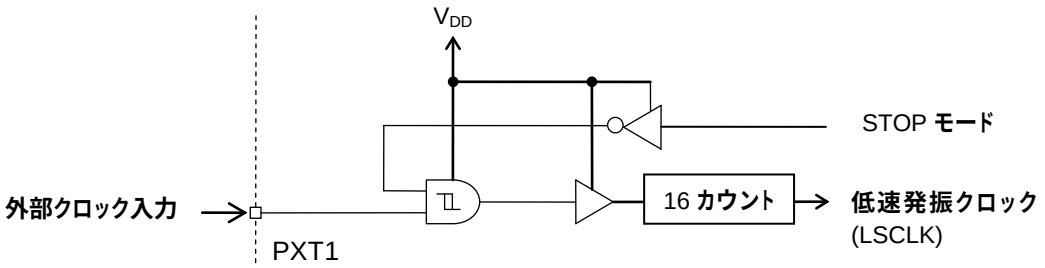


図 6-5 低速外部クロック入力モードの回路構成

【注意】

・PXT1 端子には、V_{DD}間、V_{SS}間にダイオードが内蔵されていますので、V_{DD}より高い電圧、およびV_{SS}より低い電圧の印加は避けてください。

・低速外部クロック入力モードで PXT1 端子をオープン状態にすると、過大な電流が流れる恐れがありますので、必ず“H”レベル (V_{DD}) もしくは“L”レベル (V_{SS}) を入力してください。

・PXT1 端子には 36kHz を超えないクロックを入力してください。

6.3.1.4 低速内蔵 RC 発振モードの動作

低速内蔵 RC 発振モードは、電源投入時のリセット発生により起動します。
電源投入後、低速クロックとして内蔵 RC 発振クロックを 128 カウント後、内蔵 RC 発振クロック（LSCLK）が周辺回路に供給されます。
低速内蔵 RC 発振回路は、ソフトウェアにより STOP モードに移行すると発振を停止します。外部割込みによる STOP モードの解除により発振を再開し、低速クロックとして内蔵 RC 発振クロックを 29 カウント後、内蔵 RC 発振クロック（LSCLK）が周辺回路に供給されます。STOP モードについては、「第 4 章 パワーマネジメント」を参照してください。
図 6-6 に低速内蔵 RC 発振モード時の低速クロック発生回路の動作波形を示します。

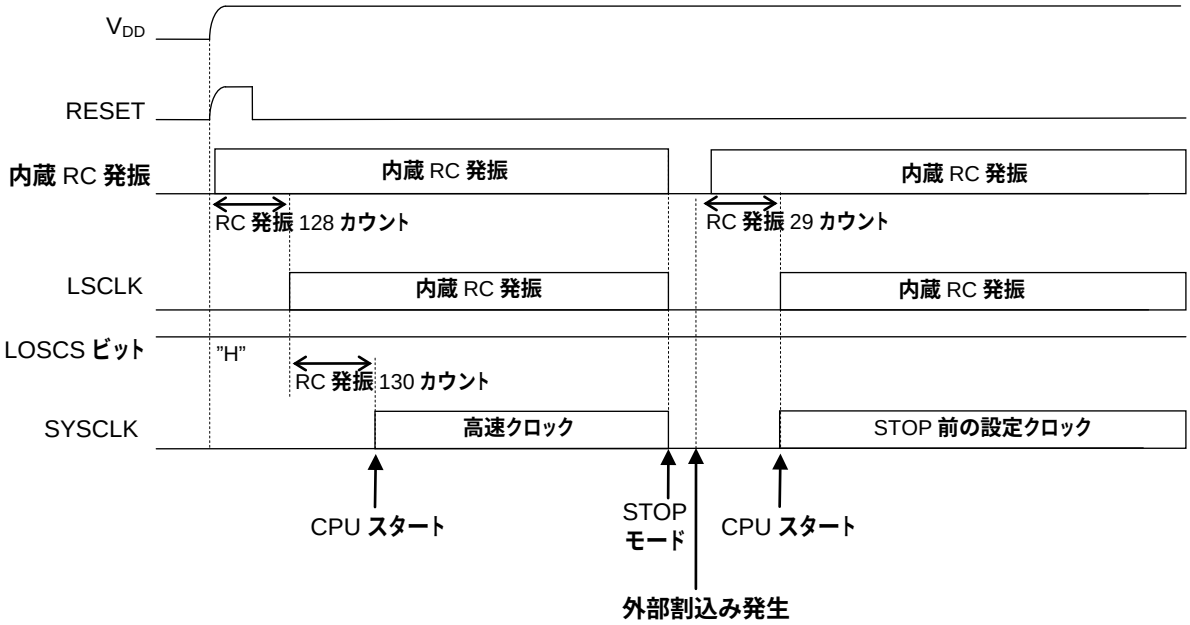


図 6-6 低速クロック発生回路の動作（低速内蔵 RC 発振モード）

6.3.1.5 低速水晶発振モードの動作

低速水晶発振は、周波数コントロールレジスタ 1(FCON1)もしくは、周波数コントロールレジスタ 2(FCON2) により、発振の開始/停止が制御できます。
FCON2 の XTM1,XTM0 ビットを“01”にするか、FCON1 の LOSCON ビット”1”にすると、水晶発振回路が発振を開始し、低速水晶発振開始時間 (T_{XTL}) と低速水晶発振安定時間（8192 カウント）待った後に低速クロック（LSCLK）は、内蔵 RC 発振クロックから低速水晶発振クロックへ切り替わります。この時、低速発振クロック切り替え割込み（LOSCINT）を発生します。各パワーダウンモード時の動作については、「第 4 章 パワーマネジメント」を参照してください。

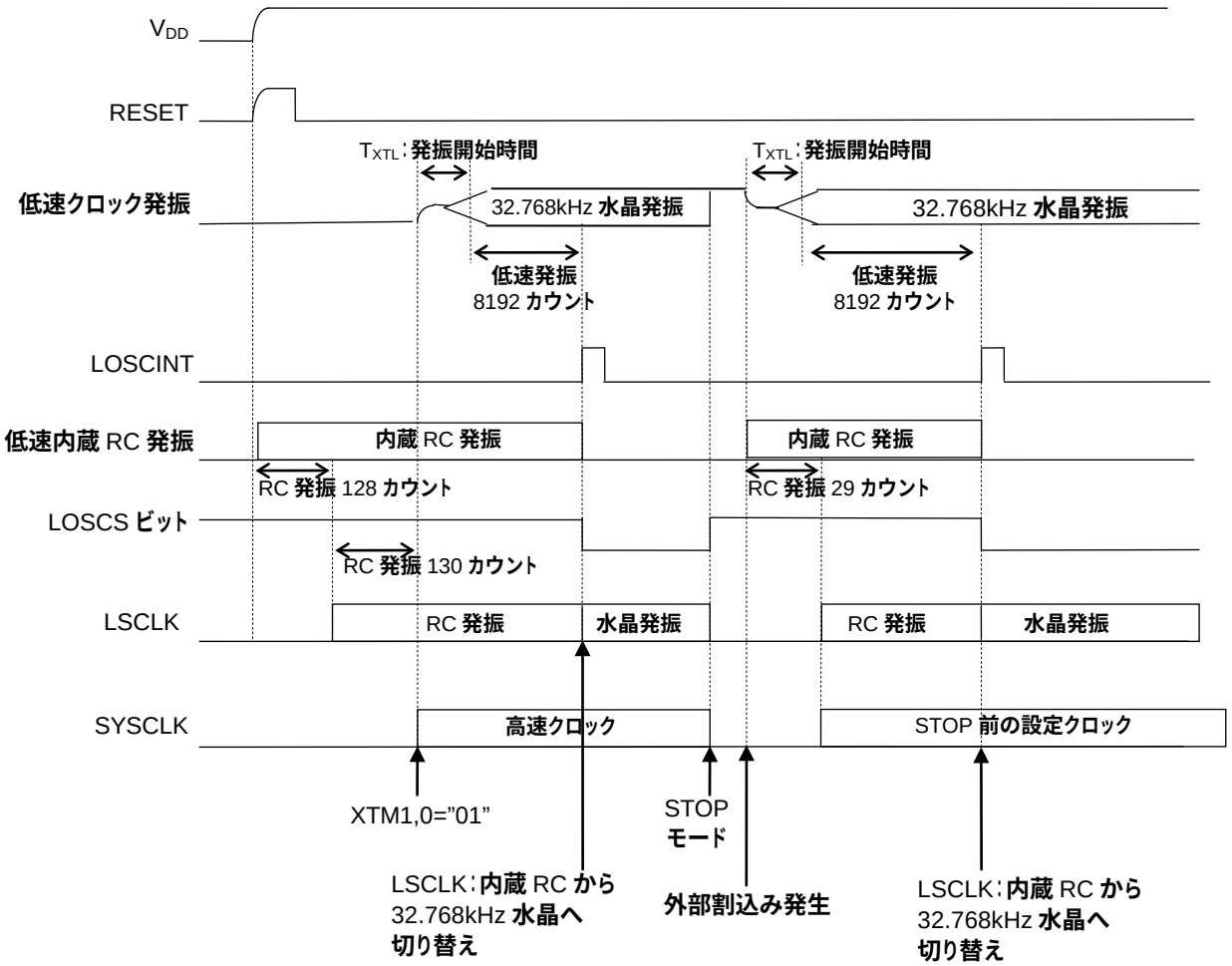


図 6-7 低速クロック発生回路の動作（低速水晶発振モード）

6.3.1.6 低速外部クロックモードの動作

低速外部クロックは、周波数コントロールレジスタ 2 (FCON2) により、発振の開始/停止が制御できます。
FCON2 の XTM0,XTM1 ビットを“11”にすると、外部クロック入力を受け付けられる状態になり、外部クロック安定時間（16 カウント）待った後に低速クロック（LSCLK）は、内蔵 RC 発振クロックから低速外部クロックへ切り替わります。この時、低速発振クロック切り替え割込み（LOSCINT）を発生します。各パワーダウンモード時の動作については、「第 4 章 パワーマネジメント」を参照してください。

図 6-8 に低速クロック発生回路の動作波形を示します。

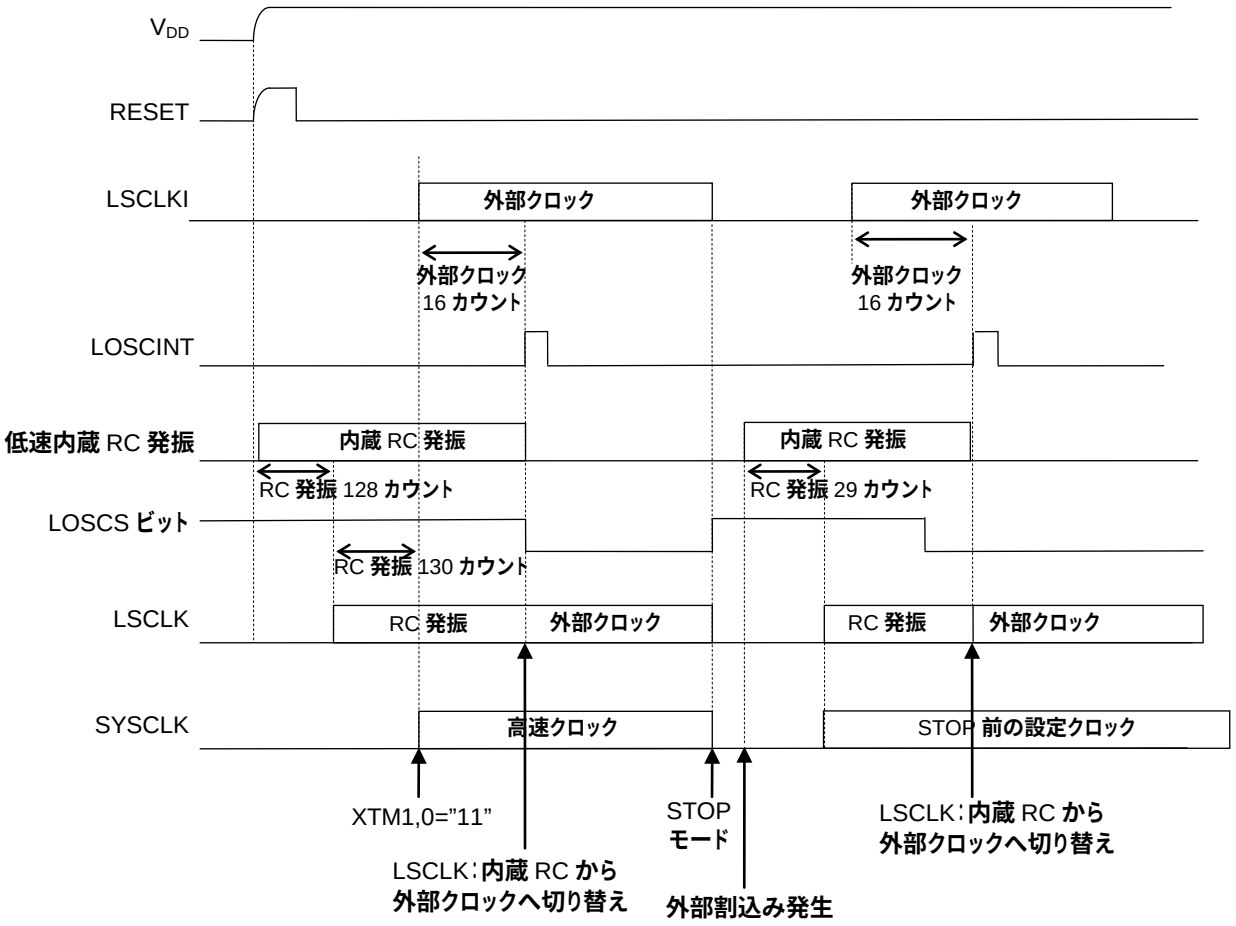


図 6-8 低速クロック発生回路の動作（低速外部クロックモード）

6.3.2 高速クロック

高速クロック発生回路は、内蔵 RC 発振モード、水晶/セラミック発振モード、高速外部クロック入力モードが選択できます。

6.3.2.1 内蔵 RC 発振モード

図 6-9 に、内蔵 RC 発振モードでの高速クロック発生回路の回路構成を示します。
内蔵 RC 発振クロックを 512 カウントすると高速発振クロック (OSCLK) が供給開始されます。

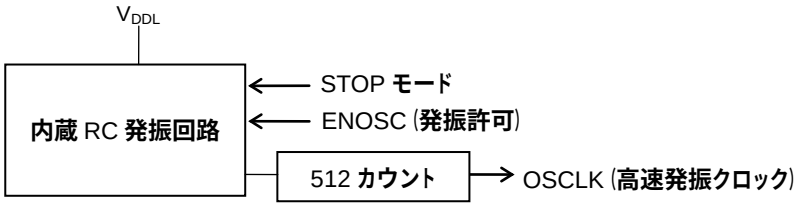


図 6-9 内蔵 RC 発振モードの回路構成

6.3.2.2 水晶/セラミック発振モード

水晶/セラミック発振モードでは、P10/OSC0 端子、P11/OSC1 端子共に水晶/セラミック発振用の端子となります。
水晶/セラミック発振モードでは、P10/OSC0 端子, P11/OSC1 端子に水晶振動子、もしくはセラミック発振子を外付けします。発振許可後、高速発振を 4096 カウントすると OSCLK(高速発振クロック)にクロックが出力されます。
図 6-10 に水晶/セラミック発振モード時の回路構成を示します。

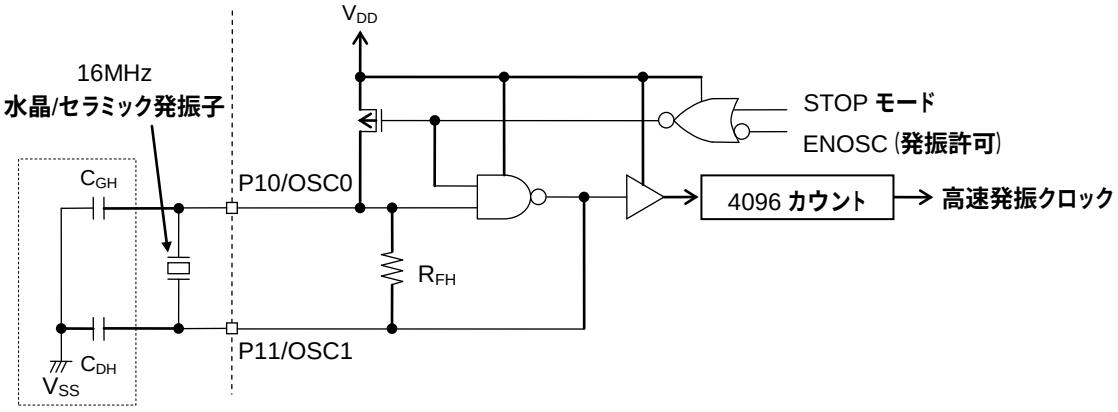


図 6-10 水晶/セラミック発振モードの回路構成

【注意】
・水晶振動子/セラミック発振子は、できる限り LSI の近くに実装し、水晶振動子/セラミック発振子およびその配線の近くにはノイズ源となる信号や電源配線を通さないでください。
・結露などにより発振が停止していまう恐れがありますので注意してください。

6.3.2.3 高速外部クロック入力モード

高速外部クロック入力モードでは、P11/OSC1 端子から外部クロックを入力します。
図 6-11 に高速外部クロック入力モード時の回路構成を示します。

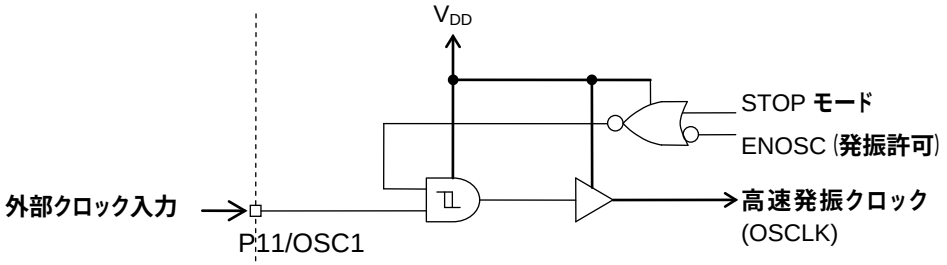


図 6-11 高速外部クロック入力モードの回路構成

【注意】

・P11/OSC1 端子には、V_{DD} 間、V_{SS} 間にダイオードが内蔵されていますので、V_{DD} より高い電圧、および V_{SS} より低い電圧の印加は避けてください。

・高速外部クロック入力モードで P11/OSC1 端子をオープン状態にすると、過大な電流が流れる恐れがありますので、必ず“H”レベル (V_{DD}) もしくは“L”レベル (V_{SS}) を入力してください。

・P11/OSC1 端子には 16MHz を超えないクロックを入力してください。

6.3.2.4 内蔵 RC 発振モードの動作

高速内蔵 RC 発振は、周波数コントロールレジスタ 1 (FCON1) により、発振の開始/停止が制御できます。
FCON1 の ENOSC ビットを“1”にすると発振を開始します。発振開始から内蔵 RC 発振クロックを 512 カウント後に OSCLK が供給開始されます。低速水晶発振モード/低速外部クロック入力モードでは、低速クロックを 26 カウント後に高速内蔵 RC 発振が開始します。
高速クロック発生回路は、ソフトウェアによりSTOP モードに移行すると発振を停止します。外部割込みによるSTOP モードの解除により、低速発振クロックが 29 カウント後に高速内蔵 RC 発振が再開され、発振開始から内蔵 RC 発振クロックを 512 カウント後に OSCLK が供給開始されます。各パワーダウンモード時の動作については、「第 4 章 パワーマネジメント」を参照してください。

図 6-12 に内蔵 RC 発振モード時の高速クロック発生回路の動作波形を示します。

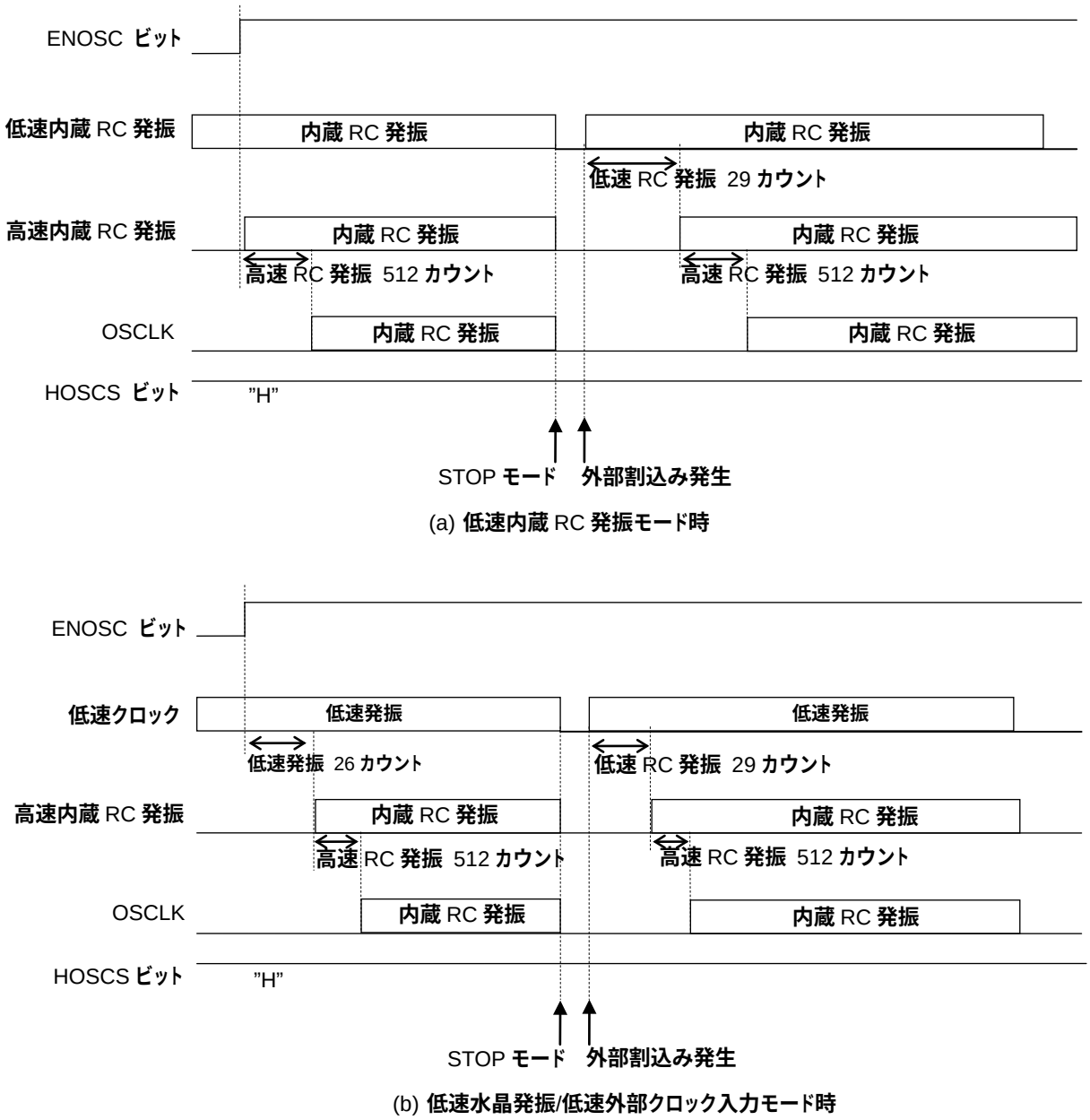
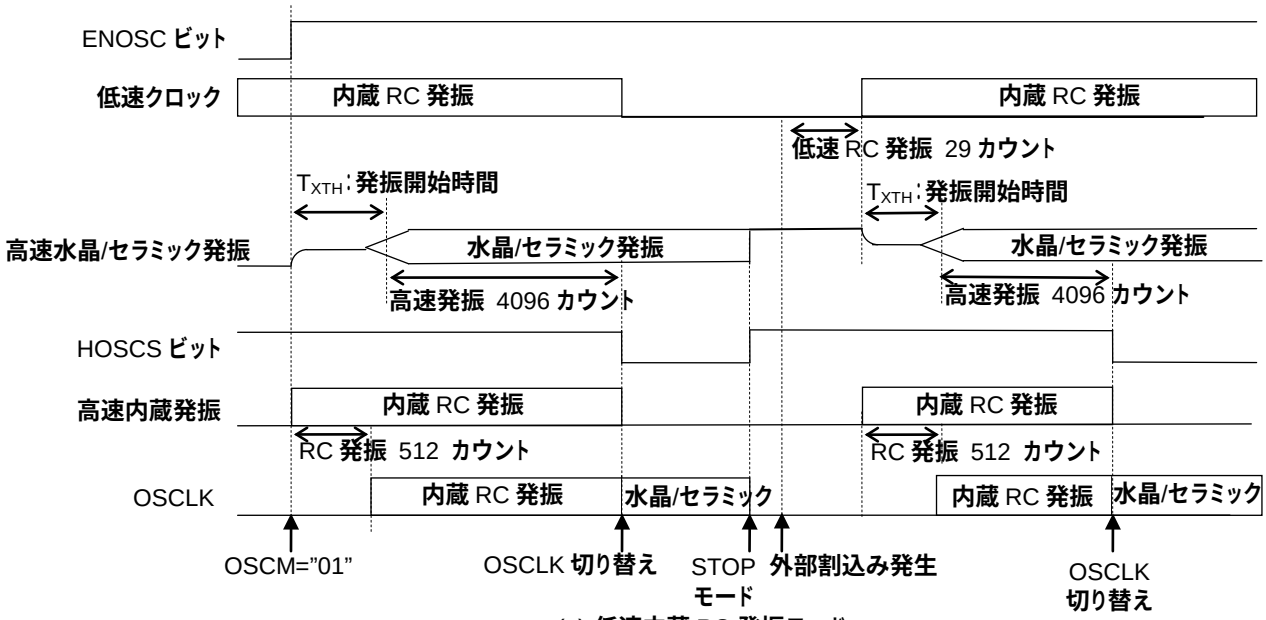


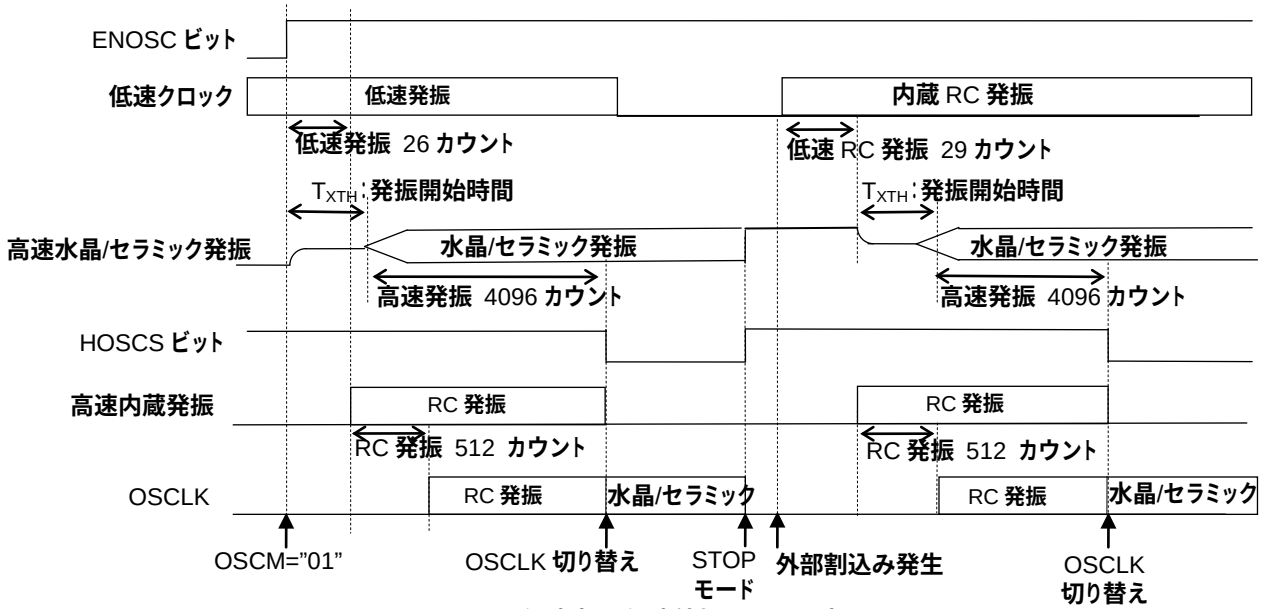
図 6-12 高速クロック発生回路の動作 (内蔵 RC 発振モード)

6.3.2.5 水晶/セラミック発振モードの動作

FCON0 の OSCM1,0 ビットを“01”に設定することにより、高速クロックは水晶/セラミック発振モードになります。
FCON1 の ENOSC ビットを“1”にすると、高速クロックとして内蔵 RC 発振クロックを 512 カウント後、内蔵 RC 発振クロックが OSCLK として供給され、FCON0 の OSCM1,0 ビットを“01”にすると水晶/セラミック発振開始時間 (T_{XTH}) と水晶/セラミック発振安定時間（4096 カウント）待った後に高速クロック（OSCLK）は、内蔵 RC 発振クロックから水晶/セラミック発振クロックへ切り替わります。低速クロックが低速水晶発振/低速外部クロック入力モードの場合、低速クロックを 26 カウント後に高速内蔵発振が開始します。
高速クロック発生回路は、ソフトウェアにより STOP モードに移行すると発振を停止します。STOP モードへ移行する場合は、FSTAT の HOSCS ビットが”0”になってることを確認し、水晶/セラミック発振が安定供給している状態で行ってください。
外部割込みによる STOP モードの解除後、低速内蔵 RC 発振クロックを 29 カウント、高速内蔵 RC 発振クロックを 512 カウント後、内蔵 RC 発振クロックが OSCLK として供給され、水晶/セラミック発振開始時間 (T_{XTH}) と水晶/セラミック発振安定時間（4096 カウント）待った後に高速クロック（OSCLK）は、内蔵 RC 発振クロックから水晶/セラミック発振クロックへ切り替わります。各パワーダウンモード時の動作については、「第 4 章 パワーマネジメント」を参照してください。
図 6-13 に水晶/セラミック発振モード時の高速クロック発生回路の動作波形を示します。



(a) 低速内蔵 RC 発振モード



(b) 低速水晶/低速外部クロック入力モード

図 6-13 高速クロック発生回路の動作（水晶セラミック発振モード）

6.3.2.6 高速外部クロックモードの動作

高速外部クロックは、周波数コントロールレジスタ 1 (FCON1) により、発振の開始/停止が制御できます。
FCON1 の ENOSC ビットを“1”にすると、内蔵 RC 発振が発振開始してから 512 カウントかつ高速外部クロックが発振してから 128 カウント後に、外部クロックが OSCLK として供給されます。
高速クロック発生回路は、ソフトウェアによりSTOP モードに移行すると発振を停止します。外部割込みによるSTOP モードの解除後、低速内蔵 RC 発振クロックを 29 カウント、高速内蔵 RC 発振クロックを 512 カウント後、内蔵 RC 発振クロックが OSCLK として供給され、高速外部クロックを 128 カウントした後に高速クロック（OSCLK）は、内蔵 RC 発振クロックから外部クロックへ切り替わります。各パワーダウンモード時の動作については、「第 4 章 パワーマネジメント」を参照してください。図 6-14 に高速外部クロック入力モード時の高速クロック発生回路の動作波形を示します。

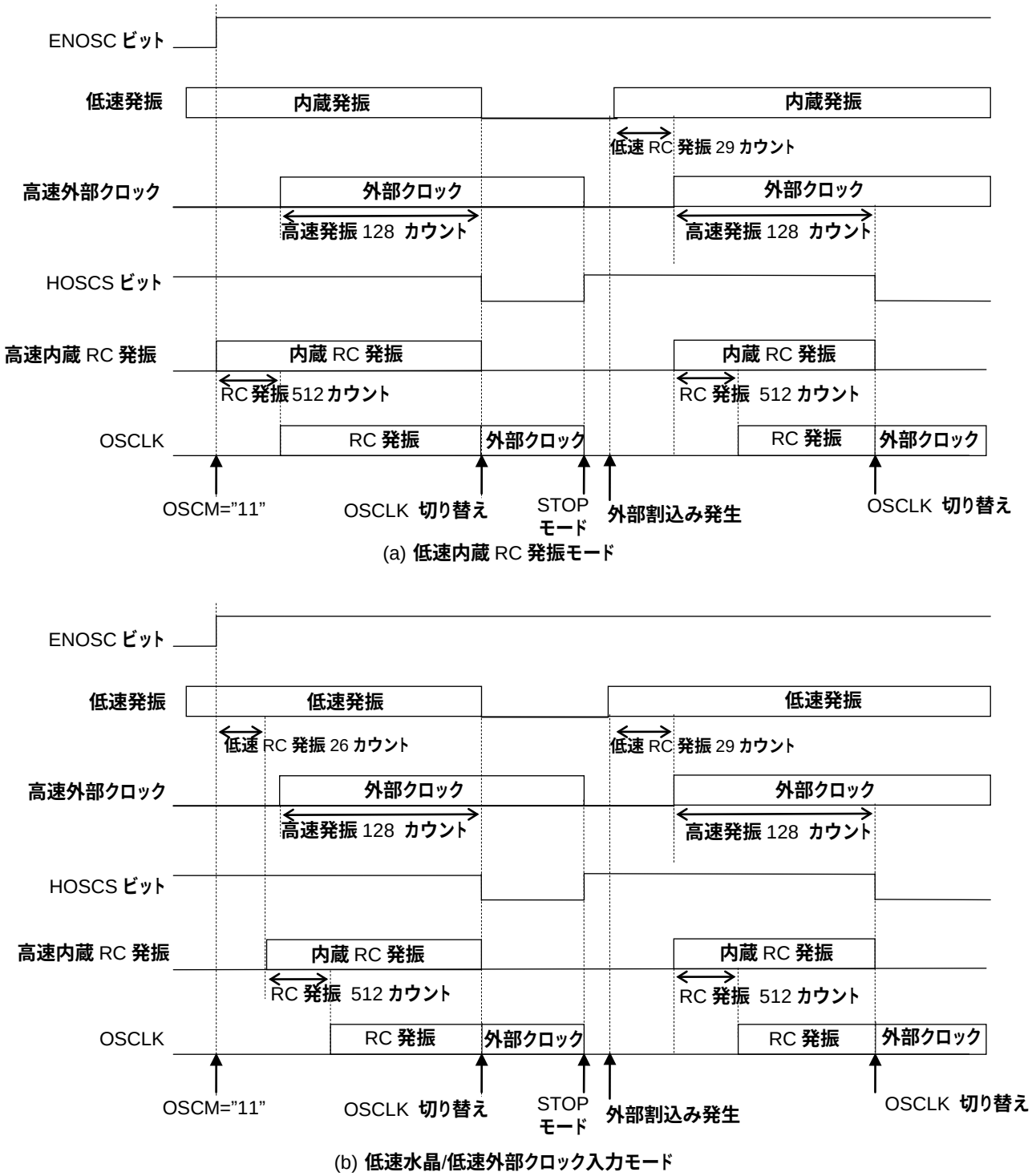


図 6-14 高速クロック発生回路の動作（高速外部クロック入力モード）

6.3.3 システムクロック切り替え

システムクロックは、周波数コントロールレジスタ (FCON0, FCON1) により、高速クロック (HSCLK) 、低速クロック (LSCLK) に切り替えることができます。
図 6-15 にシステムクロック切り替え処理のフローチャート（HSCLK→LSCLK）を、図 6-16 に、システムクロック切り替え処理のフローチャート（LSCLK→HSCLK）を示します。

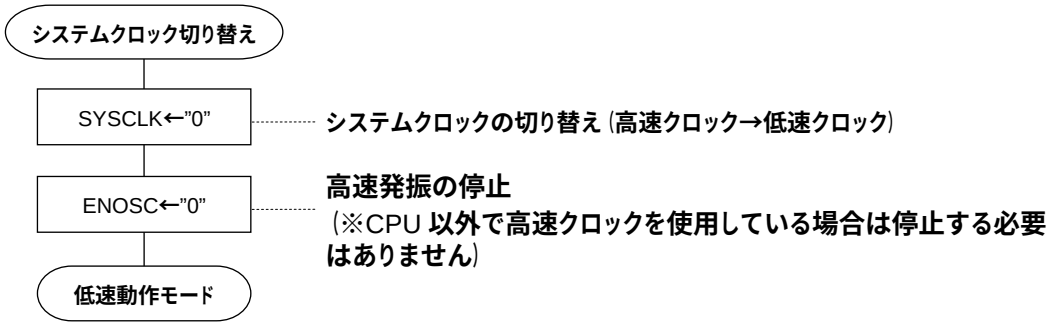


図 6-15 システムクロック切り替え処理のフローチャート（HSCLK→LSCLK）

【注意】
低速クロック (LSCLK) が発振開始する前にシステムクロックを高速クロックから低速クロックへ切り替えると、LSCLK が周辺回路に供給開始されるまで CPU は停止状態となります。

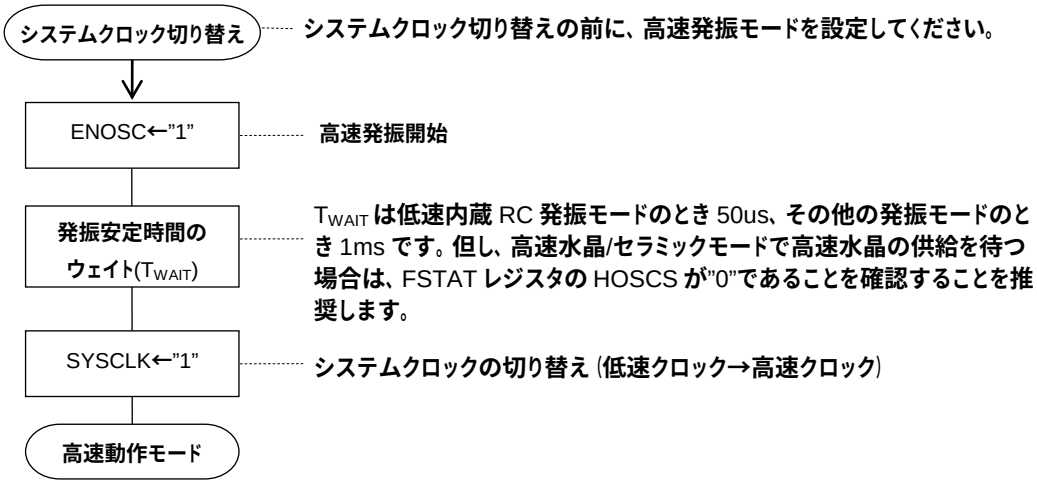


図 6-16 システムクロック切り替え処理のフローチャート（LSCLK→HSCLK）

6.3.4 低速発振クロック切り替え割込み

低速発振クロック切り替え割込み（LOSCINT）は低速内蔵 RC 発振モードから低速水晶発振モード、低速外部クロックモードへ切り替わった時に発生します。低速水晶発振モード、低速外部クロックモードから低速内蔵 RC 発振モードへの切り替え時には発生しません。

第７章　タイムベースカウンタ

7 タイムベースカウンタ

7.1 概要

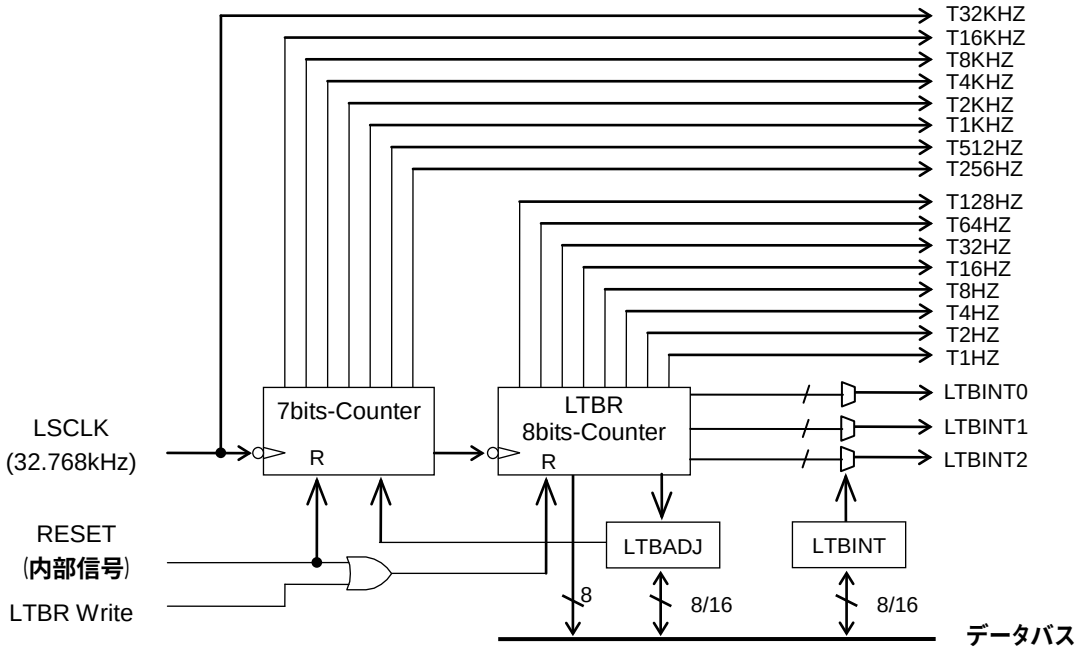
タイムベースカウンタは周辺回路のベースクロックおよび定期的な割込みを生成します。

7.1.1 特長

- 低速クロック (LSCLK) を分周し、T32KHZ～T1HZ 信号を生成。
- 低速タイムベースカウンタ周波数補正レジスタ (LTBADJH, LTBADJL) による周波数の補正（補正範囲：約-488ppm～+488ppm、補正精度：約 0.48ppm）が可能。
- 128Hz～1Hz のうち 3 つのクロックを割込み信号として利用可能。

7.1.2 構成

図 7-1 に低速タイムベースカウンタの構成を示します。



LTBR ：低速タイムベースカウンタレジスタ
LTBADJ ：低速タイムベースカウンタ周波数補正レジスタ
LTBINT ：低速タイムベースカウンタ割込み選択レジスタ

図 7-1 低速タイムベースカウンタ (LTBC) の構成

7.2 レジスタ説明

7.2.1 レジスター覧

アドレス [H]	名称	略称 (Byte)	略称 (Word)	R/W	サイズ	初期値 [H]
0F060	低速タイムベースカウンタレジスタ	LTBR	ー	R/W	8	00
0F062	低速タイムベースカウンタ周波数補正レジスタ	LTBADJL	LTBADJ	R/W	8/16	00
0F063		LTBADJH		R/W	8	00
0F064	低速タイムベースカウンタ割込み選択レジスタ	LTBINTL	LTBINT	R/W	8/16	30
0F065		LTBINTH		R/W	8	06

7.2.2 低速タイムベースカウンタレジスタ (LTBR)

アドレス：0F060H
アクセス：R/W
アクセスサイズ：8 ビット
初期値：00H

	7	6	5	4	3	2	1	0
LTBR	T1HZ	T2HZ	T4HZ	T8HZ	T16HZ	T32HZ	T64HZ	T128HZ
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

LTBR は、低速タイムベースカウンタの値を読み出す特殊機能レジスタ (SFR) です。
LTBR に書き込みを行うと書き込みデータにかかわらず LTBR の内容は“0”になります。

【注意】
LTBR の書き込みタイミングによってはLTBC 割込みが発生する可能性があります。「7.3.1 低速タイムベースカウンタ」を参照ください。

7.2.3 低速タイムベースカウンタ周波数補正レジスタ(LTBADJ)

アドレス：0F062H
アクセス：R/W
アクセスサイズ：8/16 ビット
初期値：0000H

	7	6	5	4	3	2	1	0
LTBADJL	LADJ7	LADJ6	LADJ5	LADJ4	LADJ3	LADJ2	LADJ1	LADJ0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

	15	14	13	12	11	10	9	8
LTBADJH	–	–	–	–	–	LADJ10	LADJ9	LADJ8
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

LTBADJ は、低速タイムベースクロックの周波数補正値を設定する特殊機能レジスタ (SFR) です。

ビットの説明

- **LADJ10-0** （ビット 10～0）
  LADJ10-0 は、周波数の補正ビットです。
  補正範囲：約-488ppm～+488ppm、補正精度：約 0.48ppm が可能です。
  周波数補正値 (LTBADJH, LTBADJL) と補正値率の対応は以下の通りです。

表 7-1 周波数補正値 (LTBADJH, LTBADJL) と補正値率の対応

LADJ10-0											16 **進数**	**周波数補正率**(ppm)
0	1	1	1	1	1	1	1	1	1	1	3FFH	+487.80
0	1	1	1	1	1	1	1	1	1	0	3FEH	+487.33
:	:	:	:	:	:	:	:	:	:	:		:
0	0	0	0	0	0	0	0	0	1	1	003H	+1.43
0	0	0	0	0	0	0	0	0	1	0	002H	+0.95
0	0	0	0	0	0	0	0	0	0	1	001H	+0.48
0	0	0	0	0	0	0	0	0	0	0	000H	0
1	1	1	1	1	1	1	1	1	1	1	7FFH	-0.48
1	1	1	1	1	1	1	1	1	1	0	7FEH	-0.95
:	:	:	:	:	:	:	:	:	:	:		:
1	0	0	0	0	0	0	0	0	0	1	401H	-487.80
1	0	0	0	0	0	0	0	0	0	0	400H	-488.28

LTBADJH, LTBADJL に設定する補正値 (LADJ10-0) は、以下の式で求められます。

補正値 ＝ 周波数補正率×2097152（10 進数）
＝ 周波数補正率×200000h（16 進数）

例1： +15.0ppm 補正する場合（時計が遅れる場合）

補正値 ＝ +15.0ppm×2097152（10 進数）
＝ $+15.0\times10^{-6}\times2097152$
＝ +31.45728（10 進数）
01Fh（16 進数）

例2： -25.5ppm 補正する場合（時計が早まる場合）

補正値 ＝ －25.5ppm×2097152（10 進数）
＝ $-25.5\times10^{-6}\times2097152$
＝ －53.477376（10 進数）
7CCh（16 進数）

【注意】
低速クロック (LSCLK) 、および LTBC の T32KHZ、T16KHZ 出力は、周波数補正機能では補正されません。
周波数補正の精度は、温度変動による水晶発振 (32.768kHz) の周波数変動を含めた精度を保証するものではありません。

7.2.4 低速タイムベースカウンタ割込み選択レジスタ (LTBINT)

アドレス:0F064H
アクセス:R/W
アクセスサイズ:8/16 ビット
初期値:0630H

	7	6	5	4	3	2	1	0
LTBINTL	–	LTI1S2	LTI1S1	LTI1S0	–	LTI0S2	LTI0S1	LTI0S0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	1	1	0	0	0	0

	15	14	13	12	11	10	9	8
LTBINTH	–	–	–	–	–	LTI2S2	LTI2S1	LTI2S0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	1	1	0

LTBINT は、割込み信号として利用する低速タイムベースクロックを指定する特殊機能レジスタ (SFR) です。

ビットの説明

- **LTI0S2-0** (ビット 2～0)
  LTBINT0 に割り当てる信号を選択するビットです。初期値は T128HZ です。

- **LTI1S2-0** (ビット 6～4)
  LTBINT1 に割り当てる信号を選択するビットです。初期値は T16HZ です。

- **LTI2S2-0** (ビット 10～8)
  LTBINT2 に割り当てる信号を選択するビットです。初期値は T2HZ です。

LTInS2	LTInS1	LTInS0	割り当てられるクロック
0	0	0	T128HZ
0	0	1	T64HZ
0	1	0	T32HZ
0	1	1	T16HZ
1	0	0	T8HZ
1	0	1	T4HZ
1	1	0	T2HZ
1	1	1	T1HZ

＊ 設定時に割込み要因が発生する場合があります。

7.3 動作説明

7.3.1 低速タイムベースカウンタ

低速タイムベースカウンタ (LTBC) は、システムリセット後、LSCLK の立ち下がりエッジで 0000H からカウントアップを開始します。
LTBC の 3 本の割込みは、低速タイムベースカウンタ割込み選択レジスタ (LTBINT) で割り当てたクロック出力 (初期値は T128HZ, T16HZ, T2HZ) の立ち下がりエッジで割込みを要求します。

LTBC の T128HZ～T1HZ 出力は、低速タイムベースカウンタレジスタ (LTBR) からデータの読み出しが可能です。読み出す場合は、カウントアップ中の不確定データの読み出しを防止するため、LTBR を二度読み出し、値が同一であることを確認してください。
図 7-2 に、LTBC の出力を読み出す場合のプログラム例を示します。

```
        LEA     offset LTBR     ;EA←LTBR アドレス
MARK:
        L       R0,     [EA]        ;一度目の読み出し
        L       R1,     [EA]        ;二度目の読み出し
;
        CMP     R0,     R1          ;LTBR の比較
        BNE     MARK            ;一致しなかった場合は MARK へ
;
        :
```

図 7-2 LTBR を読み出す場合のプログラム例

LTBR に書き込み動作を行うと LTBR はリセットされ、T128HZ～T1HZ 出力は“0”になります。この時、低速タイムベースカウンタ割込みに割り当てたクロックが“1”から“0”に変化すると割込みが発生しますので LTBR をリセットする場合は、割込みコントローラの各低速タイムベースカウンタ割込みを禁止した後、LTBR をリセットし、リセットにより発生した低速タイムベースカウンタ割込み要求をクリアする処理が必要となります。図 7-3 に、低速タイムベースカウンタ割込み要求をクリアするシーケンスを示します。

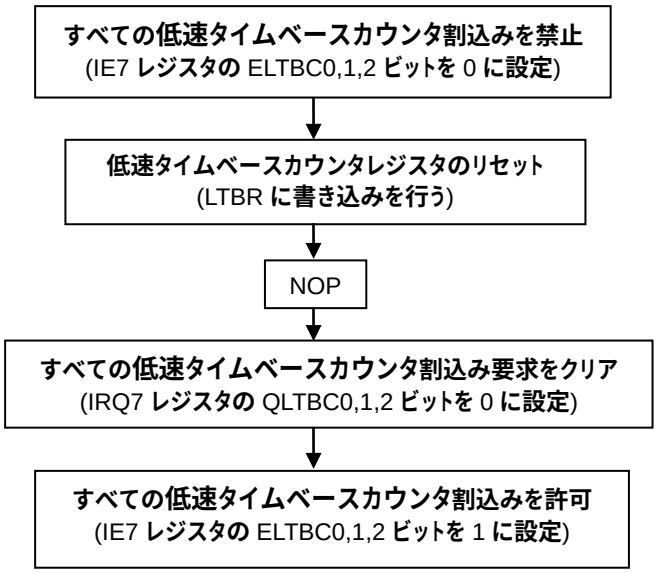


図 7-3 LTBR リセットにより発生した LTBC 割込み要求をクリアする場合のシーケンス

割込みコントローラの低速タイムベースカウンタ割込みが発生してから、割込みコントローラの低速タイムベースカウンタ割込み要求フラグがセットされるまで 1CPU サイクルが必要となります。LTBR の書き込み後に LTBC 割込み要求フラグをクリアする場合は、LTBR を書き込む命令の直後に要求フラグをクリアする命令は置かず NOP 命令などを配置して時間を置いてから要求フラグをクリアして下さい。

図 7-4 に LTBR への書き込みによるタイムベースカウンタ出力の割込み発生タイミング（低速タイムベースカウンタ割込み選択レジスタ（LTBINTn）で T128HZ, T16HZ, T2HZ に割り当てた場合）を示します。

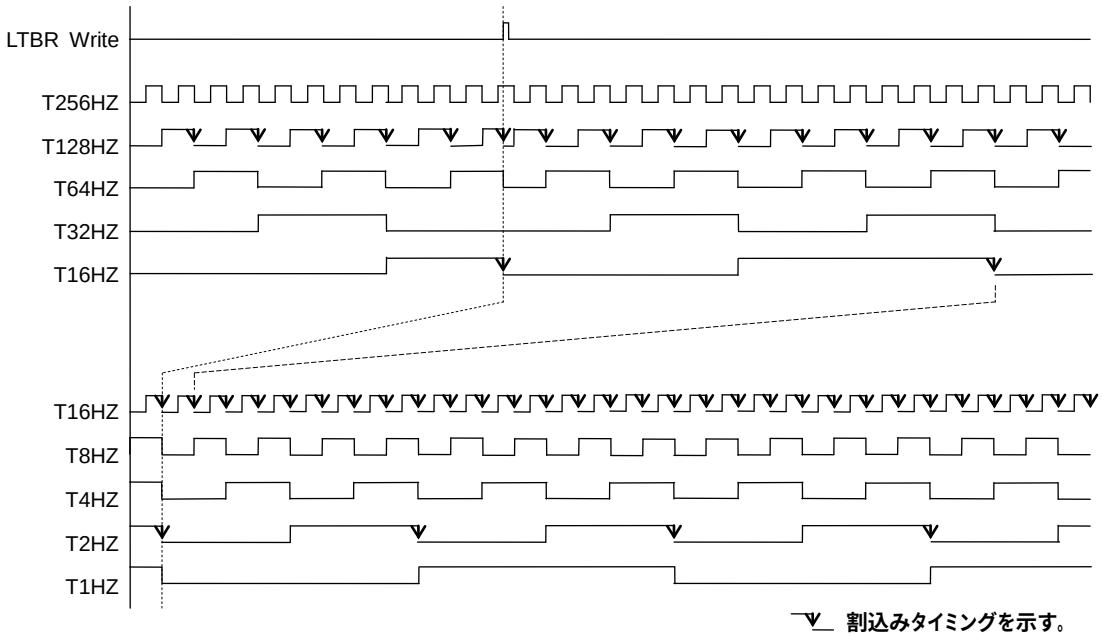


図 7-4 LTBR の書き込みによる割込み発生タイミング

第 8 章　タイマ

8 タイマ

8.1 概要

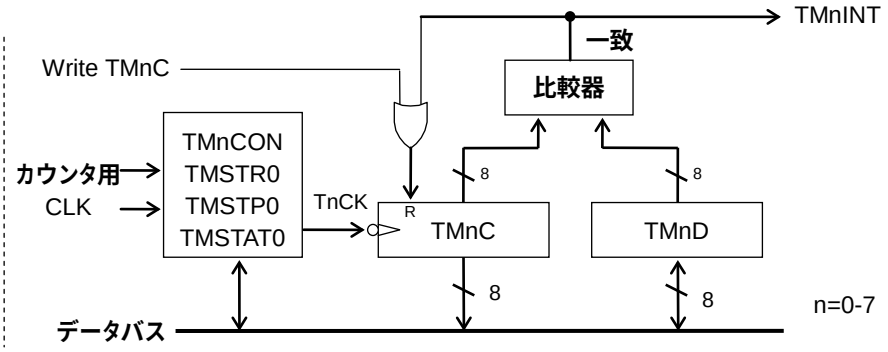
本 LSI は、8 ビットタイマを 8 チャンネル内蔵しています。2 つのタイマを組み合わせることで 16 ビットタイマとしても使用することができます。

8.1.1 特長

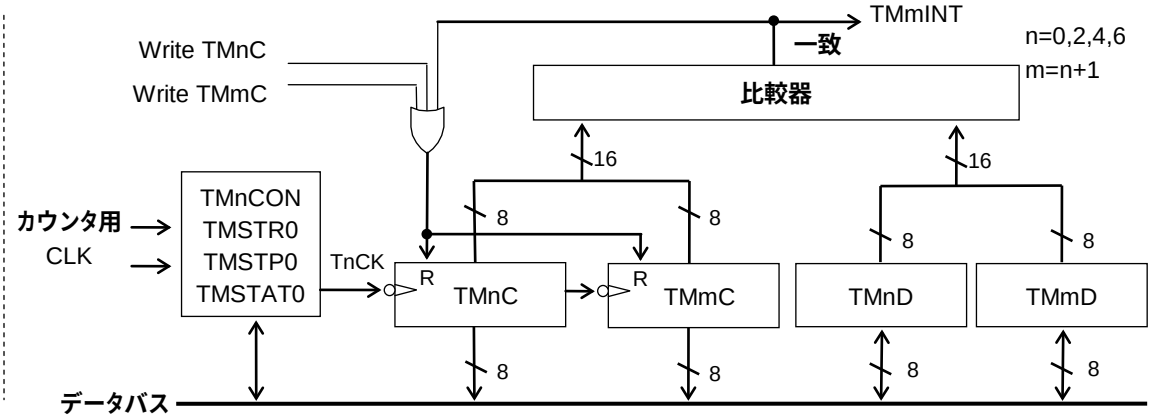
- タイマカウンタレジスタ (TMnC, n=0～7) とタイマデータレジスタ (TMnD, n=0～7) の値が一致するとタイマ割込み (TMnINT, n=0～7) を発生。
- タイマ 0 とタイマ 1、タイマ 2 とタイマ 3、タイマ 4 とタイマ 5、タイマ 6 とタイマ 7 を組み合わせて 16 ビットタイマとして使用可能。
- タイマのクロックは、低速クロック (LSCLK) 、高速クロック (OSCLK)、外部クロック(P42/P43/P52/P53)が選択可能。(チャンネル毎に選択できるクロックが異なります。)
- 分周機能を使って、タイマクロックを 1 分周、2 分周、4 分周、8 分周、16 分周、32 分周、64 分周に設定可能。

8.1.2 構成

図 8-1 にタイマの構成を示します。



(a) 8 ビットタイマモード時



(b) 16 ビットタイマモード時

TMnCON	：タイマコントロールレジスタ	TMSTR0	：タイマスタートレジスタ 0
TMnD,TMmD	：タイマデータレジスタ	TMSTP0	：タイマストップレジスタ 0
TMnC,TMmC	：タイマカウンタレジスタ	TMSTAT0	：タイマステータスレジスタ 0

図 8-1 タイマの構成

各チャンネルのカウンタ用クロックの選択肢は、以下のようになります。

8 ビットモード時

チャンネル	選択可能クロック
0	LSCLK/OSCLK
1	
2	LSCLK/OSCLK/**外部端子**(P42)
3	LSCLK/OSCLK/**外部端子**(P43)
4	LSCLK/OSCLK/**外部端子**(P52)
5	LSCLK/OSCLK/**外部端子**(P53)
6	LSCLK/OSCLK/**低速水晶発振**(*1)
7	

16 ビットモード時

チャンネル	選択可能クロック
0,1	LSCLK/OSCLK
2,3	LSCLK/OSCLK/**外部端子**(P42)
4,5	LSCLK/OSCLK/**外部端子**(P52)
6,7	LSCLK/OSCLK/**低速水晶発振**(*1)

(*1) LSCLK に低速内蔵 RC 発振を選択している場合に、タイマのみ低速水晶発振で動作させることが可能です。その際、周波数コントロールレジスタ 01(FCON01)の LOSCON ビットにより、低速水晶発振を許可する必要があります。

8.2 レジスタ説明

8.2.1 レジスター覧

アドレス [H]	名称	略称 (Byte)	略称 (Word)	R/W	サイズ	初期値 [H]
0F300	タイマ 01 データレジスタ	TM0D	TM01D	R/W	8/16	FF
0F301		TM1D		R/W	8	FF
0F302	タイマ 23 データレジスタ	TM2D	TM23D	R/W	8/16	FF
0F303		TM3D		R/W	8	FF
0F304	タイマ 45 データレジスタ	TM4D	TM45D	R/W	8/16	FF
0F305		TM5D		R/W	8	FF
0F306	タイマ 67 データレジスタ	TM6D	TM67D	R/W	8/16	FF
0F307		TM7D		R/W	8	FF
0F310	タイマ 01 カウンタレジスタ	TM0C	TM01C	R/W	8/16	00
0F311		TM1C		R/W	8	00
0F312	タイマ 23 カウンタレジスタ	TM2C	TM23C	R/W	8/16	00
0F313		TM3C		R/W	8	00
0F314	タイマ 45 カウンタレジスタ	TM4C	TM45C	R/W	8/16	00
0F315		TM5C		R/W	8	00
0F316	タイマ 67 カウンタレジスタ	TM6C	TM67C	R/W	8/16	00
0F317		TM7C		R/W	8	00
0F320	タイマ 01 コントロールレジスタ	TM0CON	TM01CON	R/W	8/16	00
0F321		TM1CON		R/W	8	00
0F322	タイマ 23 コントロールレジスタ	TM2CON	TM23CON	R/W	8/16	00
0F323		TM3CON		R/W	8	00
0F324	タイマ 45 コントロールレジスタ	TM4CON	TM45CON	R/W	8/16	00
0F325		TM5CON		R/W	8	00
0F326	タイマ 67 コントロールレジスタ	TM6CON	TM67CON	R/W	8/16	00
0F327		TM7CON		R/W	8	00
0F330	タイマスタートレジスタ 0	TMSTR0	-	W	8	00
0F332	タイマストップレジスタ 0	TMSTP0	-	W	8	00
0F334	タイマステータスレジスタ 0	TMSTAT0	-	R	8	00

8.2.2 タイマ nm データレジスタ (TMnmD : {n,m}={0,1} , {2,3} , {4,5} , {6,7})

アドレス: 0F300H(TM0D/TM01D), 0F301H(TM1D), 0F302H(TM2D/TM23D), 0F303H(TM3D),
0F304H(TM4D/TM45D), 0F305H(TM5D), 0F306H(TM6D/TM67D), 0F307H(TM7D)
アクセス:R/W
アクセスサイズ:8/16 ビット
初期値: FFFFH

	7	6	5	4	3	2	1	0
TMnD	TnD7	TnD6	TnD5	TnD4	TnD3	TnD2	TnD1	TnD0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	1	1	1	1	1	1	1	1

	15	14	13	12	11	10	9	8
TMmD	TmD7	TmD6	TmD5	TmD4	TmD3	TmD2	TmD1	TmD0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	1	1	1	1	1	1	1	1

タイマ nm データレジスタ (TMnmD) は、タイマ nm カウンタレジスタ (TMnmC) と比較する値を設定する特殊機能レジスタ (SFR) です。

8 ビットタイマモード時は TMnD(TMmD)と TMnC(TMmC)を比較し、 16 ビットタイマモード時は TMnmD と TMnmC を比較します。

【注意】
TMnD は、タイマ n が停止している状態 (TMSTAT0 レジスタの TnSTAT(TmSTAT)が”0“の状態) で設定してください。
8 ビットタイマモード時に TMnD(TMmD)に“00H”を書き込んだ場合は、TMnD(TMmD)には“01H”が設定されます。
16 ビットタイマモード時に TMnmD に”0000H”を書き込んだ場合は、TMnmD には”0001H“が設定されます。

8.2.3 タイマ nm カウンタレジスタ (TMnmC : {n,m}={0,1} , {2,3} , {4,5} , {6,7})

アドレス：0F310H(TM0C/TM01C), 0F311H(TM1C), 0F312H(TM2C/TM23C), 0F313H(TM3C),
0F314H(TM4C/TM45C), 0F315H(TM5C), 0F316H(TM6C/TM67C), 0F317H(TM7C)
アクセス：R/W
アクセスサイズ：8/16 ビット
初期値：0000H

	7	6	5	4	3	2	1	0
TMnC	TnC7	TnC6	TnC5	TnC4	TnC3	TnC2	TnC1	TnC0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

	15	14	13	12	11	10	9	8
TMmC	TmC7	TmC6	TmC5	TmC4	TmC3	TmC2	TmC1	TmC0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

TMnC(TMmC)は、8 ビットバイナリカウンタとして機能する特殊機能レジスタ (SFR) です。
TMnC(TMmC)に任意のデータを書き込むと TMnC(TMmC)は”00H”にクリアされます。
16 ビットタイマモード時は、TM0C と TM1C, TM2C と TM3C, TM4C と TM5C および TM6C と TM7C の組み合わせとなり、下位側 (TM0C,TM2C,TM4C,TM6C) もしくは上位側 (TM1C,TM3C,TM5C,TM7C) のどちらのタイマカウンタに書き込みを行っても両タイマカウンタは”00H”となります。
下位側、上位側の両方が“00H”になります。

表 8-1 に示したタイマクロックとシステムクロックの組み合わせの場合、動作中でも TMnmC を読み出すことができます。

表 8-1 タイマ動作中の TMnmC 読み出し可能条件

システムクロック SYSCLK	**タイマクロック** TnCK
LSCLK	LSCLK **とその分周クロック** **但し、**Timer6,7 **の低速水晶発振選択時は除く**
HSCLK	OSCLK **とその分周クロック** **但し、**SYSCLK **の周波数が** TnCK **の周波数以上のとき**

8.2.4 タイマ nm コントロールレジスタ (TMnmCON : {n,m}={0,1} , {2,3} , {4,5} , {6,7})

アドレス：0F320H(TM0CON/TM01CON), 0F321H(TM1CON), 0F322H(TM2CON/TM23CON), 0F323H(TM3CON), 0F324H(TM4CON/TM45CON), 0F325H(TM5CON), 0F326H(TM6CON/TM67CON), 0F327H(TM7CON)
アクセス：R/W
アクセスサイズ：8/16 ビット
初期値：0000H

	7	6	5	4	3	2	1	0
TMnCON	TnOST	TnmM16	TnDIV2	TnDIV1	TnDIV0	ー	TnCS1*	TnCS0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

	15	14	13	12	11	10	9	8
TMmCON	TmOST	ー	TmDIV2	TmDIV1	TmDIV0	ー	TmCS1*	TmCS0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

* TM0CON および TM1CON の TnmCS1 ビットは”0”固定です。

タイマコントロールレジスタ(TMnmCON)は、タイマを制御する特殊機能レジスタ (SFR) です。
タイマコントロールレジスタの設定は、対象のタイマが停止している状態（TMSTAT0 レジスタの TnSTAT が“0”の状態）で行ってください。

ビットの説明

・ **TnCS1-0**（ビット 1～0）**, TmCS1-0**（ビット 9～8）
TnCS1-0(TmCS1-0)は、タイマ n(タイマ m)の動作クロックを選択するビットです。
16 ビットタイマモード時は、TMnCON で選択されているクロックで動作します。

TnCS1 TmCS1	**TnCS0 TmCS0**	**説明**					
		タイマ 7,6	**タイマ** 5	**タイマ** 4	**タイマ** 3	**タイマ** 2	**タイマ** 1,0
0	0	LSCLK(**初期値**)					
0	1	OSCLK					
1	0	**低速水晶発振**	LSCLK				**設定不可**
1	1	LSCLK	**外部端子** (P53)	**外部端子** (P52)	**外部端子** (P43)	**外部端子** (P42)	**設定不可**

T0CS1 および T1CS1 は”0”固定です。

・ **TnDIV2-0**（ビット 5～3）**, TmDIV2-0**（ビット 13～11）
TnDIV2-0(TmDIV2-0)は、動作クロックの分周値を選択するビットです。
16 ビットタイマモード時は、TMnCON で選択されている分周比となります。

TnDIV2 TmDIV2	**TnDIV1 TmDIV1**	**TnDIV0 TmDIV0**	**説明**
0	0	0	TnCS1-0(TmCS1-0)**で選択されたクロック（初期値）**
0	0	1	TnCS1-0(TmCS1-0)**で選択されたクロックの** 2 **分周**
0	1	0	TnCS1-0(TmCS1-0)**で選択されたクロックの** 4 **分周**
0	1	1	TnCS1-0(TmCS1-0)**で選択されたクロックの** 8 **分周**
1	0	0	TnCS1-0(TmCS1-0)**で選択されたクロックの** 16 **分周**
1	0	1	TnCS1-0(TmCS1-0)**で選択されたクロックの** 32 **分周**
1	1	0	TnCS1-0(TmCS1-0)**で選択されたクロックの** 64 **分周**
1	1	1	**使用禁止**（TnCS1-0(TmCS1-0)**で選択されたクロック**）

・ **TnmM16** （ビット 6）

TnmM16 は、16 ビットタイマモードを設定するビットです。
TnmM16 は、TM0CON, TM2CON,TM4CON および TM6CON にあるビットで、”1”に設定すると 2 つのタイマが接続し 16 ビットタイマとして動作します。TmM16 が”0”に設定されているとタイマはそれぞれ 8 ビットタイマとして動作します。

TnmM16	説明
0	8 ビットタイマモード （初期値）
1	16 ビットタイマモード

各タイマコントロールレジスタの TnmM16 ビットと接続されるタイマ及び使用される割込みは以下の通りです。

ﾀｲﾏｺﾝﾄﾛｰﾙﾚｼﾞｽﾀ名	TnmM16 ビット名	接続されるタイマ(H-L)	割込み
TM0CON	T01M16	タイマ 1 – タイマ 0	Timer1
TM2CON	T23M16	タイマ 3 – タイマ 2	Timer3
TM4CON	T45M16	タイマ 5 - タイマ 4	Timer5
TM6CON	T67M16	タイマ 7 - タイマ 6	Timer7

・ **TnOST** （ビット 7）**, TmOST** （ビット 15）

TnOST(TmOST)は、タイマの動作モードを選択するビットです。TnOST(TmOST)を”1”にするとワンショットタイマモードが使用できます。
16 ビットタイマモード時は、TMnCON で選択されている動作モードで動作します。

TnOST TmOST	説明
0	通常タイマモード （初期値）
1	ワンショットタイマモード

8.2.5 タイマスタートレジスタ 0(TMSTR0)

アドレス：0F330H
アクセス：W
アクセスサイズ：8 ビット
初期値：00H

	7	6	5	4	3	2	1	0
TMSTR0	T7RUN	T6RUN	T5RUN	T4RUN	T3RUN	T2RUN	T1RUN	T0RUN
R/W	W	W	W	W	W	W	W	W
初期値	0	0	0	0	0	0	0	0

TMSTR0 は、タイマ 0～タイマ 7 を制御する特殊機能レジスタ (SFR) です。

ビットの説明

・ **TnRUN** （ビット n : n=0～7）
TnRUN は、タイマ n のカウント開始を制御するビットです。
電源投入後初期状態はカウンタ停止しています。
TnRUN ビットに”1”を書き込むとタイマ n のカウントアップを開始します。
16 ビットタイマモード時はタイマ n とタイマ n+1 がカウントアップを開始します。(n = 0,2,4,6)

TnRUN	説明
0	**現在の状態を継続 (初期値)**
1	**カウント開始**

	8 ビットタイマモード	16 ビットタイマモード
T0RUN	**タイマ** 0	**タイマ** 0 + **タイマ** 1
T1RUN	**タイマ** 1	**設定禁止**
T2RUN	**タイマ** 2	**タイマ** 2 + **タイマ** 3
T3RUN	**タイマ** 3	**設定禁止**
T4RUN	**タイマ** 4	**タイマ** 4 + **タイマ** 5
T5RUN	**タイマ** 5	**設定禁止**
T6RUN	**タイマ** 6	**タイマ** 6 + **タイマ** 7
T7RUN	**タイマ** 7	**設定禁止**

8.2.6 タイマストップレジスタ 0(TMSTP0)

アドレス：0F332H
アクセス：W
アクセスサイズ：8 ビット
初期値：00H

	7	6	5	4	3	2	1	0
TMSTP0	T7STP	T6STP	T5STP	T4STP	T3STP	T2STP	T1STP	T0STP
R/W	W	W	W	W	W	W	W	W
初期値	0	0	0	0	0	0	0	0

TMSTP0 は、タイマ 0～タイマ 7 を制御する特殊機能レジスタ (SFR) です。

ビットの説明

・ **TnSTP** （ビット n : n=0～7）
TnSTP は、タイマ n のカウント停止を制御するビットです。
電源投入後初期状態はカウンタ停止しています。カウンタ停止中の”1”設定は無効です。
TnSTP ビットに”1”を書き込むとタイマ n のカウントアップを停止します。
16 ビットタイマモード時はタイマ n とタイマ n+1 がカウントアップを停止します。(n = 0,2,4,6)

TnSTP	説明
0	**現在の状態を継続 (初期値)**
1	**カウント停止**

	8 ビットタイマモード	16 ビットタイマモード
T0STP	**タイマ** 0	**タイマ** 0 + **タイマ** 1
T1STP	**タイマ** 1	**設定禁止**
T2STP	**タイマ** 2	**タイマ** 2 + **タイマ** 3
T3STP	**タイマ** 3	**設定禁止**
T4STP	**タイマ** 4	**タイマ** 4 + **タイマ** 5
T5STP	**タイマ** 5	**設定禁止**
T6STP	**タイマ** 6	**タイマ** 6 + **タイマ** 7
T7STP	**タイマ** 7	**設定禁止**

8.2.7 タイマステータスレジスタ 0(TMSTAT0)

アドレス：0F334H
アクセス：R
アクセスサイズ：8 ビット
初期値：00H

	7	6	5	4	3	2	1	0
TMSTAT0	T7STAT	T6STAT	T5STAT	T4STAT	T3STAT	T2STAT	T1STAT	T0STAT
R/W	R	R	R	R	R	R	R	R
初期値	0	0	0	0	0	0	0	0

TMSTAT0 は、タイマ 0～タイマ 7 を制御する特殊機能レジスタ (SFR) です。

ビットの説明

・ **TnSTAT**（ビット n : n=0～7）
TnSTAT は、タイマ n の動作中／停止中を示すビットです。

TnSTAT	説明
0	カウント停止中 (初期値)
1	カウント中

	8 ビットタイマモード	16 ビットタイマモード
T0STAT	タイマ 0	タイマ 0 + タイマ 1
T1STAT	タイマ 1	未使用(常に”0”)
T2STAT	タイマ 2	タイマ 2 + タイマ 3
T3STAT	タイマ 3	未使用(常に”0”)
T4STAT	タイマ 4	タイマ 4 + タイマ 5
T5STAT	タイマ 5	未使用(常に”0”)
T6STAT	タイマ 6	タイマ 6 + タイマ 7
T7STAT	タイマ 7	未使用(常に”0”)

8.3 動作説明

8.3.1 通常タイマモード動作

タイマカウンタ (TMnC) は、タイマスタートレジスタ 0 (TMSTR0) の TnRUN ビットに“1”を書き込むと、タイマコントロールレジスタ (TMnCON) で選択されているタイマクロック (TnCK) の 1 回目の立ち下がりエッジで動作状態（TnSTAT が“1”）となり、2 回目の立ち下がりエッジでアップカウントを開始します。
TMnC のカウント値とタイマデータレジスタ (TMnD) の値が一致すると、次のタイマクロックの立ち下がりエッジでタイマ割込み (TMnINT) を発生し、同時に TMnC は“00H”にリセットされ、アップカウントを継続します。

TnSTP ビットに“1”を書き込むと、TMnC は、タイマクロック (TnCK) の立ち下がり 1 カウント後にカウントを停止し、タイマステータスレジスタ 0（TMSTAT0）の TnSTAT ビットが“0”となります。

再び TnRUN ビットに“1”を書き込むと、TMnC は停止していた値からアップカウントを再開します。
TMnC を“00H”に初期化する場合は、TMnC に書き込み動作を行ってください。

タイマ割込み周期 (T_{TMI}) は以下の式で表わされます。

$$T_{TMI} = \frac{TMnD + 1}{TnCK\ (Hz)} \quad (n=0〜7)$$

TMnD：タイマ 0〜7 データレジスタ (TMnD) 設定値（01H〜0FFH）
TnCK：タイマ 0〜7 コントロールレジスタ 0 (TMnCON) により選択されたクロック周波数

TnRUN ビットに“1”を書き込んだ後、タイマクロックにて同期をとりカウントを開始しますので、最初のタイマ割込みまでには最大 1 クロックの誤差が生じます。2 回目以降のタイマ割込み周期は一定です。
図 8-2 に、タイマ 0〜7 の動作タイミングを示します。

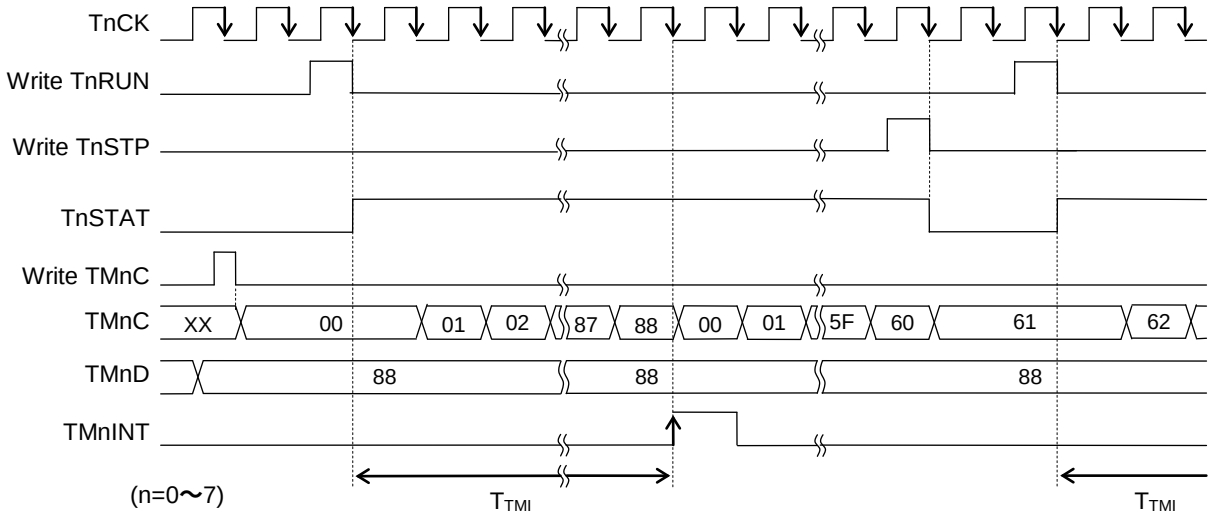


図 8-2 タイマ 0〜7 の動作タイミング

【注意】
カウント停止動作は、カウント動作と同期して行うため、カウント停止と同時にタイマ割込みが発生する場合があります。

8.3.2 ワンショットタイマモード動作

TMnCON レジスタの TnOST ビットを“1”にセットすると、タイマは、ワンショットモードで動作します。
TMnC のカウント値とタイマ 0～7 データレジスタ (TMnD) の値が一致すると、TnSTAT ビットが自動的にクリアされます。
図 8-3 に、ワンショットタイマモード動作タイミングを示します

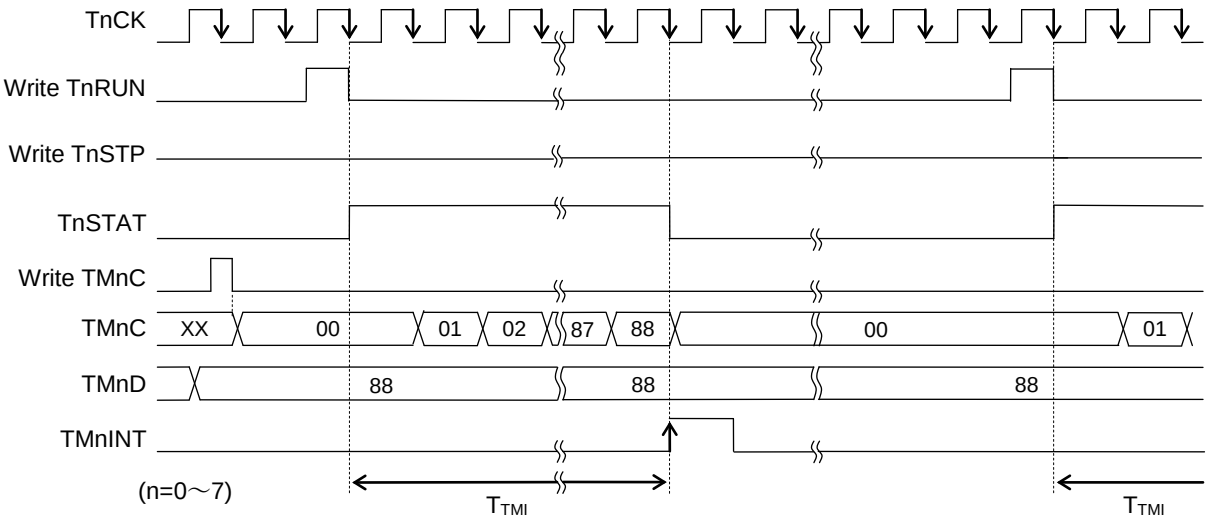


図 8-3 ワンショットタイマモード動作タイミング

8.3.3 16 ビットタイマモード動作

TMnCON(n=0,2,4,6)レジスタの TnM16 ビットにより 8 ビットタイマを 2 つ使用して 16 ビットタイマとして動作させることが可能です。
16 ビットタイマモード時は、チャンネル n(n=0,2,4,6)が下位バイト、チャンネル m(m=1,3,5,7)が上位バイトになります。
制御に使用するレジスタ及び割込みは以下のようになります。

チャンネル / 制御	0,1	2,3	4,5	6,7
データレジスタ	上位:TM1D 下位:TM0D	上位:TM3D 下位:TM2D	上位:TM5D 下位:TM4D	上位:TM7D 下位:TM6D
カウンタレジスタ	上位:TM1C 下位:TM0C	上位:TM3C 下位:TM2C	上位:TM5C 下位:TM4C	上位:TM7C 下位:TM6C
コントロールレジスタ	TM0CON	TM2CON	TM4CON	TM6CON
RUN ビット	T0RUN	T2RUN	T4RUN	T6RUN
STOP ビット	T0STP	T2STP	T4STP	T6STP
STAT ビット	T0STAT	T2STAT	T4STAT	T6STAT
割込み	TM1INT	TM3INT	TM5INT	TM7INT

第 9 章　多機能タイマ(FTM)

9. 多機能タイマ(FTM)

9.1 概要

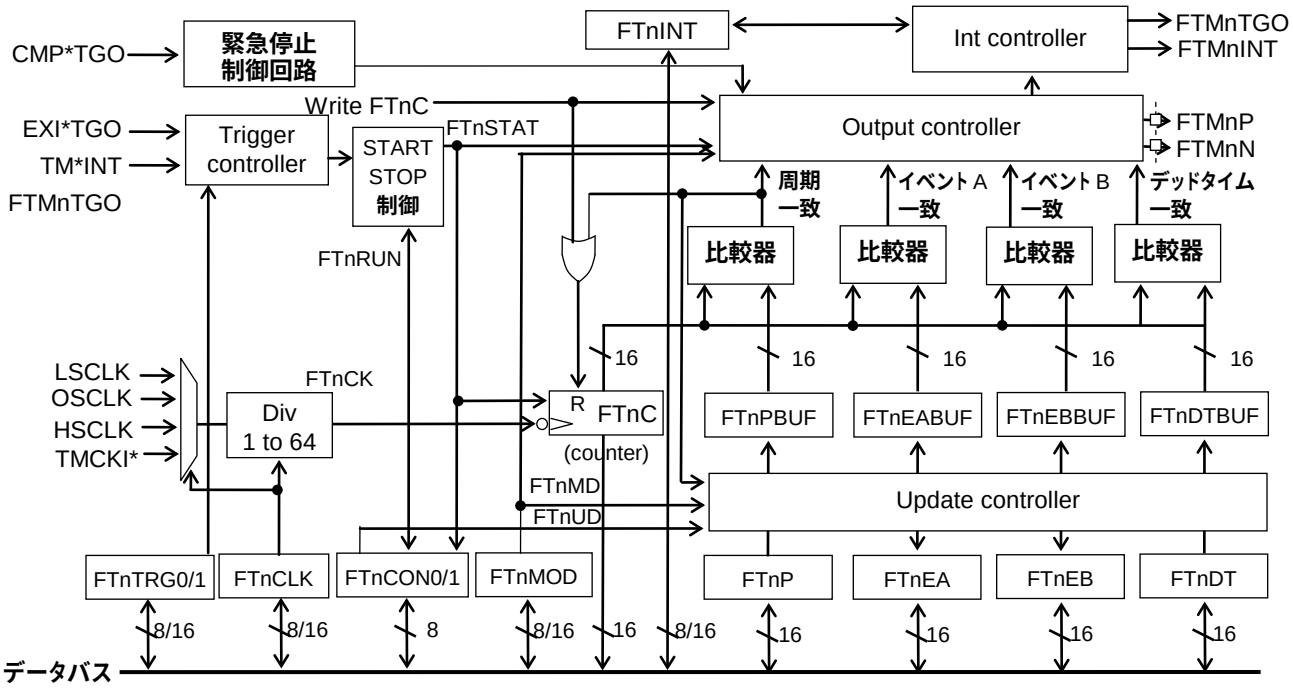
多機能タイマは、タイマ機能のほかキャプチャおよび PWM 機能を備えた 16bit タイマです。外部入力信号や他のタイマからの信号をトリガにスタート/ストップさせることが可能です。
本 LSI には 4 チャネルの多機能タイマが内蔵されています。

9.1.1 特長

- 16bit カウンタによるタイマ/キャプチャ/PWM 機能を搭載
- タイマクロックは LSCLK/OSCLK/HSCLK/外部入力クロックの 1~64 分周を選択可能
- タイマ出力信号の論理を正論理、負論理に切り替えることが可能
- 周期割込みのほか、デューティ割込みや設定値との一致割込みなどを発生
- ワンショットモードを搭載
- イベントトリガ(外部端子入力割込み,タイマ割込み要求)によるタイマのスタート/ストップ/クリア制御することが可能(但し、端子入力の最小パルス幅はタイマクロック 3φ)
- 外部入力による緊急停止、および緊急停止割込みを発生
- デューティの異なる 2 種類の同周期 PWM 出力やデッドタイム付きの相補 PWM 出力が可能
- キャプチャ機能により入力信号のデューティ/周期を測定可能 (128 分解能で最大 41.6kHz @タイマクロック 16MHz)
- 通知する割込み要因を設定可能

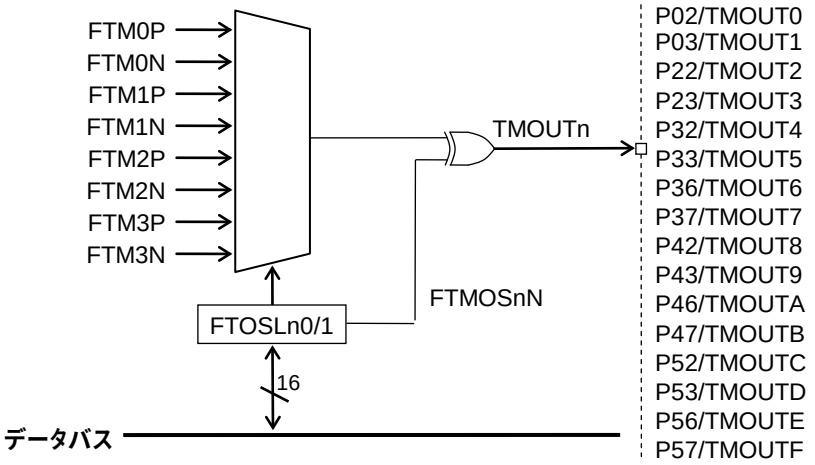
9.1.2 構成

図 9-1 に FTM 回路の構成を示します。



FTnP ：FTMn **周期レジスタ**
FTnEA/B ：FTMn **イベント** A/B **レジスタ**
FTnDT ：FTMn **デッドタイムレジスタ**
FTnC ：FTMn **カウンタレジスタ**
FTnCON0/1 ：FTMn **コントロールレジスタ** 0,1
FTnTRG0/1 ：FTMn **トリガレジスタ** 0,1
FTnINTE/S/C ：FTMn **割込みイネーブル/ステータス/クリアレジスタ**
FTnPBUF ：FTMn **周期バッファ**
FTnEA/BBUF ：FTMn **イベント** A/B **バッファ**
FTnDTBUF ：FTMn **デッドタイムバッファ**
FTnMOD ：FTMn **モードレジスタ**
FTnCLK ：FTMn **クロックレジスタ**

図 9-1 (a) 回路の構成



FTOSLn0/1 ：FTM **出力選択レジスタ** n0/1 (n = 0〜F)

図 9-1 (b) FTM 出力選択回路の構成

9.1.3 端子一覧

端子名	入出力	機能
TMCKI0-7	I	外部クロック入力
TMOUT0-F	O	タイマ出力 (FTM0-3 から出力を選択可能)

9.2 レジスタ説明

9.2.1 レジスター覧

アドレス [H]	名称	略称 (Byte)	略称 (Word)	R/W	サイズ	初期値 [H]
0F400	FTM0 周期レジスタ	-	FT0P	R/W	16	FFFF
0F402	FTM0 イベント A レジスタ	-	FT0EA	R/W	16	0000
0F404	FTM0 イベント B レジスタ	-	FT0EB	R/W	16	0000
0F406	FTM0 デッドタイムレジスタ	-	FT0DT	R/W	16	0000
0F408	FTM0 カウンタレジスタ	-	FT0C	R/W	16	0000
0F40A	FTM0 コントロールレジスタ 0	FT0CON0	-	R/W	8	00
0F40B	FTM0 コントロールレジスタ 1	FT0CON1		R/W	8	00
0F40C	FTM0 モードレジスタ	FT0MODL	FT0MOD	R/W	8/16	00
0F40D		FT0MODH		R/W	8	00
0F40E	FTM0 クロックレジスタ	FT0CLKL	FT0CLK	R/W	8/16	00
0F40F		FT0CLKH		R/W	8	00
0F410	FTM0 トリガレジスタ 0	FT0TRG0L	FT0TRG0	R/W	8/16	00
0F411		FT0TRG0H		R/W	8	00
0F412	FTM0 トリガレジスタ 1	FT0TRG1L	FT0TRG1	R/W	8/16	00
0F413		FT0TRG1H		R/W	8	00
0F418	FTM0 割込みイネーブルレジスタ	FT0INTEL	FT0INTE	R/W	8/16	00
0F419		FT0INTEH		R/W	8	00
0F41A	FTM0 割込みステータスレジスタ	FT0INTSL	FT0INTS	R	8/16	00
0F41B		FT0INTSH		R	8	00
0F41C	FTM0 割込みクリアレジスタ	FT0INTCL	FT0INTC	W	8/16	00
0F41D		FT0INTCH		W	8	00
0F420	FTM1 周期レジスタ	-	FT1P	R/W	16	FFFF
0F422	FTM1 イベント A レジスタ	-	FT1EA	R/W	16	0000
0F424	FTM1 イベント B レジスタ	-	FT1EB	R/W	16	0000
0F426	FTM1 デッドタイムレジスタ	-	FT1DT	R/W	16	0000
0F428	FTM1 カウンタレジスタ	-	FT1C	R/W	16	0000
0F42A	FTM1 コントロールレジスタ 0	FT1CON0	-	R/W	8	00
0F42B	FTM1 コントロールレジスタ 1	FT1CON1		R/W	8	00
0F42C	FTM1 モードレジスタ	FT1MODL	FT1MOD	R/W	8/16	00
0F42D		FT1MODH		R/W	8	00
0F42E	FTM1 クロックレジスタ	FT1CLKL	FT1CLK	R/W	8/16	00
0F42F		FT1CLKH		R/W	8	00
0F430	FTM1 トリガレジスタ 0	FT1TRG0L	FT1TRG0	R/W	8/16	00
0F431		FT1TRG0H		R/W	8	00
0F432	FTM1 トリガレジスタ 1	FT1TRG1L	FT1TRG1	R/W	8/16	00
0F433		FT1TRG1H		R/W	8	00
0F438	FTM1 割込みイネーブルレジスタ	FT1INTEL	FT1INTE	R/W	8/16	00
0F439		FT1INTEH		R/W	8	00
0F43A	FTM1 割込みステータスレジスタ	FT1INTSL	FT1INTS	R	8/16	00
0F43B		FT1INTSH		R	8	00
0F43C	FTM1 割込みクリアレジスタ	FT1INTCL	FT1INTC	W	8/16	00
0F43D		FT1INTCH		W	8	00

アドレス [H]	名称	略称 (Byte)	略称 (Word)	R/W	サイズ	初期値 [H]
0F440	FTM2 周期レジスタ	-	FT2P	R/W	16	FFFF
0F442	FTM2 イベント A レジスタ	-	FT2EA	R/W	16	0000
0F444	FTM2 イベント B レジスタ	-	FT2EB	R/W	16	0000
0F446	FTM2 デッドタイムレジスタ	-	FT2DT	R/W	16	0000
0F448	FTM2 カウンタレジスタ	-	FT2C	R/W	16	0000
0F44A	FTM2 コントロールレジスタ 0	FT2CON0	-	R/W	8	00
0F44B	FTM2 コントロールレジスタ 1	FT2CON1		R/W	8	00
0F44C	FTM2 モードレジスタ	FT2MODL	FT2MOD	R/W	8/16	00
0F44D		FT2MODH		R/W	8	00
0F44E	FTM2 クロックレジスタ	FT2CLKL	FT2CLK	R/W	8/16	00
0F44F		FT2CLKH		R/W	8	00
0F450	FTM2 トリガレジスタ 0	FT2TRG0L	FT2TRG0	R/W	8/16	00
0F451		FT2TRG0H		R/W	8	00
0F452	FTM2 トリガレジスタ 1	FT2TRG1L	FT2TRG1	R/W	8/16	00
0F453		FT2TRG1H		R/W	8	00
0F458	FTM2 割込みイネーブルレジスタ	FT2INTEL	FT2INTE	R/W	8/16	00
0F459		FT2INTEH		R/W	8	00
0F45A	FTM2 割込みステータスレジスタ	FT2INTSL	FT2INTS	R	8/16	00
0F45B		FT2INTSH		R	8	00
0F45C	FTM2 割込みクリアレジスタ	FT2INTCL	FT2INTC	W	8/16	00
0F45D		FT2INTCH		W	8	00
0F460	FTM3 周期レジスタ	-	FT3P	R/W	16	FFFF
0F462	FTM3 イベント A レジスタ	-	FT3EA	R/W	16	0000
0F464	FTM3 イベント B レジスタ	-	FT3EB	R/W	16	0000
0F466	FTM3 デッドタイムレジスタ	-	FT3DT	R/W	16	0000
0F468	FTM3 カウンタレジスタ	-	FT3C	R/W	16	0000
0F46A	FTM3 コントロールレジスタ 0	FT3CON0	-	R/W	8	00
0F46B	FTM3 コントロールレジスタ 1	FT3CON1		R/W	8	00
0F46C	FTM3 モードレジスタ	FT3MODL	FT3MOD	R/W	8/16	00
0F46D		FT3MODH		R/W	8	00
0F46E	FTM3 クロックレジスタ	FT3CLKL	FT3CLK	R/W	8/16	00
0F46F		FT3CLKH		R/W	8	00
0F470	FTM3 トリガレジスタ 0	FT3TRG0L	FT3TRG0	R/W	8/16	00
0F471		FT3TRG0H		R/W	8	00
0F472	FTM3 トリガレジスタ 1	FT3TRG1L	FT3TRG1	R/W	8/16	00
0F473		FT3TRG1H		R/W	8	00
0F478	FTM3 割込みイネーブルレジスタ	FT3INTEL	FT3INTE	R/W	8/16	00
0F479		FT3INTEH		R/W	8	00
0F47A	FTM3 割込みステータスレジスタ	FT3INTSL	FT3INTS	R	8/16	00
0F47B		FT3INTSH		R	8	00
0F47C	FTM3 割込みクリアレジスタ	FT3INTCL	FT3INTC	W	8/16	00
0F47D		FT3INTCH		W	8	00
0F480	FTM 出力 01 選択レジスタ	FTO0SL	FTO01SL	R/W	8/16	00
0F481		FTO1SL		R/W	8	00
0F482	FTM 出力 23 選択レジスタ	FTO2SL	FTO23SL	R/W	8/16	00
0F483		FTO3SL		R/W	8	00

アドレス [H]	名称	略称 (Byte)	略称 (Word)	R/W	サイズ	初期値 [H]
0F484	FTM 出力 45 選択レジスタ	FTO4SL	FTO45SL	R/W	8/16	00
0F485		FTO5SL		R/W	8	00
0F486	FTM 出力 67 選択レジスタ	FTO6SL	FTO67SL	R/W	8/16	00
0F487		FTO7SL		R/W	8	00
0F488	FTM 出力 89 選択レジスタ	FTO8SL	FTO89SL	R/W	8/16	00
0F489		FTO9SL		R/W	8	00
0F48A	FTM 出力 AB 選択レジスタ	FTOASL	FTOABSL	R/W	8/16	00
0F48B		FTOBSL		R/W	8	00
0F48C	FTM 出力 CD 選択レジスタ	FTOCSL	FTOCDSL	R/W	8/16	00
0F48D		FTODSL		R/W	8	00
0F48E	FTM 出力 EF 選択レジスタ	FTOESL	FTOEFSL	R/W	8/16	00
0F48F		FTOFSL		R/W	8	00

9.2.2 FTMn 周期レジスタ (FTnP : n=0,1,2,3)

アドレス：0F400H (FT0P), 0F420H (FT1P), 0F440H (FT2P), 0F460H (FT3P)
アクセス：R/W
アクセスサイズ： 16 ビット
初期値：FFFFH

	7	6	5	4	3	2	1	0
-	FTnP7	FTnP6	FTnP5	FTnP4	FTnP3	FTnP2	FTnP1	FTnP0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	1	1	1	1	1	1	1	1

	15	14	13	12	11	10	9	8
-	FTnP15	FTnP14	FTnP13	FTnP12	FTnP11	FTnP10	FTnP9	FTnP8
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	1	1	1	1	1	1	1	1

FTnP は、FTMn の周期（クロック数）を設定する特殊機能レジスタ (SFR) です。
設定可能範囲は、0001H ~FFFFH（クロック数：2~65536）です。
本レジスタは、FTnMD により動作モードを設定した後に設定して下さい。

ビットの説明

・ **FTnP15-0** （ビット 15～0）

FTnMD	FTnP15-0	説明
TIMER CAPTURE PWM1 PWM2	0001H-FFFFH	1 **周期を** FTnP **設定値** + 1 **クロックに設定します。**

【注意】
本レジスタに 0000H を書き込んだ場合、1 周期を 2 クロックに設定します。読み出される値は、0000H が読み出されます。

9.2.3 FTMn イベントレジスタ A (FTnEA : n=0,1,2,3)

アドレス：0F402H(FT0EA), 0F422H(FT1EA), 0F442H(FT2EA), 0F462H(FT3EA)
アクセス：R/W
アクセスサイズ： 16 ビット
初期値：0000H

	7	6	5	4	3	2	1	0
-	FTnEA7	FTnEA6	FTnEA5	FTnEA4	FTnEA3	FTnEA2	FTnEA1	FTnEA0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

	15	14	13	12	11	10	9	8
-	FTnEA15	FTnEA14	FTnEA13	FTnEA12	FTnEA11	FTnEA10	FTnEA9	FTnEA8
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

FTnEA は、FTMn のイベントタイミングを設定またはキャプチャデータを表示する特殊機能レジスタ (SFR) です。
本レジスタは、FTnMD により動作モードを設定した後に設定して下さい。CAPTURE モードのときはリード専用レジスタとなり、書き込むことはできません。

ビットの説明

・ **FTnEA15-0** （ビット 15～0）

FTnMD	FTnEA15-0	説明
TIMER	0000H-FFFFH	**割込みを発生させるカウント値を設定します。(割込みは** FTnEA **設定値** + 1 **のタイミング**) **必ず周期レジスタ** FTnP **より小さい値を設定してください。**
CAPTURE	0000H-FFFFH	**キャプチャしたカウント値が格納されます。** **リードすると** FTnFLGA/FTnISA **がクリアされます。** CAPTURE **モード時は、**FTnEA **に対するライトは無効です。**
PWM1	0000H-FFFFH	FTM**n の** PWM **出力** FTMnP **のデューティを設定します。**
PWM2	0000H-FFFFH	FTM**n の** PWM **出力** FTMnP **及び** FTMnN **のデューティを設定します。**

9.2.4 FTMn イベントレジスタ B (FTnEB : n=0,1,2,3)

アドレス：0F404H(FT0EB), 0F424H(FT1EB), 0F444H(FT2EB), 0F464H(FT3EB)
アクセス：R/W
アクセスサイズ： 16 ビット
初期値：0000H

	7	6	5	4	3	2	1	0
-	FTnEB7	FTnEB6	FTnEB5	FTnEB4	FTnEB3	FTnEB2	FTnEB1	FTnEB0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

	15	14	13	12	11	10	9	8
-	FTnEB15	FTnEB14	FTnEB13	FTnEB12	FTnEB11	FTnEB10	FTnEB9	FTnEB8
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

FTnEB は、FTMn のイベントタイミングを設定またはキャプチャデータを表示する特殊機能レジスタ (SFR) です。
本レジスタは、FTnMD により動作モードを設定した後に設定して下さい。
CAPTURE モードのときはリード専用レジスタとなり、書き込むことはできません。

ビットの説明

・ **FTnEB15-0** （ビット 15～0）

FTnMD	FTnEB15-0	説明
TIMER	0000H-FFFFH	割込みを発生させるカウント値を設定します。(割込みは FTnEB 設定値 + 1 のタイミング) 必ず周期レジスタ FTnP より小さい値を設定してください。
CAPTURE	0000H-FFFFH	キャプチャしたカウント値が格納されます。 リードすると FTnFLGB/FTnISB をクリアします。 CAPTURE モード時は、FTnEB に対するライトは無効です。
PWM1	0000H-FFFFH	FTMn の PWM 出力 FTMnN のデューティを設定します。
PWM2	*	本モードのとき、FTnIEB は 0 を設定してください。

9.2.5 FTMn デッドタイムレジスタ(FTnDT : n=0,1,2,3)

アドレス：0F406H(FT0DT), 0F426H(FT1DT), 0F446H(FT2DT), 0F466H(FT3DT)
アクセス：R/W
アクセスサイズ： 16 ビット
初期値：0000H

	7	6	5	4	3	2	1	0
-	FTnDT7	FTnDT6	FTnDT5	FTnDT4	FTnDT3	FTnDT2	FTnDT1	FTnDT0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

	15	14	13	12	11	10	9	8
-	FTnDT15	FTnDT14	FTnDT13	FTnDT12	FTnDT11	FTnDT10	FTnDT9	FTnDT8
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

FTnDT は、タイマ出力の DeadTime を設定する特殊機能レジスタ (SFR) です。
本レジスタは、FTnMD により動作モードを設定した後に設定して下さい。

ビットの説明

・ **FTnDT15-0** （ビット 15～0）

FTnMD	FTnDT15-0	説明
TIMER PWM1/2	0000-FFFFH	**タイマ出力のデッドタイムを設定します**(FTnDT **設定値**+1 **のタイミング**) FTnMOD **レジスタの** FTnDTEN **ビットが**"1"**のとき有効になります。**
CAPTURE	*	**本レジスタは無効**

9.2.6 FTMn カウンタレジスタ(FTnC : n=0,1,2,3)

アドレス：0F408H(FT0C), 0F428H(FT1C), 0F448H(FT2C), 0F468H(FT3C)
アクセス：R/W
アクセスサイズ： 16 ビット
初期値：0000H

	7	6	5	4	3	2	1	0
-	FTnC7	FTnC6	FTnC5	FTnC4	FTnC3	FTnC2	FTnC1	FTnC0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

	15	14	13	12	11	10	9	8
-	FTnC15	FTnC14	FTnC13	FTnC12	FTnC11	FTnC10	FTnC9	FTnC8
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

FTnC は、FTMn のカウンタ値を表示する特殊機能レジスタ (SFR) です。
本レジスタに書き込みを行うとカウンタが”0000H”にクリアされます。
本レジスタへのリード及びライトアクセスはカウント停止状態で行なって下さい。

FTnC にワードアクセスでライトすると、FTnC は”0000H”にクリアされます。ライトデータは意味がありません。

9.2.7 FTMn コントロールレジスタ 0 (FTnCON0 : n=0,1,2,3)

アドレス：0F40AH(FT0CON0), 0F42AH(FT1CON0), 0F44AH(FT2CON0), 0F46AH(FT3CON0)
アクセス：R/W
アクセスサイズ： 8 ビット
初期値：00H

	7	6	5	4	3	2	1	0
FTnCON0	-	-	FTnSDN	-	FTnEMGEN	-	FTnTGEN	FTnRUN
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

FTnCON0 は、FTMn の機能を設定する特殊機能レジスタ (SFR) です。

ビットの説明

・ **FTnRUN** （ビット 0）
ソフトウェアにより FTMn のカウント停止/開始をします。

FTnMD	FTnRUN	説明
TIMER CAPTURE PWM1/2	0	**カウント停止 (初期値)**
	1	**カウント開始/カウント中**

・ **FTnTGEN** （ビット 1）
トリガイベントによるカウント停止/開始を許可します。

FTnMD	FTnGTEN	説明
TIMER CAPTURE PWM1/2	0	**トリガ動作無効 (初期値)**
	1	**トリガ動作有効**

・ **FTnEMGEN** （ビット 3）
FTMn の緊急停止を許可します。

FTnMD	FTnEMGEN	説明
TIMER PWM1/2	0	**緊急停止無効 (初期値)**
	1	**緊急停止有効**
CAPTURE	*	**本ビットは無効**

・ **FTnSDN** （ビット 5）
FTMn の出力を L にマスクします。

FTnMD	FTnSDN	説明
TIMER PWM1/2	0	**出力マスク解除 (初期値)**
	1	**出力マスク(出力を L に固定)設定。**
CAPTURE	*	**本ビットは無効**

9.2.8 FTMn コントロールレジスタ 1 (FTnCON1 : n=0,1,2,3)

アドレス：0F40BH(FT0CON1), 0F42BH(FT1CON1), 0F44BH(FT2CON1), 0F46BH(FT3CON1)
アクセス：R/W
アクセスサイズ： 8 ビット
初期値：00H

	7	6	5	4	3	2	1	0
FTnCON1	FTnSTAT	FTnFLGC	FTnFLGB	FTnFLGA	-	-	-	FTnUD
R/W	R	R	R	R	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

FTnCON1 は、FTMn の機能を設定する特殊機能レジスタ (SFR) です。

ビットの説明

・ **FTnUD** （ビット 0）
FTMn の FTnP,FTnEA,FTnEB,FTnDT を動作中に更新するためのビットです。動作中に FTnP,FTnEA,FTnEB を更新する場合,これらのレジスタを設定した後、本ビットに”1”を書き込んで下さい。”1”を書き込むことにより、FTnP,FTnEA,FTnEB の内部バッファに設定値が同時転送されます。転送が完了すると,本ビットは自動でクリアされます。

FTnMD	FTnUD	説明
TIMER CAPTURE PWM1/2	0	**更新完了 (初期値)**
	1	**更新要求中**

【注意】
本ビットに"1"を書き込む（レジスタ値を更新する）場合は、必ず本ビットをリードし、値が"0"になっていること（更新が完了していること）を確認してから書き込みを行ってください。

・ **FTnFLGA** （ビット 4）
FTMn のイベントタイミングAの状態を示します。

FTnMD	FTnFLGA	説明
TIMER PWM1/2	0	**カウンタ値 ＜ イベントレジスタ A の値 (初期値)**
	1	**カウンタ値 ≧ イベントレジスタ A の値**
CAPTURE	0	**キャプチャデータ無**
	1	**キャプチャデータ有。FTnEA をリードするとクリアされます。**

・ **FTnFLGB** （ビット 5）
FTMn のイベントタイミング B の状態を示します。

FTnMD	FTnFLGB	説明
TIMER PWM1/2	0	**カウンタ値 ＜ イベントレジスタ B の値 (初期値)**
	1	**カウンタ値 ≧ イベントレジスタ B の値**
CAPTURE	0	**キャプチャデータ無**
	1	**キャプチャデータ有。FTnEB をリードするとクリアされます。**

・ **FTnFLGC** （ビット 6）
FTMn の CST ビットによる制御状態を示します。
FTnC をリードするとクリアされます。

FTnMD	FTnFLGC	説明
TIMER PWM1/2 CAPTURE	0	**イベントトリガによるスタート可能状態 (初期値)**
	1	**イベントトリガによるスタート不可状態**

・ **FTnSTAT**（ビット 7）
FTMn の動作状態を示します。

FTnMD	FTnSTAT	説明
TIMER CAPTURE PWM1/2	0	**カウンタ停止中 (初期値)**
	1	**カウンタ動作中**

9.2.9 FTMn モードレジスタ(FTnMOD : n=0,1,2,3)

アドレス：0F40CH(FT0MODL/FT0MOD), 0F40DH(FT0MODH),
0F42CH(FT1MODL/FT1MOD), 0F42DH(FT1MODH),
0F44CH(FT2MODL/FT2MOD), 0F44DH(FT2MODH),
0F46CH(FT3MODL/FT3MOD), 0F46DH(FT3MODH)
アクセス：R/W
アクセスサイズ： 8/16 ビット
初期値：0000H

	7	6	5	4	3	2	1	0
FTnMODL	FTnOST	FTnDTEN	-	-	-	-	FTnMD1	FTnMD0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

	15	14	13	12	11	10	9	8
FTnMODH	-	-	-	-	-	-	-	FTnSTPO
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

FTnMOD は、FTMn の機能を設定する特殊機能レジスタ (SFR) です。

ビットの説明

・ **FTnMD1-0** （ビット 1～0）
FTMn のモードを設定します。

FTnMD	FTnMD1-0	説明
-	0	TIMER モード (初期値)
	1	CAPTURE モード
	2	PWM1 モード
	3	PWM2 モード

・ **FTnDTEN** （ビット 6）
FTMn のデッドタイムを有効にします。

FTnMD	FTnDTEN	説明
TIMER PWM1/2	0	デッドタイム無効 (初期値)
	1	デッドタイム有効
CAPTURE	*	本ビットは無効

・ **FTnOST** （ビット 7）
FTMn のオートリロード/ワンショットモードを設定します。

FTnMD	FTnOST	説明
TIMER PWM1/2	0	オートリロードモード (初期値)
	1	ワンショットモード
CAPTURE	0	オートモード 一度キャプチャしても、次のキャプチャをすると EA,EB のデータは上書き(更新)されます。 カウンタは 1 周すると 0 から再スタートします。
	1	シングルモード EA,EB に一度キャプチャすると、リードするまで次のキャプチャは行ないません。 カウンタは1周すると停止します。

【注意】
ワンショットモード/シングルモードを使用する際は、必ず FTnINTE レジスタの FTnIEP を”1”に設定して下さい。

・ **FTnSTPO** （ビット 8）
FTMn が停止した際の出力状態を設定します。

FTnMD	FTnSTPO	説明
TIMER PWM1/2	0	**停止時に出力をLにします。** **カウンタをクリアせずに再開した時、次の周期まで L になります。 (初期値)**
	1	**停止時に出力はそのときの状態を保持します。** **カウンタをクリアせずに再開した時、カウンタ値に応じた出力をします。**
CAPTURE	*	**本ビットは無効。**

9.2.10 FTMn クロックレジスタ(FTnCLK : n=0,1,2,3)

アドレス：0F40EH(FT0CLKL/FT0CLK), 0F40FH(FT0CLKH),
0F42EH(FT1CLKL/FT1CLK), 0F42FH(FT1CLKH),
0F44EH(FT2CLKL/FT2CLK), 0F44FH(FT2CLKH),
0F46EH(FT3CLKL/FT3CLK), 0F46FH(FT3CLKH)
アクセス：R/W
アクセスサイズ： 8/16 ビット
初期値：0000H

	7	6	5	4	3	2	1	0
FTnCLKL	-	FTnCKD2	FTnCKD1	FTnCKD0	-	-	FTnCK1	FTnCK0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

	15	14	13	12	11	10	9	8
FTnCLKH	-	-	-	-	-	FTnXCK2	FTnXCK1	FTnXCK0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

FTnCLK は、FTMn の機能を設定する特殊機能レジスタ (SFR) です。

ビットの説明

・ **FTnCK1-0** （ビット 1,0）
FTMn のタイマクロックのソースを選択します。

FTnMD	FTnCK	説明
TIMER CAPTURE PWM1/2	0	LSCLK (初期値)
	1	OSCLK
	2	HSCLK
	3	EXTCLK(FTnXCK2-0 で選択したクロック)

・ **FTnCKD2-0** （ビット 6～4）
FTMn のタイマクロックのソースの分周比を選択します。

FTnMD	FTnCKD	説明
TIMER CAPTURE PWM1/2	0	1 分周 (初期値)
	1	2 分周
	2	4 分周
	3	8 分周
	4	16 分周
	5	32 分周
	6	64 分周
	7	Reserved

・ **FTnXCK2-0**（ビット 10～8）
FTMn のタイマクロックのソースとして EXTCLK 選択時のソースを選択します。

FTnMD	FTnXCK	説明
TIMER CAPTURE PWM1/2	0	TMCKI0 (**初期値**)
	1	TMCKI1
	2	TMCKI2
	3	TMCKI3
	4	TMCKI4
	5	TMCKI5
	6	TMCKI6
	7	TMCKI7

9.2.11 FTMn トリガレジスタ 0 (FTnTRG0 : n=0,1,2,3)

アドレス：0F410H(FT0TRG0L/FT0TRG0), 0F411H(FT0TRG0H),
0F430H(FT1TRG0L/FT1TRG0), 0F431H(FT1TRG0H),
0F450H(FT2TRG0L/FT2TRG0), 0F451H(FT2TRG0H),
0F470H(FT3TRG0L/FT3TRG0), 0F471H(FT3TRG0H)
アクセス：R/W
アクセスサイズ： 8/16 ビット
初期値：0000H

	7	6	5	4	3	2	1	0
FTnTRG0L	-	-	-	-	FTnCST	FTnEXCL	FTnST1	FTnST0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

	15	14	13	12	11	10	9	8
FTnTRG0H	FTnSTSS	-	-	-	FTnSTS3	FTnSTS2	FTnSTS1	FTnSTS0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

FTnTRG0 は、FTMn の機能を設定する特殊機能レジスタ (SFR) です。

ビットの説明

・ **FTnST0** （ビット 0）
トリガイベントによりカウンタをスタートするか選択します。

FTnMD	FTnST0	説明
TIMER CAPTURE PWM1/2	0	**カウンタスタート無効 (初期値)**
	1	**カウンタスタート有効**

・ **FTnST1** （ビット 1）
トリガイベントによりカウンタをストップするか選択します。

FTnMD	FTnST1	説明
TIMER CAPTURE PWM1/2	0	**カウンタストップ無効 (初期値)**
	1	**カウンタストップ有効**

・ **FTnEXCL** （ビット 2）
トリガイベントによりカウンタをストップする際にカウンタをクリアするか選択します。緊急停止時は本ビットの設定に関係なくクリアしません。

FTnMD	FTnEXCL	説明
TIMER CAPTURE PWM1/2	0	**カウンタクリア無効 (初期値)**
	1	**カウンタクリア有効**

・ **FTnCST** （ビット 3）
トリガイベントによるカウントスタートの動作モードを選択します。

FTnMD	FTnCST	説明
TIMER CAPTURE PWM1/2	0	**カウンタ停止中(緊急停止除く)は、常にトリガイベントによるカウンタスタートする (初期値)**
	1	**カウンタ停止中(緊急停止除く)は、FTnC をリードするまでトリガイベントによるカウンタスタートしない**

・ **FTnSTSS,FTnSTS3-0** （ビット 15,11～8）
FTMn のトリガイベントのソースを選択します。FTM0 の設定で FTM0 を選択するなど自身を選択しないで下さい。

FTnMD	FTnSTS*					説明
	S	3	2	1	0	
TIMER CAPTURE PWM1/2	0	0	0	0	0	EXI0TGO (初期値)
	0	0	0	0	1	EXI1TGO
	0	0	0	1	0	EXI2TGO
	0	0	0	1	1	EXI3TGO
	0	0	1	0	0	EXI4TGO
	0	0	1	0	1	EXI5TGO
	0	0	1	1	0	EXI6TGO
	0	0	1	1	1	EXI7TGO
	1	0	0	0	0	TM0INT
	1	0	0	0	1	TM1INT
	1	0	0	1	0	TM2INT
	1	0	0	1	1	TM3INT
	1	0	1	0	0	TM4INT
	1	0	1	0	1	TM5INT
	1	0	1	1	0	TM6INT
	1	0	1	1	1	TM7INT
	1	1	0	0	0	FTM0TGO
	1	1	0	0	1	FTM1TGO
	1	1	0	1	0	FTM2TGO
	1	1	0	1	1	FTM3TGO
	others					Reserved

【注意】
EXInTGO は、外部端子によるトリガ用信号です。タイマ割込み要求(TMnINT)は、割込み許可レジスタの割込み禁止/許可の設定によらない、割込み要求信号です。また、多機能タイマトリガ出力(FTMnTGO)は、イベントトリガ専用の信号です。

9.2.12 FTMn トリガレジスタ 1(FTnTRG1 : n=0,1,2,3)

アドレス：0F412H(FT0TRG1L/FT0TRG1), 0F413H(FT0TRG1H),
0F432H(FT1TRG1L/FT1TRG1), 0F433H(FT1TRG1H),
0F452H(FT2TRG1L/FT2TRG1), 0F453H(FT2TRG1H),
0F472H(FT3TRG1L/FT3TRG1), 0F473H(FT3TRG1H)
アクセス：R/W
アクセスサイズ： 8/16 ビット
初期値：0000H

	7	6	5	4	3	2	1	0
FTnTRG1L	-	-	FTnEST1	FTnEST0	-	-	FTnTRM1	FTnTRM0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

	15	14	13	12	11	10	9	8
FTnTRG1H	-	-	-	-	-	-	-	-
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

FTnTRG1 は、FTMn の機能を設定する特殊機能レジスタ (SFR) です。

ビットの説明

・ **FTnTRM1-0** （ビット 1～0）
FTMn のトリガイベントのエッジを選択します。
イベントトリガ要因として、EXI0-7TGO を選択したときのみ有効です。それ以外では、立上りエッジ固定になります。

FTnMD	FTnTRM1-0		説明	
			カウンタスタート	カウンタストップ
TIMER CAPTURE PWM1/2	0	0	立上りエッジ	立上りエッジ (初期値)
	0	1	立下りエッジ	立上りエッジ
	1	0	立上りエッジ	立下りエッジ
	1	1	立下りエッジ	立下りエッジ

・ **FTnEST1-0** （ビット 5～4）
FTMn の緊急停止トリガ要因を選択します。本ビットは FTnEMGEN が 1 のときのみ有効です。

FTnMD	FTnEST	説明
TIMER CAPTURE PWM1/2	0	EXI0TGO の立ち上がりエッジ (初期値)
	1	EXI4TGO の立ち上がりエッジ
	2	CMP0TGO
	3	CMP1TGO

【注意】
EXInTGO は、外部端子によるトリガ用信号です。また、CMP0TGO,CMP1TGO は、コンパレータのトリガ用信号です。

9.2.13 FTMn 割込みイネーブルレジスタ (FTnINTE : n=0,1,2,3)

アドレス：0F418H(FT0INTEL/FT0INTE), 0F419H(FT0INTEH),
0F438H(FT1INTEL/FT1INTE), 0F439H(FT1INTEH),
0F458H(FT2INTEL/FT2INTE), 0F459H(FT2INTEH),
0F478H(FT3INTEL/FT3INTE), 0F479H(FT3INTEH)
アクセス：R/W
アクセスサイズ： 8/16 ビット
初期値：0000H

	7	6	5	4	3	2	1	0
FTnINTEL	-	-	-	FTnIETR	FTnIETS	FTnIEB	FTnIEA	FTnIEP
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

	15	14	13	12	11	10	9	8
FTnINTEH	-	-	-	-	-	FTnIOB	FTnIOA	FTnIOP
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

FTnINTE は FTMn の割込みを制御する特殊機能レジスタ (SFR) です。
FTnINTE の各ビットを”1”に設定すると割込みが有効になり、割込みコントローラに通知します。

ビットの説明

・ **FTnIEP**（ビット 0）
FTMn の周期割込みのイネーブルを設定します。

FTnMD	FTnIEP	説明
TIMER CAPTURE PWM1/2	0	**周期割込み無効 (初期値)**
	1	**周期割込み有効**

・ **FTnIEA**（ビット 1）
FTMn のイベントタイミングA割込みのイネーブルを設定します。

FTnMD	FTnIEA	説明
TIMER PWM1/2	0	**イベントタイミング A 割込み無効 (初期値)**
	1	**イベントタイミング A 割込み有効**
CAPTURE	0	**キャプチャ A 割込み無効**
	1	**キャプチャ A 割込み有効**

・ **FTnIEB**（ビット 2）
FTMn のイベントタイミング B 割込みのイネーブルを設定します。

FTnMD	FTnIEB	説明
TIMER PWM1	0	**イベントタイミング B 割込み無効 (初期値)**
	1	**イベントタイミング B 割込み有効**
PMW2	0	**常に”0”を設定して下さい**
	1	**設定禁止**
CAPTURE	0	**キャプチャ B 割込み無効**
	1	**キャプチャ B 割込み有効**

・ **FTnIETS**（ビット 3）
FTMn のトリガカウンタストップ割込みのイネーブルを設定します。

FTnMD	FTnIETS	説明
TIMER CAPTURE PWM1/2	0	**トリガカウンタストップ割込み無効（初期値）**
	1	**トリガカウンタストップ割込み有効**

・ **FTnIETR**（ビット 4）
FTMn のトリガカウンタスタート割込みのイネーブルを設定します。

FTnMD	FTnIETR	説明
TIMER CAPTURE PWM1/2	0	**トリガカウンタスタート割込み無効（初期値）**
	1	**トリガカウンタスタート割込み有効**

・ **FTnIOP**（ビット 8）
FTMn の周期割込み要求を他のペリフェラルのトリガ(FTMnTGO)として出力します。

FTnMD	FTnIOP	説明
TIMER CAPTURE PWM1/2	0	**周期割込みトリガ無効（初期値）**
	1	**周期割込みトリガ有効**

・ **FTnIOA**（ビット 9）
FTMn のイベントタイミング A 割込み要求を他のペリフェラルのトリガ(FTMnTGO)として出力します。

FTnMD	FTnIOA	説明
TIMER CAPTURE PWM1/2	0	**イベントタイミング A 割込みトリガ無効（初期値）**
	1	**イベントタイミング A 割込みトリガ有効**

・ **FTnIOB**（ビット 10）
FTMn のイベントタイミング B 割込み要求を他のペリフェラルのトリガ(FTMnTGO)として出力します。

FTnMD	FTnIOB	説明
TIMER CAPTURE PWM1/2	0	**イベントタイミング B 割込みトリガ無効（初期値）**
	1	**イベントタイミング B 割込みトリガ有効**

9.2.14 FTMn 割込みステータスレジスタ(FTnINTS : n=0,1,2,3)

アドレス：0F41AH(FT0INTSL/FT0INTS), 0F41BH(FT0INTSH),
0F43AH(FT1INTSL/FT1INTS), 0F43BH(FT1INTSH),
0F45AH(FT2INTSL/FT2INTS), 0F45BH(FT3INTSH),
0F47AH(FT3INTSL/FT3INTS), 0F47BH(FT5INTSH)
アクセス：R
アクセスサイズ： 8/16 ビット
初期値：0000H

	7	6	5	4	3	2	1	0
FTnINTSL	-	-	FTnISES	FTnISTR	FTnISTS	FTnISB	FTnISA	FTnISP
R/W	R	R	R	R	R	R	R	R
初期値	0	0	0	0	0	0	0	0

	15	14	13	12	11	10	9	8
FTnINTSH	-	-	-	-	-	-	-	-
R/W	R	R	R	R	R	R	R	R
初期値	0	0	0	0	0	0	0	0

FTnINTS は FTMn の割込みステータスを示す特殊機能レジスタ (SFR) です。
FTnINTS はリード専用レジスタです。ライトを行っても変化しません。

ビットの説明

・ **FTnISP** （ビット 0）
FTMn の周期割込みの状態を示します。

FTnMD	FTnISP	説明
TIMER CAPTURE PWM1/2	0	**周期割込み発生なし (初期値)**
	1	**周期割込み発生** **本ビットは、**FTnICP **に** 1 **を書き込むとクリアされます**

・ **FTnISA** （ビット 1）
FTMn のイベントタイミングA割込みの状態を示します。
CAPTURE モード時は、FTnEA にキャプチャデータが格納されたことを示します。

FTnMD	FTnISA	説明
TIMER PWM1/2	0	**イベントタイミング** A **割込み発生なし (初期値)**
	1	**イベントタイミング** A **割込み発生** **本ビットは、**FTnICA **に** 1 **を書き込むとクリアされます**
CAPTURE	0	**キャプチャ** A **割込み発生なし**
	1	**キャプチャ** A **割込み発生** **本ビットは、**FTnICA **に** 1 **をライトまたは** FTnEA **をリードするとクリアされます**

・ **FTnISB**（ビット 2）
FTMn のイベントタイミング B 割込みの状態を示します。

FTnMD	FTnISB	説明
TIMER PWM1/2	0	イベントタイミング B 割込み発生なし（初期値）
	1	イベントタイミング B 割込み発生 本ビットは、FTnIB に 1 を書き込むとクリアされます
CAPTURE	0	キャプチャ B 割込み発生なし
	1	キャプチャ B 割込み発生 FTnEB にキャプチャデータが格納されたことを示します。 本ビットは、FTnICB に 1 をライトまたは FTnEB をリードするとクリアされます

・ **FTnISTS**（ビット 3）
FTMn のトリガカウンタストップ割込みの状態を示します。

FTnMD	FTnISTS	説明
TIMER CAPTURE PWM1/2	0	トリガカウンタストップ割込み発生なし（初期値）
	1	トリガカウンタストップ割込み発生 本ビットは、FTnICTS に 1 を書き込むとクリアされます

・ **FTnISTR**（ビット 4）
FTMn のトリガカウンタスタート割込みの状態を示します。

FTnMD	FTnISTR	説明
TIMER CAPTURE PWM1/2	0	トリガカウンタスタート割込み発生なし（初期値）
	1	トリガカウンタスタート割込み発生 本ビットは、FTnICTR に 1 を書き込むとクリアされます

・ **FTnISES**（ビット 5）
FTMn の緊急停止割込みの状態を示します。

FTnMD	FTnISES	説明
TIMER CAPTURE PWM1/2	0	緊急停止割込み発生なし（初期値）
	1	緊急停止割込み発生 本ビットは、FTnICES に 1 を書き込むとクリアされます

9.2.15 FTMn 割込みクリアレジスタ(FTnINTC : n=0,1,2,3)

アドレス：0F41CH(FT0INTCL/FT0INTC), 0F41DH(FT0INTCH),
0F43CH(FT1INTCL/FT1INTC), 0F43DH(FT1INTCH),
0F45CH(FT2INTCL/FT2INTC), 0F45DH(FT2INTCH),
0F47CH(FT3INTCL/FT3INTC), 0F47DH(FT3INTCH)
アクセス：W
アクセスサイズ： 8/16 ビット
初期値：0000H

	7	6	5	4	3	2	1	0
FTnINTCL	-	-	FTnICES	FTnICTR	FTnICTS	FTnICB	FTnICA	FTnICP
R/W	W	W	W	W	W	W	W	W
初期値	0	0	0	0	0	0	0	0

	15	14	13	12	11	10	9	8
FTnINTCH	FTnIR	-	-	-	-	-	-	-
R/W	W	W	W	W	W	W	W	W
初期値	0	0	0	0	0	0	0	0

FTnINTC は FTMn の割込みステータスをクリアする特殊機能レジスタ (SFR) です。
ビットに 1 をライトすると、対象の割込みステータスがクリアされます。
リードすると常に 0000H を読み出します。

ビットの説明

- **FTnICP**（ビット 0）
  FTMn の周期割込みをクリアします。

- **FTnICA**（ビット 1）
  FTMn のイベントタイミングA割込みをクリアします。

- **FTnICB**（ビット 2）
  FTMn のイベントタイミング B 割込みをクリアします。

- **FTnICTS**（ビット 3）
  FTMn のトリガカウンタストップ割込みをクリアします。

- **FTnICTR**（ビット 4）
  FTMn のトリガカウンタスタート割込みをクリアします。

- **FTnICES**（ビット 5）
  FTMn の緊急停止割込みをクリアします。

- **FTnIR**（ビット 15）
  FTMn の割込み要求ビット。
  割込みベクタから抜ける前に”1”をライトして下さい。未処理の割込み要因がある場合、再度割込み要求を発行します。

9.2.16 FTM 出力 nm 選択レジスタ (FTOnmSL : n = 0,2,4,6,8,A,C,E, m=n+1)

アドレス：0F480H(FTO0SL/FTO01SL), 0F481H(FTO1SL), 0F482H(FTO2SL/FTO23SL), 0F483H(FTO3SL), 0F484H(FTO4SL/FTO45SL), 0F485H(FTO5SL), 0F486H(FTO6SL/FTO67SL), 0F487H(FTO7SL), 0F488H(FTO8SL/FTO89SL), 0F489H(FTO9SL), 0F48AH(FTOASL/FTOABSL), 0F48BH(FTOBSL), 0F48CH(FTOCSL/FTOCDSL), 0F48DH(FTODSL), 0F48EH(FTOESL/FTOEFSL), 0F48FH(FTOFSL)
アクセス：R/W
アクセスサイズ： 8/16 ビット
初期値：0000H

	7	6	5	4	3	2	1	0
FTOnSL	FTOnSN	-	-	-	-	FTOnS2	FTOnS1	FTOnS0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

	15	14	13	12	11	10	9	8
FTOmSL	FTOmSN	-	-	-	-	FTOmS2	FTOmS1	FTOmS0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

FTOnmSL は TMOUT0～F へ FTM の出力 FTMnP/FTMnN の割り当てと出力極性を制御する特殊機能レジスタ (SFR) です。

ワードシンボル FTOnmSL(nm=01,23,45,67,89,AB,CD,EF)と TMOUT0~F の対応は以下のようになります。

ポート名	出力信号名	ワードシンボル	バイトシンボル
P02	TMOUT0	FTO01SL	FTO0SL
P03	TMOUT1		FTO1SL
P22	TMOUT2	FTO23SL	FTO2SL
P23	TMOUT3		FTO3SL
P32	TMOUT4	FTO45SL	FTO4SL
P33	TMOUT5		FTO5SL
P36	TMOUT6	FTO67SL	FTO6SL
P37	TMOUT7		FTO7SL
P42	TMOUT8	FTO89SL	FTO8SL
P43	TMOUT9		FTO9SL
P46	TMOUTA	FTOABSL	FTOASL
P47	TMOUTB		FTOBSL
P52	TMOUTC	FTOCDSL	FTOCSL
P53	TMOUTD		FTODSL
P56	TMOUTE	FTOEFSL	FTOESL
P57	TMOUTF		FTOFSL

ビットの説明

・ **FTOnS2-0** （ビット 2～0）, **FTOmS2-0** （ビット 10～8）
TMOUTx（x=0~F）出力信号に割り付ける FTM 出力を選択するビットです。

FTOnS2/ FTOmS2	FTOnS1/ FTOmS1	FTOnS0/ FTOmS0	**説明**
0	0	0	FTM0P （**初期値**）
0	0	1	FTM0N
0	1	0	FTM1P
0	1	1	FTM1N
1	0	0	FTM2P
1	0	1	FTM2N
1	1	0	FTM3P
1	1	1	FTM3N

例えば、P46 に FTM1P を割り付ける場合は、P46 は TMOUTA 出力が割り付けられていますので、
FTOAS2-0 ＝ 010b を設定します。

・ **FTOnSN**（ビット 7）**, FTOmSN** （ビット 15）
FTM 出力を反転するビットです。

FTOnSN/ FTOmSN	**説明**
0	**出力を反転しません。（初期値）**
1	**出力を反転します。**

9.3 動作説明

FTnMD1-0 で設定したモードによって、タイマ、キャプチャ、PWM として動作します。
各モードの動作、ソフトウェア/イベントトリガによるスタート/ストップ、緊急停止、割込み処理、出力制御について説明します。
FTMn には、TIMER モード、CAPTURE モード、PWM1 モード、PWM2 モードの 4 種類の動作モードがあります。

TIMER モード:
カウンタのオーバーフローにより割込み発生と出力信号の制御を行います。

CAPTURE モード:
FTMn イベントレジスタ A (FTnEA) 、FTMn イベントレジスタ B (FTnEB) に、選択したトリガイベントが発生したときのカウント値を格納します。

PWM1 モード:
FTMn イベントレジスタ A (FTnEA) を出力信号 FTMnP のデューティ値とし、FTMn イベントレジスタ B (FTnEB) を出力信号 FTMnN のデューティ値とした同周期の開始エッジが整列した 2 種類の PWM 波形を生成することができます。

PWM2 モード:
FTMn イベントレジスタ A (FTnEA) を出力信号 FTMnP のデューティ値とし、出力信号 FTMnN が排他的に動作を行う相補 PWM 波形を生成することができます。また、 FTMn DeadTime レジスタ (FTMnDT) によりデッドタイム設定することが可能です。

9.3.1 共通シーケンス

FTM は、下記のように 1～6 の設定を必要に応じて行なったあと、FTnCON0 で制御を開始します。
その後、割込み処理や、周期/イベント設定の更新などを行います。

1: モード設定(FTnMOD)
モードレジスタ (FTnMOD) でモードを選択します。その他、波形出力する際のデッドタイムなどを設定します。

2: クロック設定(FTnCLK)
カウンタクロックを選択します。ソースクロックとその分周比を設定します。

3: トリガ設定(FTnTRG0/1)
イベントトリガでカウンタをスタート/ストップする場合に設定します。FTnTRG0 ではイベントトリガソースとアクションを、FTnTRG1 ではイベントトリガ/緊急停止/キャプチャのエッジを選択します。

4: 割込み設定(FTnINTE)
割込み要因を設定します。周期/イベント(カウンタ一致,デューティ,キャプチャ),トリガスタート/ストップ割込みから選択します。
ワンショットモード/シングルモードを使用する際は、必ず FTnINTE レジスタの FTnIEP を”1”に設定して下さい。

5: 周期/イベント設定(FTnP,FTnEA,FTnEB,FTnDT)
周期,カウンタ一致用データ,デューティ,デッドタイムなどを設定します。

	TIMER	CAPTURE	PWM1	PWM2
FTnP	**オートリロード周期またはワンショットのタイムアウト時間**			
FTnEA	**一致割込み設定値**	**(キャプチャデータ)**	FTMnP **デューティ**	**デューティ**
FTnEB	**一致割込み設定値**		FTMnN **デューティ**	**(未使用)**
FTnDT	**出力用デットタイム**	**(未使用)**	**出力用デットタイム**	**出力用デットタイム**

周期の計算は以下の通りです。

$$T_{priod} = \frac{FTnP + 1}{FTnCK\ [Hz]} \quad (FTnP : 0001H～FFFFH)$$

6: 出力設定(FTOSL*, 各ポート設定)
どのポートにどの出力を出すかと反転の設定を行ないます。

7: 制御開始/停止(FTnCON0)
ソフトウェアスタートまたは、イベントトリガの受付けを許可します。また、緊急停止イネーブル設定も行ないます。
カウンタは FTnCK の立下りエッジで動作します。ソフトウェアスタート/ストップは FTnCK で同期化されるため、スタートで FTnCK1 サイクル後に FTnSTAT を H に、2 サイクル後にカウンタの動作を開始します。停止の場合は、FTnCK1 サイクルでカウント停止し FTnSTAT を L にします。このときカウンタ値はそのままです。再度スタートすると、1 サイクル後に再開します。カウンタをクリアする場合は、FTnC にライトアクセスします。

8: 動作中の処理(FTnCON0/1, FTnINTS/C)
動作中の状態は FTnCON1 や FTnINTS で確認できます。PWM などの波形を変更する際は周期/イベント設定して FTnCON1 の FTnUD をセットすると次の周期で更新されます。また、FTnCON0 の FTnSDN をセットすると強制的に出力をLにマスクします。

9.3.2 カウンタ動作

FTM 内部のカウンタは、各モード共通の動作をします。
FTMn 周期レジスタ(FTnP)の設定値までカウントアップを行います。
オーバーフロー時に、オートリロードモード（FTMn モードレジスタ(FTnMOD)の FTnOST ビットが”0”）の場合は、カウンタをクリアし、再びカウント動作を継続します。ワンショットモード（FTnMOD の FTnOST ビットが”1”および FTnINTE の FTnIPE ビットが”1”）の場合は、カウンタをクリアし、カウント動作を停止します。
カウント動作の開始/停止は、ソフトウェアか、トリガイベントにより行うことができます。

9.3.2.1 ソフトウェアによるカウント開始/停止

FTMn コントロールレジスタ 0(FTnCON0)の FTnRUN ビットを”1”にするとカウント動作を開始します。
ワンショットモード（FTMn モードレジスタ(FTnMOD)の FTnOST ビットが”1”）の場合は、オーバーフローによりカウント動作を停止すると FTnRUN ビットは、自動で"0"になります。

カウンタが動作中（FTMn コントロールレジスタ 1(FTnCON1)の FTnSTAT ビットが”1”）に FTnRUN ビットを”0”にした場合、カウンタは動作を停止します。この時、カウンタの値は、停止したときの値を保持しています。再び FTnRUN ビットを”1”にするとカウンタは、停止したときの値から継続してカウント動作します。
カウンタをクリアしたい場合は、停止中に FTMn カウンタレジスタ（FTnC）に書き込み動作を行います。（この時の書き込む値は、意味がありません。）

9.3.2.2 トリガイベントによるカウント開始/停止

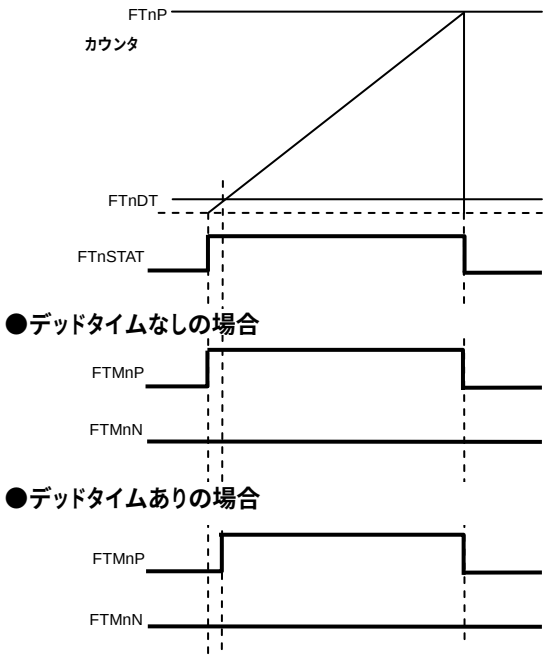
FIMTERn コントロールレジスタ 0(FTnCON0)の FTnTGEN ビットを”1”にするとトリガによりカウンタ動作の制御が可能になります。
FTMn トリガレジスタ 0,1 (FTnTRG0,FTnTRG1)の設定により、トリガの選択等を行います。
トリガイベントのソースは、外部割込み、タイマ割込み、他の FTM のトリガから選択できます。
選択したトリガイベントにより、カウンタ開始、カウンタ停止、カウンタ開始/停止が選択できます。

9.3.3 TIMER モードの動作

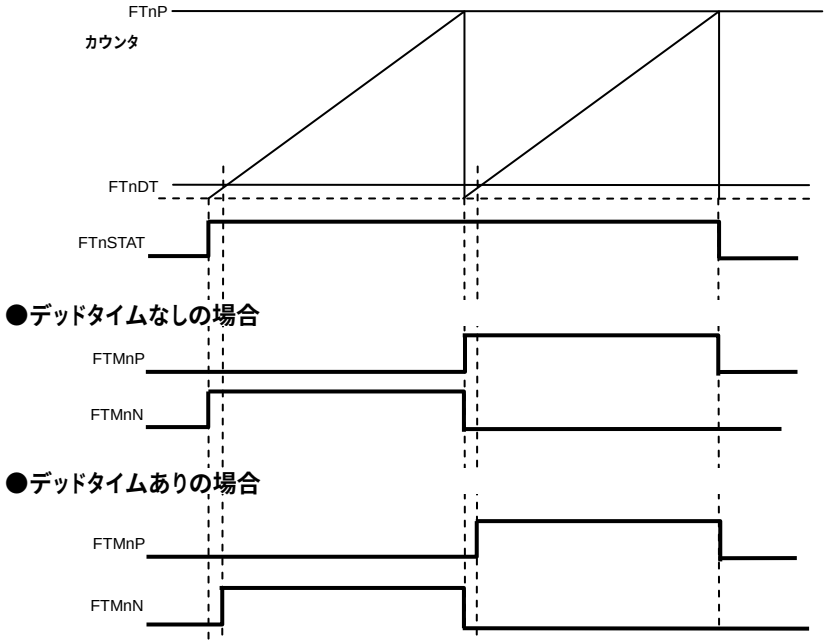
TIMER モードは、カウンタのオーバーフローにより割込み発生と出力信号の制御を行います。

9.3.3.1 TIMER モードの出力波形

タイマ出力オートリロードモードでは、周期毎に出力がトグルします。
カウンタが"0000H"の状態で FTMn コントロールレジスタ 0(FTnCON0)の FTnRUN ビットを"1"に設定すると、FTMnP は L から、FTMnN は H で動作を開始します。
ワンショットモードでは、FTMnP から 1 周期分の H パルスを出力して停止します。FTMnN はL固定です。
また FTMn モードレジスタ(FTnMOD)の FTnDTEN を”1”に設定した場合、カウント開始後、FTMn DeadTime レジスタ(FTnDT) で設定したカウントを経過するまで出力は L になります。

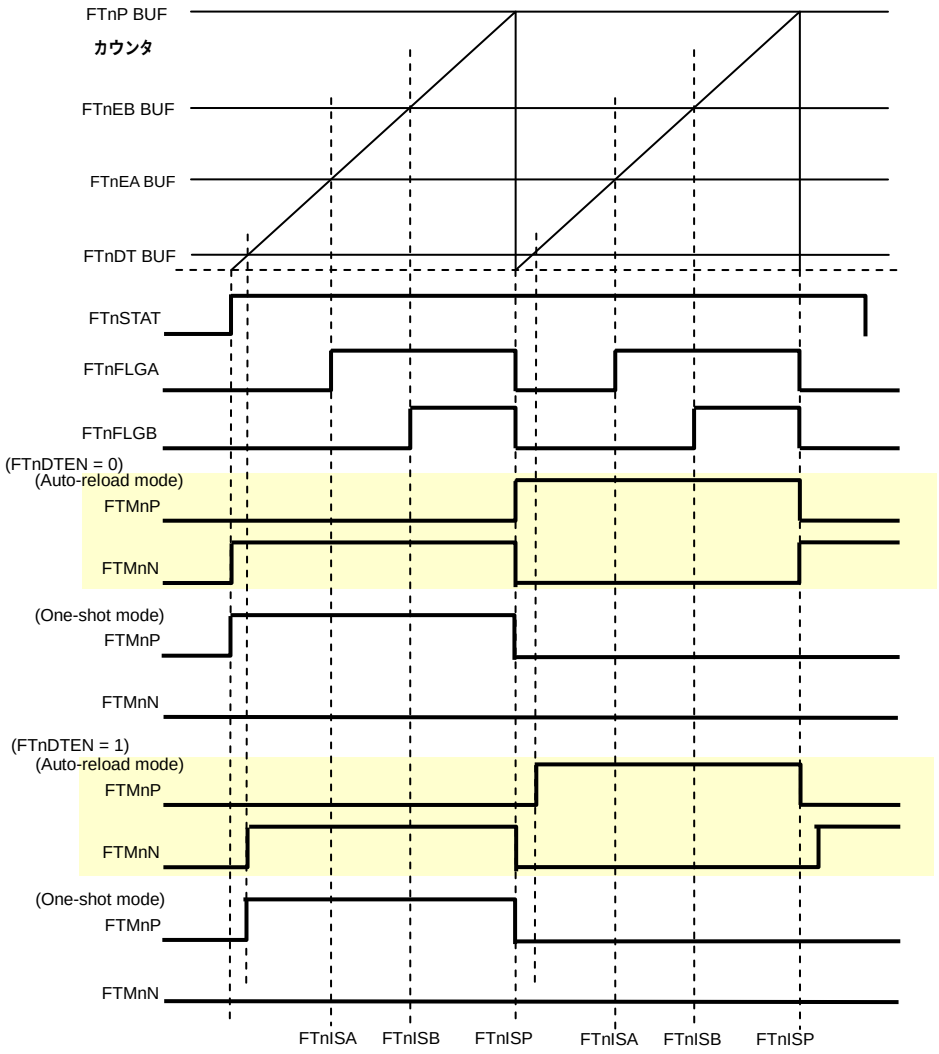


(a) TIMER モード 出力波形(ワンショットモード)



(b) TIMER モード 出力波形(オートリロードモード)

図 9-2　タイマモード 出力波形



TIMER モード

$$T_{priod} = \frac{FTnP + 1}{FTnCK\ [Hz]}$$ (FTnP : 0001H～FFFFH)

$$T_{eventA/B} = \frac{FTnEA(or\ FTnEB) + 1}{FTnCK\ [Hz]}$$ (FTnA/FTnB : 0000H～FFFEH)

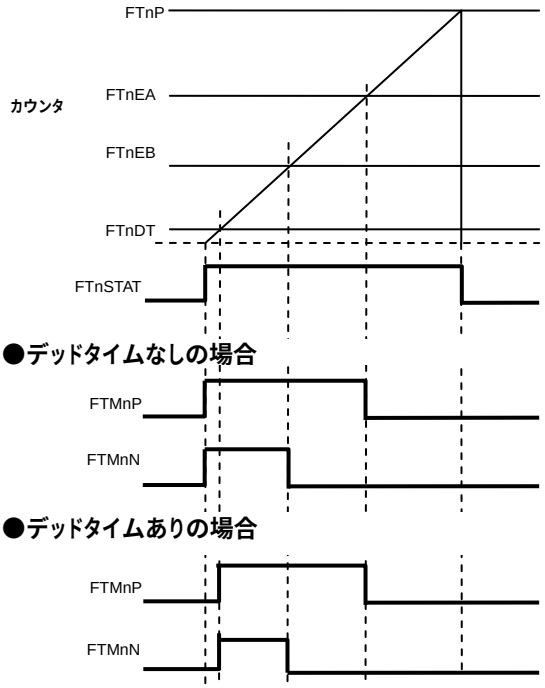
$$T_{deadtime} = \frac{FTnDT + 1}{FTnCK\ [Hz]}$$ (FTnDT : 0000H～FFFEH)

9.3.4 PWM1 モードの動作

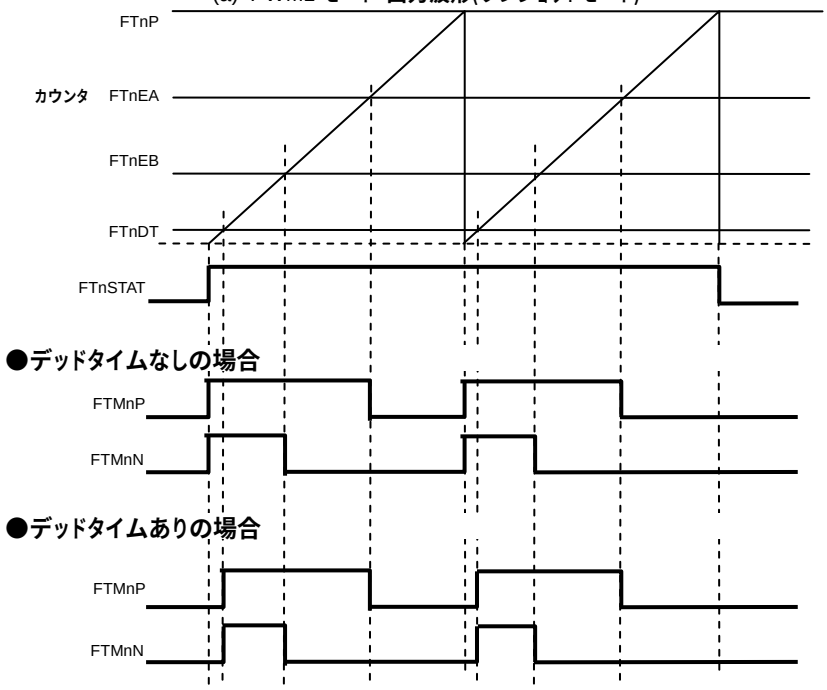
PWM1 モードは、FTnP で設定した周期の同期出力のパルスを生成します。また FTnEA で出力 FTMnP のデューティを、FTnEB で FTMnN のデューティを設定します。

9.3.4.1 PWM1 モードの出力波形

オートリロードモードのとき、FTMnP/FTMnN のいずれも初期値は L でスタート時に H になります。それぞれデューティ値でLになります。次の周期になるとまたHとなって停止するまで繰り返します。ワンショットモードのときは、1 周期後に自動で停止してLになります。
また、デッドタイムを有効にした場合は、カウント開始からデッドタイムの期間はL出力です。



(a) PWM1 モード 出力波形(ワンショットモード)



(b) PWM1 モード 出力波形(オートリロードモード)

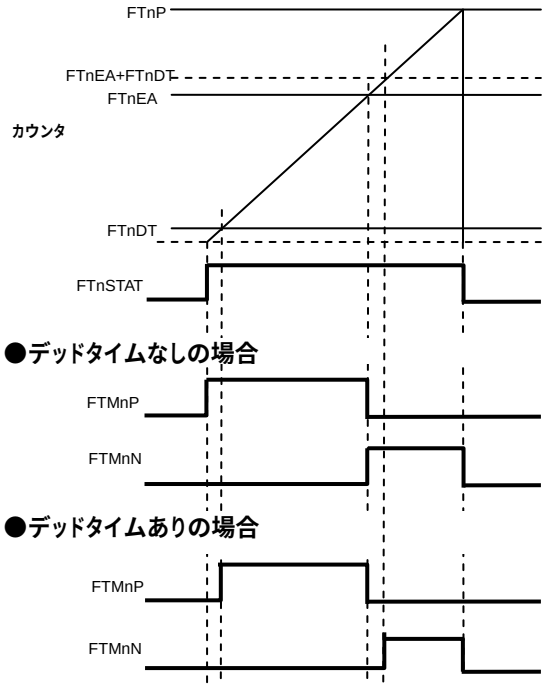
図 9-3　PWM1 モード 出力波形

9.3.5 PWM2 モードの動作

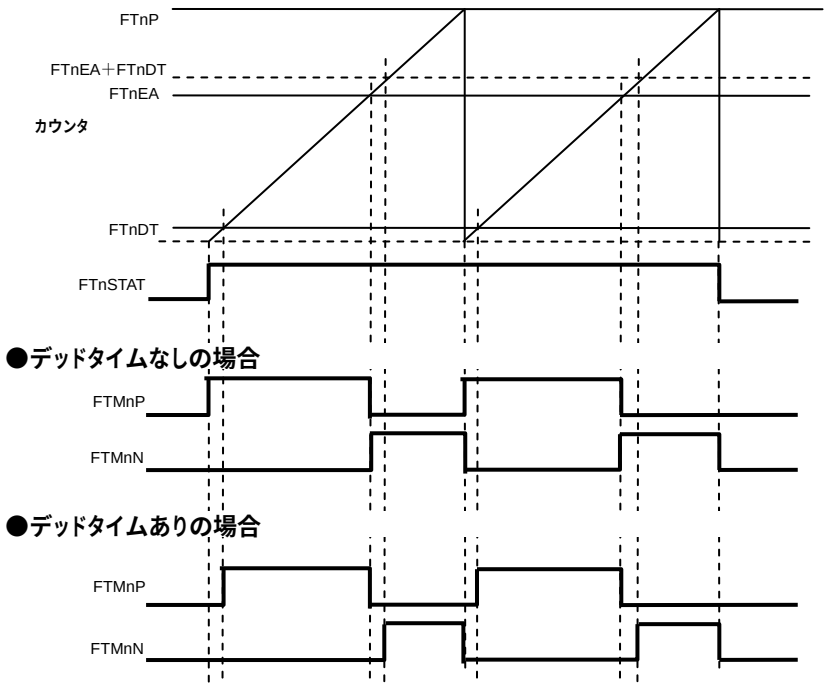
PWM2 モードは、FTnP で設定した周期で相補出力のパルスを生成します。また FTnEA で出力 FTMnP/FTMnN のデューティを設定します。FTnEB は使用しません。

9.3.5.1 PWM2 モードの出力波形

オートリロードモードのとき、FTMnP/FTMnN のいずれも初期値は L で、スタート時に FTMnP が H になります。デューティ値で FTMnP が L に、FTMnN が H になります。次の周期になるとまた FTMnP が H,FTMnN が L となって停止するまで繰り返します。ワンショットモードのときは、1 周期後に自動で停止してLになります。
また、デッドタイムを有効にした場合は、FTMnP はカウント開始から、FTMnN はデューティ一致からデッドタイムの期間は L 出力です。

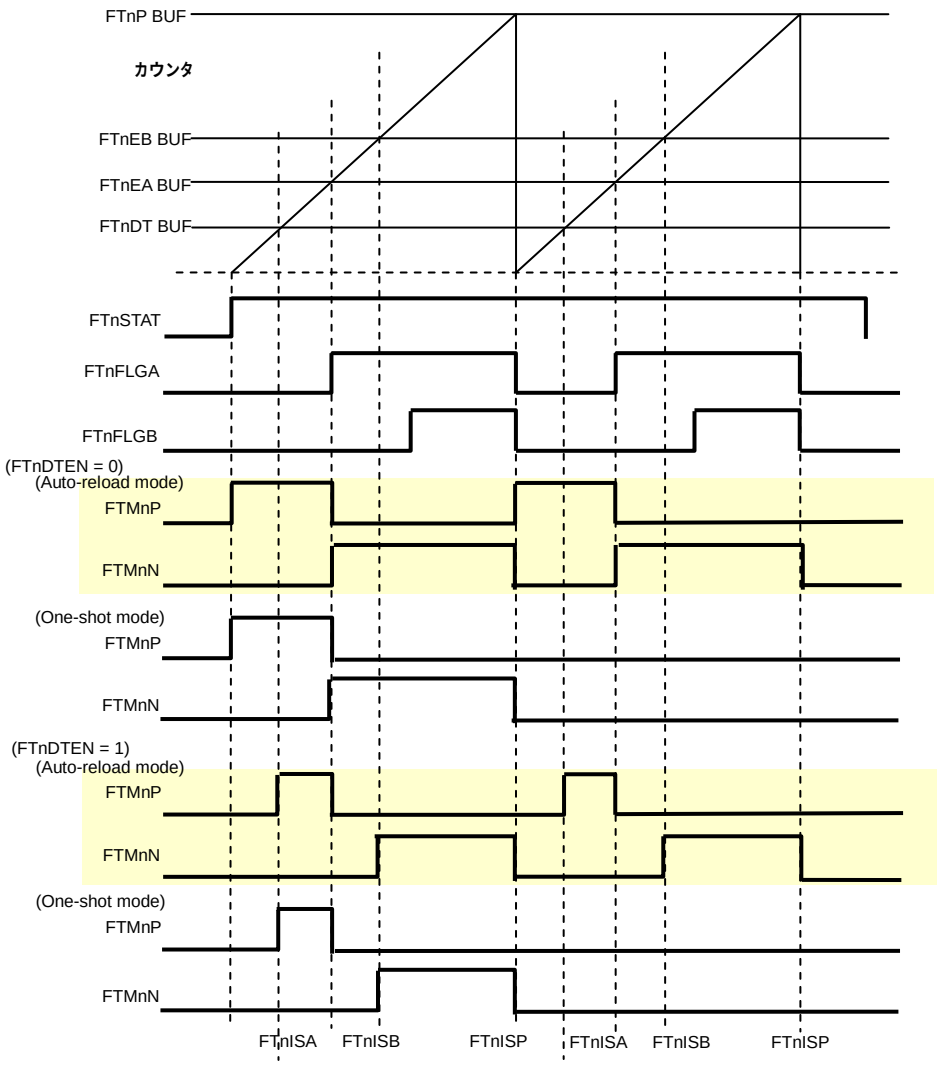


(a) PWM2 モード 出力波形(ワンショットモード)



(b) PWM2 モード 出力波形(オートリロードモード)

図 9-4　PWM2 モード 出力波形



PWM2 モード

$$T_{priod} = \frac{FTnP + 1}{FTnCK\ [Hz]} \quad (FTnP : 0001H \sim FFFFH)$$

$$T_{duty} = \frac{FTnEA + 1}{FTnCK\ [Hz]} \quad (FTnA/FTnB : 0000H \sim FFFEH)$$

$$T_{deadtime} = \frac{FTnDT + 1}{FTnCK\ [Hz]} \quad (FTnDT : 0000H \sim FFFEH)$$

9.3.6 CAPTURE モードの動作

CAPTURE モードは、イベントトリガ要因が発生した際のカウント値を FTnEA/FTnEB レジスタに格納します。キャプチャ対象のイベントトリガ要因は、カウンタスタートストップに使用するものと共通です。

FTnEA の格納データ	イベントトリガの立上りエッジ発生時のカウンタ値
FTnEB の格納データ	イベントトリガの立下りエッジ発生時のカウンタ値

9.3.6.1 CAPTURE モードの測定例

以下に EXI0 から入力された PWM の周期とデューティを CAPTURE モード、トリガイベントによるカウンタの開始/停止を利用して測定する例を示します。

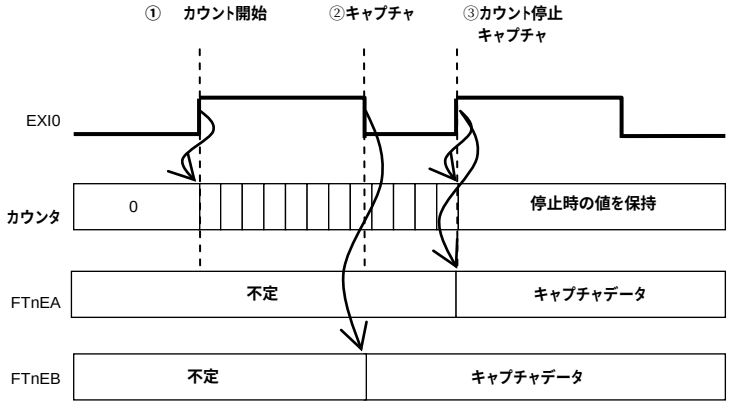


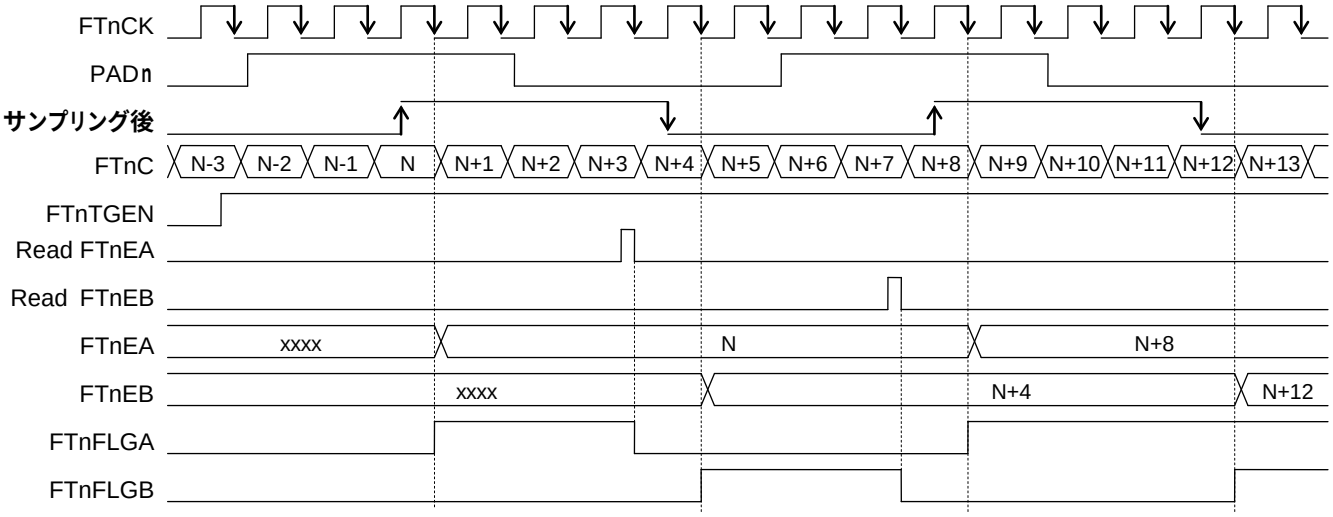
図 9-5 CAPTURE モード測定例

FTnMOD レジスタでキャプチャモード（FTnMD=01b）に設定します。
FTnINTE レジスタでトリガカウンタストップ割込みを有効（FTnIETS=1）にします。
FTnTRG0 レジスタで、トリガイベントのソースを EXI0TGO（ FTnSTSS=0, FTnSTS=00H）、カウンタスタート有効（FTnST0=1）、カウンタストップ有効（FTnST1=1）に設定します。
FTnTRG1 レジスタで、カウンタスタート及びカウンタストップともに立ち上がりエッジ（FTnTRM=00b）に設定します。
FTnCON0 レジスタで、トリガ(キャプチャ)動作有効（FTnTGEN=1）に設定します。

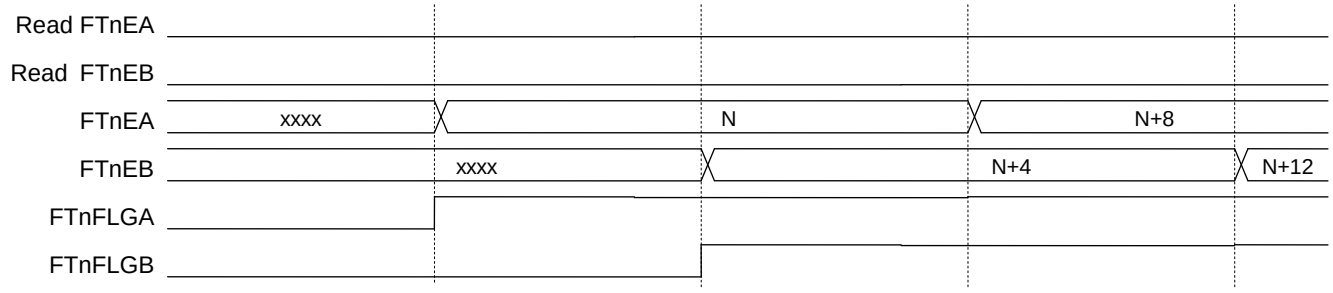
EXI0 の立ち上がりでカウンタが動作を開始します。（①）
次に EXI0 の立下りの時に、カウンタの値を FTnEB レジスタに格納します。（②）
EXI0 の立ち上がりを再び検出するとカウンタは動作を停止し、割込みが発生します。（③）
また、この時カウンタの値を FTnEA レジスタに格納します。

この時の FTnC の値が、EXI0 の周期に相当し、FTnEA の値が EXI0 のデューティに相当します。

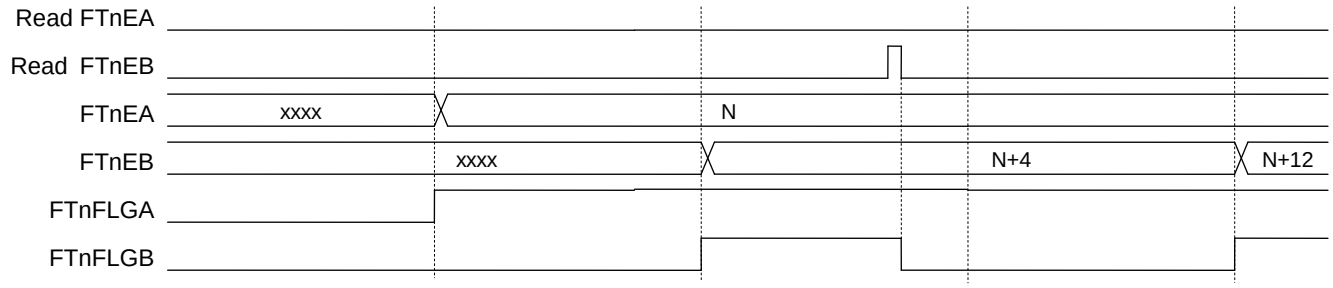
FTnMOD レジスタの FTnOST ビットによって、キャプチャ後の動作が異なります。
●FTnOST=0（オートモード）の時
次の EXI0 の立ち上がりでカウンタが再スタートした後、EXI0 の立下りで FTnEA の値が更新されます。
●FTnOST=1(シングルモード)の時
次の EXI0 の立ち上がりでカウンタが再スタートした後、EXI0 の立下りが来ても FTnEA の値を更新しません。



(a) **次のトリガが来る前にリードした場合**(FTnOST=0,1 **共通**)



(b) **リードせずに次のトリガが来た場合** (FTnOST=0)



(c)**リードせずに次のトリガが来た場合** (FTnOST=1)

図 9-6 キャプチャモード 動作タイミング

9.3.7 イベント/緊急停止トリガ制御

9.3.7.1 トリガ信号について

FTMn は、イベントトリガと緊急停止トリガの 2 種類のトリガ信号を受け付けることができます。
イベントトリガは、カウンタのスタート/ストップや、キャプチャのトリガとして使用します。トリガソースとして、EXI0-7TGO(外部端子)、TIMER0-7 割込みまたは FTM0-3 トリガ、から選択することができます。
緊急停止トリガは、タイマ動作を停止するためのトリガで、カウンタを停止し、出力 FTMnP/FTMnN を L にします。トリガソースとして、EXI0TGO, EXI4TGO, CMP0TGO, CMP1TGO から選択することができます。

EXI0-7TGO は、割込みコントローラで選択された EXI のアナログ･フィルタ出力が接続されます。
CMP0/1TGO は、コンパレータのサンプリング･コントローラの出力が接続されます。サンプリングの選択はコンパレータのレジスタで設定します。
タイマ/FTM の割込みの要因は、各タイマのレジスタで設定します。

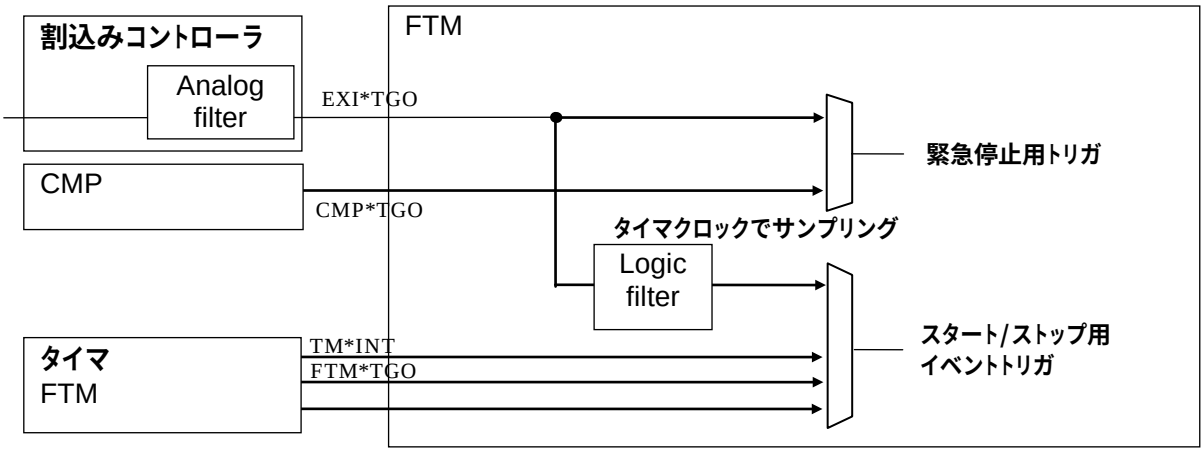


図 9-7 トリガ信号の入力経路

9.3.7.2 イベントトリガによるスタート、ストップ動作

イベントトリガによるカウンタ制御を行なう場合の設定を次に示します。

1) FTnTRG0 の設定
イベントトリガでカウンタスタート/ストップの有効/無効の設定
イベントトリガによるストップ時にカウンタをクリアする/しないの設定
イベントトリガによるストップ後、次のカウンタスタートを受け付ける/受け付けないの設定
イベントトリガ要因の設定(EXI0-7TGO, TIMER0-7INT, FTM0-3TGO)
2) FTnTRG1 の設定
カウントスタートとなるイベントトリガのエッジの設定
カウントストップとなるイベントトリガのエッジの設定
3) FTnCON0 の制御
FTnTGEN を”1”にセットすると、イベントトリガの待ちうけ状態になります。
この状態で、FTnRUN に”1”をセットすると、ソフトウェアによりカウンタスタートします。
また、カウンタ動作中に FTnRUN を”0”にセットすると、ソフトウェアによりカウンタストップします。

イベントトリガによるカウンタ制御に外部入力トリガ(EXInTGO)を選択した場合、トリガ信号は、FTnCK でサンプリングされますので、入力パルスの幅をアナログフィルタ 200ns+サンプリングクロックの 3 クロック以上にしてください。1 クロック以下のパルスはノイズとして除去され、1~3 クロックのパルスは、除去される場合とされない場合があります。なお、イベントトリガとしてタイマ割込みを選択している場合はサンプリングされません。

図 9-8 に、外部入力のサンプリングのタイミングを示します。

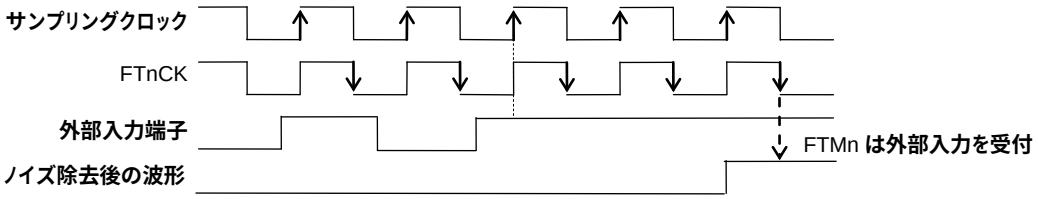
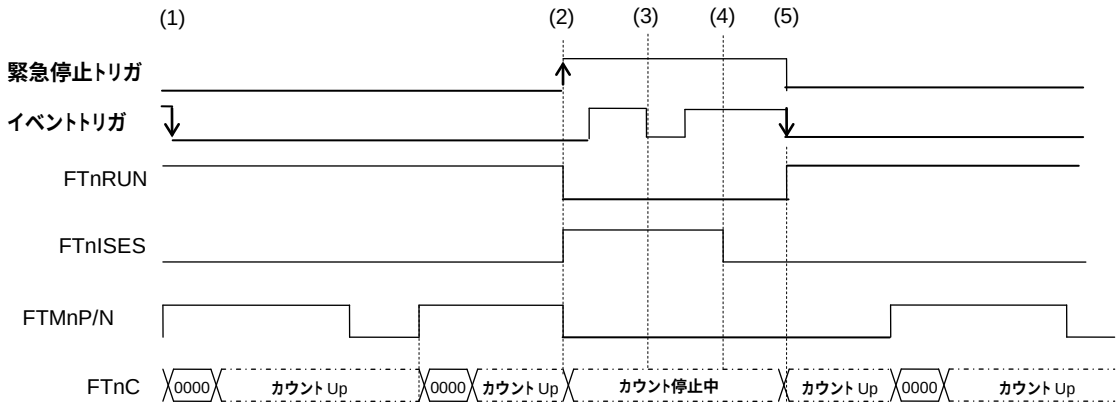


図 9-8 外部入力のサンプリングのタイミング

9.3.7.3 緊急停止動作

FTnEMGEN を”1”に設定すると緊急停止機能が有効になります。本ビットは、FTnEST でトリガ要因を選択した後に設定して下さい。
緊急停止トリガ入力(立ち上がりエッジ)があると、カウンタは停止し、出力を L にして、緊急停止割込みが発生します。
カウンタ動作を再開するには、緊急停止割込みステータスをクリア(FTnICES に”1”ライト)し、RUN ビットを 1 にセットして下さい。
図 9-9 に、緊急停止時の動作タイミングを示します。
緊急停止発生後、RUN ビットは 0 にクリアされ、1タイマクロック後にカウンタを停止し、STAT ビットが 0 にクリアされます。
STAT ビットが 1 のときは、RUN を 1 にセットしても受け付けません。割込みステータスをクリアした後、STAT が 0 になるのを確認してから、次の RUN を実行して下さい。



(1) イベントトリガ(立下りエッジ)でカウンタ動作開始する。
(2) 緊急停止トリガ(立上りエッジ)でカウンタ停止。緊急停止割込み発生する。
(3) 緊急停止中のため、イベントトリガは無効となる。
(4) 緊急停止割込みをクリアして動作可能状態になる。
(5) イベントトリガ(立下りエッジ)でカウンタ動作再開する。
(この例は、カウンタはクリアしていない状態のため、1 周期後からパルス出力を再開)

図 9-9 緊急停止時の動作タイミング

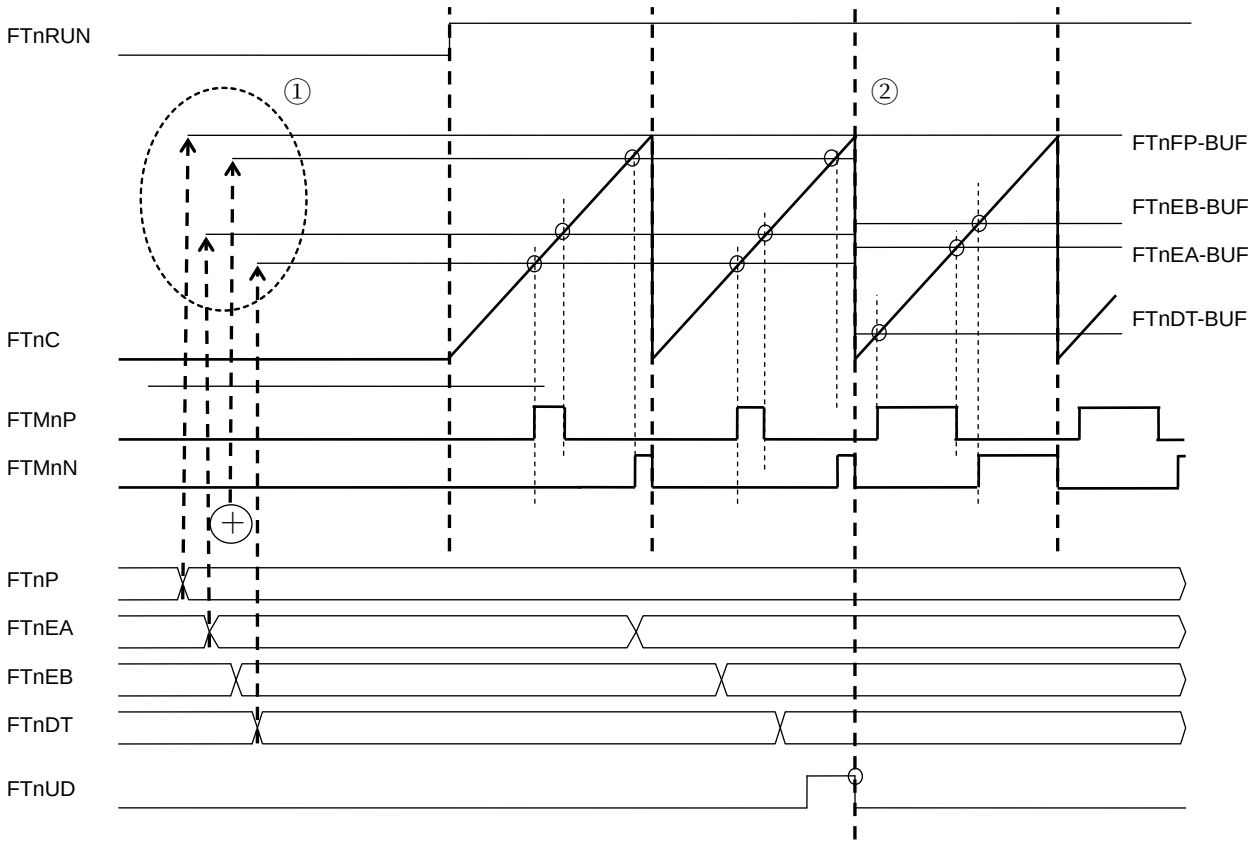
9.3.8 カウンタストップ時の出力

ソフトウェア/イベントトリガによりカウンタが停止したときの FTMnP および FTMnN の状態は、FTnSTPO の設定で決まります。FTnSTPO が”0”であれば FTMnP/FTMnN は停止と同時に”L”になります。そのままカウントを再開した場合はその周期の間は FTMnP/FTMnN は”L”出力のままとなり、次の周期からカウンタ値に応じて変化します。TMOFTnSTPO が”1”のとき FTMnP/FTMnN は、停止時の状態を保持し、カウントを再開するとカウンタ値に応じて状態が変化します。
FTnTRG0 レジスタの FTnEXCL ビットを”1”または、カウント動作を停止後にソフトウェアによりカウンタをクリアした場合は、カウンタ値は”0000”からカウントアップされ、出力はカウンタ値に応じます。

9.3.9 周期,イベント A/B,デッドタイムの動作中の変更

タイマがカウント動作中に次の周期に周期やイベント A/B,デッドタイムを動作中に変更することが可能です。
変更するには、変更したいレジスタ（FTnP, FTnEA, FTnEB, FTnDT など）を設定したあとに、FTnCON1 レジスタの FTnUD ビットに”1”をライトし、更新要求をします。次の周期の開始時に周期,イベント A/B,デッドタイム用バッファの値が更新され、FTnUD ビットが”0”になります。

以下に PWM2 モード(DTEN=1)のときの例を示します。



① 停止中は、設定されたタイミングで各バッファを更新します。
② 動作中は、PFUD が”1”に設定された次の周期の始まりで各バッファを更新します。

図 9-10 動作中の更新タイミング

9.3.10 割込み要因

割込み要因と、そのクリア方法を示します。
対象の割込みイネーブル(FTnIE*)を”1”にすると、割込みステータスが有効になり、割込みコントローラへの要因通知も行ないます。
但し、緊急停止割込みイネーブルはありません。緊急停止イネーブルを有効にすると割込みも有効になります。
割込みステータスが”1”になった要因については、各処理を行なって割込みステータスをクリアして下さい。
割込みベクタを使用している場合は、割込み処理の最後(割込みベクタから抜ける際)に FTnICR に”1”をライトして下さい。

名称	モード	ステータス	クリア方法
周期一致割込み	ALL	FTnISP	FTnICP に”1”ライト
イベント A 一致割込み	TIMER/PWM1/PWM2	FTnISA	FTnICA に”1”ライト
キャプチャ A 割込み	CAPTURE	FTnISA	FTnICA に”1”ライト または FTnEA をリード
イベント B 一致割込み	TIMER/PWM1	FTnISB	FTnICB に”1”ライト
キャプチャ B 割込み	CAPTURE	FTnISB	FTnICB に”1”ライト または FTnEB をリード
トリガストップ割込み	ALL	FTnISTS	FTnICTS に”1”ライト
トリガスタート割込み	ALL	FTnISTR	FTnICTR に”1”ライト
緊急停止割込み	ALL	FTnISES	FTnICES に”1”ライト

割込みのトリガ出力は、周期一致割込み/イベント A 一致割込み/イベント B 一致割込みの中から選択することが可能です。

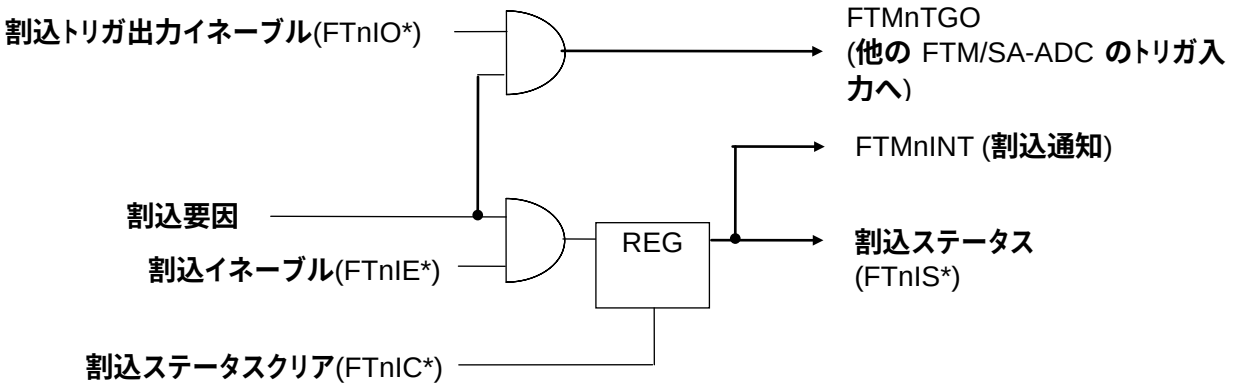


図 9-11 割込み制御信号

第 10 章　ウォッチドッグタイマ

10 ウォッチドッグタイマ

10.1 概要

ウォッチドッグタイマは、プログラムの異常な動作を検出するために使用されるフリーランカウンタです。
ウォッチドッグタイマは、システムリセット解除後に無条件でカウントを開始して 1 度目のオーバフローで WDT 割込みを要求します。さらに二度目のオーバフローにより WDT リセット信号を発生し、システムリセットモードに移行します。

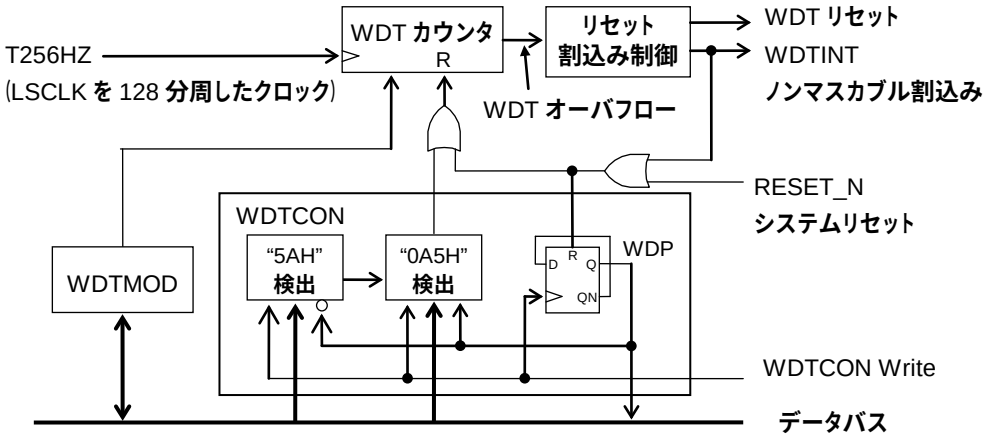
割込みについては「第 5 章 割込み」、WDT リセットについては「第 3 章 リセット機能」を参照してください。

10.1.1 特長

- フリーラン動作（DEEP-HALT モード時停止設定可能）
- 低速クロックの 128 周期でカウント
- ソフトウェアにより 4 種類（125ms、500ms、2s、8s @LSCLK=32.768kHz）のオーバフロー周期が選択可能
- 一度目のオーバフローによりノンマスカブル割込みを要求
- 二度目のオーバフローにより WDT リセットを発生

10.1.2 構成

図 10 - 1 にウォッチドッグタイマの構成を示します。



WDTCON ：ウォッチドッグタイマコントロールレジスタ
WDTMOD ：ウォッチドッグタイマモードレジスタ

図 10-1 ウォッチドッグタイマの構成

10.2 レジスタ説明

10.2.1 レジスター覧

アドレス [H]	名称	略称 (Byte)	略称 (Word)	R/W	サイズ	初期値 [H]
0F00E	ウォッチドッグタイマコントロールレジスタ	WDTCON	ー	R/W	8	00
0F00F	ウォッチドッグタイマモードレジスタ	WDTMOD	ー	R/W	8	82

10.2.2 ウォッチドッグタイマコントロールレジスタ (WDTCON)

アドレス：0F00EH
アクセス：R/W
アクセスサイズ：8 ビット
初期値：00H

	7	6	5	4	3	2	1	0
WDTCON	d7	d6	d5	d4	d3	d2	d1	WDP/d0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

WDTCON は、ウォッチドッグタイマを制御する特殊機能レジスタ (SFR) です。
WDTCON に書き込みを行うと、内部ポインタ (WDP) の値は反転します。
WDTCON に連続して”5AH”, ”0A5H”を書き込むと WDT カウンタがクリアされます。
WDTCON を読み出すと bit0 に WDP の値が読み出されます。この時 bit7 から bit1 は”0”が読み出されます。
また、WDP はシステムリセット時および WDT カウンタのオーバフロー時に“0”にリセットされます。

WDT カウンタをクリアするには WDP が”0”の状態で”5AH”を書き込み、WDP が”1”の状態で”0A5H”を書き込んでください。WDP が異なる状態でそれぞれのクリアデータを書き込んでも WDT カウンタはクリアされません。

本レジスタには必ずバイトアクセスを行って下さい。

【注意】

・WDT カウンタの一度目のオーバフローにより WDT 割込み (WDTINT) が発生した際に、WDT カウンタおよび内部ポインタ (WDP) は、低速クロックの半クロック間 (約 15.26us@32.768kHz) 初期化されます。このため、この間の WDTCON への書き込みは無効となり、WDP も反転しません。WDT 割込み発生時にシステムクロックが高速クロックの状態で WDT クリア処理を行う際は、WDTCON への書き込みによって WDP が反転することを確認し、WDTCON へ正常に書き込みまれたことを確認してください。

10.2.3 ウォッチドッグタイマモードレジスタ (WDTMOD)

アドレス:0F00FH
アクセス: R/W
アクセスサイズ:8 ビット
初期値:82H

	7	6	5	4	3	2	1	0
WDTMOD	HLTEN	–	–	–	–	–	WDT1	WDT0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	1	0	0	0	0	0	1	0

WDTMOD は、WDT カウンタのオーバフロー周期を設定する特殊機能レジスタ (SFR) です。
本レジスタには必ずバイトアクセスを行って下さい。

ビットの説明

・ **WDT1-0** (ビット 1～0)
ウォッチドッグタイマのオーバフロー周期を選択します。
WDT1-0 は、WDT カウンタのオーバフロー周期 (T_{WOV}) を設定するビットです。
以下の 4 種類が選択できます。

WDT1	WDT0	説明
0	0	LSCLK の 4096 周期 (125ms*)
0	1	LSCLK の 16384 周期 (500ms*)
1	0	LSCLK の 65536 周期 (2s*)
1	1	LSCLK の 262144 周期 (8s*)

* : LSCLK=32.768KHz で動作させた時の換算値。

・ **HLTEN** (ビット 7)
DEEP-HALT モード中のウォッチドッグタイマのカウントアップ動作を設定します。

HLTEN	説明
0	DEEP-HALT モード中のカウントアップ停止。
1	DEEP-HALT モード中もカウントアップ。(初期値)

10.3 動作説明

WDT カウンタは、システムリセット解除後、低速クロック（LSCLK）が発振を開始するとカウントアップを開始します。
内部ポインタ (WDP) が“0”の状態で“5AH”を書き込み、次に WDP が“1”の状態で“0A5H”を書き込むことで WDT カウンタをクリアすることができます。
WDP は、システムリセット時および WDT カウンタのオーバフロー時に“0”にリセットされ、WDTCON に書き込み動作を行うたびに反転します。
WDT カウンタのオーバフロー周期 (T_{WOV}) 内に WDT カウンタをクリアできなかった場合は、ウォッチドッグタイマ割込み (WDTINT) が発生します。その後も WDT カウンタがクリアされずに再度オーバフローすると WDT リセットが発生し、システムリセットモードに移行します。
WDT カウンタのオーバフロー周期 (T_{WOV}) は、ウォッチドッグモードレジスタ (WDTMOD) により、125ms、500ms、2s、8s の 4 種類が選択できます。
WDT カウンタは、表 10-1 に示す WDT カウンタのクリア時間 (T_{WCL}) 内にクリアしてください。

表 10-1 WDT カウンタのクリア周期

WDT1	WDT0	T_{WOV}	T_{WCL}
0	0	LSCLK の 4096 周期 (125ms*)	LSCLK の 3968 周期 (約 121ms*)
0	1	LSCLK の 16384 周期 (500ms*)	LSCLK の 16256 周期 (約 496ms*)
1	0	LSCLK の 65536 周期 (2s*)	LSCLK の 65408 周期 (約 1996ms*)
1	1	LSCLK の 262144 周期 (8s*)	LSCLK の 262016 周期 (約 7996ms*)

＊ ： LSCLK=32.768KHz で動作させた時の換算値。

【注意】

・WDT カウンタは、LSCLK を 128 分周した T256HZ で動作します。リセット時および STOP モード時以外は、常に WDT カウンタをカウントアップさせるために LSCLK を入力する必要があります。

・表 10-1 の時間は、使用する低速クロック LSCLK の周波数によって変動します。使用する低速水晶発振子の周波数からの計算式は、以下のように計算できます。

例）LSCLK=32.768kHz で動作させた時(WDT1/WDT0=00 設定した時)

Twov : 1 / ((32.768[kHz]) / 128 分周) * 32 クロック = 125 [msec]

図 10-2 にウォッチドッグタイマの動作例を示します。

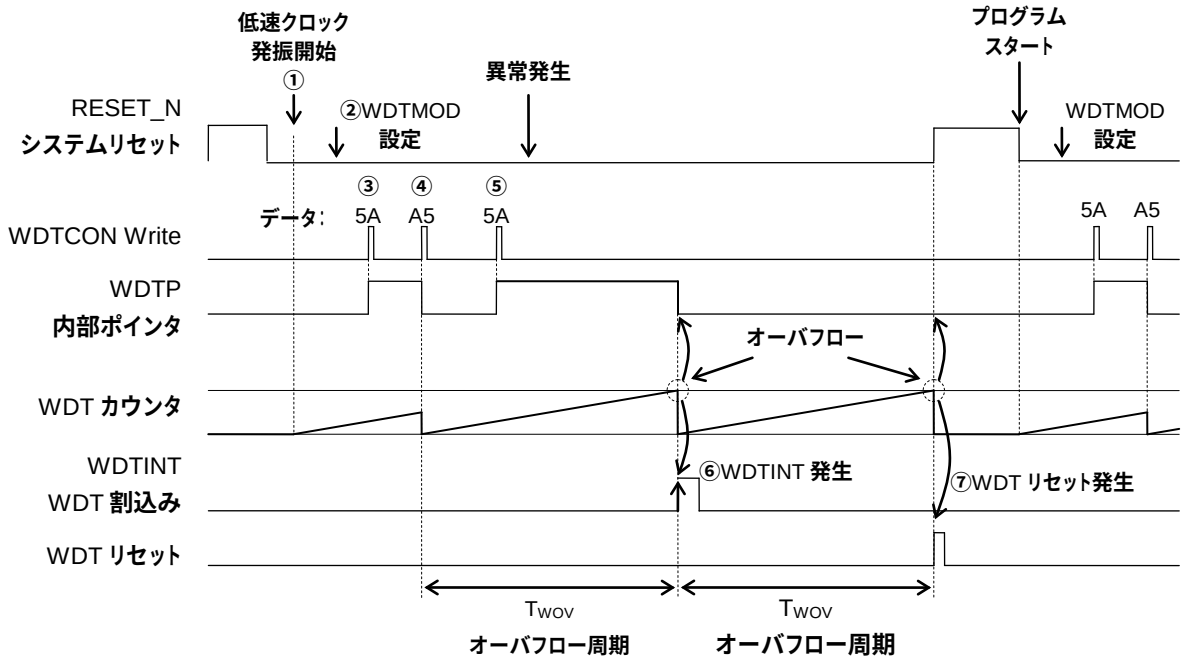


図 10-2 ウォッチドッグタイマの動作例

① システムリセット解除後、低速クロック（LSCLK）が発振を開始すると WDT カウンタがカウントアップを開始します。
② WDT カウンタのオーバフロー周期 (T_{WOV}) を WDTMOD に設定します。
③ WDTCON に“5AH”を書き込みます。（内部ポインタ 0→1）
④ WDTCON に“0A5H”を書き込み WDT カウンタをクリアします。（内部ポインタ 1→0）
⑤ WDTCON に“5AH”を書き込みます。（内部ポインタ 0→1）
⑥ 異常が発生し、”0A5H”の書き込みが行なわれないと WDT カウンタがオーバーフローします。ここでは WDT カウンタのリセット後最初のオーバーフローなのでウォッチドッグタイマ割込みが発生します。また、LSCLK の半クロックの期間、WDT カウンタおよび WDP（内部ポインタ）は初期化されます。初期化されている間は、WDTCON への書き込みは無効となり、WDP も反転しません。
⑦ ウォッチドッグタイマ割込み後も WDT カウンタがクリアされずに再度 WDT カウンタがオーバフローすると WDT リセットが発生し、システムリセットモードに移行します。

【注意】

・STOP モード時は、ウォッチドッグタイマの動作も停止します。HALT モード(DEEP-HALT、HALT-H、HALT)中に WDT 割込みが発生した場合は、HALT モードが解除されます。
・ウォッチドッグタイマは、全ての異常動作を検出できるわけではありません。CPU が暴走した場合でも WDT カウンタがクリアされるような動作状態になった場合には検出できません。

10.3.1 ウォッチドッグタイマを使用しない場合の処理例

ウォッチドッグタイマは停止させることはできません。このため、ウォッチドッグタイマ機能をフェールセーフ対策として使用しない場合でも WDT カウンタをクリアする必要があります。
以下に WDT 割込み発生時に WDT カウンタをクリアし、WDT によるシステムリセットを抑制するプログラム例を示します。

プログラム記述例

```
do
{
    WDTCON = 0x5a;
} while(WDP != 1)
    WDTCON = 0xa5;
```

第 11 章　同期式シリアルポート (SSIO)

11. 同期式シリアルポート（SSIO）

11.1 概要

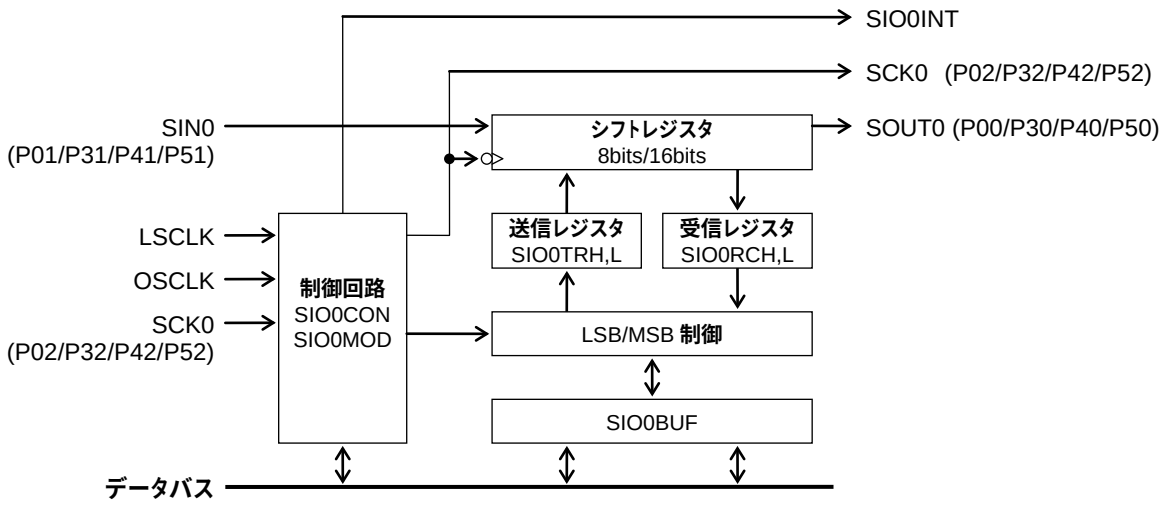
同期式シリアルポート (SSIO)は、1 チャンネル内蔵されています。GPIO の 1 本をチップイネーブル端子として使用することで、SPI インタフェース付デバイスの制御にも使用可能です。

11.1.1 特長

- マスタ/スレーブ選択可能
- MSB/LSB ファースト選択可能
- データ長は、8 ビット長/16 ビット長選択可能
- クロックの位相及び極性を選択可能

11.1.2 構成

図 11-1 に同期式シリアルポートの構成を示します。



SIO0BUF ：シリアルポート送受信バッファ
SIO0CON ：シリアルポートコントロールレジスタ
SIO0MOD ：シリアルポートモードレジスタ

図 11-1 同期式シリアルポートの構成

11.1.3 端子一覧

端子名	入出力	機能
SIN0	I	受信データ入力
SCK0	I/O	同期クロック入出力
SOUT0	O	送信データ出力

11.2 レジスタ説明

11.2.1 レジスター覧

アドレス [H]	名称	略称 (Byte)	略称 (Word)	R/W	サイズ	初期値 [H]
0F700	シリアルポート 0 送受信バッファ	SIO0BUFL	SIO0BUF	R/W	8/16	00
0F701		SIO0BUFH		R/W	8	00
0F702	シリアルポート 0 コントロールレジスタ	SIO0CON	ー	R/W	8	00
0F704	シリアルポート 0 モードレジスタ	SIO0MOD0	SIO0MOD	R/W	8/16	00
0F705		SIO0MOD1		R/W	8	00

11.2.2 シリアルポート 0 送受信バッファ (SIO0BUF)

アドレス:0F700H
アクセス:R/W
アクセスサイズ: 8/16 ビット
初期値:0000H

	7	6	5	4	3	2	1	0
SIO0BUFL	S0B7	S0B6	S0B5	S0B4	S0B3	S0B2	S0B1	S0B0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

	15	14	13	12	11	10	9	8
SIO0BUFH	S0B15	S0B14	S0B13	S0B12	S0B11	S0B10	S0B9	S0B8
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

SIO0BUF は、同期式シリアルポート 0 の送信データの書き込み、受信データの読み出しを行う特殊機能レジスタ (SFR) です。
SIO0BUF にデータを書き込むと、送信用レジスタ (SIO0TRL, SIO0TRH) にそのデータが書き込まれます。SIO0BUF を読み出すと受信用レジスタ (SIO0RCL, SIO0RCH) の内容が読み出されます。

11.2.3 シリアルポート 0 コントロールレジスタ (SIO0CON)

アドレス：0F702H
アクセス：R/W
アクセスサイズ：8 ビット
初期値：00H

	7	6	5	4	3	2	1	0
SIO0CON	–	–	–	–	–	–	–	S0EN
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

SIO0CON は、同期式シリアルポート 0 を制御する特殊機能レジスタ (SFR) です。

ビットの説明

・ **S0EN**（ビット 0）
S0EN は、同期式シリアル通信の開始を指定するビットです。S0EN に“1”を書き込むことにより、8/16 ビットデータ通信が開始します。通信が終了すると、S0EN ビットは自動的に”0”になります。

S0EN	説明
0	**通信停止（初期値）**
1	**通信開始**

【注意】
S0EN ビットを”1”にセットする前に、端子および SSIO のモードの設定をしてください。

11.2.4 シリアルポート 0 モードレジスタ (SIO0MOD)

アドレス：0F704H
アクセス：R/W
アクセスサイズ：8/16 ビット
初期値：0000H

	7	6	5	4	3	2	1	0
SIO0MOD0	–	–	–	–	S0LG	S0MD1	S0MD0	S0DIR
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

	15	14	13	12	11	10	9	8
SIO0MOD1	–	–	S0NEG	S0CKT	–	S0CK2	S0CK1	S0CK0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

SIO0MOD は、同期式シリアルポート 0 のモードを設定する特殊機能レジスタ (SFR) です。

ビットの説明

・ **S0DIR**（ビット 0）
S0DIR は、LSB ファースト/MSB ファーストを選択するビットです

S0DIR	説明
0	LSB **ファースト（初期値）**
1	MSB **ファースト**

・ **S0MD1-0**（ビット 2～1）
S0MD1-0 は、同期式シリアルポート 0 の送受信モードを選択するビットです。受信モード、送信モード、送受信モードが選択できます。

S0MD1	S0MD0	説明
0	0	**送受信停止（初期値）**
0	1	**受信モード**
1	0	**送信モード**
1	1	**送受信モード**

・ **S0LG**（ビット 3）
S0LG は、送受信のバッファのビット長を指定するビットです。8 ビット長または 16 ビット長が選択できます。

S0LG	説明
0	8 **ビット長（初期値）**
1	16 **ビット長**

・ **S0CK2-0** （ビット 10～8）
S0CK2-0 は、同期式シリアルポート 0 の転送クロックを選択するビットです。内部クロックを選択するとマスタモードになり、外部クロックを選択するとスレーブモードになります。

S0CK2	S0CK1	S0CK0	説明
0	0	0	1/1LSCLK（初期値）
0	0	1	1/2LSCLK
0	1	0	1/4 OSCLK
0	1	1	1/8 OSCLK
1	0	0	1/16 OSCLK
1	0	1	1/32 OSCLK
1	1	0	外部クロック
1	1	1	設定禁止(Low 固定のため動作しません)

・ **S0CKT** （ビット 12）
S0CKT は、転送クロック出力の位相を選択するビットです。

S0CKT	説明
0	クロックタイプ 0：デフォルト"H"レベルで出力されます（初期値）。
1	クロックタイプ 1：デフォルト"L"レベルで出力されます。

・ **S0NEG** （ビット 13）
S0NEG は、転送クロック出力の正論理、負論理を選択するビットです。

S0NEG	説明
0	正論理（初期値）。
1	負論理

【注意】
・SIO0MOD レジスタは送受信中に変更しないでください。
・スレーブモード時、SCK0 の最大入力周波数は CPU クロックの 1/4 または 2MHz になります。
・マスターモード時、P02 を SCK0 にする場合、周波数は 2MHz 以下で使用して下さい。

11.3 動作説明

11.3.1 送信動作

シリアルポートモードレジスタ (SIO0MOD) の S0MD1 ビットに“1”、S0MD0 ビットに“0”を書き込むと送信モードに設定されます。
シリアルポート送受信バッファ (SIO0BUF) に送信データを書き込み、シリアルポートコントロールレジスタ (SIO0CON) の S0EN ビットを“1”にすると送信が開始されます。8/16 ビットデータの送信が終了すると、同期式シリアルポート 0 割込み (SIO0INT) が発生し、S0EN ビットが“0”になります。
送信データは、SOUT0 から出力されます。
シリアルポートモードレジスタ (SIO0MOD) で、内部クロックを選択するとマスタモードに、外部クロックを選択するとスレーブモードとなります。
また、シリアルポートモードレジスタ (SIO0MOD) により、MSB ファースト／LSB ファーストが選択可能です。
なお、送信データの出力端子 (SOUT0) 、および転送クロックの入出力端子 (SCK0) は、ポートの機能を SIO0 に設定する必要があります。
図 11-2 にクロックタイプ 0 （正論理）、図 11-3 にクロックタイプ 0 （負論理）、図 11-4 にクロックタイプ1 （正論理）、図 11-5 にクロックタイプ 1 （負論理）の同期式シリアルポートの送信動作波形（8 ビット長 LSB ファースト時）を示します。

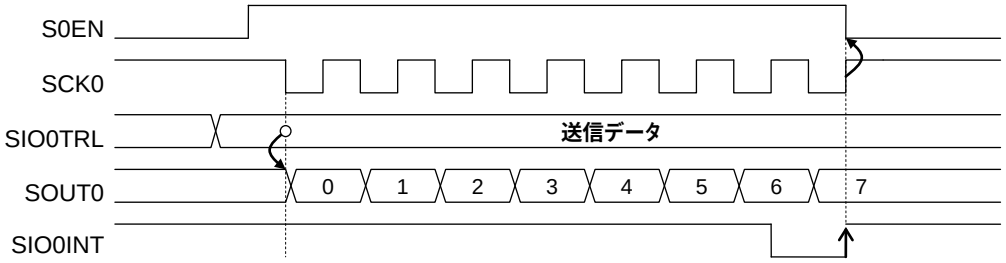


図 11-2 クロックタイプ 0 （正論理）の同期式シリアルポートの送信動作波形
（8 ビット長 LSB ファースト時）

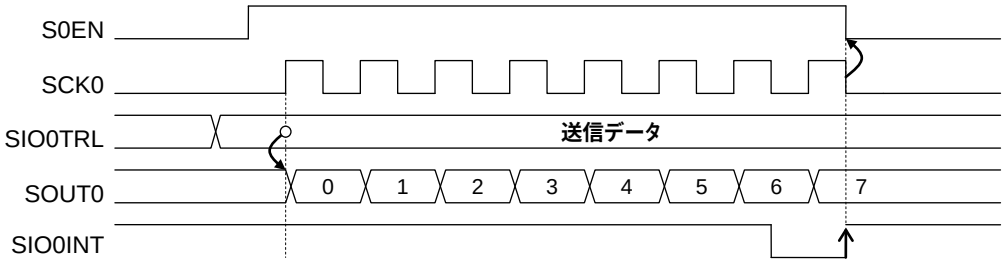


図 11-3 クロックタイプ 0 （負論理）の同期式シリアルポートの送信動作波形
（8 ビット長 LSB ファースト時）

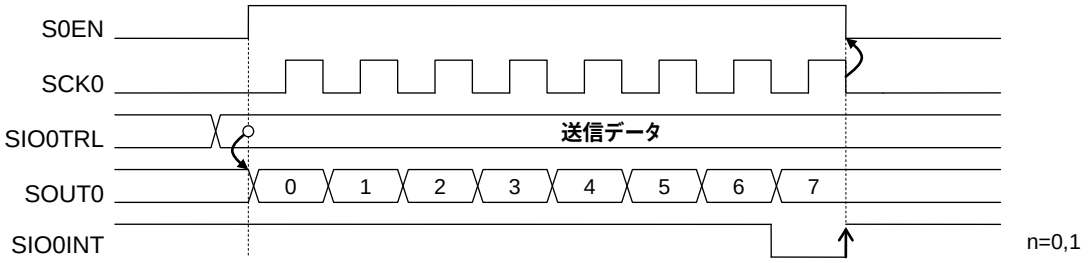


図 11-4 クロックタイプ 1 （正論理）の同期式シリアルポートの送信動作波形
（8 ビット長 LSB ファースト時）

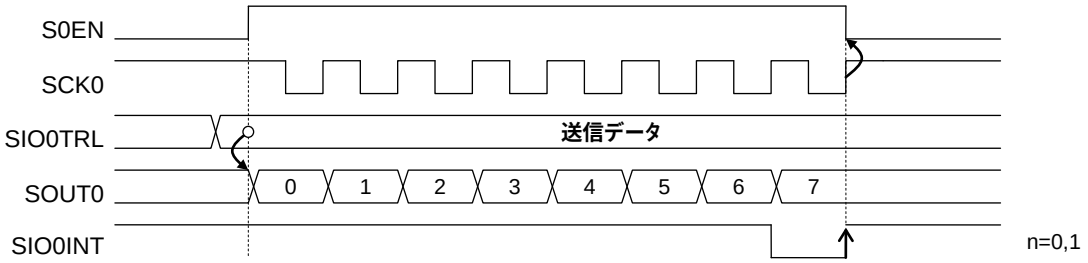


図 11-5 クロックタイプ 1 （負論理）の同期式シリアルポートの送信動作波形
（8 ビット長 LSB ファースト時）

11.3.2 受信動作

シリアルポートモードレジスタ (SIO0MOD) の S0MD1 ビットに“0”、S0MD0 ビットに“1”を書き込むと受信モードに設定されます。
シリアルポートコントロールレジスタ (SIO0CON) の S0EN ビットを“1”にすると受信が開始されます。8/16 ビットデータの受信が終了すると、同期式シリアルポート 0 割込み (SIO0INT) が発生し、S0EN ビットは“0”になります。
受信データは、SIN0 から入力されます。
シリアルポートモードレジスタ (SIO0MOD) で、内部クロックを選択するとマスタモードに、外部クロックを選択するとスレーブモードとなります。
また、シリアルポートモードレジスタ (SIO0MOD) により、MSB ファースト／LSB ファーストが選択可能です。
なお、受信データの入力端子 (SIN0)、および転送クロックの入出力端子 (SCK0) は、ポートの機能を SIO0 に設定する必要があります。
図 11-6 にクロックタイプ 0 （正論理）、図 11-7 にクロックタイプ 0 （負論理）、図 11-8 にクロックタイプ 1 （正論理）、図 11-9 にクロックタイプ 1 （負論理）の同期式シリアルポートの受信動作波形（8 ビット長 MSB ファースト時）を示します。

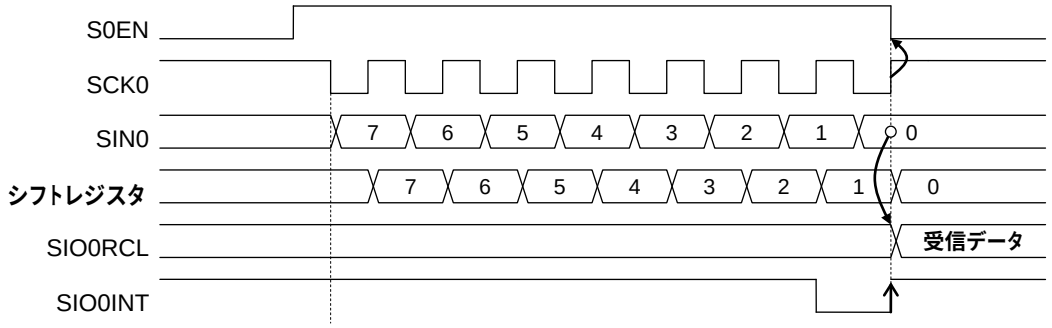


図 11-6 クロックタイプ 0 （正論理）の同期式シリアルポートの受信動作波形
（8 ビット長 MSB ファースト時）

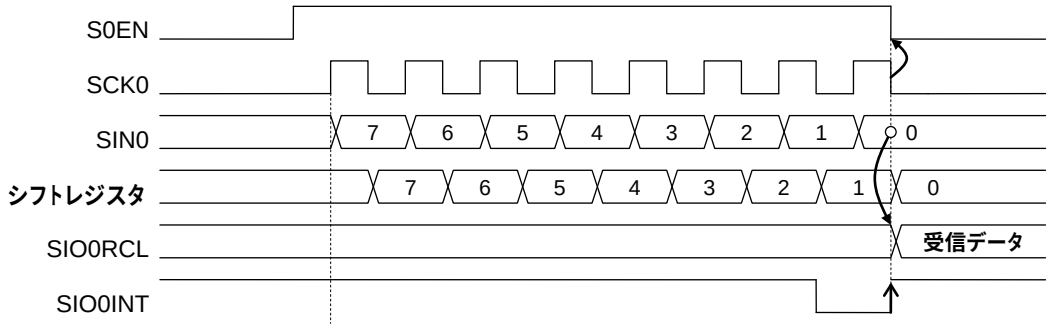


図 11-7 クロックタイプ 0 （負論理）の同期式シリアルポートの受信動作波形
（8 ビット長 MSB ファースト時）

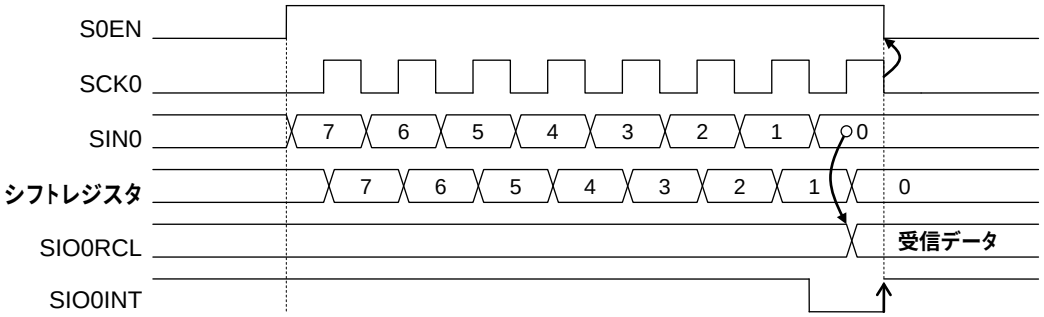


図 11-8 クロックタイプ 1 （正論理）の同期式シリアルポートの受信動作波形
（8 ビット長 MSB ファースト時）

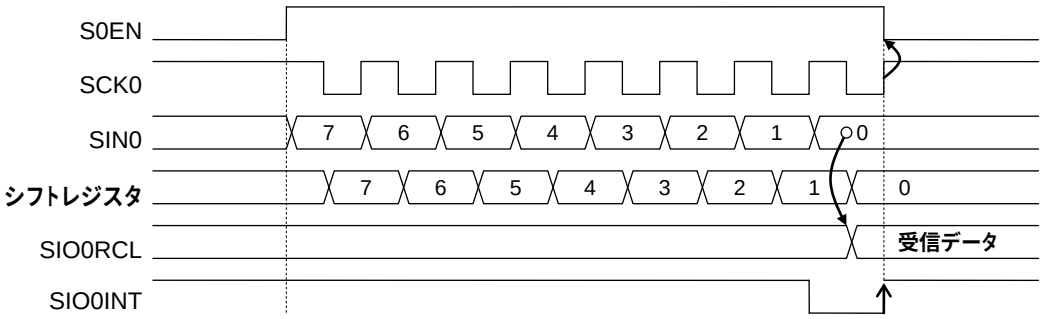


図 11-9 クロックタイプ 1 （負論理）の同期式シリアルポートの受信動作波形
（8 ビット長 MSB ファースト時）

【注意】
受信モード時に SOUT0 端子を出力に設定した場合、SOUT0 端子からは“H”レベルが出力されます。

11.3.3 送受信動作

シリアルポートモードレジスタ (SIO0MOD) の S0MD1 ビットに“1”、S0MD0 ビットに“1”を書き込むと送受信モードに設定されます。
シリアルポートコントロールレジスタ (SIO0CON) の S0EN ビットを“1”にすると送受信が開始されます。8/16 ビットデータの送受信が終了すると、同期式シリアルポート 0 割込み (SIO0INT) が発生し、S0EN ビットは“0”になります。
受信データは SIN0 端子から入力され、送信データは SOUT0 から出力されます。
シリアルポートモードレジスタ (SIO0MOD) で、内部クロックを選択するとマスタモードに、外部クロックを選択するとスレーブモードとなります。
また、シリアルポートモードレジスタ (SIO0MOD) により、MSB ファースト／LSB ファーストが選択可能です。
なお、受信データの入力端子 (SIN0) 、送信データの出力端子 (SOUT0) 、および転送クロックの入出力端子 (SCK0) は、ポートの機能を SIO0 に設定する必要があります。
図 11-10 にクロックタイプ 0 （正論理）の同期式シリアルポートの送受信動作波形（16 ビット長 LSB ファースト時）を示します。

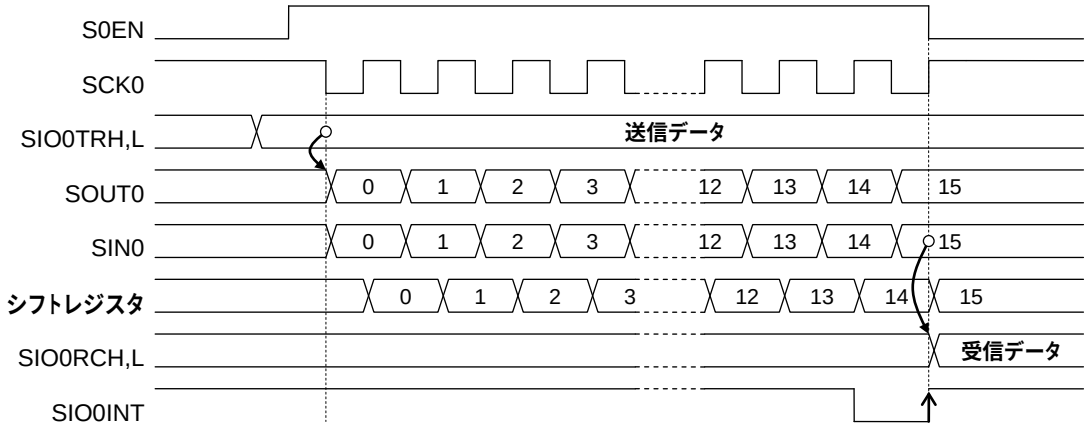


図 11-10 クロックタイプ 0 （正論理）の同期式シリアルポートの送受信動作波形
（16 ビット長 LSB ファースト時）

11.3.4 端子設定について

SSIO 機能を動作させるには関連する各ポートレジスタのビットを設定する必要があります。各レジスタの機能詳細については、第 17 章「ポート 0」、第 20 章「ポート 3」、第 21 章「ポート 4」第 22 章「ポート 5」を参照してください。SIN0、SCK0、SOUT0 は、複数のポートから選択することが可能です。
ポートを選択するときは、SIN0/SCK0/SOUT0 は、必ず以下の組み合わせで使用してください。

	SSIO 端子	組み合わせ 1	組み合わせ 2	組み合わせ 3	組み合わせ 4
SSIO	SIN0,SCK0, SOUT0	P01,P02,P00	P31,P32,P30	P41,P42,P40	P51,P52,P50

また、P02 を SCK0 出力にする場合、2MHz 以下で使用して下さい。

第 12 章　FIFO 付同期式シリアルポート (SSIOF)

12. FIFO 付同期式シリアルポート（SSIOF）

12.1 概要

FIFO 付同期式シリアルポート（SSIOF）は、ペリフェラルや、他の MCU 等と通信することが出来ます。
SSIOF を使用する場合は、ポート 2, 3, 4, 5 の機能設定が必要です。ポートの機能設定については、「第 19 章 ポート 2」、「第 20 章 ポート 3」、「第 21 章 ポート 4」、「第 22 章 ポート 5」を参照してください。

12.1.1 特長

- 全ニ重データ転送
- マスタまたはスレーブモードの選択が可能
- 送信側と受信側にそれぞれ 4 段の FIFO を内蔵
- 転送サイズは 8 ビット(バイト)と 16 ビット(ワード)の選択が可能
- 受信 FIFO の受信 word 数(1～4 ワード)による割込みが設定可能
- 送信 FIFO の残り word 数（0～3 ワード）による割込みが設定可能
- LSB ファーストまたは、MSB ファーストを選択可能
- シリアルクロックの極性と位相を選択可能
- マスタモード時、HSCLK の 2～2046 分周クロックが同期クロックとして選択可能（1023 種類）
- マスターモード時、転送前後の間隔が制御可能
- 送受信完了、FIFO 状態を表す状態ビット
- マルチマスタバス競合を避けるために、モードフォルトエラーを検出
- 送信 FIFO がフルの状態で、更に書き込みを行うと書込みオーバフローエラーを検出
- 送受信 FIFO の特定状態や、モードフォルトエラーなどの要因で割込みを生成

12.1.2 構成

図 12-1 に SSIOF の構成を示します。

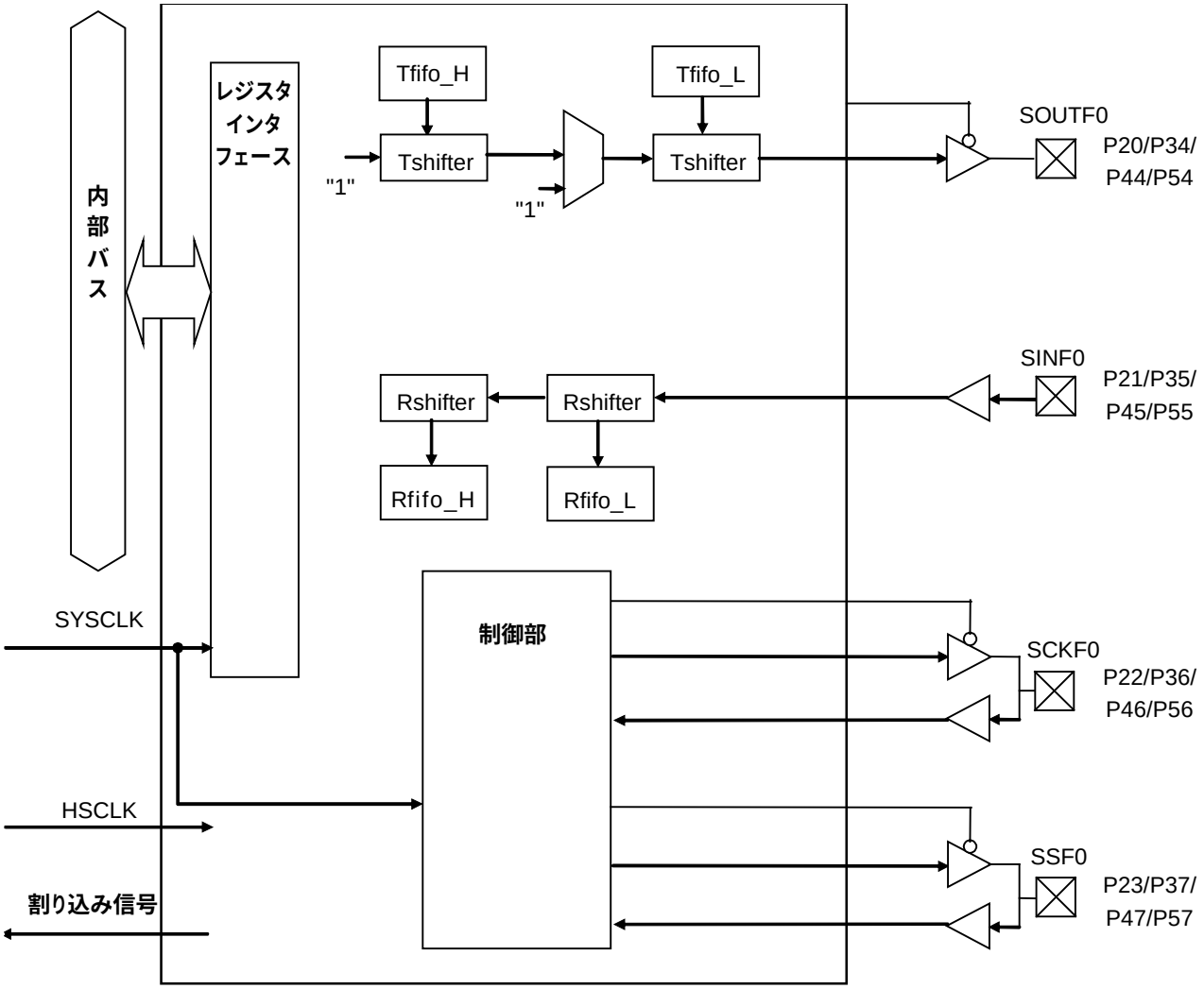


図 12-1 SSIOF の構成

12.1.3 端子一覧

端子名	入出力	機能
SOUTF0	O	マスタシリアル出力/スレーブシリアル出力信号
SINF0	I	マスタシリアル入力/スレーブシリアル入力信号
SCKF0	I/O	ボーレートクロック
SSF0	I/O	スレーブ選択信号

12.2 レジスタ説明

12.2.1 レジスター覧

アドレス [H]	名称	略称 (Byte)	略称 (Word)	R/W	サイズ	初期値 [H]
0F780	SIOF0 制御レジスタ	SF0CTRLL	SF0CTRL	R/W	8/16	00
0F781		SF0CTRLH		R/W	8	00
0F782	SIOF0 割込み制御レジスタ	SF0INTCL	SF0INTC	R/W	8/16	00
0F783		SF0INTCH		R/W	8	00
0F784	SIOF0 転送間隔制御レジスタ	－	SF0TRAC	R/W	16	0002
0F786	SIOF0 ボーレートレジスタ	－	SF0BRR	R/W	16	5002
0F788	SIOF0 状態レジスタ	SF0SRRL	SF0SRR	R	8/16	00
0F789		SF0SRRH		R	8	14
0F78A	SIOF0 状態クリアレジスタ	SF0SRCL	SF0SRC	W	8/16	00
0F78B		SF0SRCH		W	8	00
0F78C	SIOF0FIFO ステータスレジスタ	SF0FSRL	SF0FSR	R	8/16	00
0F78D		SF0FSRH		R	8	00
0F78E	SIOF0 ライトデータレジスタ	SF0DWRL	SF0DWR	R/W	8/16	00
0F78F		SF0DWRH		R/W	8	00
0F790	SIOF0 リードデータレジスタ	SF0DRRL	SF0DRR	R	8/16	00
0F791		SF0DRRH		R	8	00

12.2.2 SIOF0 制御レジスタ (SF0CTRL)

アドレス：0F780H
アクセス：R/W
アクセスサイズ： 8/16 ビット
初期値：0000H

	7	6	5	4	3	2	1	0
SF0CTRLL	–	SF0CPOL	SF0CPHA	SF0LSB	SF0MDFE	SF0SIZ	SF0MST	SF0SPE
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

	15	14	13	12	11	10	9	8
SF0CTRLH	–	–	–	–	SF0MOZ	SF0SOZ	SF0SSZ	SF0FICL
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

SF0CTRL は、SSIOF の動作を制御する特殊機能レジスタ (SFR) です。

ビットの説明

- **SF0SPE** （ビット 0）
  SF0SPE は、SSIOF の転送許可を設定します。

SF0SPE	説明
0	SSIOF **転送禁止（初期値）**
1	SSIOF **転送許可**

- **SF0MST** （ビット 1）
  SF0MST は、マスタ/スレーブ選択を設定します。

SF0MST	説明
0	**スレーブ（初期値）**
1	**マスタ**

- **SF0SIZ** （ビット 2）
  SF0SIZ は、転送サイズを設定するビットです。

SF0SIZ	説明
0	8 **ビット（初期値）**
1	16 **ビット**

- **SF0MDFE** （ビット 3）
  SF0MDFE は、モードフォルト制御信号を設定します。
  SF0MST=1,SF0MDFE=1 かつ非転送時、モードフォルトが実行できます。

SF0MDFE	説明
0	**モードフォルトは実行しません。（初期値）**
1	**非転送時に、モードフォルトを実行します。**

・ **SF0LSB** （ビット 4）
SF0LSB は、データ転送順番を設定します。

SF0LSB	説明
0	LSB ファースト（初期値）
1	MSB ファースト

・ **SF0CPHA** （ビット 5）
SF0CPHA は、シリアルクロック位相を設定します。

SF0CPHA	説明
0	データが一番目のエッジでサンプリング、2 番目のエッジでシフト（初期値）
1	データが一番目のエッジでシフト、2 番目のエッジでサンプリング

・ **SF0CPOL** （ビット 6）
SF0CPOL は、シリアルクロック極性を設定します。

SF0CPOL	説明
0	シリアルクロックのデフォルト“0”（送受信の間は“0”）（初期値）
1	シリアルクロックのデフォルト“1”（送受信の間は“1”）

・ **SF0FICL** （ビット 8）
SF0FICL は、FIFO クリアを設定します。クリア後は、"0"に設定してください。

SF0FICL	説明
0	なし（初期値）
1	受/送信バイト(ワード)数をクリア

・ **SF0SSZ** （ビット 9）
SF0SSZ は、SSF0 出力の制御を設定します。

SF0SSZ	説明
0	0/1 出力（初期値）
1	Hi-Z

・ **SF0SOZ** （ビット 10）
SF0SOZ は、スレーブモード中の SSF0=1 の時の SOUTF0 出力の制御を設定します。

SF0SOZ	説明
0	0/1 出力（初期値）
1	Hi-Z

・ **SF0MOZ** （ビット 11）
SF0MOZ は、マスタモード時の SOUTF0、SCKF0 出力の制御を設定します。

SF0MOZ	説明
0	0/1 出力（初期値）
1	Hi-Z

12.2.3 SIOF0 割込み制御レジスタ (SF0INTC)

アドレス：0F782H
アクセス：R/W
アクセスサイズ：8/16 ビット
初期値：0000H

	7	6	5	4	3	2	1	0
SF0INTCL	−	−	−	SF0MFIE	SF0ORIE	SF0FIE	SF0RFIE	SF0TFIE
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

	15	14	13	12	11	10	9	8
SF0INTCH	−	−	SF0RFIC1	SF0RFIC0	−	−	SF0TFIC1	SF0TFIC0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

SF0INTC は、SSIOF の割込み動作を制御する特殊機能レジスタ (SFR) です。

ビットの説明

・ **SF0TFIE** （ビット 0）
SF0TFIE は、SSIOF 送信割込み許可を設定します。

SF0TFIE	説明
0	**割込み禁止 (初期値)**
1	**割込み許可**

・ **SF0RFIE** （ビット 1）
SF0RFIE は、SSIOF 受信割込み許可を設定します。

SF0RFIE	説明
0	**割込み禁止 (初期値)**
1	**割込み許可**

・ **SF0FIE** （ビット 2）
SF0FIE は、転送終了割込み許可を設定します。

SF0FIE	説明
0	**割込み禁止 (初期値)**
1	**割込み許可**

・ **SF0ORIE** （ビット 3）
SF0ORIE は、オーバーランエラー割込み許可を設定します。

SF0ORIE	説明
0	**割込み禁止 (初期値)**
1	**割込み許可**

・ **SF0MFIE** （ビット 4）
SF0MFIE は、SSIOF モードフォルト割込み許可を設定します。

SF0MFIE	説明
0	割込み禁止（初期値）
1	割込み許可

・ **SF0TFIC1-0** （ビット 9～8）
SF0TFIC1-0 は、送信 FIFO の残り Byte 数割込み制御を設定します。

SF0TFIC1	SF0TFIC0	説明
0	0	残り 0Byte(0word)送信で割込み発生（初期値）
0	1	残り 1Byte(1word)送信で割込み発生
1	0	残り 2Byte(2word)送信で割込み発生
1	1	残り 3Byte(3word)送信で割込み発生

・ **SF0RFIC1-0** （ビット 13～12）
SF0RFIC1-0 は、受信 FIFO 割込み制御を設定します。

SF0RFIC1	SF0RFIC0	説明
0	0	1Byte(1word)受信で割込み発生（初期値）
0	1	2Byte(2word)受信で割込み発生
1	0	3Byte(3word)受信で割込み発生
1	1	4Byte(4word)受信で割込み発生

12.2.4 SIOF0 転送間隔制御レジスタ (SF0TRAC)

アドレス：0F784H
アクセス：R/W
アクセスサイズ：16 ビット
初期値：0002H

	7	6	5	4	3	2	1	0
–	SF0DTL7	SF0DTL6	SF0DTL5	SF0DTL4	SF0DTL3	SF0DTL2	SF0DTL1	SF0DTL0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	1	0

	15	14	13	12	11	10	9	8
–	–	–	–	–	–	–	–	SF0DTL8
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

SF0TRAC は、マスタモード時のデータ転送最小間隔を設定する特殊機能レジスタ (SFR) です。
詳細は、「12.3.7 転送間隔設定」を参照してください。

12.2.5 SIOF0 ボーレートレジスタ (SF0BRR)

アドレス：0F786H
アクセス：R/W
アクセスサイズ：16 ビット
初期値：5002H

	7	6	5	4	3	2	1	0
–	SF0BR7	SF0BR6	SF0BR5	SF0BR4	SF0BR3	SF0BR2	SF0BR1	SF0BR0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	1	0

	15	14	13	12	11	10	9	8
–	SF0LAG1	SF0LAG0	SF0LEAD1	SF0LEAD0	–	–	SF0BR9	SF0BR8
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	1	0	1	0	0	0	0

SF0BRR は、動作モードを設定する特殊機能レジスタ (SFR) です。
転送中は本レジスタを設定変更しないで下さい。転送中に変更した場合の動作は保証されません。

ビットの説明

・ **SF0BR9-0** （ビット 9～0）
ボーレート(f_{SCK})を設定します（マスタモード時に設定有効）。
$f_{SCK} = f_{HSCLK} / (2 \times SF0BR9\text{-}0)$
f_{HSCLK} ： HSCLK 周波数（FCON01 レジスタの設定に依存）

SF0BR9-0										**説明**
9	8	7	6	5	4	3	2	1	0	
0	0	0	0	0	0	0	0	0	0	2 **分周**
0	0	0	0	0	0	0	0	0	1	2 **分周**
0	0	0	0	0	0	0	0	1	0	4 **分周（初期値）**
0	0	0	0	0	0	0	0	1	1	6 **分周**
：										：
1	1	1	1	1	1	1	1	1	1	2046 **分周**

【注意】
SSIOF の最大転送周波数は 4MHz になりますので、4MHz を超えないよう設定してください。
但し P22 を SCKF0 出力にする場合は最大 2MHz です。

・ **SF0LEAD1-0** （ビット 13～12）
SF0LEAD1-0 は、SSF0 –SCKF0 遅延間隔を設定します（マスタモードのみ設定有効）。

SF0LEAD1	SF0LEAD0	**説明**
0	0	0.5 X SCKF0
0	1	0.5 X SCKF0 （**初期値**）
1	0	1.0 X SCKF0
1	1	1.5 X SCKF0

・ **SF0LAG1-0** （ビット 15～14）
SF0LAG1-0 は、SCKF0-SSF0(H)遅延間隔を設定します（マスタモードのみ設定有効）。

SF0LAG1	SF0LAG0	**説明**
0	0	0.5 X SCKF0
0	1	0.5 X SCKF0 （**初期値**）
1	0	1.0 X SCKF0
1	1	1.5 X SCKF0

12.2.6 SIOF0 状態レジスタ (SF0SRR)

アドレス:0F788H
アクセス:R
アクセスサイズ:8/16 ビット
初期値:1400H

	7	6	5	4	3	2	1	0
SF0SRRL	–	–	SF0SPIF	SF0MDF	SF0ORF	SF0FI	SF0RFI	SF0TFI
R/W	R	R	R	R	R	R	R	R
初期値	0	0	0	0	0	0	0	0

	15	14	13	12	11	10	9	8
SF0SRRH	–	–	–	SF0RFE	SF0RFF	SF0TFE	SF0TFF	SF0WOF
R/W	R	R	R	R	R	R	R	R
初期値	0	0	0	1	0	1	0	0

SF0SRR は、SSIOF のデータ転送状態やエラー状態を示す特殊機能レジスタ (SFR) です。

ビットの説明

・ **SF0TFI** (ビット 0)
SF0TFI は、送信割込みを示すビットです。
送信 FIFO の残りのデータが SF0TFIC で選択した Byte 数と一致すると送信割込みが発生します。

SF0TFI	**説明**
0	**割込み要求 無 (初期値)**
1	**割込み要求 有**

・ **SF0RFI** (ビット 1)
SF0RFI は、受信割込みを示すビットです。
受信 FIFO に受信したデータが SF0RFIC で選択した Byte 数以上のとき受信割込みが発生します。

SF0RFI	**説明**
0	**割込み要求 無 (初期値)**
1	**割込み要求 有**

・ **SF0FI** (ビット 2)
SF0FI は、転送終了割込みを示すビットです。(送信 FIFO 空き、最後の 1 バイト(1 ワード)転送終了)

SF0FI	**説明**
0	**割込み要求 無 (初期値)**
1	**割込み要求 有**

・ **SF0ORF** (ビット 3)
SF0ORF は、オーバーランエラーフラグを示すビットです。

SF0ORF	**説明**
0	**正常 (初期値)**
1	**オーバーランエラー発生(割込みが発生します)**

・ **SF0MDF** （ビット 4）
SF0MDF は、モードフォルトを示すビットです。

SF0MDF	説明
0	正常（初期値）
1	モードフォルト発生(割込みが発生します)

・ **SF0SPIF** （ビット 5）
SF0SPIF は、SSIOF 1 バイト（ワード）転送終了を示すビットです。

SF0SPIF	説明
0	転送終了なし（初期値）
1	転送終了あり

・ **SF0WOF** （ビット 8）
SF0WOF は、書きこみオーバフローを示すビットです。

SF0WOF	説明
0	正常（初期値）
1	書きこみオーバフローが発生(割込みは発生しません)

・ **SF0TFF** （ビット 9）
SF0TFF は、送信 FIFO Full を示すビットです。

SF0TFF	説明
0	Not Full（初期値）
1	Full(割込みは発生しません)

・ **SF0TFE** （ビット 10）
SF0TFE は、送信 FIFO Empty を示すビットです。

SF0TFE	説明
0	Not Empty
1	Empty(割込みは発生しません) （初期値）

・ **SF0RFF** （ビット 11）
SF0RFF は、受信 FIFO Full を示すビットです。

SF0RFF	説明
0	Not Full（初期値）
1	Full(割込みは発生しません)

・ **SF0RFE** （ビット 12）
SF0RFE は、受信 FIFO Empty を示すビットです。

SF0RFE	説明
0	Not Empty
1	Empty(割込みは発生しません) （初期値）

12.2.7 SIOF0 状態クリアレジスタ (SF0SRC)

アドレス：0F78AH
アクセス：W
アクセスサイズ：8/16 ビット
初期値：0000H

	7	6	5	4	3	2	1	0
SF0SRCL	–	–	SF0SPIFC	SF0MDFC	SF0ORFC	SF0FC	SF0RFC	SF0TFC
R/W	W	W	W	W	W	W	W	W
初期値	0	0	0	0	0	0	0	0

	15	14	13	12	11	10	9	8
SF0SRCH	SF0IRQ	–	–	–	–	–	–	SF0WOFC
R/W	W	W	W	W	W	W	W	W
初期値	0	0	0	0	0	0	0	0

SF0SRC は、SSIOF のデータ転送状態やエラー状態をクリアする特殊機能レジスタ (SFR) です。

ビットの説明

- **SF0TFC** （ビット 0）
  SF0TFC は、送信割込みの割込み要求をクリアするビットです。1 を書き込むことによって割込み要求はクリアされます。割込み要求は、SF0SRR の SF0TFI ビットを確認してください。

- **SF0RFC** （ビット 1）
  SF0RFC は、受信割込みの割込み要求をクリアするビットです。1 を書き込むことによって割込み要求はクリアされます。割込み要求は、SF0SRR の SF0RFI ビットを確認してください。

- **SF0FC** （ビット 2）
  SF0FC は、転送終了割込みの割込み要求をクリアするビットです。1 を書き込むことによって割込み要求はクリアされます。割込み要求は、SF0SRR の SF0FI ビットを確認してください。

- **SF0ORFC** （ビット 3）
  SF0ORFC は、オーバーランエラーフラグの割込み要求をクリアするビットです。1 を書き込むことによって割込み要求はクリアされます。割込み要求は、SF0SRR の SF0ORF ビットを確認してください。

- **SF0MDFC** （ビット 4）
  SF0MDFC は、モードフォルトの割込み要求をクリアするビットです。1 を書き込むことによって割込み要求はクリアされます。割込み要求は、SF0SRR の SF0MDF ビットを確認してください。

- **SF0SPIFC** （ビット 5）
  SF0SPIFC は、SSIOF 1 バイト（ワード）転送終了をクリアするビットです。1 を書き込むことによって転送終了フラグ（SF0SPIF）はクリアされます。

- **SF0WOFC** （ビット 8）
  SF0WOFC は、書きこみオーバフローをクリアするビットです。1 を書き込むことによって書込みオーバーフローフラグ（SF0WOF）はクリアされます。

- **SF0IRQ** （ビット 15）
  "1"を書込むことで、未処理の割込み要因がある場合、再度割込み要求を発行します。

【注意】
未処理の割込み要因がある状態で SF0IRQ ビットに"1"を書込み、割込みベクタを抜ける前にすべての割込み要因の処理を行うと、割込みベクタから抜けた後、割込み要因がない状態で再度割込みベクタへ入ってしまうため、必ず割込みベクタから抜ける直前に"1"を書込んでください。

12.2.8 SIOF0FIFO ステータスレジスタ (SF0FSR)

アドレス:0F78CH
アクセス:R
アクセスサイズ:8/16 ビット
初期値:0000H

	7	6	5	4	3	2	1	0
SF0FSRL	–	–	–	–	–	SF0TFD2	SF0TFD1	SF0TFD0
R/W	R	R	R	R	R	R	R	R
初期値	0	0	0	0	0	0	0	0

	15	14	13	12	11	10	9	8
SF0FSRH	–	–	–	–	–	SF0RFD2	SF0RFD1	SF0RFD0
R/W	R	R	R	R	R	R	R	R
初期値	0	0	0	0	0	0	0	0

SF0FSR は、FIFO の送受信した数を示す特殊機能レジスタ (SFR) です。

ビットの説明

- **SF0TFD2-0** (ビット 2～0)
  SF0TFD2-0 は、送信 FIFO の未送信 Byte (Word) 数を示すビットです。

SF0TFD2	SF0TFD1	SF0TFD0	**説明**
0	0	0	Empty (**初期値**)
0	0	1	1Byte/1Word
0	1	0	2Byte/2Word
0	1	1	3Byte/3Word
1	0	0	4Byte/4Word (Full)

- **SF0RFD2-0** (ビット 10～8)
  SF0RFD2-0 は、受信 FIFO に受信した Byte (Word) 数を示すビットです。

SF0RFD2	SF0RFD1	SF0RFD0	**説明**
0	0	0	Empty (**初期値**)
0	0	1	1Byte/1Word
0	1	0	2Byte/2Word
0	1	1	3Byte/3Word
1	0	0	4Byte/4Word (Full)

12.2.9 SIOF0 ライトデータレジスタ (SF0DWR)

アドレス：0F78EH
アクセス：R/W
アクセスサイズ：8/16 ビット
初期値：0000H

	7	6	5	4	3	2	1	0
SF0DWRL	SF0WD7	SF0WD6	SF0WD5	SF0WD4	SF0WD3	SF0WD2	SF0WD1	SF0WD0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

	15	14	13	12	11	10	9	8
SF0DWRH	SF0WD15	SF0WD14	SF0WD13	SF0WD12	SF0WD11	SF0WD10	SF0WD9	SF0WD8
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

SF0DWR は、送信データを保持する 8 ビット(Byte)または 16 ビット(Word)の特殊機能レジスタ (SFR) です。
本レジスタへのライトアクセスは、送信サイズに合わせて以下のように行ってください。
　8 ビット送信時（SF0SIZ=0） SF0DWRL への 8 ビットライトアクセス
　16 ビット送信時（SF0SIZ=1） SF0DWR への 16 ビットライトアクセス
それ以外のアクセスを行った場合の動作は保証できません。

12.2.10 SIOF0 リードデータレジスタ (SF0DRR)

アドレス：0F790H
アクセス：R
アクセスサイズ：8/16 ビット
初期値：0000H

	7	6	5	4	3	2	1	0
SF0DRRL	SF0RD7	SF0RD6	SF0RD5	SF0RD4	SF0RD3	SF0RD2	SF0RD1	SF0RD0
R/W	R	R	R	R	R	R	R	R
初期値	0	0	0	0	0	0	0	0

	15	14	13	12	11	10	9	8
SF0DRRH	SF0RD15	SF0RD14	SF0RD13	SF0RD12	SF0RD11	SF0RD10	SF0RD9	SF0RD8
R/W	R	R	R	R	R	R	R	R
初期値	0	0	0	0	0	0	0	0

SF0DRR は、受信データを保持する 8 ビット(Byte)または 16 ビット(Word)の特殊機能レジスタ (SFR) です。
本レジスタへのリードアクセスは、受信サイズに合わせて以下のように行ってください。
8 ビット受信時（SF0SIZ=0） SF0DRRL への 8 ビットリードアクセス
16 ビット受信時（SF0SIZ=1） SF0DRR への 16 ビットリードアクセス
それ以外のアクセスは保証できません。

12.3 動作説明

12.3.1 マスタモードとスレーブモード

送受信モードとして、マスタモードとスレーブモードの2つのモードがあります。SIOF0 制御レジスタの SF0MST ビットで選択されます。
SIOF0 ボーレートレジスタの SF0BR（ボーレート）、SF0LEAD（SSF0-SCKF0 遅延間隔）、SF0LAG（SCKF0-SSF0 遅延間隔）、SIOF0 転送間隔制御レジスタの SF0DTL（データ転送最小間隔）はマスタ動作時のみ有効で、これらにより SCKF0、SSF0 の動作を決定します。
SF0CPOL、SF0CPHA、SF0LSB、SF0SIZ はマスタとスレーブで同じ値に設定する必要があります。

12.3.2 シリアルクロックの極性と位相の制御

SIOF0 制御レジスタの SF0CPOL はクロックの極性を制御します。SF0CPHA はクロックの位相を制御し,送信データのシフトと受信データのサンプリングのタイミングを決定します。通信を行うマスタとスレーブは、SF0CPOL と SF0CPHA の設定値を一致させる必要があります。

12.3.3 SF0CPHA が”0”の場合のデータ転送タイミング

図 12-2 に、SF0CPHA が”0”の場合のデータ転送タイミングを示します。SCKF0 は SF0CPOL が”0”の場合と SF0CPOL が”1”の場合を示します。SSF0 はスレーブモード時に、スレーブ選択として入力します。
マスタモードの場合、SF0DWR レジスタに書きこむと、転送が始まります。スレーブモードの場合、SSF0 の立下りエッジで転送が始まります。受信データは SF0CPOL が”0”の時は SCKF0 の立上がりエッジ、SF0CPOL が”1”の時は SCKF0 の立下がりエッジでサンプリングします。送信データは SF0CPOL が”0”の時は SCKF0 の立下がりエッジ、SF0CPOL が”1”の時は SCKF0 の立上がりエッジでシフトします。

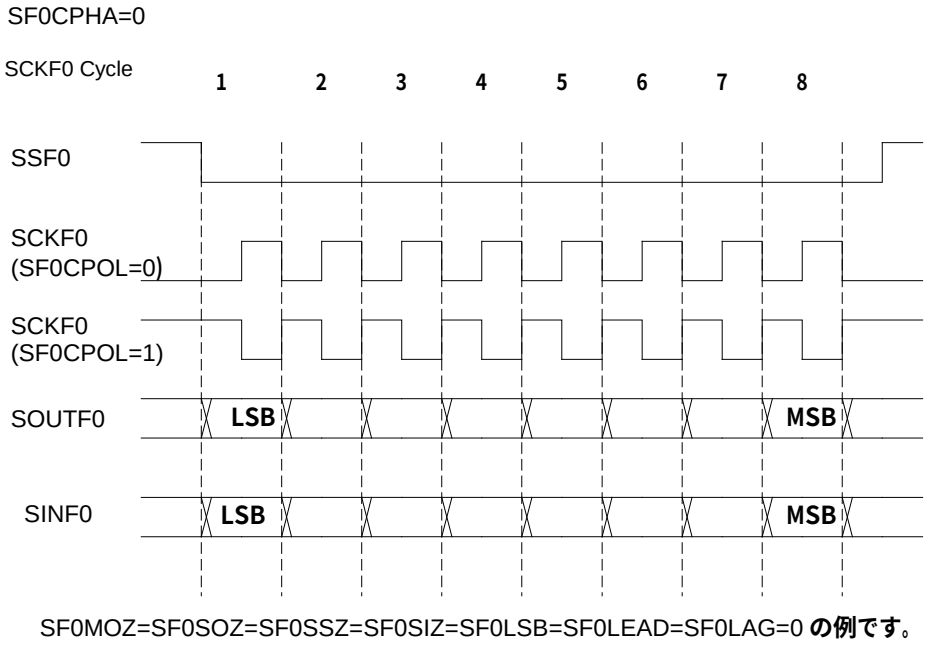
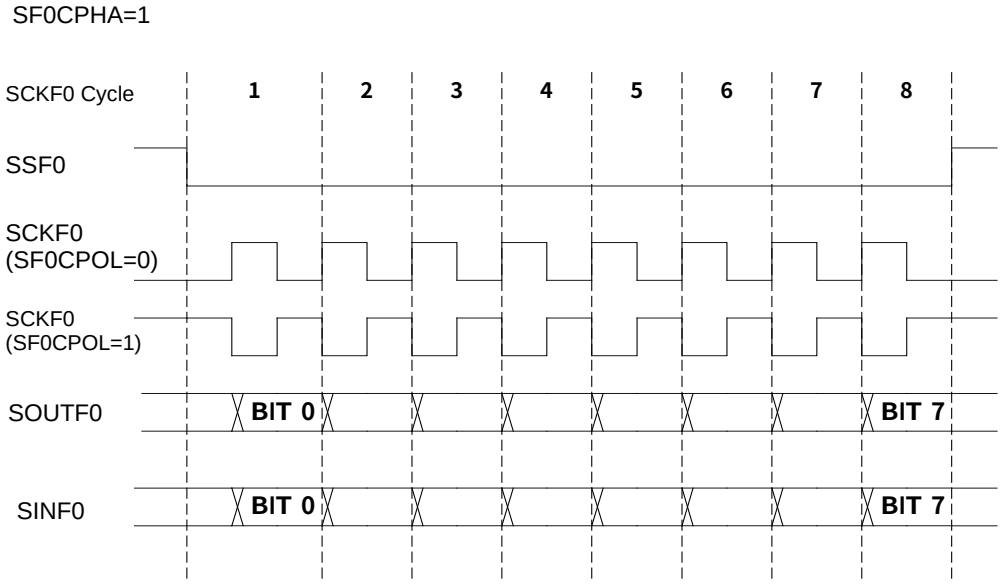


図 12-2 SF0CPHA=0 クロック波形

12.3.4 SF0CPHA が"1"の場合のデータ転送タイミング

図 12-3 に、SF0CPHA が"1"の場合のデータ転送のタイミングを示します。SCKF0 は SF0CPOL が"0"の場合と SF0CPOL が"1"の場合を示します。
SSF0 はスレーブモードの時にはスレーブ選択として入力します。
マスタモードの場合、SF0DWR に書きこむと、転送が始まります。スレーブモードの場合、SCKF0 の一番目のエッジで転送が始まります。受信データは SF0CPOL が"0"の時は SCKF0 の立下がりエッジ、SF0CPOL が"1"の時は SCKF0 の立上がりエッジでサンプリングします。送信データは SF0CPOL が"0"の時は SCKF0 の立上がりエッジ、SF0CPOL が"1"の時は SCKF0 の立下がりエッジでシフトします。



SF0MOZ=SF0SOZ=SF0SSZ=SF0SIZ=SF0LSB=SF0LEAD=SF0LAG=0 の例です。

図 12-3 SF0CPHA=1 クロック波形

12.3.5 シリアルクロックボーレート

ボーレートは SF0BRR の SF0BR9-0 ビットで選択します。マスタモードのみ有効です。HSCLK を分周して、ボーレートクロック SCK を生成します。
ボーレート(f_{SCK})算出方法を以下に示します。

$f_{SCK}=f_{HSCLK}/(2\times SF0BR9\text{-}0)$

f_{SCK} ：ボーレートクロックの周波数
f_{HSCLK} ：HSCLK 周波数（FCON01 レジスタの設定に依存）
SF0BR9-0 ：SF0BRR レジスタの SF0BR9-0 に設定する値（1～1023）
0 を設定した場合、1 として処理します。

SF0BR は 1023 種類(2～2046)の分周が選択できます。

12.3.6 転送サイズ

転送サイズは 8 ビット(Byte)と 16 ビット(Word)の選択が可能です。
転送データのリード/ライトは、転送サイズに合せる必要があります。また FIFO の段数は Byte と Word で同一ですので、転送回数は同じです。
通信を行うマスタとスレーブは、SF0SIZ を一致させる必要があります。

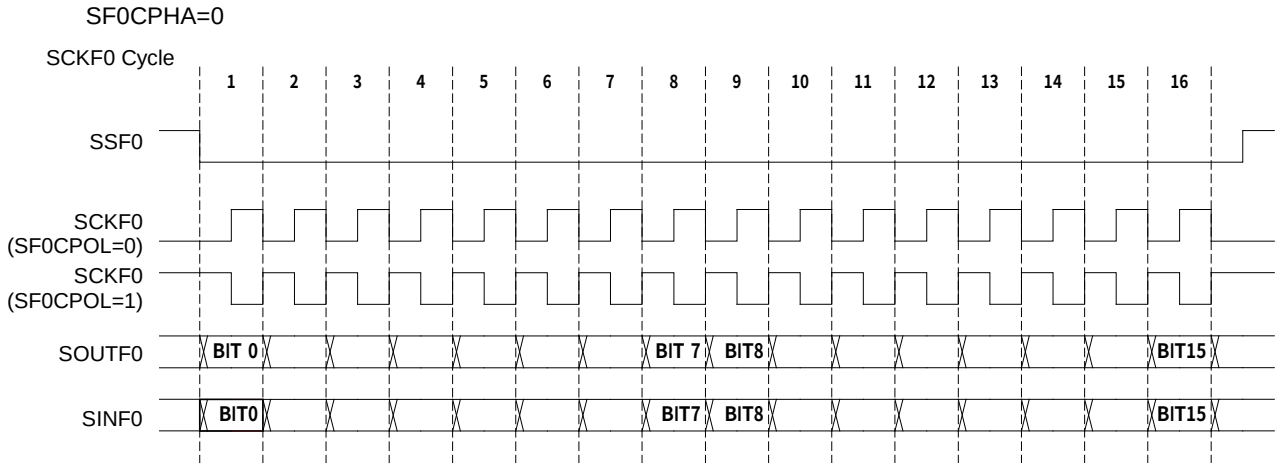


図 12-4 転送サイズ SF0SIZ=1 (16 ビット) SSIOF バス波形

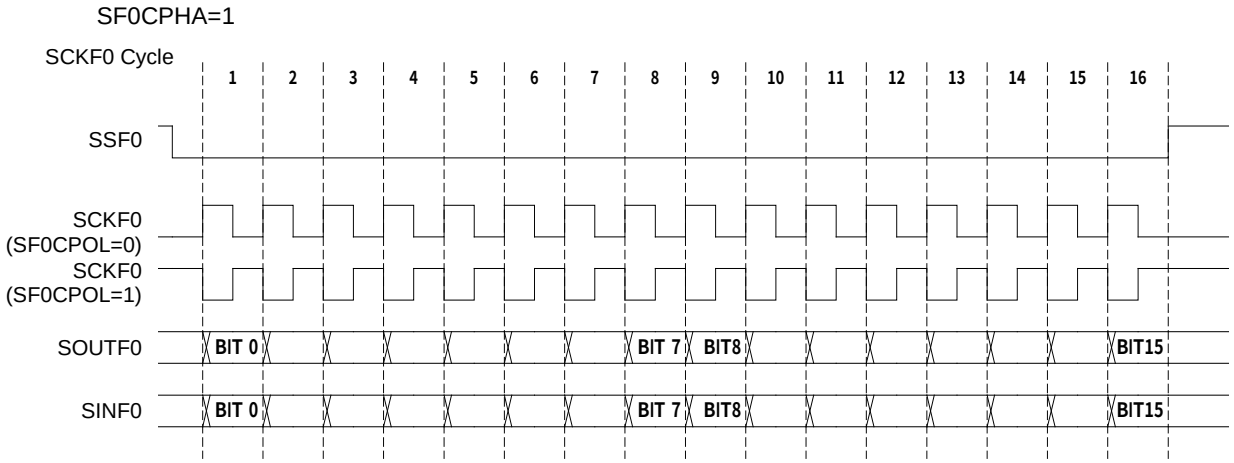


図 12-5 転送サイズ SF0SIZ=1 (16 ビット) SSIOF バス波形

12.3.7 転送間隔設定

スレーブとスピードを合わせるために、LEAD(SSF0-SCKF0 時間)、LAG(SCKF0-SSF0(H)時間)、TDTL(SSF0(H)-SSF0(H))が設定できます。マスタモードの設定のみ有効です。スレーブの設定値は無視されます。転送中の設定は禁止です。

(1) LEAD
設定可能値は、0.5～1.5Tsck です。
(2) LAG
設定可能値は、0.5～1.5Tsck です。
(3) TDTL
SF0TRAC の SF0DTL の設定によって、最小転送間隔を SCKF0 クロック単位で制御できます。
FIFO に転送データがある場合、Byte/Word 転送間に本設定値の時間 SSF0 は、H になります。
FIFO に転送データが無い場合,送信データが書き込まれるまで H になります。
SF0DTL を 0 に設定した場合、転送後間隔(TDTL)は無くなり連続転送になります。SSF0 は L にホールドされ、転送終了後に H に戻ります。

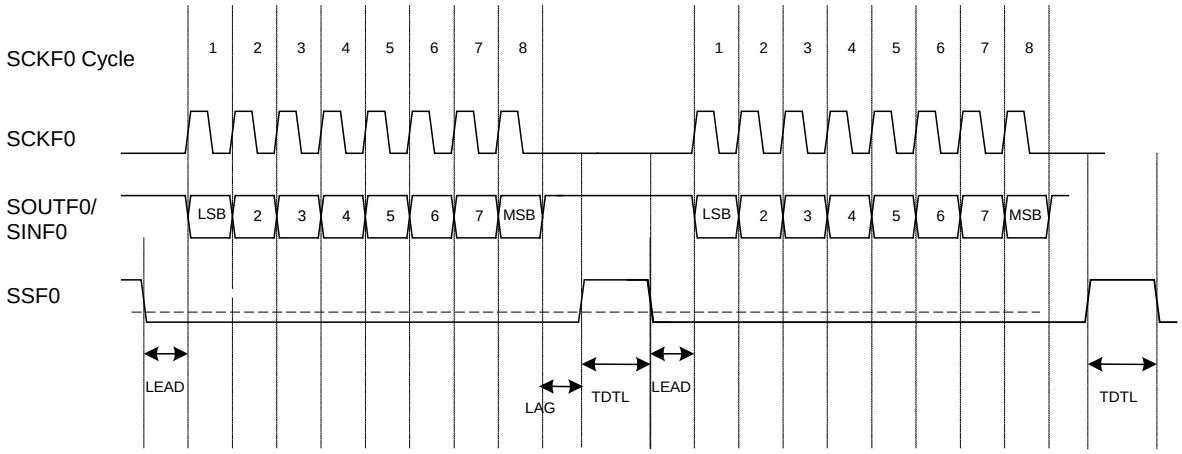


図 12-6 転送間隔（SF0DTL が”0”でない場合）

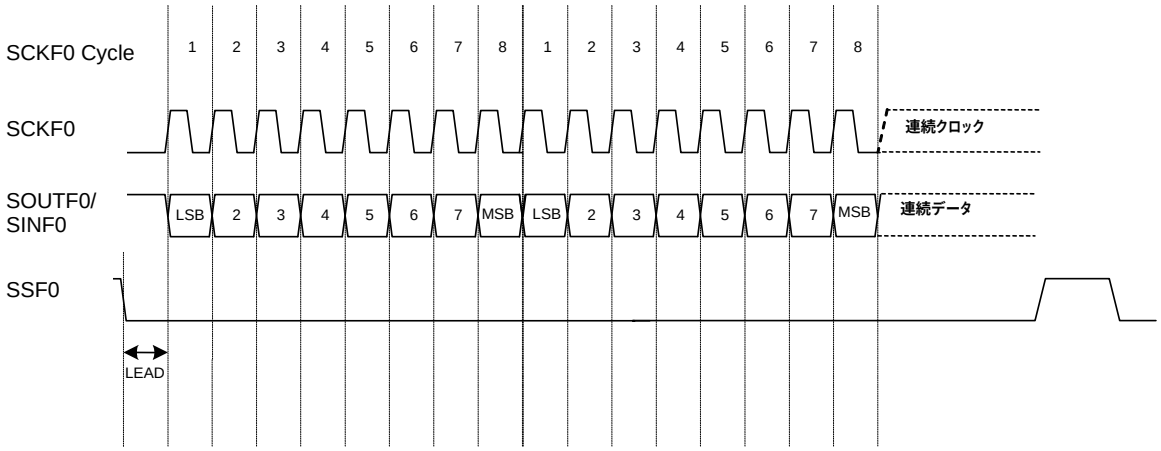


図 12-7 転送間隔（SF0DTL が”0”の場合）

12.3.8 送信動作（マスタモード）

① SF0CTRL、SF0INTC、SF0BRR、SF0TRAC へ必要な値を書き込んで、SF0MST ビットをマスタモードに設定、SF0SPE ビットをセットして、SSIOF 転送を有効にします。
② SF0DWR へ送信データを書きこむと、送信 FIFO Empty フラグは 0 になります (SF0TFE=0) 。SSIOF は自動送信を開始し、SOUTF0 端子より、送信データを SF0LSB の設定通りに LSB または MSB から出力します。
③ SF0CPOL と SF0CPHA 及び SF0BRR レジスタにより設定した同期クロックを SCKF0 端子から出力します。
④ SF0DWR へ送信データを続いて書き込む事が可能です。但し、送信 FIFO の Full 状態(SF0TFF=1)でさらに書きこむと、書き込みオーバフローが発生します（SF0WOF=1）。割込みは発生しません。
⑤ 1 バイト毎に転送が終わると、SF0SPIF ビットがセットされます。(SF0SPIF=1)
⑥ 送信 FIFO の残りのデータが SF0TFIC で選択した Byte 数と一致すると送信割込みが発生します。(SF0TFI=1)
⑦ 送信 FIFO が空になり、最後のバイトを転送終了すると転送終了割込みが発生します。(SF0FI=1)

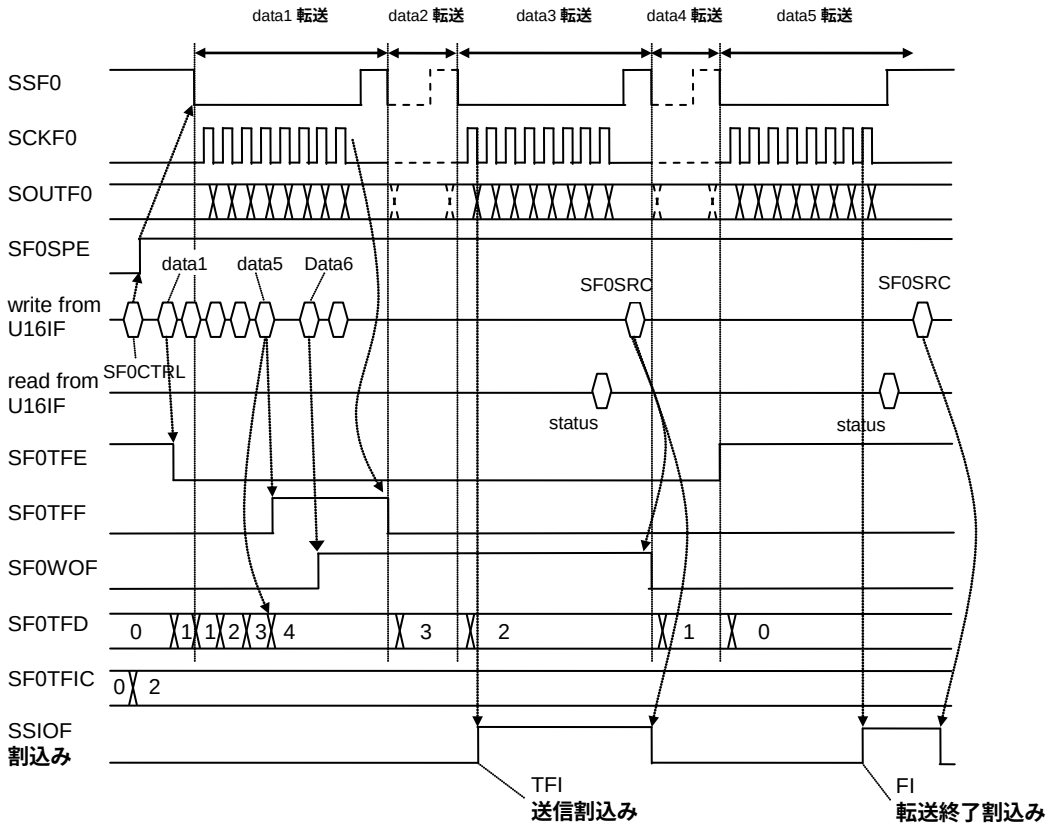


図 12-8 マスタモード送信動作

12.3.9 受信動作（マスタモード）

FIFO 付き同期式シリアルのマスタモードは、送信バッファにデータをセットすることにより動作を開始します。マスタモードで受信する場合も、送信バッファにデータをセットする必要があります。

① SF0CTRL、SF0INTC、SF0BRR、SF0TRAC へ必要な値を書き込んで、SF0MST ビットをマスタモードに設定、SF0SPE ビットをセットして、SSIOF の転送を有効にします。
② SF0DWR にデータを書き込むと、SSIOF の転送が始まります。
③ SF0CPOL と SF0CPHA 及び SF0BRR レジスタにより設定した同期クロックを SCKF0 端子から出力します。
④ SINF0 端子から、SF0LSB の設定通りに LSB または MSB から受信データをサンプリングし、受信 FIFO に格納します。受信 FIFO Empty フラグは 0 になります。(RFE=0)
⑤ 1 バイト毎に転送が終わると、SF0SPIF ビットがセットされます。(SF0SPIF=1)
⑥ 受信 FIFO に受信したデータが SF0RFIC で選択した Byte 数と一致すると、受信割込みが発生します。（SF0RFI=1）
⑦ 受信 FIFO が Full になると、以降の受信は出来なくなります。この状態で受信を行うと、オーバーランエラー割込みが発生します。（SF0ORF=1）
⑧ 送信 FIFO のデータが空になり、最後のバイトを転送終了すると転送終了割込みが発生します。(SF0FI=1)

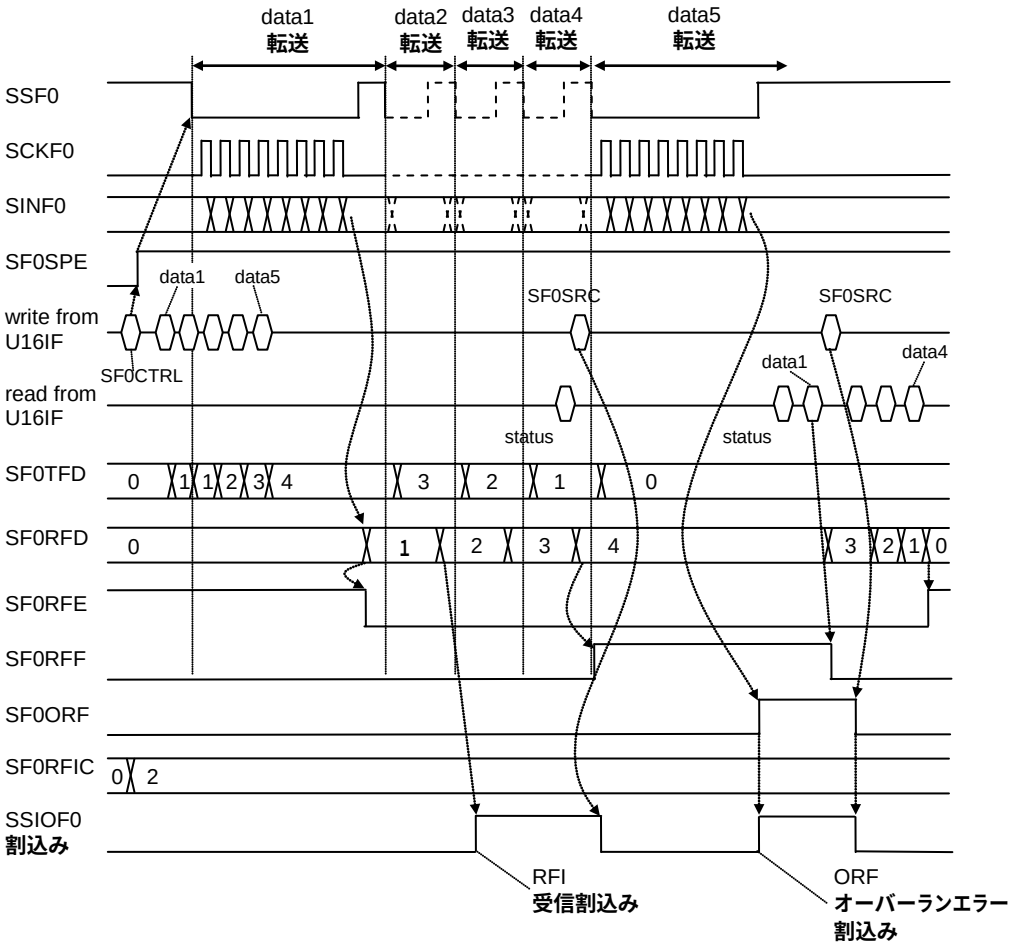


図 12-9 マスタモード受信動作

12.3.10 FIFO 動作

SSIOF には受信 FIFO 4Word、送信 FIFO 4Word を内蔵しています。FIFO の状態は SF0SRR の SF0TFF、SF0TFE、SF0RFF、SF0RFE および SF0FSR の SF0TFD、SF0RFD ビットに示します。
FIFO の状態は Full(SF0TFF、SF0RFF)、Empty(SF0TFE、SF0RFE)と Depth(SF0TFD、SF0RFD)の三つがあります。

12.3.11 書き込みオーバフロー

送信 FIFO の Full 状態(SF0TFF=1)でさらに書きこむと、書き込みオーバフローが設定されます。(SF0WOF=1)
但し、書き込みオーバフローが発生しても割込みは発生しません。
SF0SRC の SF0WOFC ビットに1を書くと SF0WOF はクリアされます。

12.3.12 オーバーランエラー

受信 FIFO の Full 状態(SF0RFF=1)でさらに受信すると、オーバーランエラーが発生します。(SF0ORF=1)
オーバーランエラーが発生すると、SF0SRR の SF0ORF ビットをセットし、オーバーランエラー割込みを発生します。新しく受信したデータは保持されません。
受信 FIFO の内容を読み出して、SF0RFF ビットをクリアした後で、SF0ORFC ビットに 1 を書いて、SF0ORF ビットをクリアして下さい。

12.3.13 FIFO クリア

本ビットを 1 に設定すると FIFO の送受信カウンタの制御を初期設定状態(SF0SRR レジスタの SF0TFF=0、SF0TFE=1、SF0RFF=0、SF0RFE=1 および SF0FSR レジスタの SF0TFD=000、SF0RFD=000)になります。
SF0SPE=0 に設定されている時のみ有効になります。
転送を行う前に SF0FICL=0 に戻して下さい。
本ビットを 1 に設定しても、SF0INTC レジスタの SF0RFIC、SF0TFIC、SF0ORIE、SF0FIE、SF0RFIE、SF0TFIE および SF0SR レジスタの SF0ORF、SF0FI、 SF0RFI、SF0TFI の割込みは変更されません。
通信を中断した場合、FIFO のデータを廃棄するのに利用できます。

12.3.14 スレーブの FIFO 転送 Byte/Word 数が異なる場合の転送

(1) マスタは、FIFO に送信データが書きこまれている場合のみ送信します。
(2) スレーブの送信データ数はマスタによって決定されますので、スレーブの FIFO 転送 Byte/Word 数が異なる場合の転送は以下のようになります。
スレーブの FIFO に送信データが書き込まれていない場合、リセット後の状態も含めて 0xFF(Word の場合(0xFFFF))が送信されます。

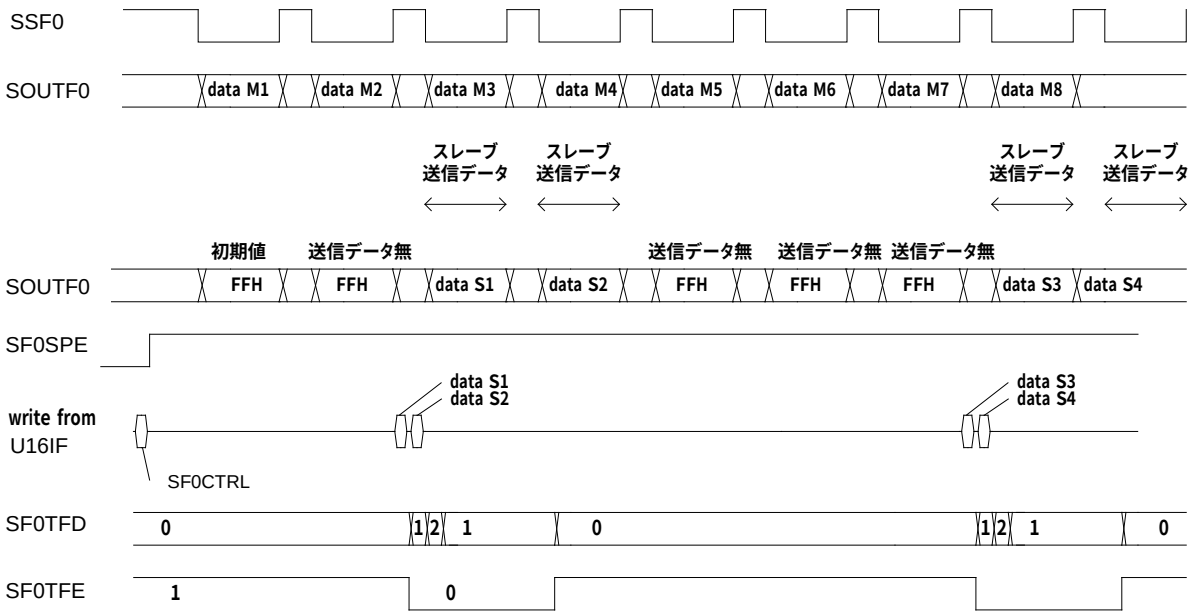


図 12-10 スレーブの FIFO 転送 Byte/Word 数が異なる場合の転送

12.3.15 モードフォルト (MDF)

マスタモード時に、SSF0 信号がローレベルになると、モードフォルトエラーが発生します。(SF0SR の SF0MDF がセットされます。) このビットが 1 になることは、2 個以上のマスタがバスを競合している危険を示します。
モードフォルトエラーが発生すると、バスラッチアップの危険があるため、SSIOF は以下の動作を行ないます。

1. SF0CTRL の SF0MST ビットを自動的に 0 (スレーブ) にセットします。
2. SF0CTRL の SF0SPE ビットを自動的に 0(無効)にセットし、SSIOF は転送無効になります。
3. SF0SR の SF0MDF をセットし、SF0CTRL の SF0MDFE ビットが 1(割込み許可)の場合は、割込みも発生します。

システムはモードフォルトの原因を解決した後で、下記のステップで SF0MDF をクリアして下さい。

1. SF0MDF へ 1 を書き込みクリアします。
2. SF0CTRL を再設定します。

図 12-11 にモードフォルト動作可能タイミングを示します。

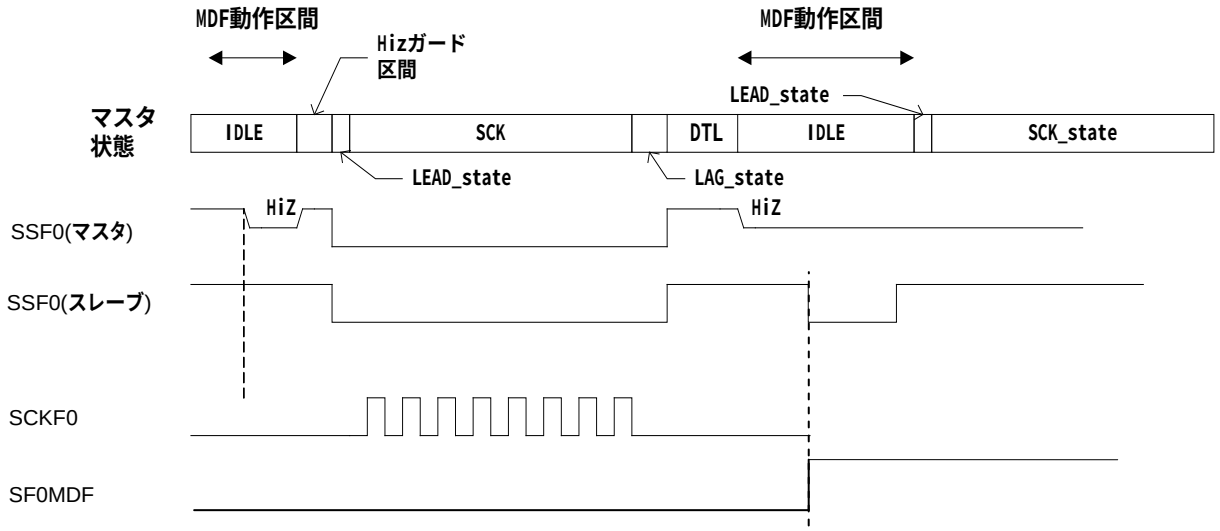


図 12-11 モードフォルト動作可能タイミング

12.3.16 割込み要因

12.3.16.1 SSIOF の割込み要因

下記の 5 種類があります。

- モードフォルト
  モードフォルト（マルチマスタバス競合）が発生すると、SF0SRR の SF0MDF をセットし、モードフォルト割込みを発生します。
- オーバーラン
  オーバーランが発生すると、SF0SRR の SF0ORF をセットし、オーバーランエラー割込みを発生します。
- 送信 FIFO Threshold
  送信したタイミングで送信 FIFO の残りのデータが SF0INTC の SF0TFIC で選択した Byte 数と一致したとき、SF0SRR の SF0TFI をセットし、送信割込みを発生します。
- 受信 FIFO Threshold
  受信したタイミングで受信 FIFO に受信したデータが SF0INTC の SF0RFIC で選択した Byte 数以上のとき、SF0SRR の SF0RFI をセットし、受信割込みを発生します。
- 転送終了
  送信 FIFO が空になり、最後のバイトを転送終了すると、SF0SRR の SF0FI をセットし、転送終了割込みを発生します。

12.3.16.2 SSIOF の割込みクリア

割込み要求は SF0SRC の各割込みクリアビット（SF0TFC、SF0RFC、SF0FC、SF0ORFC、SF0MDFC）に 1 を書き込むとクリアします。

12.3.16.3 SSIOF の割込みタイミング

図 12-12 に割込みタイミングを示します。
残り送信バイト数割込み(TFI)は、2 番目ビットのシフトクロックから 1～2 SYSCLK 後に割込みを発生します。
受信バイト数割込み(RFI)、転送完了割込み(FI), オーバーラン(ORF)は、MSB ビット目のサンプリングクロックから 1～2SYSCLK 後に割込みを発生します。
MDF は、モードフォルト発生時点で割込みが発生します。

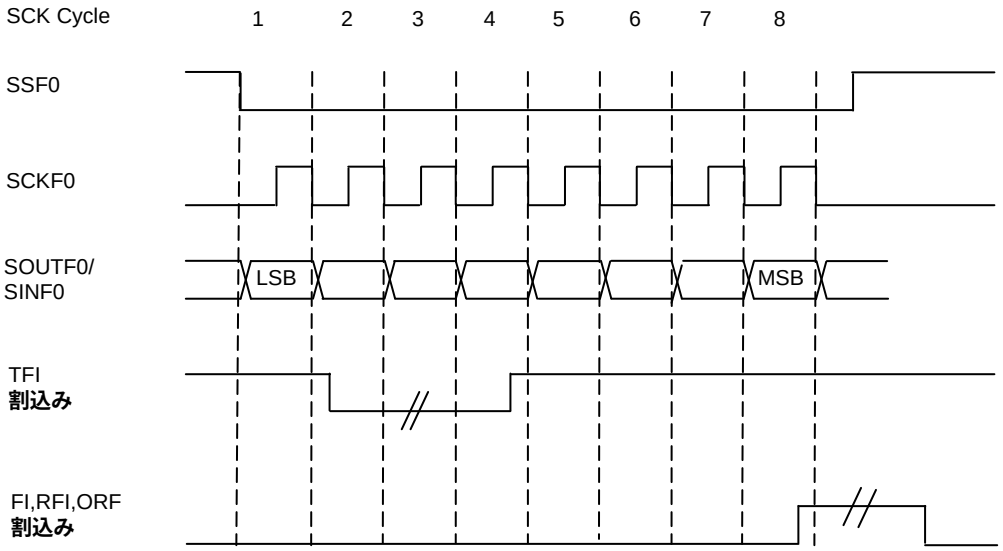


図 12-12 割込みタイミング

12.3.16.4 割込み処理フロー

図 12-13 にスレーブモードの受信動作における処理フローを示します。

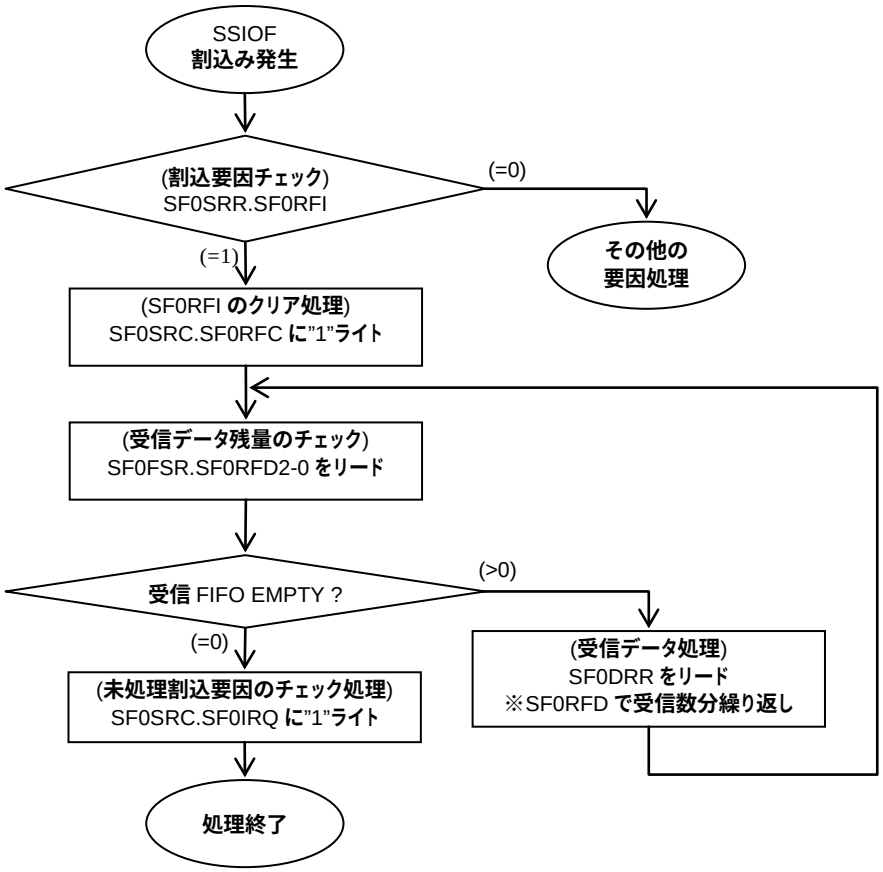


図 12-13 割込み制御フロー例

12.3.17 Hi-Z の動作

図 12-14 に Hi-Z(SF0MOZ、SF0SOZ、SF0SSZ)の使用例を示します。
マスタの Hi-Z 送信区間は、下記の IDLE 時間に限られます。
Hi-Z 状態の雑音の影響を少なくするため送信開始の 1SCKF0 前に、"1"/"0"が確定し(HiZ ガード区間)、また転送間隔の DTL 時間は、"1"/"0"が確定します。SF0MOZ、SF0SOZ、SF0SSZ ビットのいずれかを 1 に設定すると送信開始前に HiZ ガード区間が挿入されます。

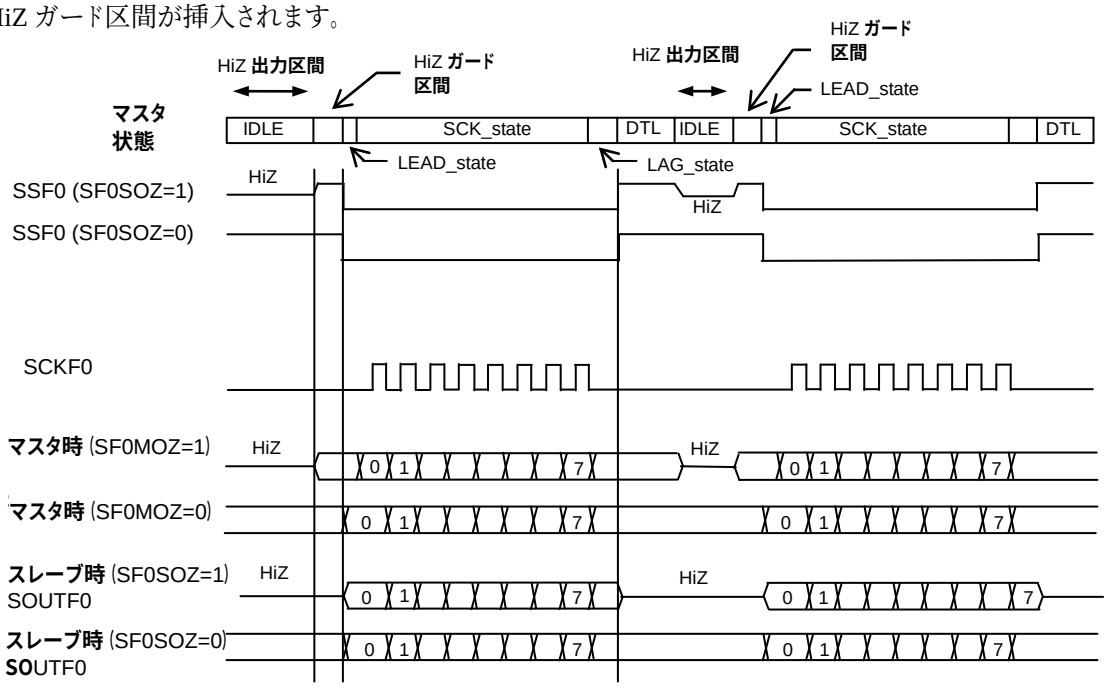


図 12-14 Hi-Z の動作

12.3.18 SF0MST 設定後から転送開始までの時間

SSIOF バス(SOUTF0, SCKF0, SSF0)は、マスタモードが設定されるまで、ハイインピーダンスです。
SF0MSTR を設定後、100ns 以上経過してから、送信(SF0SPE=1 もしくはデータライトによる転送開始)を開始して下さい。

12.3.19 端子設定について

SSIOF 機能を動作させるには関連する各ポートレジスタのビットを設定する必要があります。各レジスタの機能詳細については、第 19 章「ポート 2」、第 20 章「ポート 3」、第 21 章「ポート 4」第 22 章「ポート 5」を参照してください。
端子の設定は、通信する前に行なってください。
SOUTF0/SINF0/SCKF0/SSF0 は、複数のポートから選択することが可能です。ポートを選択するときは、SOUTF0/SINF0/SCKF0/SSF0 は、必ず以下の組み合わせで使用してください。

	SSIOF 端子	組み合わせ 1	組み合わせ 2	組み合わせ 3	組み合わせ 4
SSIOF	SOUTF0,SINF0, SCKF0,SSF0	P20,P21, P22,P23	P34,P35 P36,P37	P44,P45, P46,P47	P54,P55, P56,P57

また、P22 を SCKF0 出力にする場合、2MHz 以下で使用して下さい。

第 13 章　UART

13 UART

13.1 概要

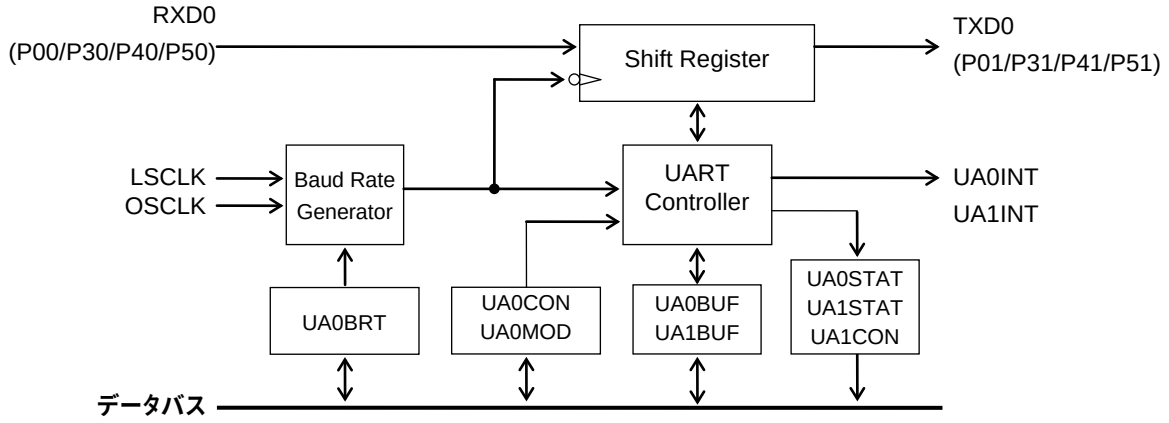
本 LSI は、全二重通信の調歩同期式シリアル・インタフェース UART (Universal Asynchronous Receiver Transmitter) を 1 チャンネル内蔵しています。
入力クロックに関しては、「第 6 章 クロック発生回路」を参照してください。
UART を使用する場合は、ポート 0、ポート 3、ポート 4、ポート 5 の 4 次機能設定が必要です。各ポートの 4 次機能設定については、それぞれ「第 17 章 ポート 0」、「第 20 章 ポート 3」、「第 21 章 ポート 4」、「第 22 章 ポート 5」を参照してください。
UART は、ブロックコントロールレジスタ 2(BLKCON2)の DUA0 および DUA1 ビットが“0”の場合のみ動作します。DUA0 ビットおよび DUA1 ビットが“1”の場合には UART の各機能はリセット状態となります。ブロックコントロールレジスタについては、第 4 章「パワーマネジメント」を参照して下さい。

13.1.1 特長

- 5 ビット/6 ビット/7 ビット/8 ビットのデータ長を選択可能。
- 奇数パリティ、偶数パリティ、パリティ無しを選択可能。
- 1 ストップビット、2 ストップビットを選択可能。
- パリティエラーフラグ、オーバランエラーフラグ、フレーミングエラーフラグ、送信バッファ状態フラグを搭載。
- 正論理、負論理の通信論理を選択可能。
- LSB ファースト、MSB ファーストの通信方向を選択可能。
- 通信速度は、4800bps～115200bps が設定可能。
- ボーレートジェネレータ内蔵。

13.1.2 構成

図 13-1 に UART の構成を示します。



UA0BUF ：UART0 受信バッファ
UA1BUF ：UART0 送信バッファ
UA0BRT ：UART0 ボーレートレジスタ
UA0CON ：UART0 コントロールレジスタ
UA0MOD ：UART0 モードレジスタ
UA0STAT ：UART0 受信ステータスレジスタ
UA1STAT ：UART0 送信ステータスレジスタ
UA1CON ：UART0 送信モニタレジスタ

図 13-1 UART の構成

13.1.3 端子一覧

端子名	入出力	機能
RXD0	I	UART0 データ入力端子
TXD0	O	UART0 データ出力端子

13.2 レジスタ説明

13.2.1 レジスター覧

アドレス [H]	名称	略称 (Byte)	略称 (Word)	R/W	サイズ	初期値 [H]
0F710	UART0 受信バッファ	UA0BUF	ー	R/W	8	00
0F711	UART0 コントロールレジスタ	UA0CON	ー	R/W	8	00
0F712	UART0 モードレジスタ	UA0MOD0	UA0MOD	R/W	8/16	00
0F713		UA0MOD1		R/W	8	00
0F714	UART0 ボーレートレジスタ	UA0BRTL	UA0BRT	R/W	8/16	FF
0F715		UA0BRTH		R/W	8	0F
0F716	UART0 受信ステータスレジスタ	UA0STAT	ー	R/W	8	00
0F718	UART0 送信バッファ	UA1BUF	ー	R/W	8	00
0F719	UART0 送信モニタレジスタ	UA1CON	ー	R/W	8	00
0F71E	UART0 送信ステータスレジスタ	UA1STAT	ー	R/W	8	00

13.2.2 UART0 受信バッファ (UA0BUF)

アドレス：0F710H
アクセス：R/W
アクセスサイズ：8 ビット
初期値：00H

	7	6	5	4	3	2	1	0
UA0BUF	U0B7	U0B6	U0B5	U0B4	U0B3	U0B2	U0B1	U0B0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

UA0BUF は、受信データを格納する特殊機能レジスタ (SFR) です。
受信終了時に受信したデータが UA0BUF に格納されますので、受信終了時の UART0 割込みを利用して UA0BUF 読み出します。連続して受信する場合は受信終了毎に UA0BUF は更新されます。UA0BUF への書き込みは無効となります。
また、5～7 ビット長のデータ長を選択した場合に不要となるビットは、“0”になります。

13.2.3 UART0 送信バッファ (UA1BUF)

アドレス：0F718H
アクセス：R/W
アクセスサイズ：8 ビット
初期値：00H

	7	6	5	4	3	2	1	0
UA1BUF	U1B7	U1B6	U1B5	U1B4	U1B3	U1B2	U1B1	U1B0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

UA1BUF は、送信データを格納する特殊機能レジスタ (SFR) です。
送信するデータを UA1BUF に書き込みます。連続して送信する場合は、送信ステータスレジスタ (UA1STAT) の U1FUL フラグが“0”になるのを確認してから次の送信データを UA1BUF に書みます。UA1BUF に書き込んだ値を読み出すことも可能です。また、5～7 ビット長のデータ長を選択した場合に不要となるビットは、無効になります。

13.2.4 UART0 コントロールレジスタ (UA0CON)

アドレス：0F711H
アクセス：R/W
アクセスサイズ：8 ビット
初期値：00H

	7	6	5	4	3	2	1	0
UA0CON	—	—	—	—	—	—	—	U0EN
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

UA0CON は、UART の通信開始／停止を行う特殊機能レジスタ (SFR) です。

ビットの説明

・ **U0EN** （ビット 0）
U0EN は、UART 通信動作の開始を指定するビットです。U0EN を“1”にすると UART 通信が開始されます。通信を終了する場合はソフトウェアで“0”にしてください。

U0EN	説明
0	**通信停止 (初期値)**
1	**通信開始**

【注意】
U0EN ビットを”1”にセットする前に、端子および UART のモード/ボーレートの設定をしてください。

13.2.5 UART0 送信モニタレジスタ (UA1CON)

アドレス：0F719H
アクセス：R/W
アクセスサイズ：8 ビット
初期値：00H

	7	6	5	4	3	2	1	0
UA1CON	—	—	—	—	—	—	—	U1EN
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

UA1CON は、UART の送信動作状態を示す特殊機能レジスタ (SFR) です。

ビットの説明

・ **U1EN** （ビット 0）
送信動作中を示すビットです。
送信を開始すると”1”になり、送信が停止すると”0”になります。

U1EN	説明
0	**送信停止（初期値）**
1	**送信中**

13.2.6 UART0 モードレジスタ(UA0MOD)

アドレス:0F712H
アクセス:R/W
アクセスサイズ:8/16 ビット
初期値:0000H

	7	6	5	4	3	2	1	0
UA0MOD0	–	U0RSS	–	–	–	U0CK1	U0CK0	–
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

	15	14	13	12	11	10	9	8
UA0MOD1	–	U0DIR	U0NEG	U0STP	U0PT1	U0PT0	U0LG1	U0LG0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

UA0MOD は、UART の転送モードを設定する特殊機能レジスタ (SFR) です。

ビットの説明

- **U0CK1-0** (ビット 2～1)
  U0CK1-0 は、UART0 のボーレートジェネレータに入力するクロックを選択するビットです。

U0CK1	U0CK0	説明
0	0	LSCLK (**初期値**)
0	1	**使用禁止**
1	0	OSCLK
1	1	**使用禁止**

- **U0RSS** (ビット 6)
  U0RSS は、UART0 の受信データ入力サンプリングタイミングを選択するビットです。

U0RSS	説明
0	UA0BRT **レジスタに設定した値**/2 (**初期値**)
1	UA0BRT **レジスタに設定した値**/2-1

- **U0LG1-0** (ビット 9～8)
  U0LG1-0 は、UART の通信データ長を指定するビットです。

U0LG1	U0LG0	説明
0	0	8 **ビット長** (**初期値**)
0	1	7 **ビット長**
1	0	6 **ビット長**
1	1	5 **ビット長**

- **U0PT1-0** (ビット 11～10)
  U0PT1-0 は、UART のパリティビットの偶数、奇数、パリティ無しを選択するビットです。

U0PT1	U0PT0	説明
0	0	**偶数パリティ** (**初期値**)
0	1	**奇数パリティ**
1	*	**パリティビット無し**

・ **U0STP**（ビット 12）
U0STP は、UART のストップビットの長さを選択するビットです。

U0STP	説明
0	1 ストップビット（初期値）
1	2 ストップビット

・ **U0NEG**（ビット 13）
U0NEG は、UART の正論理、負論理を選択するビットです。

U0NEG	説明
0	正論理（初期値）
1	負論理

・ **U0DIR**（ビット 14）
U0DIR は、UART の LSB ファースト、MSB ファーストを選択するビットです。

U0DIR	説明
0	LSB ファースト（初期値）
1	MSB ファースト

【注意】
UA0MOD は、必ず通信停止中に設定し、通信中には書き換えないでください。

13.2.7 UART0 ボーレートレジスタ (UA0BRT)

アドレス：0F714H
アクセス：R/W
アクセスサイズ：8/16 ビット
初期値：0FFFH

	7	6	5	4	3	2	1	0
UA0BRTL	U0BR7	U0BR6	U0BR5	U0BR4	U0BR3	U0BR2	U0BR1	U0BR0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	1	1	1	1	1	1	1	1

	15	14	13	12	11	10	9	8
UA0BRTH	—	—	—	—	U0BR11	U0BR10	U0BR9	U0BR8
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	1	1	1	1

UA0BRT は、ボーレートクロックを生成するボーレートジェネレータのカウント値を設定する特殊機能レジスタ (SFR) です。
ボーレートジェネレータのカウント値とボーレートとの関係については、「13.3.2 ボーレート」を参照してください。

【注意】
UA0BRT **は、必ず通信停止中に設定し、通信中には書き換えないでください。**

13.2.8 UART0 受信ステータスレジスタ (UA0STAT)

アドレス：0F716H
アクセス：R/W
アクセスサイズ：8 ビット
初期値：00H

	7	6	5	4	3	2	1	0
UA0STAT	–	–	–	–	–	U0PER	U0OER	U0FER
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

UA0STAT は UART の受信動作における状態を示す特殊機能レジスタ (SFR) です。
UA0STAT に任意のデータを書き込むと、全フラグは"0"に初期化されます。

ビットの説明

- **U0FER** （ビット 0）
  U0FER は UART のフレーミングエラーを示すビットです。
  スタートビットもしくはストップビットでエラーが発生した場合"1"になります。U0FER は受信終了毎に更新されます。

U0FER	説明
0	**フレーミングエラー無し （初期値）**
1	**フレーミングエラー有り**

- **U0OER** （ビット 1）
  U0OER は UART のオーバランエラーを示すビットです。
  受信バッファ (UA0BUF) の受信データを読み出す前に再度受信すると"1"になります。U0EN ビットにより受信を停止し再開した場合でも、前回の受信データが読み出されていなければ"1"になりますので、受信が完了した際はそのデータが不要の場合でも必ず受信バッファを読み出してください。

U0OER	説明
0	**オーバランエラー無し （初期値）**
1	**オーバランエラー有り**

- **U0PER** （ビット 2）
  U0PER は UART のパリティエラーを示すビットです。
  受信したデータのパリティとデータに付加されてきたパリティビットを比較し一致していない場合に"1"になります。U0PER は受信終了毎に更新されます。

U0PER	説明
0	**パリティエラー無し （初期値）**
1	**パリティエラー有り**

13.2.9 UART0 送信ステータスレジスタ (UA1STAT)

アドレス：0F71EH
アクセス：R/W
アクセスサイズ：8 ビット
初期値：00H

	7	6	5	4	3	2	1	0
UA1STAT	–	–	–	–	U1FUL	–	–	–
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

UA1STAT は UART の送信動作における状態を示す特殊機能レジスタ (SFR) です。
UA1STAT に任意のデータを書き込むと、全フラグは”0”に初期化されます。

ビットの説明

・ **U1FUL** （ビット 3）
U1FUL は UART の送信バッファの状態を示すビットです。
送信データを UA1BUF に書き込むと“1”になり、その送信データがシフトレジスタに転送されると“0”になります。
連続して送信する場合は、U1FUL フラグが“0”になるのを確認してから次の送信データを UA1BUF に書き込んでください。

U1FUL	説明
0	**送信バッファにデータなし （初期値）**
1	**送信バッファにデータあり**

13.3 動作説明

13.3.1 転送データフォーマット

スタートビット、データビット、パリティビット、ストップビットまでを 1 フレームとしたフォーマットとなります。このフォーマットにおいて、データビットは 5〜8 ビットが選択可能、パリティビットは、パリティビットの有無、偶数／奇数パリティの選択が可能、ストップビットは 1 ストップビット、2 ストップビット、転送方向は LSB ファースト、MSB ファーストが選択可能、また、シリアル入出力の論理は、正論理、負論理が選択可能です。
これらは、全て UART0 モードレジスタ (UA0MOD) で設定します。
図 13-2 に正論理入出力のフォーマットを、図 13-3 に負論理入出力のフォーマットを示します。

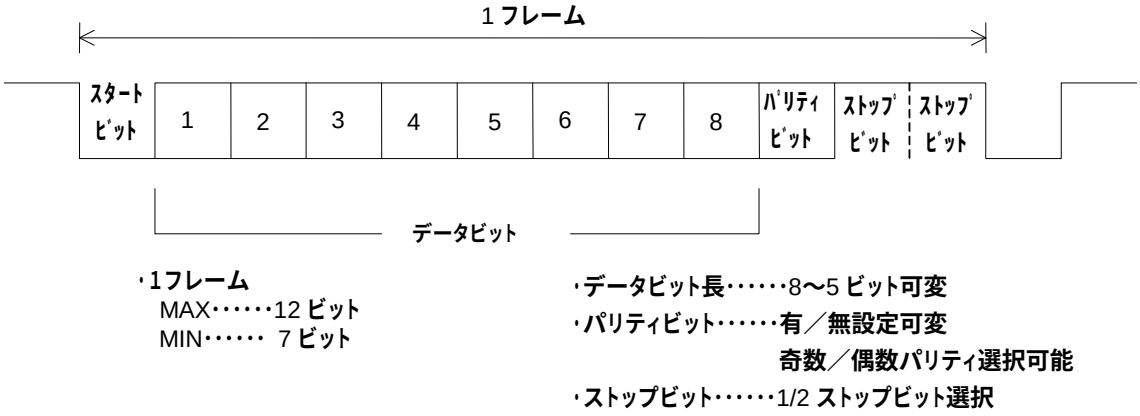


図 13-2 正論理入出力のフォーマット

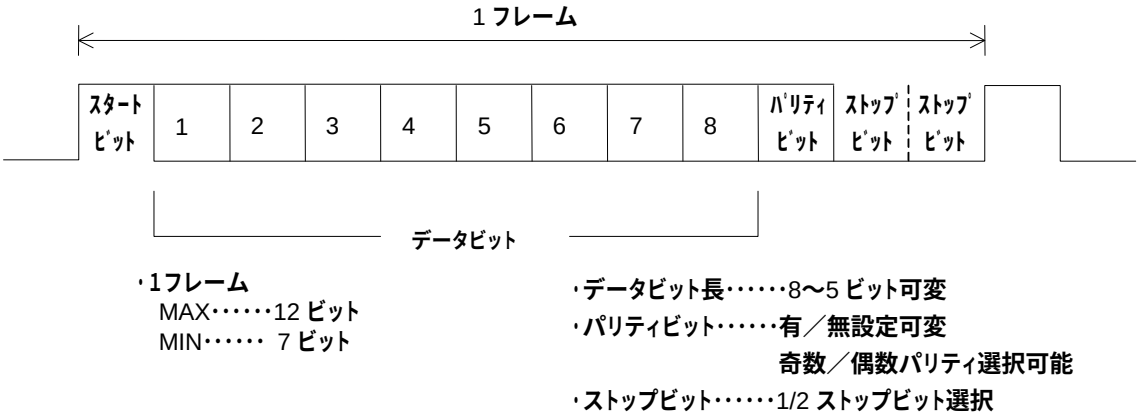


図 13-3 負論理入出力のフォーマット

13.3.2 ボーレート

ボーレートは、ボーレートジェネレータにより発生します。
ボーレートジェネレータは、UART0 モードレジスタ (UA0MOD) のボーレートクロック選択ビット(U0CK1, U0CK0) で選択されたクロックをカウントすることでボーレートを発生させます。ボーレートジェネレータのカウント値は UART0 ボーレートレジスタ(UA0BRT) に書込むことで設定されます。最大 4096 カウントです。
UA0BRT の設定値は、次式で表されます。

$$\text{UA0BRT} = \frac{\text{クロック周波数(Hz)}}{\text{ボーレート(bps)}} - 1$$

表 13-1 に代表的なボーレートのカウント値を示します。

表 13-1 代表的なボーレートのカウント値

ボーレート	ボーレートジェネレータクロック選択	ボーレートジェネレータのカウンタ値			誤差*
	ボーレートクロック	カウント値	1 ビットの周期	UA0BRT	
4800bps	16MHz	3333	約 208us	0D04H	0.01%
9600bps		1667	約 104us	0682H	-0.02%
19200bps		833	約 52us	0340H	0.04%
38400bps		417	約 26us	01A0H	-0.08%
57600bps		278	約 17.4us	0115H	-0.08%
115200bps		139	約 8.7us	008AH	-0.08%

*: **誤差の値にはクロックの誤差は含まれていません。ボーレートクロックの誤差を考慮して使用して下さい。**

13.3.3 送信データ方向

図 13-4 に送受信バッファと送受信データの関係を示します。

受信:n=0、送信:n=1

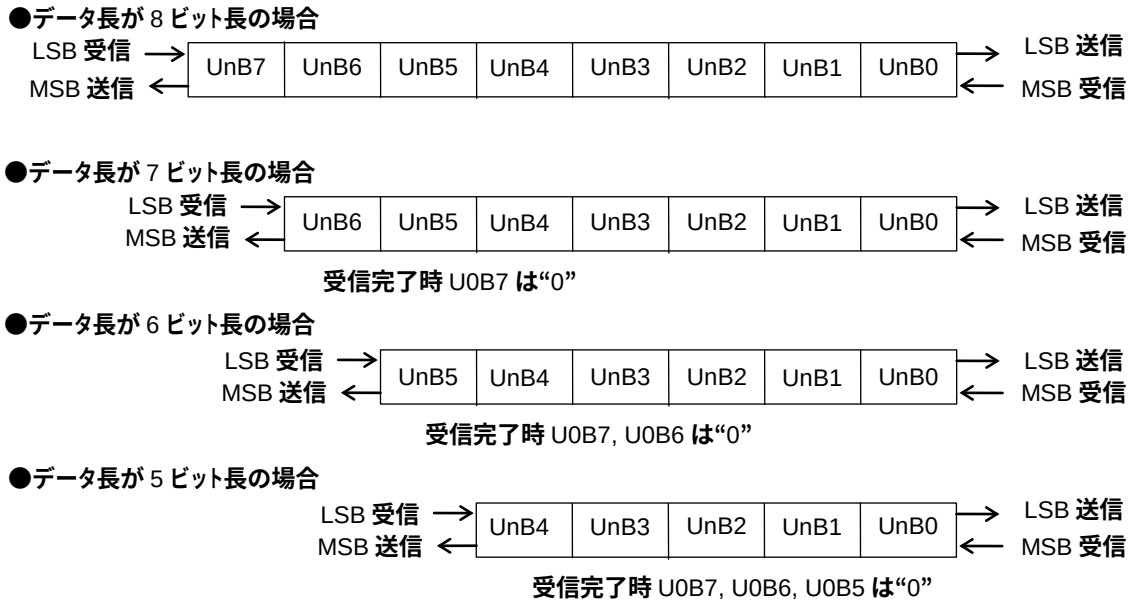


図 13-4 送受信バッファと送受信データの関係

13.3.4 送信動作

UART0 コントロールレジスタ (UA0CON) の U0EN ビットを“1”にして UA1BUF に送信データをセットすることで送信が開始されます(UA0EN と UA1BUF は順序不同)。
図 13-5 に送信時の動作タイミングを示します。

U0EN ビットを“1”にセットすると ①、ボーレートジェネレータは設定したボーレートの内部転送クロックを発生し、送信動作を開始します。
次に内部転送クロックの立ち下がり ② でスタートビットが TXD 端子に出力されます。以後送信データとパリティビット、およびストップビットを出力します。
スタートビットを出力すると ②、UART 送信割込みが要求されます。UART 送信割込みルーチンでは次に送信するデータを送信バッファ (UA1BUF) に書き込みます。
次に送信するデータを送信バッファ (UA1BUF) に書き込むと、送信バッファ状態フラグ (U1FUL)が “ 1 ” にセットされ ③、ストップビット送信後の内部転送クロックの立ち下がり ④ で UART 送信割込みが要求されます。この時送信バッファに次のデータを書き込まないで UART 送信割込みルーチンを終了すると、U1FUL ビットが “ 1 ” にセットされず ⑤ ストップビットまで送信すると送信動作を停止し、U1EN ビットを “ 0 ” にリセットすると共に UART 送信割込みを要求します。
次に送信するデータの送信バッファへの書き込み有効期間は、割込み発生後からストップビット送信終了までの期間です。⑥

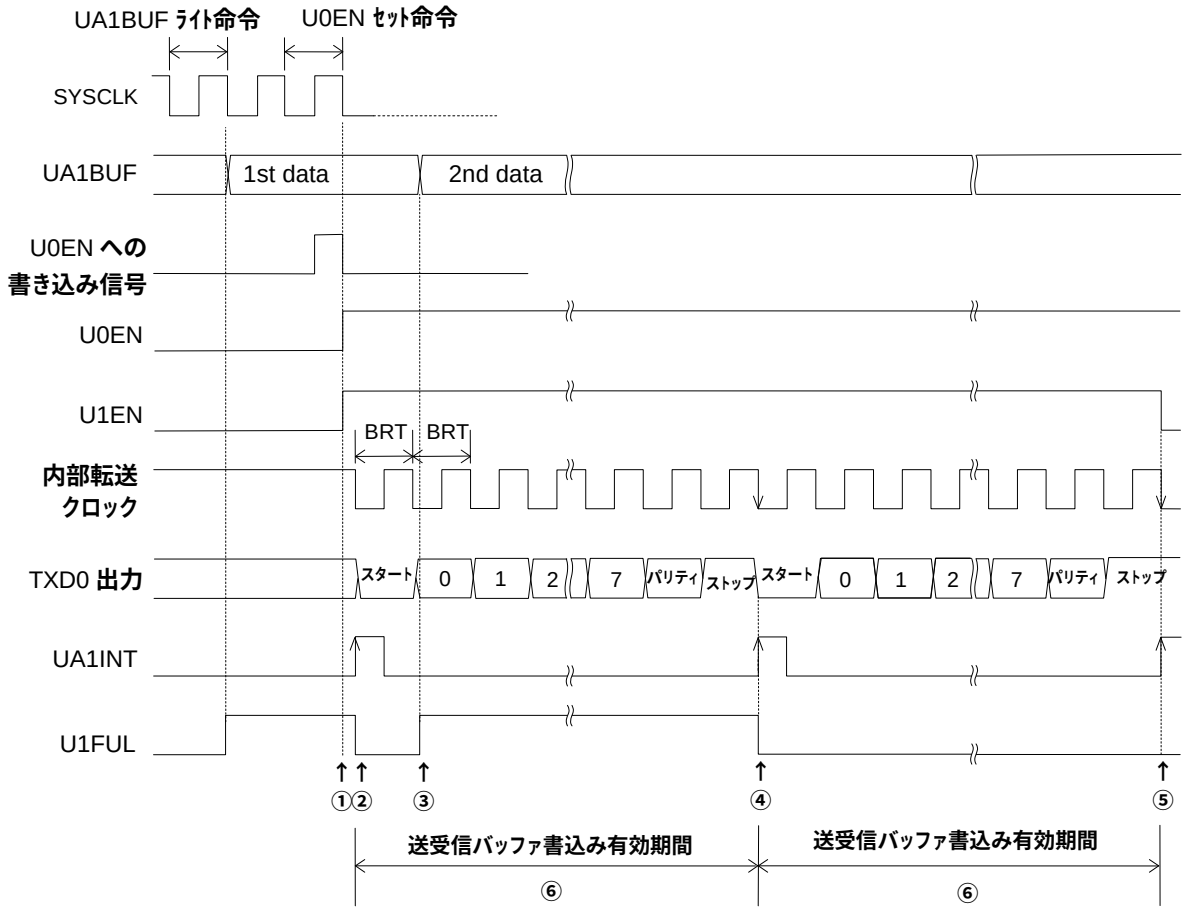


図 13-5 送信時の動作タイミング

13.3.5 受信動作

UART0 コントロールレジスタ (UA0CON) の U0EN ビットを“1”にすることで受信が開始されます。
図 13-6 に受信時の動作タイミングを示します。

受信動作に入ると、入力端子 RXD に送られてくるデータをチェックし、スタートビットの来るのを待ちます。
スタートビットを検出 (②) するとその時点を基準とし、設定したボーレートの内部転送クロックを発生し、受信動作を行います。
シフトレジスタは、内部転送クロックの立ち上がりエッジで RXD に入力されるデータを取り込みます。データおよびパリティビットをシフトレジスタに取り込み、③の内部転送クロックの立ち下がりエッジと同時に 5〜8 ビットの受信データを受信バッファ (UA0BUF) に転送します。
受信データを取り込んだ次の内部転送クロックの立ち上がり (④) で UART 受信割込みを要求すると同時に、ストップビットエラーとパリティビットエラーを判断し、エラーのあった場合はUART受信ステータスレジスタ (UA0STAT) の当該ビットを “ 1 ” にセットします。

パリティエラーの時　　：U0PER ＝“1”
オーバーランエラーの時　：U0OER ＝“1”
フレーミングエラーの時　：U0FER ＝“1”

図 13-6 に示すように内部転送クロックの立ち上がりは、受信データのビット期間の中心をとらえるように設定してあります。
受信は、U0EN ビットをプログラムで “ 0 ” にリセットするまで継続されます。受信途中で U0EN を “ 0 ” にリセットした場合には、受信データは破壊される場合があります。なお、図 13-6 中の “ U0EN のリセット可能期間 ” で U0EN ビットを “ 0 ” にリセットした場合には受信データは保護されます。

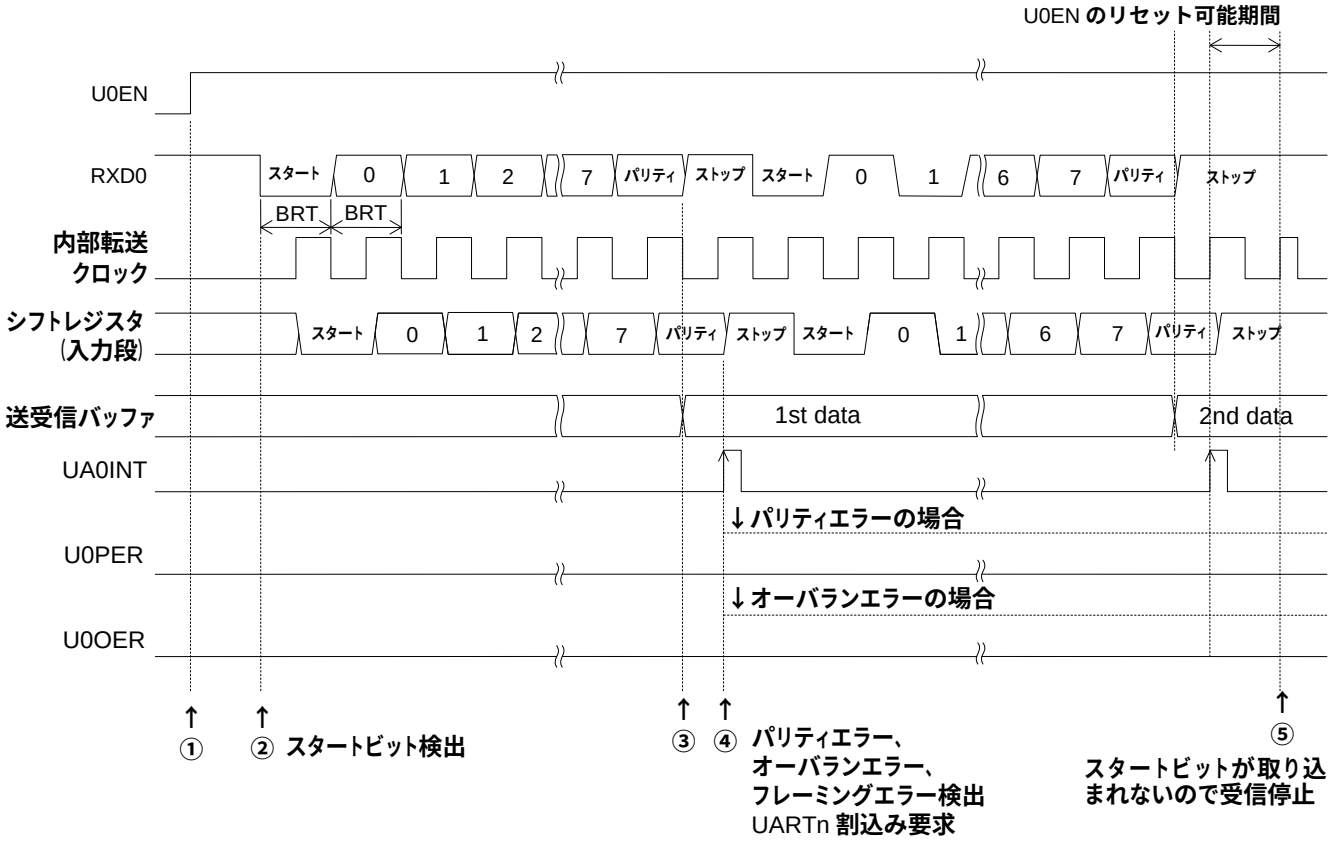


図 13-6 受信時の動作タイミング

13.3.5.1 スタートビットの検出

スタートビットは、ボーレートジェネレータクロック (OSCLK) でサンプリングされます。したがって、スタートビットの検出は、ボーレートジェネレータクロックの最大1周期分遅れる可能性があります。
図 13-7 に、スタートビット検出タイミングを示します。

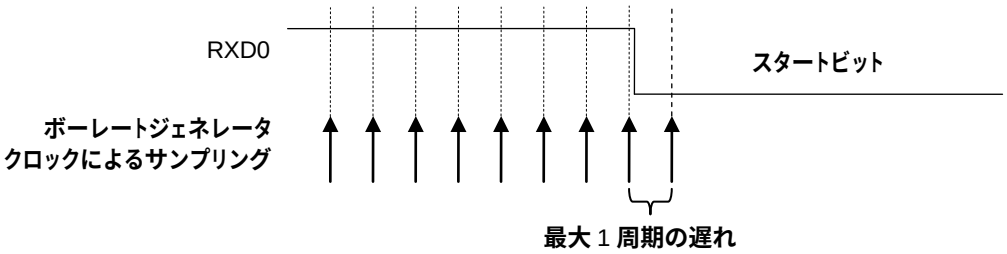
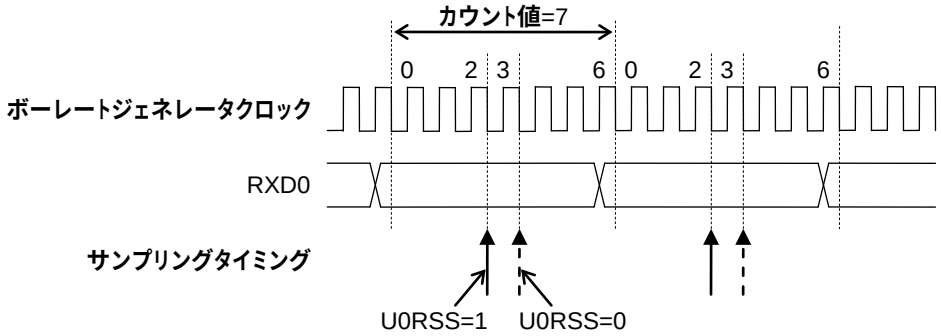


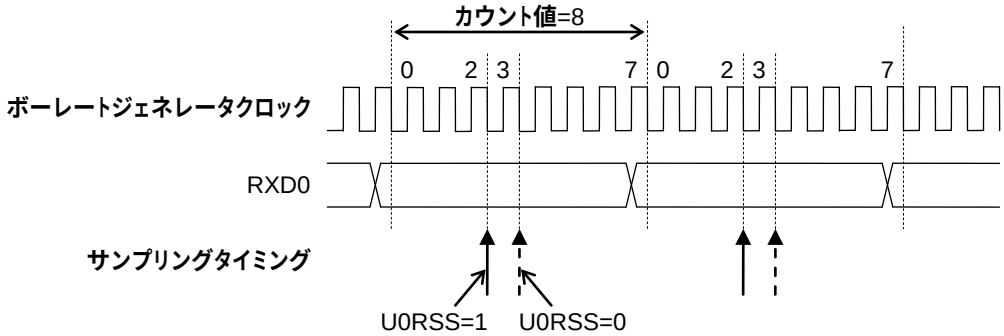
図 13-7 スタートビット検出タイミング (正論理の場合)

13.3.5.2 サンプリングタイミング

スタートビットが検出されると、RXD に入力された受信データは、ボーレートのほぼ中央でサンプリングされ、シフトレジスタに取り込まれます。
このシフトレジスタの取り込むサンプリングタイミングは、UART0 モードレジスタ (UA0MOD) の U0RSS ビットにより、ボーレートジェネレータクロックの 1 クロック分調整することができます。
図 13-8 に、U0RSS ビットとサンプリングタイミングの関係を示します。



(1) **ボーレートジェネレータカウント値が“7” (奇数) の場合**



(2) **ボーレートジェネレータカウント値が“8” (偶数) の場合**

図 13-8 U0RSS ビットとサンプリングタイミングの関係

13.3.5.3 受信マージン

送信元のボーレートと本 LSI のボーレートジェネレータで生成されるボーレートに誤差がある場合は、1 フレーム最後のストップビットの取り込みまで誤差が蓄積され、受信マージンが低下します。
図 13-9 に、ボーレート誤差と受信マージンの波形を示します。

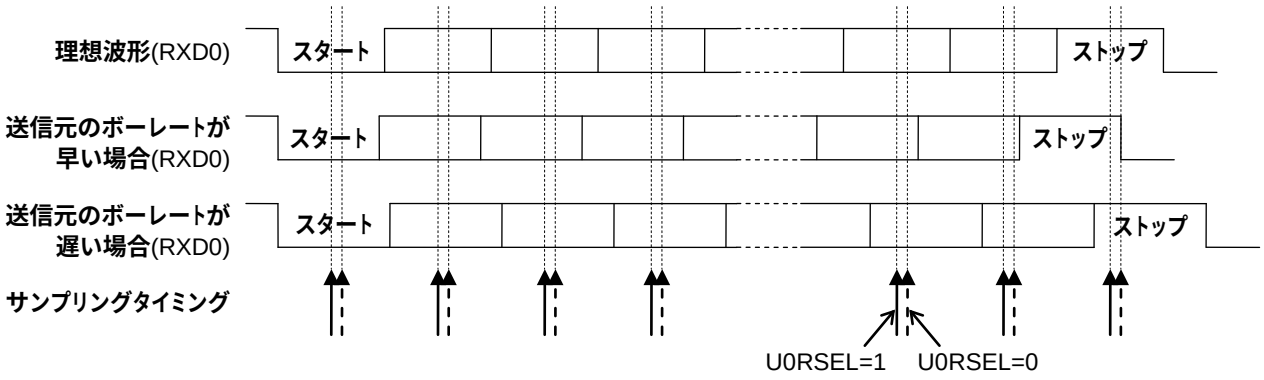


図 13-9 ボーレート誤差と受信マージン

【注意】
システム設計の際は、送信側と受信側のボーレート差、およびスタートビット検出の遅れに加え、受信データのなまりやノイズの影響なども考慮し、十分な受信マージンを確保してください。

第 14 章　FIFO 付 UART (UARTF)

14 FIFO 付 UART (UARTF)

14.1 概要

FIFO 付 UART (UARTF) は入出力インタフェースとして機能し、周辺装置から送られたデータをシリアルからパラレルへ変換し、また CPU から送られたデータをパラレルからシリアルに変換します。送信、受信の両方に 4 バイトの FIFO を備えており、FIFO モードでは、送受信の間、最大 4 バイトのデータを格納しておくことができます。
また、受信 FIFO は 1 バイト当たり 3 ビットのエラーデータを生成します。CPU は UARTF の状態をいつでも読み出すことができます。読み出せる情報には実行中の転送動作の種類と状態、及びパリティ、オーバラン、フレーミング、あるいはブレーク割込み等のエラーのステータスなどがあります。

UARTF の入出力端子は、ポート 2, 3, 4, 5 の 3 次機能として割り付けられています。ポート 2, 3, 4, 5 に関しては「第 19 章 ポート 2」、「第 20 章 ポート 3」、「第 21 章 ポート 4」、「第 22 章 ポート 5」を参照して下さい。

14.1.1 特長

- 全二重緩衝方式
- 全状態報告機能
- 4 バイトの送信及び受信 FIFO
- 送信、受信、ライン状態データセットの割込みや FIFO の独立した制御
- プログラマブルシリアルインタフェース
  - 5, 6, 7, 8 ビットキャラクタ
  - 奇数パリティ、偶数パリティ、あるいはパリティなしの生成と検証
  - 1 、1.5 、2 のストップビット
- 通信速度は、2400bps～115200bps が設定可能。
- ボーレートジェネレータ内蔵。

14.1.2 構成

図 14-1 に UARTF の構成を示します。

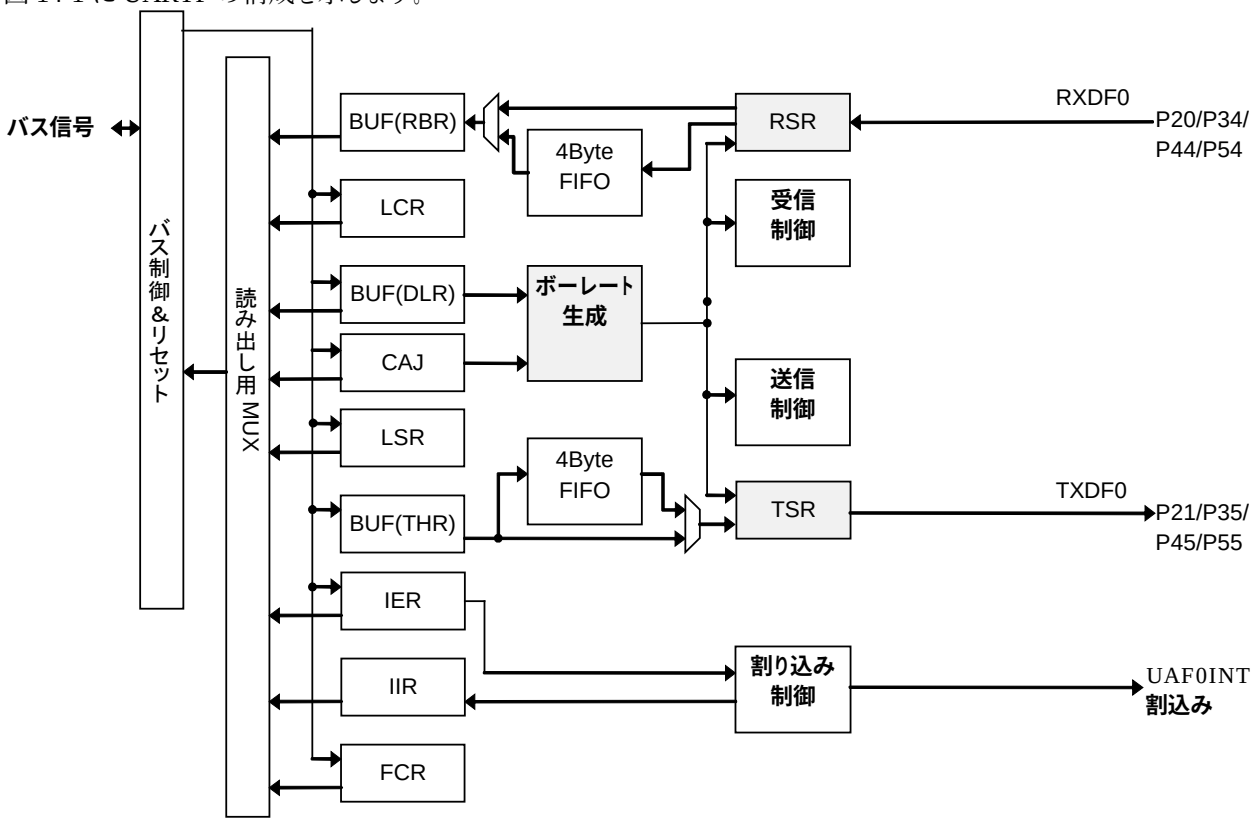


図 14-1 UARTF の構成

14.1.3 端子一覧

端子名	入出力	機能
RXDF0	I	UARTF0 データ入力端子
TXDF0	O	UARTF0 データ出力端子

14.2 レジスタ説明

14.2.1 レジスター覧

アドレス [H]	名称	略称 (Byte)	略称 (Word)	R/W	サイズ	初期値 [H]
0F7C0	UARTF0 送受信バッファ	UAF0BUFL	UAF0BUF	R/W	8/16	xx
0F7C1		UAF0BUFH		R/W	8	00
0F7C2	UARTF0 割込みイネーブルレジスタ	UAF0IERL	UAF0IER	R/W	8/16	00
0F7C3		UAF0IERH		R/W	8	00
0F7C4	UARTF0 割込みステータスレジスタ	UAF0IIRL	UAF0IIR	R	8/16	01
0F7C5		UAF0IIRH		R	8	00
0F7C6	UARTF0 モードレジスタ	UAF0MODL	UAF0MOD	R/W	8/16	00
0F7C7		UAF0MODH		R/W	8	00
0F7C8	UARTF0 ラインステータスレジスタ	UAF0LSRL	UAF0LSR	R	8/16	60
0F7C9		UAF0LSRH		R	8	00
0F7CA	UARTF0 クロック調整レジスタ	UAF0CAJL	UAF0CAJ	R/W	8/16	0D
0F7CB		UAF0CAJH		R/W	8	00
0F7CC	UARTF0 割込み要求レジスタ	UAF0IRQL	UAF0IRQ	W	8/16	00
0F7CD		UAF0IRQH		W	8	00

14.2.2 UARTF0 送受信バッファ (UAF0BUF)

アドレス：0F7C0H
アクセス：R/W
アクセスサイズ：8/16 ビット
初期値：不定

	7	6	5	4	3	2	1	0
UAF0BUFL	UF0B7	UF0B6	UF0B5	UF0B4	UF0B3	UF0B2	UF0B1	UF0B0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	x	x	x	x	x	x	x	x

	15	14	13	12	11	10	9	8
UAF0BUFH	UF0B15	UF0B14	UF0B13	UF0B12	UF0B11	UF0B10	UF0B9	UF0B8
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

UAF0BUF は、以下の 3 つの機能を持つ特殊機能レジスタ (SFR) です。

(1) 受信データのバッファアリング用リード専用レジスタ：Reciver Buffer Resister (RBR)
RBR は、キャラクタ長に応じて 5 ビットから 8 ビットまでの受信データを保持するレジスタです。
データワードのビット 0 は常に受信される最初のシリアルデータビットです。8 ビットより小さいデータが受信された場合は、データは LSB に右詰されます。
UART がパラレルからシリアル、またシリアルからパラレルに変換処理を行う際、読み取り操作ができるようにレジスタはダブルバッファされています。
RBR は、UAF0MOD の UF0DLAB=0 の時、プログラムによるリードが可能です。UAF0BUF をリードしたときは、RBR が UF0B7-0 から読み出せます。UF0B15-8 は 00H が読み出せます。
リセット時の値は不定になります。

(2) 送信データのセッティング用ライト専用レジスタ：Transmitter Holding Resister (THR)
THR は、キャラクタ長に応じて 5 ビットから 8 ビットまでの送信データを保持するレジスタです。
データワードのビット 0 は常に送信される最初のシリアルデータビットです。
UART がパラレルからシリアル、またシリアルからパラレルに変換処理を行う際、書き込み操作ができるようにレジスタはダブルバッファされています。
THR は、UAF0MOD の UF0DLAB =0 の時、プログラムよるライトが可能です。UAF0BUF にライトしたときは、UF0B7-0 データが THR にライトされます。UF0B15-8 のデータは、無効です。

(3) ボーレートジェネレータ用 16bit 除数ラッチ：Divisor Latch Resister (DLR)
DLR は、UAF0MOD の UF0DLAB =1 の時、プログラムによるリード/ライトが可能です。詳細はボーレートクロック生成の項を参照ください。

	UF0DLAB = 0		UF0DLAB = 1	
	UAF0BUF[15:8]	UAF0BUF[7:0]	UAF0BUF[15:8]	UAF0BUF[7:0]
リード	00H	RBR	DLR[15:8]	DLR[7:0]
ライト	**無効**	THR	DLR[15:8]	DLR[7:0]

14.2.3 UARTF0 割込みイネーブルレジスタ (UAF0IER)

アドレス：0F7C2H
アクセス：R/W
アクセスサイズ：8/16 ビット
初期値：0000H

	7	6	5	4	3	2	1	0
UAF0IERL	–	–	–	–	–	UF0ELSI	UF0ETBEI	UF0ERBFI
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

	15	14	13	12	11	10	9	8
UAF0IERH	–	–	–	–	–	–	–	–
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

UAF0IER は、UART の割込み要因の許可／禁止を設定する特殊機能レジスタ (SFR) です。

ビットの説明

・ **UF0ERBFI**（ビット 0）
受信データ読み出し要求割込み（FIFO モードにおいてはキャラクタタイムアウト割込みも含む）の許可/禁止を設定します。

UF0ERBFI	説明
0	**受信データ読み出し要求割込み禁止 (初期値)** **（FIFO イネーブル時は、キャラクタタイムアウト割込みも含む）**
1	**受信データ読み出し要求割込み許可** **（FIFO イネーブル時は、キャラクタタイムアウト割込みも含む）**

・ **UF0ETBEI**（ビット 1）
送信データ書き込み要求割込みの許可/禁止を設定します。

UF0ETBEI	説明
0	**送信データ書き込み要求割込み禁止(初期値)**
1	**送信データ書き込み要求割込み許可**

・ **UF0ELSI**（ビット 2）
受信データエラー割込みの許可/禁止を設定します。

UF0ELSI	説明
0	**受信データエラー割込み禁止(初期値)**
1	**受信データエラー割込み許可**

14.2.4 UARTF0 割込みステータスレジスタ (UAF0IIR)

アドレス:0F7C4H
アクセス:R
アクセスサイズ:8/16 ビット
初期値:0001H

	7	6	5	4	3	2	1	0
UAF0IIRL	UF0FMD1	UF0FMD0	−	−	UF0IRID2	UF0IRID1	UF0IRID0	UF0IRP
R/W	R	R	R	R	R	R	R	R
初期値	0	0	0	0	0	0	0	1

	15	14	13	12	11	10	9	8
UAF0IIRH	−	−	−	−	−	−	−	−
R/W	R	R	R	R	R	R	R	R
初期値	0	0	0	0	0	0	0	0

UAF0IIR は、UART の割込み送受信動作における状態を示す特殊機能レジスタ (SFR) です。
UAF0IIR は、優先順位を付けられた割込みがペンディングになっていること、及び、その割込みのタイプを示す情報が保存されます。IIR は最も高い優先順位を持つ割込みペンディングを示します。

ビットの説明

- **UF0IRP** (ビット 0)
  UF0IRP は、UARTF0 割込みが発生したかどうかを示します。

UF0IRP0	説明
0	**割込みが発生した**
1	**割込みが発生していない (初期値)**

- **UF0IRID2-0** (ビット 3〜1)
  UF0IRID2-0 は、UARTF0 割込みの割込み要因を示します。
  LVL=1 が最も高い優先順位となり、最も高い優先順位の割込み要因が通知されます。

UF0IRID 2-0	LVL	Flag	Source	Reset Process
000	−	−	**割込み要因なし (初期値)**	−
011	1	**受信データエラー**	**オーバーランエラー、パリティエラー、フレーミングエラー、ブレーク割込み**	UAF0LSR **のリード**
010	2	**受信データ読み出し要求**	FIFO **ディセーブル:** **受信データが使用可能。** FIFO **イネーブル:** **トリガレベルに達した。**	RBR **のリード、または** FIFO **がトリガレベル以下になったとき**
110	2	**キャラクタタイムアウト**	**受信** FIFO **に最低** 1 **キャラクタが存在し、** 4 **キャラクタ時間の間に受信** FIFO **へのキャラクタ入力あるいは取り出しが無い。**	RBR **のリード**
001	3	**送信データ書き込み要求**	FIFO **ディセーブル:** THR **に書き込みが可能状態になった。** FIFO **イネーブル:** **送信用** FIFO **のデータが空になった。**	UAF0IIR **のリード、または** THR **へのライト**

・ **UF0FMD1-0** （ビット 7～6）
UF0FMD1-0 は、FIFO モードを示します。

UF0FMD 1	UF0FMD 0	説明
0	0	非 FIFO モード （初期値）
0	1	未使用
1	0	未使用
1	1	FIFO モード

【注意】
ご使用前に割込みステータスに要因が発生している場合があります。端子設定後、割込みを有効にする前に全ての要因をクリアして下さい。

14.2.5 UARTF0 モードレジスタ (UAF0MOD)

アドレス:0F7C6H
アクセス: R/W
アクセスサイズ:8/16 ビット
初期値:0000H

	7	6	5	4	3	2	1	0
UAF0MODL	UF0DLAB	UF0BC	UF0PT2	UF0PT1	UF0PT0	UF0STP	UF0LG1	UF0LG0
R/W	W/R	W/R	W/R	W/R	W/R	W/R	W/R	W/R
初期値	0	0	0	0	0	0	0	0

	15	14	13	12	11	10	9	8
UAF0MODH	UF0FTL1	UF0FTL0	−	−	−	UF0TFR	UF0RFR	UF0FEN
R/W	W/R	W/R	W/R	W/R	W/R	W/R	W/R	W/R
初期値	0	0	0	0	0	0	0	0

UAF0MOD は、UART のモードを設定する特殊機能レジスタ (SFR) です。

ビットの説明

・ **UF0LG1-0** (ビット 1〜0)
UF0LG1-0 は、UARTF0 のキャラクタ長を指定するビットです。

UF0LG1	UF0LG0	説明
0	0	5 ビット長 (初期値)
0	1	6 ビット長
1	0	7 ビット長
1	1	8 ビット長

・ **UF0STP** (ビット 2)
UF0STP は、UARTF0 の送信するキャラクタのストップビット数を選択するビットです。

UF0STP	説明
0	1 ストップビット (初期値)
1	1.5 ストップビット (キャラクタ長=5 ビット時) 2 ストップビット (キャラクタ長=6, 7, 8 ビット時)

・ **UF0PT2-0** (ビット 5〜3)
UF0PT2-0 は、UARTF0 のパリティビットを選択するビットです。

UF0PT2	UF0PT1	UF0PT0	説明
*	*	0	パリティビット無し (初期値)
0	0	1	奇数パリティ
0	1	1	偶数パリティ
1	0	1	パリティビット "1" 固定
1	1	1	パリティビット "0" 固定

・ **UF0BC** （ビット 6）
UF0BC は、UARTF0 のブレークコントロールを選択するビットです。
“1”にすると UARTF0 データ出力 (TXDF0) をスペーシング状態 (論理 0) にします。このビットによる制御は、TXDF0 端子上のみで有効になり、つまり、TXDF0 がマスクされるだけで、送信動作は内部的に続行します。ブレークコントロールを使うと CPU はコンピュータ通信システムのターミナルに警報を出すことができます。

UF0BC	説明
0	ブレークコントロール未実施（初期値）
1	ブレークコントロール実施

・ **UF0DLAB** （ビット 7）
UF0DLAB は、UAF0BUF のアクセスレジスタを選択するビットです。
“0”のときは、RBR, THR へのアクセス可能です。”1”のときは、DLR へのアクセスが可能です。

UF0DLAB	説明
0	UAF0BUF の RBR, THR にアクセス可能（初期値）
1	UAF0BUF の DLR にアクセス可能

・ **UF0FEN** （ビット 8）
UF0FEN は、UARTF0 の FIFO のイネーブル/ディセーブルを選択するビットです。

UF0FEN	説明
0	FIFO ディセーブル（初期値）
1	FIFO イネーブル

【注意】
FIFO イネーブル／ディセーブル切り替え時、FIFO はクリアされます。

・ **UF0RFR** （ビット 9）
UF0RFR は、UARTF0 の受信 FIFO のリセットを指示するビットです。

UF0RFR	説明
0	受信 FIFO 通常動作（初期値）
1	受信 FIFO クリア

【注意】
受信クリア選択時、受信中のデータはクリアされません。

・ **UF0TFR** （ビット 10）
UF0TFR は、UARTF0 の送信 FIFO のクリアを選択するビットです。

UF0TFR	説明
0	送信 FIFO 通常動作（初期値）
1	送信 FIFO クリア

【注意】
送信クリア選択時、送信中のデータはクリアされません。

・ **UF0FTL1-0**（ビット 15～14）
UF0FTL1-0 は、受信 FIFO 割込みのﾄﾘｶﾞﾚﾍﾞﾙを選択します。

UF0FTL1	UF0FTL0	説明
0	0	1 バイト（初期値）
0	1	2 バイト
1	0	3 バイト
1	1	4 バイト

14.2.6 UARTF0 ラインステータスレジスタ (UAF0LSR)

アドレス:0F7C8H
アクセス:R
アクセスサイズ:8/16 ビット
初期値:0060H

	7	6	5	4	3	2	1	0
UAF0LSRL	UF0RFE	UF0TEMT	UF0THRE	UF0BI	UF0FER	UF0PER	UF0OER	UF0DR
R/W	R	R	R	R	R	R	R	R
初期値	0	1	1	0	0	0	0	0

	15	14	13	12	11	10	9	8
UAF0LSRH	–	–	–	–	–	–	–	–
R/W	R	R	R	R	R	R	R	R
初期値	0	0	0	0	0	0	0	0

UAF0LSR は、ステータスを表示する特殊機能レジスタ (SFR) です。
UAF0LSR は通常、CPU が割込みの原因を決定したり、シリアルチャネルのステータスのポーリングを行うために読み取る最初のレジスタです。
UF0OER, UF0PER, UF0FER, UF0BI は、いずれかの状態が検出された時、受信データエラー割込み (IIR における LVL=1 の割込み) を発生するエラー条件です。この割込みは UARTF0IER の UF0ELSI に 1 を設定することでイネーブルになります。

ビットの説明

- **UF0DR** (ビット 0)
  UF0DR は、入力キャラクタが受信され、RBR に送信されたとき、1 にセットされます。RBR のデータをリードすると、本ビットはクリアされます。

UF0DR	説明
0	RBR **に有効なデータが無い (初期値)**
1	RBR **に有効なデータがある**

- **UF0OER** (ビット 1)
  UF0OER は、オーバランエラーの発生を示します。オーバランエラーは、次のキャラクタが RBR に送信されて前のキャラクタに上書きされる前に、CPU が RBR のデータを読み取らなかったということを示します。FIFO モードにおいて、FIFO がフルになり、次のキャラクタが完全に受信されるとオーバランエラーが起きます。オーバランエラーが起きた後、UAF0LSR をリードするとオーバランエラーが消去されます。受信中のキャラクタは FIFO に転送されずに上書きされます。UAF0LSR を読み取ると、本ビットはクリアされます。

UF0OER	説明
0	**オーバランエラー未発生 (初期値)**
1	**オーバランエラー発生**

- **UF0PER** (ビット 2)
  UF0PER は、パリティエラーが発生したことを示します。パリティが有効である時のみ有効です。UAF0LSR を読み取るとクリアされます。また FIFO モードでは、先頭のデータに対してエラーがあることを示し、FIFO の先頭ではないデータでパリティエラーが発生していても、本ビットに反映されません。

UF0PER	説明
0	**パリティエラー未発生 (初期値)**
1	**パリティエラー発生**

・ **UF0FER** （ビット 3）
UF0FER は、フレーミングエラーが発生したことを示します。フレーミングエラーは受信したキャラクタに有効なストップビットがないことを示します。最後のデータビットやパリティビットの後のストップビットが”0” (スペーシングレベル) の時、本ビットは”1”にセットされます。UAF0LSR をリードすると、本ビットはクリアされます。FIFO モードでは、フレーミングエラーは FIFO の特定のキャラクタと関連しています。本ビットはキャラクタが FIFO の先頭に来たときエラーがあることを示します。

UF0FER	説明
0	**フレーミングエラー未発生 （初期値）**
1	**フレーミングエラー発生**

・ **UF0BI** （ビット 4）
UF0BI は、ブレーク割込みが発生したことを示します。本ビットは、受信した入力データが 1 フレームの送信の間（スタートビット+データビット+パリティビット+ストップビット）、スペーシング（“0”）状態に保持されているとき“1”にセットされます。本ビットは CPU が UAF0LSR をリードしたときクリアされます。FIFO モードでは、これは FIFO の特定のキャラクタと関連しています。本ビットはブレークキャラクタが FIFO の先頭に来るとき、ブレーク割込みの状態を反映します。CPU は、最初の UAF0LSR のリードまでの間にその関連したキャラクタが FIFO の先頭に来るとき、エラーを消去します。ブレーク割込みが発生したとき、ただひとつゼロキャラクタが FIFO にロードされます。

UF0BI	説明
0	**ブレーク割込み未発生 （初期値）**
1	**ブレーク割込み発生**

・ **UF0THRE** （ビット 5）
UF0THRE は、UART が送信する新しいキャラクタの呼び出し準備ができていることを示します。本ビットは THR から送信用のシフトレジスタ（TSR）にキャラクタが転送された時、“1”にセットされます。本ビットは THR に書き込むことで“0”にクリアされます。UAF0LSR レジスタをリードしてもクリアされません。FIFO モードでは送信 FIFO が空の時このビットが設定されます。このビットは、ひとつのバイトが送信 FIFO に書き込まれる時にクリアされます。THRE 割込みが UAF0IER の UF0ETBEI によりイネーブルされた場合、THRE は UAF0IIR に優先順位 3 の割込みを起こします。

UF0THRE	説明
0	THR **に送信データが残っている**
1	THR **の送信準備ができている （初期値）**

・ **UF0TEMT** （ビット 6）
UF0TEMT は、THR と送信用のシフトレジスタ（TSR）の両方が空のとき、“1”に設定されます。キャラクタが THR にロードされると本ビットは“0”にクリアされ、TXDF0 からそのキャラクタが転送されるまで“0”を保ちます。本ビットは UAF0LSR のリードでは“0”にクリアされません。
FIFO モードでは送信 FIFO とシフトレジスタの両方が空のとき、このビットは“1”にセットされます。

UF0TEMT	説明
0	THR **または** TSR **のいずれかに送信データが残っている**
1	THR **と** TSR **の両方が空 （初期値）**

・ **UF0RFE** （ビット 7）
UF0RFE は、FIFO ディセーブルにおいて常に 0 です。FIFO イネーブルにおいて、パリティエラー、フレーミングエラー、ブレーク割込みのデータエラーがひとつでも FIFO 内にある場合、このビットが“1”にセットされます。エラー要因となるデータを RBR からリードするか、FIFO クリアによりエラー要因となるデータが FIFO から無くなった上で、UAF0LSR をリードした時に、本ビットはクリアされます。

UF0RFE	説明
0	FIFO モードでデータエラーは発生していない (初期値)
1	FIFO モードでパリティエラー、フレーミングエラー、ブレーク割込みのいずれかが発生した

14.2.7 UARTF0 クロック調整レジスタ (UAF0CAJ)

アドレス：0F7CAH
アクセス：R/W
アクセスサイズ：8/16 ビット
初期値：000DH

	7	6	5	4	3	2	1	0
UAF0CAJL	–	–	–	UF0CAJ4	UF0CAJ3	UF0CAJ2	UF0CAJ1	UF0CAJ0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	1	1	0	1

	15	14	13	12	11	10	9	8
UAF0CAJH	–	–	–	–	–	–	–	–
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

UAF0CAJ は、UARTF0 のボーレートクロックの元となるクロックの調整を行う特殊機能レジスタ (SFR) です。

ビットの説明

・ **UF0CAJ4-0** （ビット 4～0）
UARTF0 のボーレートクロックの元となるクロックの調整を行います。
使用する SYSCLK の周波数に合わせて以下のように設定してください。

SYSCLK	UF0CAJ4	UF0CAJ3	UF0CAJ2	UF0CAJ1	UF0CAJ0
16.000MHz	0	1	1	0	1
8.000MHz					
4.000MHz					
8.192MHz	0	1	0	1	0
4.096MHz					

【注意】
UARTF0 使用の際は必ず SYSCLK を 4MHz 以上にしてください。SYSCLK が 4MHz 未満の場合、正常動作しません。
詳細は、14.3.3 ボーレートクロック生成を参照してください。

14.2.8 UARTF0 割込み要求レジスタ (UAF0IRQ)

アドレス：0F7CCH
アクセス： W
アクセスサイズ：8/16 ビット
初期値：0000H

	7	6	5	4	3	2	1	0
UAF0IRQL	–	–	–	–	–	–	–	UF0IRQ
R/W	W	W	W	W	W	W	W	W
初期値	0	0	0	0	0	0	0	0

	15	14	13	12	11	10	9	8
UAF0IRQH	–	–	–	–	–	–	–	–
R/W	W	W	W	W	W	W	W	W
初期値	0	0	0	0	0	0	0	0

UAF0IRQ は、未処理の割込み要因がある場合に再度割込み要求を発行する特殊機能レジスタ (SFR) です。

ビットの説明

・ **UF0IRQ**（ビット 0）
"1"を書込むことで、未処理の割込み要因がある場合、再度割込み要求を発行します。

【注意】
未処理の割込み要因がある状態で本ビットに"1"を書込み、割込みベクタを抜ける前にすべての割込み要因の処理を行うと、割込みベクタから抜けた後、割込み要因がない状態で再度割込みベクタへ入ってしまうため、必ず割込みベクタから抜ける直前に"1"を書込んでください。

14.3 動作説明

UART は、UAF0IER, UAF0MOD, DLR (UAF0BUF) 、UAF0CAJ でプログラムされます。これらのレジスタは、キャラクタの長さ、ストップビット長、パリティ、ボーレートなどを定義します。
レジスタにはどのような順序でも書き込めますが、UAF0IER は割込みイネーブルを制御するため、最後に書き込まれる必要があります。一旦 UART がプログラムされて作動可能になると、UART がデータを送受信していない場合はいつでもこれらのレジスタを更新できます。

14.3.1 データ送信

図 14-2 に送信タイミングを示します。

データを THR に書き込むと、データは送信 FIFO を通して送信シフトレジスタに転送されます。すると THRE ビットの立ち上がりから 16 ボーレートクロック以内にスタートビットが送信され、続いてデータが下位のビットから 1 ビットずつ送信されます。送信ビットが 7 ビットのときは、最上位ビットは送信されません。
次に UAF0MOD の UF0PT2-0 でパリティを有効にしているときはパリティビットが送信され、最後にストップビットが送信されて、1 フレームの送信を終了します。
データを送信し終わると、UAF0LSR の UF0THRE ビットが“1”にセットされ、送信準備ができていることが示されます。このビットは、ひとつのバイトが送信 FIFO に書き込まれる時にクリアされます。また、THRE 割込みが UAF0IER の UF0ETBEI によりイネーブルされた場合、THRE は UAF0IIR に LVL=3 の割込みを起こします。THRE が UAF0IR に示されている割込みソースの場合、本ビットは UAF0IIR レジスタのリードでクリアされます。

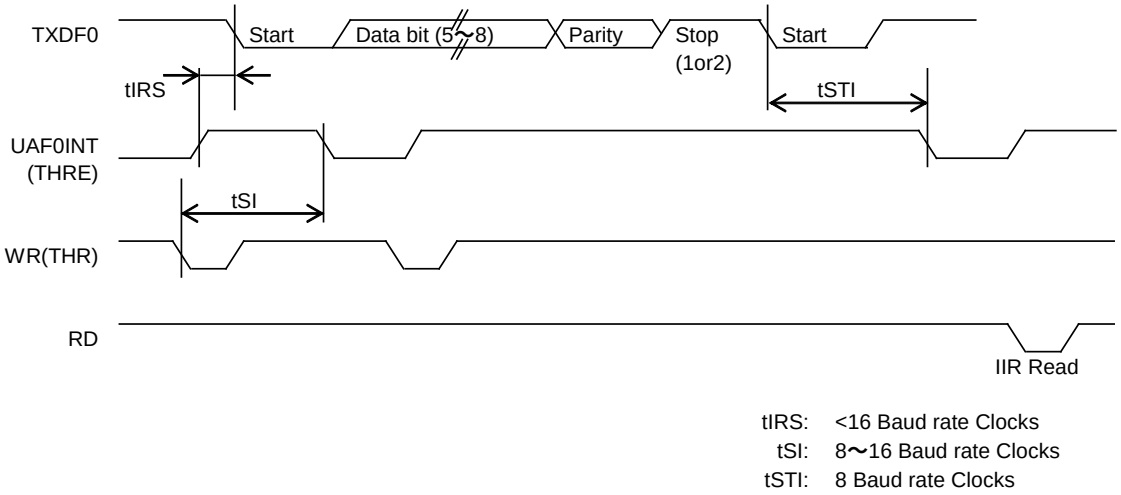


図 14-2 送信タイミング

【注意】
送信 FIFO が空の状態でも、送信処理が全て完了していない場合があります。高速クロックを停止(STOP/DEEP-HALT/HALT-H などのモードへ移行)する前に UAF0LSR レジスタの UF0TEMT ビットにて送信用のシフトレジスタ (TSR) が空になったことを確認して下さい。

14.3.2 データ受信

図 14-4 に受信タイミングを示します。また、図 14-5 に受信 FIFO の最初のバイトを読み出した場合のタイミングを、図 14-6 に受信 FIFO の残りバイトを読み出した場合のタイミングを示します。

サンプリング･クロックは、ボーレートクロックを 8 分周したものです。
まず、RXDF0 からスタートビットを認識すると、続くデータを取得して受信シフトレジスタへ取り込みます。受信シフトレジスタのデータは受信 FIFO を通して RBR へ転送されます。
RBR にデータが到達すると、UAF0LSR の UF0DR が“1”にセットされ、RBR に有効なデータがあることが示されます。このビットは、RBR のデータをリードすることでクリアされます。

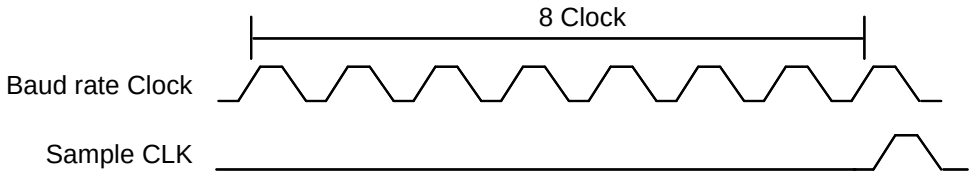


図 14-3 Baud rate Clock と Sample CLK との関係

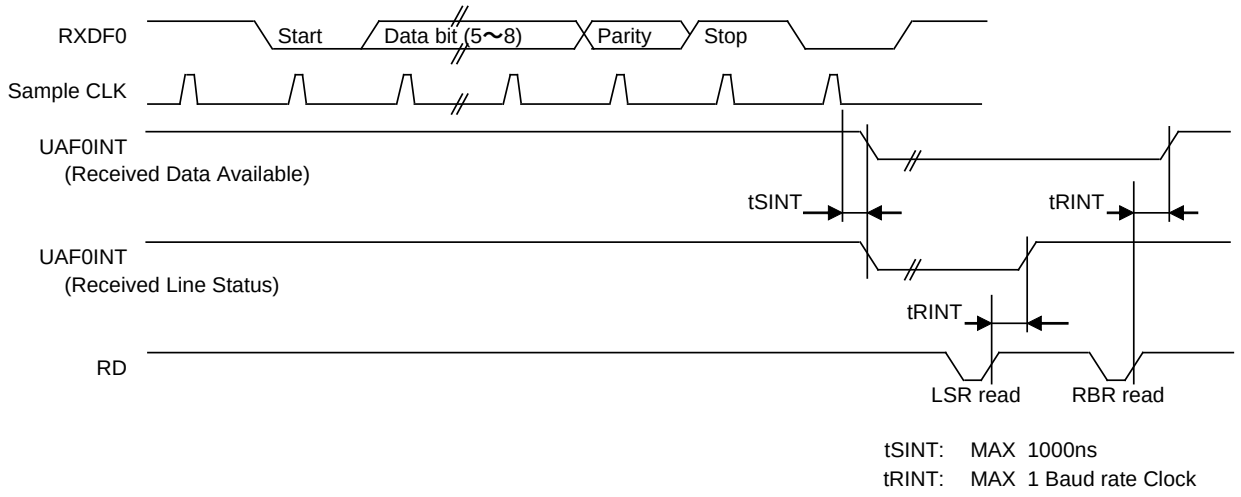


図 14-4 受信タイミング

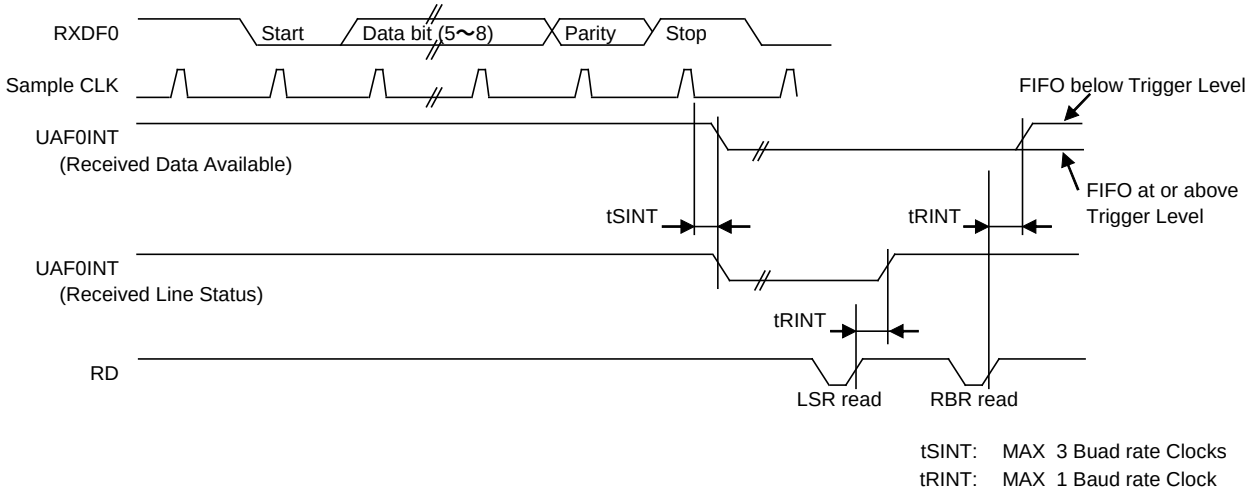


図 14-5 受信 FIFO の最初のバイト（RBR を設定する）

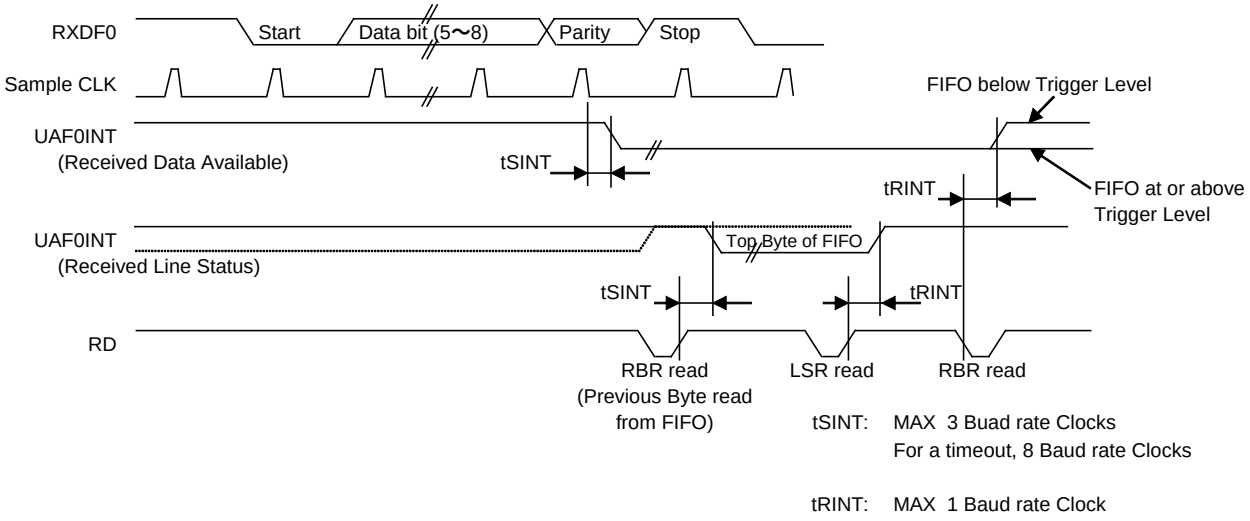


図 14-6 受信 FIFO の残りバイト

14.3.3 ボーレートクロック生成

ボーレートの計算式は、以下の通りとなります。

ボーレート周波数＝SYSCLK × ⑴UAF0CAJ-1⑴ ／UAF0CAJ／(DLR[15:0] × 16)

実際に通信可能なボーレートは、ソフトウェアの処理に依存しますが、ボーレート 115200bps で使用する場合は、SYSCLK が 16MHz の理想的な状態で DLR=8 の設定で通信可能です。
但し、実際のボーレートとの誤差が、数%以下である必要があります。

【注意】
除数 (DLR[15:0]) を1に設定することはできません。0⑴停止⑴もしくは、2 以上の値を設定してください。

SYSCLK、DLR とボーレートの関係は以下のようになります。

ボーレート (bps)	SYSCLK	UF0CAJ4-0 (Hex)	DLR (Hex)	**誤差**[*1] (%)
2400	16MHz	0D	0181	0.09～0.10
4800			00C0	-0.16
9600			0060	-0.16
19200			0030	-0.16
38400			0018	-0.16
57600			0010	-0.18～0.08
115200			0008	-0.21～0.08

*1: **誤差の値はクロックの誤差は含まれていません。**SYSCLK **の誤差を考慮して使用して下さい。**

14.3.4 FIFO モード

受信用 FIFO と受信割込みが共にイネーブルになっている時、受信割込みは以下に示すように発生します。

(A) FIFO に存在するキャラクタの数がプログラムされたトリガレベルを超えると、受信データ読み出し要求割込みが発生します。この割込みは、FIFO に存在するキャラクタの数がトリガレベル以下に下がると直ちにクリアされます。

(B) UAF0IIR の受信データ読み出し要求表示も、受信データ読み出し要求割込みと同様に、FIFO 中に存在するキャラクタの数がトリガレベルを超えると“1”にセットされ、キャラクタの数がトリガレベル以下に下がると“0”にクリアされます。

(C) 受信データエラー割込みは、受信データ読み出し要求割込みよりも高い優先度を持ちます。

(D) 受信データ読み出し要求フラグは、受信シフトレジスタから FIFO にデータが転送されると、すぐに“1”にセットされ、FIFO が空になると“0”にクリアされます。

受信用 FIFO と受信割込みが共にイネーブルになっている時、キャラクタタイムアウト割込みは以下のように発生します。

(A) 以下に示すような条件が成立している時に、キャラクタタイムアウト割込みが発生します。

- 少なくとも 1 個のキャラクタが FIFO に存在する。
- 最後にキャラクタが受信されてから、少なくとも 4 キャラクタを転送する分の時間が経過している (2 ストップビットを指定している場合には、最初のストップビット以降の時間を計算する) 。
- 最後に受信用 FIFO が読まれてから、少なくとも 4 キャラクタ分を転送する分の時間が経過している。

1 スタートビット+8 キャラクタビット+1 パリティビット+2 ストップビットの場合、300 ボーの転送速度ならば、この時間は約 160ms となります。

(B) キャラクタタイムの計算に使用されるクロックは SYSCLK です。

(C) FIFO からキャラクタが読み出されると、キャラクタタイムアウト割込みと、タイムアウト検出用のタイマがクリアされます。

(D) キャラクタタイムアウト割込みが発生していない場合には、タイムアウト検出用のタイマは、FIFO からキャラクタが読み出されるか、または新しいキャラクタが受信されたときにクリアされます。

送信部と送信 FIFO 割込みがイネーブルされた場合、次のように送信割込みが生じます。

(A) 送信用 FIFO が空の時、送信データ書き込み要求割込みが発生します。この割込みは送信用 FIFO にキャラクタが書き込まれるか、UAnIIR が読み出されるとクリアされます。

(B) 送信データ書き込み要求割込みの発生は以下の条件が成り立つときには、1 キャラクタ分の送信時間－最後のストップビットの時間だけ遅延されます。

- 最後に THRE (送信データ書き込み要求) がセットされてから以降、FIFO の中に 1 キャラクタしか存在しない期間があった場合。
- THRE がセットされた場合。

【注意】
送信 FIFO が空の状態でも、送信処理が全て完了していない場合があります。高速クロックを停止(STOP/DEEP-HALT/HALT-H などのモードへ移行)する前に UAF0LSR レジスタの UF0TEMT ビットにて送信用のシフトレジスタ (TSR) が空になったことを確認して下さい。

14.3.5 FIFO ポールモード

FIFO がイネーブルになっており、かつ UAF0IER の UF0ELSI, UF0ETBEI, UF0ERBFI が全て 0 の場合、FIFO ポールモードで動作します。受信部と送信部は独立に制御出来るため、別々に FIFO ポールモードにすることができます。
FIFO ポールモードでは、 (割込みが発生しないため) 、受信部や送信部の状態は UAnLSR を読み出すことにより確認しなければなりません。

- 受信用 FIFO に少なくとも 1 個のキャラクタが存在することは、UF0DR が“1”にセットされていることで確認できます。
- UF0PER が“0”にクリアされており、キャラクタの受信に伴いエラーが検出されても割込みは発生しません。また UAF0IIR の値にもエラーの発生状況が反映されません。従って、エラーの種別は UF0BI, UF0FER, UF0PER, UF0OER の値により確認する必要があります。
- 送信用 FIFO が空であることは UF0THRE が“1”にセットされていることにより知ることができます。
- 送信用 FIFO 及び送信用シフトレジスタの両方が空であることは UF0TEMT が“1”にセットされていることにより知ることができます。
- 受信時にエラー検出されたキャラクタが受信用 FIFO 中に存在することは UF0RFE が“1”にセットされていることにより知ることができます。

FIFO ポールモードでは、FIFO は動作しますが、トリガレベルやタイムアウトの検出は (割込みの発生によってしか通知されないため) 行われません。

14.3.6 エラーステータス

(a) オーバランエラー
次のキャラクタが RBR に送信されて、前のキャラクタに上書きされる前に、RBR のデータを読み取らなかったことを示します。
このとき、UAF0LSR の UF0OER がセットされます。

(b) パリティエラー
受信したデータのパリティと、受信したパリティビットが一致しなかったことを示します。このとき、UAF0LSR の UF0PER がセットされます。
ただし、パリティが有効である時のみ発生します。
FIFO モードでは、先頭のデータに対してエラーがあることを示し、FIFO の先頭ではないデータでパリティエラーが発生しても、UAF0LSR の UF0PER には反映されません。

(c) フレーミングエラー
受信したキャラクタに有効なストップビットがないことを示します。最後のデータビットやパリティビットの後のストップビットが“0”(スペーシングレベル) の時発生します。
このとき、UAF0LSR の UF0FER がセットされます。
FIFO モードでは、FIFO の特定のキャラクタと関連しています。UF0FER はキャラクタが FIFO の先頭に来たときエラーがあることを示します。

(d) ブレーク割込み
受信した入力データが 1 フレームの送信の間 (スタートビット+データビット+パリティビット+ストップビット) 、スペーシング (“0”) 状態に保持されていたことを示します。
このとき、UAF0LSR レジスタの UF0BI がセットされます。
FIFO モードでは、FIFO の特定のキャラクタと関連しています。UF0BI はブレークキャラクタが FIFO の先頭に来たことを示します。

14.3.7 ブロックコントロールによる初期化の注意事項

BLKCON23 レジスタの DUAF0 ビットにより,ブロックをリセットする場合、下記に注意して下さい。
DUAF0 ビットを”1”にセットして、再度 DUAF0 ビットを”0”にすることでリセットを完了します。
通信中に DUAF0 ビットを”1”にセットした場合、TXD は不定です。リセットを完了すると H 状態になります。
また、DUAF0 ビットを”0”に設定した後、本ブロックのレジスタへのアクセスまで NOP を 2 つ入れるなど 2 命令空けて下さい。

第 15 章　I^2C バスインタフェース

15 I²C バスインタフェース

15.1 概要

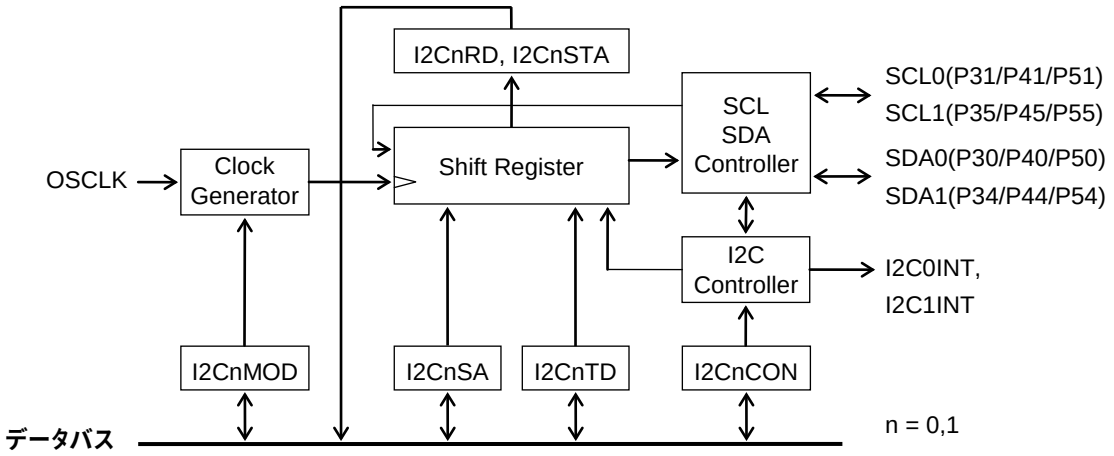
I²C バスインタフェースは、I²C バスのマスタデバイスとして動作し、スレーブデバイスと通信を行うことが可能です。
本 LSI は、I²C バスインタフェースを 2 チャンネル内蔵しています。
I²C バスインタフェースデータ入出力端子、I²C バスインタフェースクロック入出力端子は、ポート 3, 4, 5 の 2 次機能として割り付けられています。ポート 3, 4, 5 に関しては「第 20 章 ポート 3」、「第 21 章 ポート 4」、「第 22 章 ポート 5」を参照して下さい。

15.1.1 特長

- マスタ機能 (マルチマスタ、ストレッチ非対応)
- 通信速度は、標準モード (100kbps)、ファーストモード (400kbps) の 2 種類を選択可能。
- 7 ビットアドレスフォーマット (10 ビットアドレス対応可能)

15.1.2 構成

図 15-1 に I²C バスインタフェースの構成を示します。



I2CnRD :I²C バス n 受信データレジスタ
I2CnSA :I²C バス n スレーブアドレスレジスタ
I2CnTD :I²C バス n 送信データレジスタ
I2CnCON :I²C バス n コントロールレジスタ
I2CnMOD :I²C バス n モードレジスタ
I2CnSTA :I²C バス n ステータスレジスタ

図 15-1 I²C バスインタフェースの構成

15.1.3 端子一覧

端子名	入出力	機能
SDAn	I/O	I²C バスインタフェースデータ入出力端子
SCLn	I/O	I²C バスインタフェースクロック入出力端子

15.2 レジスタ説明

15.2.1 レジスター覧

アドレス [H]	名称	略称 (Byte)	略称 (Word)	R/W	サイズ	初期値 [H]
0F740	I²C バス 0 受信データレジスタ	I2C0RD	ー	R	8	00
0F742	I²C バス 0 スレーブアドレスレジスタ	I2C0SA	ー	R/W	8	00
0F744	I²C バス 0 送信データレジスタ	I2C0TD	ー	R/W	8	00
0F746	I²C バス 0 コントロールレジスタ	I2C0CON0	I2C0CON	R/W	8/16	00
0F747		I2C0CON1		R/W	8	00
0F748	I²C バス 0 モードレジスタ	I2C0MODL	I2C0MOD	R/W	8/16	00
0F749		I2C0MODH		R/W	8	02
0F74A	I²C バス 0 ステータスレジスタ	I2C0STAL	I2C0STA	R	8/16	00
0F74B		I2C0STAH		R	8	00
0F750	I²C バス 1 受信データレジスタ	I2C1RD	ー	R	8	00
0F752	I²C バス 1 スレーブアドレスレジスタ	I2C1SA	ー	R/W	8	00
0F754	I²C バス 1 送信データレジスタ	I2C1TD	ー	R/W	8	00
0F756	I²C バス 1 コントロールレジスタ	I2C1CON0	I2C1CON	R/W	8/16	00
0F757		I2C1CON1		R/W	8	00
0F758	I²C バス 1 モードレジスタ	I2C1MODL	I2C1MOD	R/W	8/16	00
0F759		I2C1MODH		R/W	8	02
0F75A	I²C バス 1 ステータスレジスタ	I2C1STAL	I2C1STA	R	8/16	00
0F75B		I2C1STAH		R	8	00

15.2.2 I²C バス n 受信データレジスタ (I2CnRD : n=0,1)

アドレス：0F740H(I2C0RD), 0F750H(I2C1RD)
アクセス：R
アクセスサイズ：8 ビット
初期値：00H

	7	6	5	4	3	2	1	0
I2CnRD	I2nR7	I2nR6	I2nR5	I2nR4	I2nR3	I2nR2	I2nR1	I2nR0
R/W	R	R	R	R	R	R	R	R
初期値	0	0	0	0	0	0	0	0

I2CnRD は、受信データを格納する読み出し専用の特殊機能レジスタ (SFR) です。
I2CnRD は、受信終了毎に更新されます。

ビットの説明

- **I2nR7-0**（ビット 7～0）
  I2nR7-0 は、受信データが格納されるビットです。スレーブアドレスの送信時、およびデータ送受信時に SCL 端子の信号立ち上がりエッジに同期して SDA 端子の信号を受信します。データ受信時に加え、スレーブアドレスデータ送信時およびデータ送信時にも SDA 端子および SCL 端子に出力されたデータを受信するため、送信データが確実に送信されたかを確認することが可能です。

15.2.3 I²C バス n スレーブアドレスレジスタ (I2CnSA : n=0,1)

アドレス：0F742H(I2C0SA), 0F752H(I2C1SA)
アクセス：R/W
アクセスサイズ：8 ビット
初期値：00H

	7	6	5	4	3	2	1	0
I2CnSA	I2nA6	I2nA5	I2nA4	I2nA3	I2nA2	I2nA1	I2nA0	I2nRW
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

I2CnSA は、スレーブデバイスのアドレスと送受信モードを設定する特殊機能レジスタ (SFR) です。

ビットの説明

- **I2nRW** （ビット 0）
  I2nRW は、データ送信モード（書き込み）、データ受信モード（読み出し）を選択するビットです。

I2nRW	説明
0	**データ送信モード（初期値）**
1	**データ受信モード**

- **I2nA6-0** （ビット 7～1）
  I2nA6-0 は、通信相手のアドレスを設定するビットです。

15.2.4 I²C バス n 送信データレジスタ (I2CnTD : n=0,1)

アドレス：0F744H(I2C0TD), 0F754H(I2C1TD)
アクセス：R/W
アクセスサイズ：8 ビット
初期値：00H

	7	6	5	4	3	2	1	0
I2CnTD	I2nT7	I2nT6	I2nT5	I2nT4	I2nT3	I2nT2	I2nT1	I2nT0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

I2CnTD は、送信データを設定する特殊機能レジスタ (SFR) です。

ビットの説明

- **I2nT7-0**（ビット 7～0）
  I2nT7-0 は、送信データを設定するビットです。

15.2.5 I²C バス n コントロールレジスタ (I2CnCON : n=0,1)

アドレス：0F746H(I2C0CON0/I2C0CON), 0F747H(I2C0CON1),
0F756H(I2C1CON0/I2C1CON), 0F757H(I2C1CON1)
アクセス：R/W
アクセスサイズ：8/16 ビット
初期値：0000H

	7	6	5	4	3	2	1	0
I2CnCON0	I2nACT	–	–	–	–	I2nRS	I2nSP	I2nST
R/W	R/W	R/W	R/W	R/W	R/W	W	W	R/W
初期値	0	0	0	0	0	0	0	0

	15	14	13	12	11	10	9	8
I2CnCON1	–	–	–	–	–	–	–	–
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

I2CnCON は、送受信動作を制御する特殊機能レジスタ (SFR) です。

ビットの説明

- **I2nST** （ビット 0）
  I2nST は、I²C バスインタフェースの通信動作を制御するビットです。I2nST を“1”にすると通信が開始されます。アクノリッジ送受信後のコントロールレジスタ設定待ち状態で I2nST に“1”を上書きすると通信を再開します。また、I2nST を“0”にすると強制的に通信が停止します。
  I2nST は、I²C バスインタフェース動作許可状態 (I2nEN=“1”) の場合のみ“1”にする事が可能です。
  I2nSP ビットを”1”にすると、I2nST は”0”になります。

I2nST	説明
0	**通信停止（初期値）**
1	**通信開始**

- **I2nSP** （ビット 1）
  I2nSP は、ストップコンディションを要求する書き込み専用のビットです。I2nSP を”1”にするとストップコンディションに移行し通信を停止します。I2nSP は、読み出すと常に”0”が読み出されます。

I2nSP	説明
0	**ストップコンディション要求なし（初期値）**
1	**ストップコンディション要求**

- **I2nRS** （ビット 2）
  I2nRS は、再スタートを要求する書き込み専用のビットです。データ通信中に“1”にすると再スタートコンディションに移行し、再度スレーブアドレスから通信を再開します。I2nRS は、通信動作中（I2nST =“1”の時）のみ“1”にする事が可能です。I2nRS は、読み出すと常に“0”が読み出されます。

I2nRS	説明
0	**再スタート要求なし（初期値）**
1	**再スタート要求**

・ **I2nACT**（ビット 7）
I2nACT は、受信終了時に出力するアクノリッジ信号を設定するビットです。

I2nACT	説明
0	アクノリッジデータ“0”（初期値）
1	アクノリッジデータ“1”

15.2.6 I²C バス n モードレジスタ (I2CnMOD : n=0,1)

アドレス：0F748H(I2C0MODL/ I2C0MOD), 0F749H(I2C0MODH),
0F758H(I2C1MODL/ I2C1MOD), 0F759H(I2C1MODH)
アクセス：R/W
アクセスサイズ：8/16 ビット
初期値：0200H

	7	6	5	4	3	2	1	0
I2CnMODL	—	—	—	—	I2nDW1	I2nDW0	I2nMD	I2nEN
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

	15	14	13	12	11	10	9	8
I2CnMODH	–	–	–	–	–	–	I2nCD1	I2nCD0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	1	0

*)I2nEN=0 のとき、I2CnMODH は常時”00”H が読み出されます。
I2CnMOD は、動作モードを設定する特殊機能レジスタ (SFR) です。

ビットの説明

・ **I2nEN** （ビット 0）
I2nEN は、I²C バスインタフェースの動作を許可するビットです。I2nEN が“1”の場合のみ I2nST ビットの設定が可能となり、I2Cn バスが利用できるようになります。I2nEN を”0”にすると、I²C バス n 関連の全ての SFR(I2CnMODH レジスタを除く)が初期化されます。

I2nEN	説明
0	I²C **動作停止（初期値）**
1	I²C **動作許可**

【注意】
I2nEN ビットを”1”にセットする前に、端子の設定をしてください。

・ **I2nMD** （ビット 1）
I2nMD は、I²C バスインタフェースの通信速度を設定するビットです。通常モードとファーストモードが選択可能です。通信速度は、周波数コントロールレジスタ（FCON0）の SYSC2、SYSC1、SYSC0 ビットの設定値によって変動します。詳細は、「表 15-1 OSCLK と通信速度の関係」を参照してください。

I2nMD	説明
0	**標準モード（初期値）** / 100kbps
1	**ファーストモード**/ 400kbps

【注意】
I²C の動作周波数が 4MHz 時に、通信速度が 100kbps/400kbps になるように設定されています。I²C の動作周波数は I2nCD0、I2nCD1 で設定してください。

・ **I2nDW1-0** （ビット 3～2）
I2nDW1-0 は、I²C バスインタフェースの通信速度の低下率を設定するビットです。通信速度が 100kbps/400kbps を超えないように設定します。

I2nDW1	I2nDW0	説明
0	0	**通信速度低下なし（初期値）**
0	1	**通信速度** 10%**低下**
1	0	**通信速度** 20%**低下**
1	1	**通信速度** 30%**低下**

・ **I2nCD1-0** （ビット 9～8）
I2nCD1-0 は、I2C の動作周波数を設定するビットです。設定値は、OSCLK の分周値を設定します。I2C に入力されるクロックは、必ず 4MHz 以下になるようにしてください。4MHz を超える分周設定を行った場合の動作は保証しません。表 15-1 に OSCLK と I2nCD1-0 の設定値および通信速度の関係を示します。

I2nCD1	I2nCD0	説明
0	0	OSCLK
0	1	1/2OSCLK
1	0	1/4OSCLK（**初期値**）
1	1	**設定禁止**

表 15-1 OSCLK と通信速度の関係

OSCLK	I2nCD1	I2nCD0	I2C **動作周波数**	**標準モード**	**ファーストモード**
16MHz	0	0	**設定禁止**	**－**	**－**
	0	1	**設定禁止**	**－**	**－**
	1	0	4MHz	100kbps	400kbps
	1	1	**設定禁止**	**－**	**－**
8MHz	0	0	**設定禁止**	**－**	**－**
	0	1	4MHz	100kbps	400kbps
	1	0	2MHz	50kbps	200kbps
	1	1	**設定禁止**	**－**	**－**
4MHz	0	0	4MHz	100kbps	400kbps
	0	1	2MHz	50kbps	200kbps
	1	0	1MHz	25kbps	100kbps
	1	1	**設定禁止**	**－**	**－**

【注意】
I²C 通信中に本ビットを変更しないでください。変更した場合の動作は保証できません。

15.2.7 I²C バス n ステータスレジスタ (I2CnSTA : n=0,1)

アドレス：0F74AH(I2C0STAL/ I2C0STA), 0F74BH(I2C0STAH),
0F75AH(I2C1STAL/ I2C1STA), 0F75BH(I2C1STAH)
アクセス：R
アクセスサイズ：8/16 ビット
初期値：0000H

	7	6	5	4	3	2	1	0
I2CnSTAL	–	–	–	–	–	I2nER	I2nACR	–
R/W	R	R	R	R	R	R	R	R
初期値	0	0	0	0	0	0	0	0

	15	14	13	12	11	10	9	8
I2CnSTAH	–	–	–	–	–	–	–	–
R/W	R	R	R	R	R	R	R	R
初期値	0	0	0	0	0	0	0	0

I2CnSTA は、I²C バスインタフェースの状態を示す読み出し専用の特殊機能レジスタ (SFR) です。

ビットの説明

- **I2nACR**（ビット 1）
  I2nACR は、受信したアクノリッジが格納されるビットです。スレーブアドレスの送信、およびデータ送受信終了毎にアクノリッジ信号を受信します。また、I2nACR は、I2CnMOD の I2nEN ビットが“0”の場合に“0”になります。

I2nACR	説明
0	**アクノリッジ”0”を受信（初期値）**
1	**アクノリッジ”1”を受信**

- **I2nER**（ビット 2）
  I2nER は、送信エラーを示すフラグです。送信したビットと SDA 端子の値が一致しなかった場合に“1”になります。I2nER が“1”になっても以降のバイトデータ通信終了まで SDA 端子出力を継続します。
  I2nER は、I2CnCON に書き込み動作を行うと“0”になります。また、I2nER は、I2CnMOD の I2nEN ビットを“0”にすると“0”になります。

I2nER	説明
0	**送信エラー無し（初期値）**
1	**送信エラー有り**

15.3 動作説明

15.3.1 通信動作モード

I²C バス n モードレジスタ (I2CnMOD) により通信モードを選択し、また I2nEN ビットにより I²C 機能を許可状態にし、I²C バス n スレーブアドレスレジスタ (I2CnSA) にスレーブアドレス、データ通信方向を設定し、I²C バス n コントロールレジスタ (I2CnCON) の I2nST ビットに“1”を書き込むとスタートコンディションより通信が開始されます。

15.3.1.1 スタートコンディション

通信停止中（I2nST ビットが“0”の状態）に、I²C バス n コントロールレジスタ (I2CnCON) の I2nST ビットに“1”を書き込むと通信が開始され、SDA、SCL 端子にスタートコンディション波形を出力します。
スタートコンディション実行後はスレーブアドレス送信モードに移行します。

15.3.1.2 再スタートコンディション

通信中（I2nST ビットが“1”の状態）に、I²C バス n コントロールレジスタ (I2CnCON) の I2nRS ビットと I2nST ビットに“1”を書き込むと、SDA、SCL 端子に再スタートコンディション波形を出力します。
再スタートコンディション実行後はスレーブアドレス送信モードに移行します。

15.3.1.3 スレーブアドレス送信モード

スレーブアドレス送信モードでは、I²C バス n スレーブアドレスレジスタ (I2CnSA) の値（スレーブアドレス、データ通信方向）が MSB ファーストで送信され、最後に I²C バス n ステータスレジスタ (I2CnSTA) の I2nACR ビットにアクノリッジを受信します。
アクノリッジ受信が終了すると、I²C バス n コントロールレジスタ (I2CnCON) 設定待ち状態（コントロールレジスタ設定待ち状態）に移行します。
SDA 端子から出力した I2CnSA の値は I2CnRD に格納されます。

15.3.1.4 データ送信モード

データ送信モードでは、I2CnTD の値が MSB ファーストで送信され、最後に I²C バス n ステータスレジスタ (I2CnSTA) の I2nACR ビットにアクノリッジを受信します。
アクノリッジ受信が終了すると、I²C バス n コントロールレジスタ (I2CnCON) 設定待ち状態（コントロールレジスタ設定待ち状態）に移行します。
SDA 端子から出力した I2CnTD の値は I2CnRD に格納されます。

15.3.1.5 データ受信モード

データ受信モードでは、SDA 端子に入力された値を、SCL 端子に出力されたシリアルクロックの立ち上がりエッジに同期して受信され、最後に I²C バス n コントロールレジスタ (I2CnCON) の I2nACT ビットの値を出力します。
アクノリッジ送信が終了すると、I²C バス n コントロールレジスタ (I2CnCON) 設定待ち状態（コントロールレジスタ設定待ち状態）に移行します。
受信したデータは、アクノリッジ出力後、I2CnRD に格納されます。また出力したアクノリッジも I²C バス n ステータスレジスタ (I2CnSTA) の I2nACR ビットに受信されます。

15.3.1.6 コントロールレジスタ設定待ち状態

コントロールレジスタ設定待ち状態に移行すると、I²C バス n インタフェース割込み (I2CnINT) を発生します。
コントロールレジスタ設定待ち状態では、I²C バス n ステータスレジスタ (I2CnSTA) の送信エラーフラグ (I2nER)、アクノリッジ受信データ (I2nACR) を確認し、データ受信時は I2CnRD の内容を CPU に読み込み、次の動作モードを選択します。
コントロールレジスタ設定待ち状態中に I2nST ビットに“1”を書き込むとデータ送信モード、もしくはデータ受信モードに移行します。I2nSP ビットに“1”を書き込むとストップコンディションに移行します。また、I2nRS ビットに“1”を書き込むと再スタートコンディションに移行します。

15.3.1.7 ストップコンディション

ストップコンディションでは、SDA、SCL 端子にストップコンディション波形を出力します。ストップコンディション波形出力後に、I²C バス n インタフェース割込み (I2CnINT) を発生します。

15.3.2 通信動作タイミング

図 15-2～4 に、各通信モードの動作タイミング、および制御方法を示します。

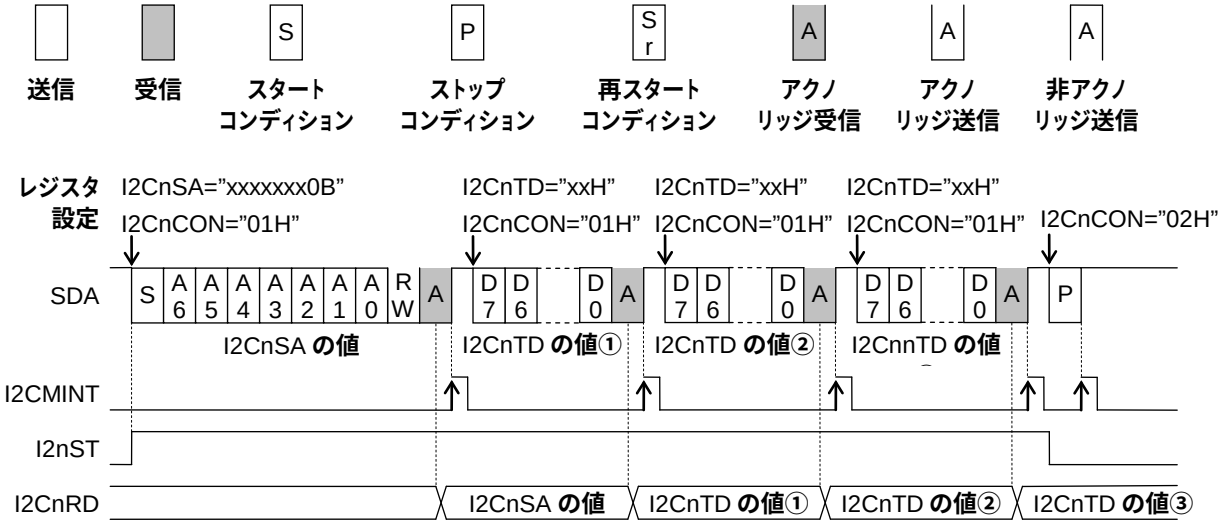


図 15-2 データ送信モード（書き込み）時の動作タイミング

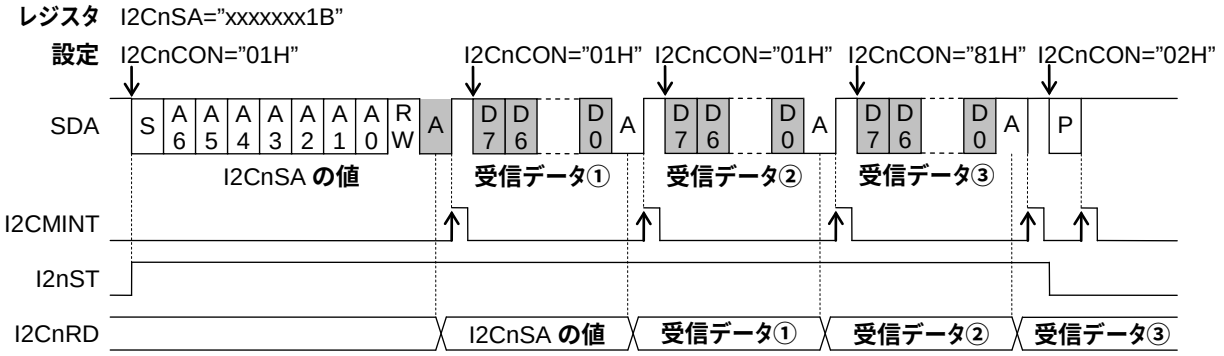


図 15-3 データ受信モード（読み込み）時の動作タイミング

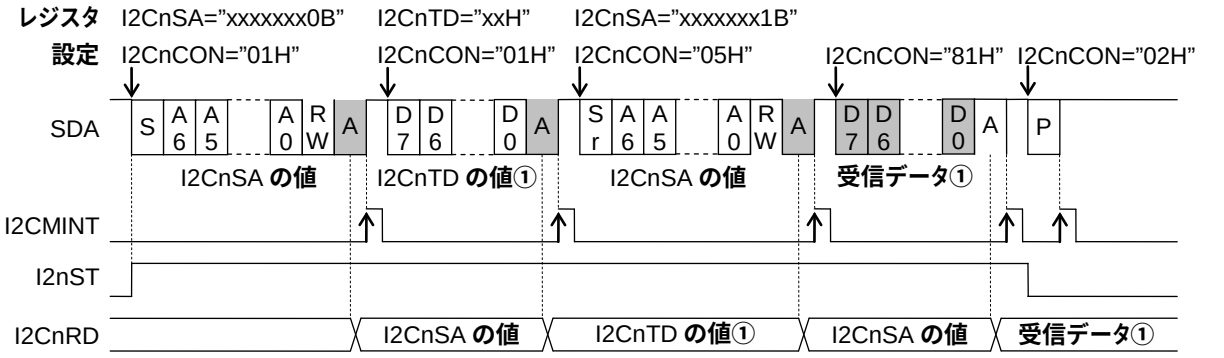


図 15-4 データ送受信モード（書き込み／読み込み）切り替え時の動作タイミング

図 15-5 にアクノリッジエラー発生時の動作タイミング、および制御方法を示します。

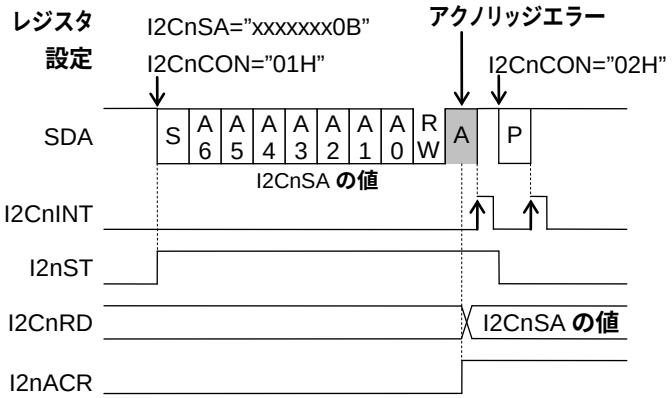


図 15-5 アクノリッジエラー発生時の途中停止動作タイミング

送信したビットと SDA 端子の値が一致しなかった場合は、I²C バス n ステータスレジスタ (I2CnSTA) の I2nER ビットが"1"になり、以降のバイトデータ通信終了まで SDA 端子出力が継続されます。
図 15-6 に送信失敗時の動作タイミング、および制御方法を示します。

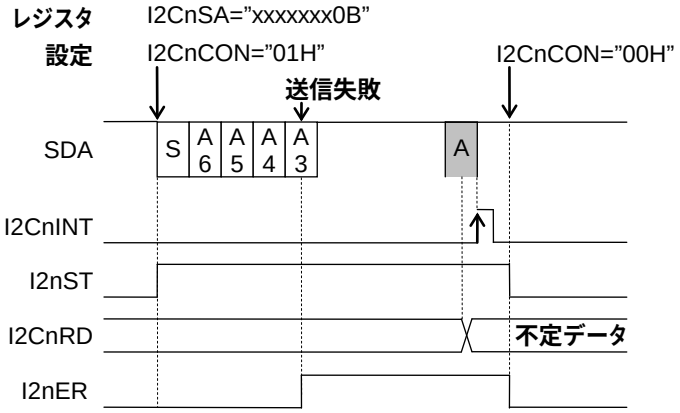


図 15-6 送信失敗時の動作タイミング

15.3.3 動作波形

図 15-7 に、SDA,SCL 信号の動作波形を示します。また、表 15-2 に通信速度と 1/mOSCCLK クロック数の関係を示します。

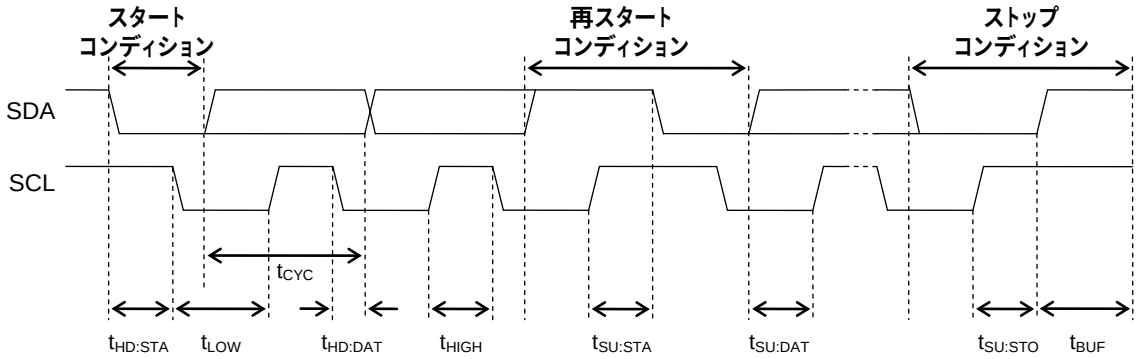


図 15-7 SDA、SCL 信号の動作波形

表 15-2 通信速度と OSCLK クロック数の関係

通信速度 (I2nSP)	速度低下 (I2nDW1,0)	t_{CYC}	$t_{HD:STA}$	t_{LOW}	$t_{HD:DAT}$	t_{HIGH}	$t_{SU:STA}$	$t_{SU:DAT}$	$t_{SU:STO}$	t_{BUF}
標準モード 100kbps	低下なし	40φ	18φ	22φ	4φ	18φ	22φ	18φ	18φ	22φ
	10%低下	44φ	20φ	24φ	4φ	20φ	24φ	20φ	20φ	24φ
	20%低下	48φ	22φ	26φ	4φ	22φ	26φ	22φ	22φ	26φ
	30%低下	52φ	24φ	28φ	4φ	24φ	28φ	24φ	24φ	28φ
ファースト モード 400kbps	低下なし	10φ	4φ	6φ	2φ	4φ	6φ	4φ	4φ	6φ
	10%低下	11φ	4φ	7φ	2φ	4φ	7φ	5φ	4φ	7φ
	20%低下	12φ	5φ	7φ	2φ	5φ	7φ	5φ	5φ	7φ
	30%低下	13φ	5φ	8φ	2φ	5φ	8φ	6φ	5φ	8φ

φ: 1/mOSCLK のクロック周期
m: I2CnMOD レジスタの I2nCD1,0 ビットの設定によります。

【注意】
1/mOSCLK のクロック数は、1/mOSCLK が 4MHz 時に通信速度が 100kbps/400kbps になるように設定されています。

15.3.4 端子設定について

I²C 機能を動作させるには関連する各ポートレジスタのビットを設定する必要があります。各レジスタの機能詳細については、第 20 章「ポート 3」、第 21 章「ポート 4」、第 22 章「ポート 5」を参照してください。SCLn、SDAn は、複数のポートから選択することが可能です。
ポートを選択するときは、SCL/SDA は、必ず以下の組み合わせで使用してください。

	I²C 端子	組み合わせ 1	組み合わせ 2	組み合わせ 3
I²C0	SCL0,SDA0	P31,P30	P41,P40	P51,P50
I²C1	SCL1,SDA1	P35,P34	P45,P44	P55,P54

またポートとして選択できるのは、1 つのポートのみです。

第 16 章　ポート XT

16 ポート XT

16.1 概要

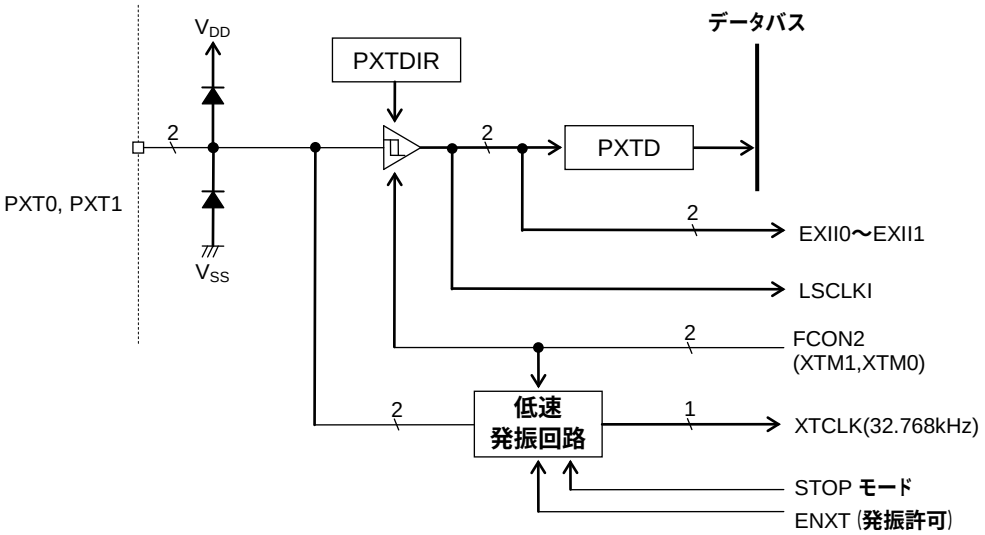
本 LSI は、2 ビットの入力ポート XT (PXT0, PXT1) を内蔵しています。
また、外部割込み入力、低速クロック発振端子もしくは低速クロック入力端子となります。
低速クロック発振端子として使用する場合は、FCON2 レジスタの XTM1～0 ビットで水晶発振モードを選択することで PXT1 端子が出力端子として機能します。FCON2 レジスタならびに低速水晶発振と外部クロック入力については、「第 6 章 クロック発生回路」を参照してください。

16.1.1 特長

- ハイインピーダンス入力として使用可能。
- 外部割込み端子（EXII0～EXII1）もしくは低速クロック発振端子、もしくは低速クロック入力端子として使用可能。

16.1.2 構成

図 16-1 に、ポート XT の構成を示します。



PXTD ：ポート XT データレジスタ
PXTDIR ：ポート XT ディレクションレジスタ

図 16-1 ポート XT の構成

16.1.3 端子一覧

端子名	入出力	1 次機能
PXT0/EXII0/XT0	I	入力ポート、外部割込み、低速クロック発振端子
PXT1/EXII1/XT1/LSCLKI	I/O	入力ポート、外部割込み、低速クロック発振端子、低速クロック入力端子

16.2 レジスタ説明

16.2.1 レジスター覧

アドレス [H]	名称	略称 (Byte)	略称 (Word)	R/W	サイズ	初期値 [H]
0F208	ポート XT データレジスタ	PXTD	ー	R	8	端子状態に依存
0F209	ポート XT ディレクションレジスタ	PXTDIR	ー	R/W	8	00

16.2.2 ポート XT データレジスタ (PXTD)

アドレス：0F208H
アクセス：R
アクセスサイズ：8 ビット
初期値：端子状態に依存

	7	6	5	4	3	2	1	0
PXTD	—	—	—	—	—	—	PXT1D	PXT0D
R/W	R	R	R	R	R	R	R	R
初期値	0	0	0	0	0	0	X	X

PXTD は、ポート XT 端子の入力レベルを読み出すための読み出し専用の特殊機能レジスタ (SFR) です。

ビットの説明

・ **PXT1-0D**（ビット 1～0）
PXT1-0D は、ポート XT 端子のレベルを読み出すビットです。

PXT0D	説明
0	PXT0 **端子の入力レベルが**"L"**レベル**
1	PXT0 **端子の入力レベルが**"H"**レベル**

PXT1D	説明
0	PXT1 **端子の入力レベルが**"L"**レベル**
1	PXT1 **端子の入力レベルが**"H"**レベル**

16.2.3 ポート XT ディレクションレジスタ (PXTDIR)

アドレス：0F209H
アクセス：R/W
アクセスサイズ：8 ビット
初期値：00H

	7	6	5	4	3	2	1	0
PXTDIR	—	—	—	—	—	—	—	PXT01DIR
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

PXTD は、ポート XT 端子の入力ポート機能を有効にするための特殊機能レジスタ (SFR) です。

ビットの説明

・ **PXT01DIR**（ビット 0）
PXTDIR は、ポート XT 端子の入力ポート機能を有効にするためのビットです。

PXT01DIR	説明
0	PXT0,PXT1 **端子の入力ポート無効（初期値)**
1	PXT0,PXT1 **端子の入力ポート有効**

注意
本ビットで入力ポート有効にした場合、PXT0,PXT1 両方の端子が入力ポート機能として使用可能になります。これらの端子には、プルアップ/プルダウン機能がありませんので、片方のみ使用する場合、使用しない端子は、LSI 外部で、Vdd もしくは Vss に固定してください。

16.3 動作説明

16.3.1 入力ポート機能

ポート XT の各端子は、システムリセット時の初期状態として入力が無効に選択されます。
ポート XT ディレクションレジスタ (PXTDIR)で、ポート XT の端子を入力状態に設定することにより、ポート XT データレジスタ (PXTD) を読み出すことで、ポート XT 端子の入力レベルが読み出せます。

16.3.2 入力ポート以外の 1 次機能

ポート XT には、入力ポート以外の 1 次機能として、低速クロック発振端子もしくは低速クロック入力端子、外部割込みが割り付けられています。
周波数コントロールレジスタ 0 (FCON2) の XTM1, XTM0 ビットを水晶発振モードに設定することで、低速水晶発振モードもしくは外部クロック入力モードが選択されます。
低速水晶発振モードでは、PXT0、PXT1 端子の 2 本を水晶発振用の端子として使用します。
外部クロック入力モードでは、PXT1 端子を外部クロックの入力端子として使用します。この時、PXT0 端子は、入力無効状態になります。
低速クロック発振端子もしくは低速クロック入力端子として使用する場合は、該当するポートを入力ポート無効状態に設定してください。
外部割込み入力(EXII0～EXII1)として使用する場合は、該当するポートを入力ポート有効状態に設定し、外部割込み選択レジスタ(EXI01SEL)で、外部割込みとして使用するための設定を行ってください。

	PXTDIR 設定	FCON2 設定	PXT0 端子	PXT1 端子
水晶発振	0	1	**水晶発振**	**水晶発振**
外部クロック	0	3	**入力無効**	**外部クロック入力**
入力ポート/外部割込み	1	2	**汎用入力端子/外部割込み**	**汎用入力端子/外部割込み**

第 17 章　ポート 0

17 ポート 0

17.1 概要

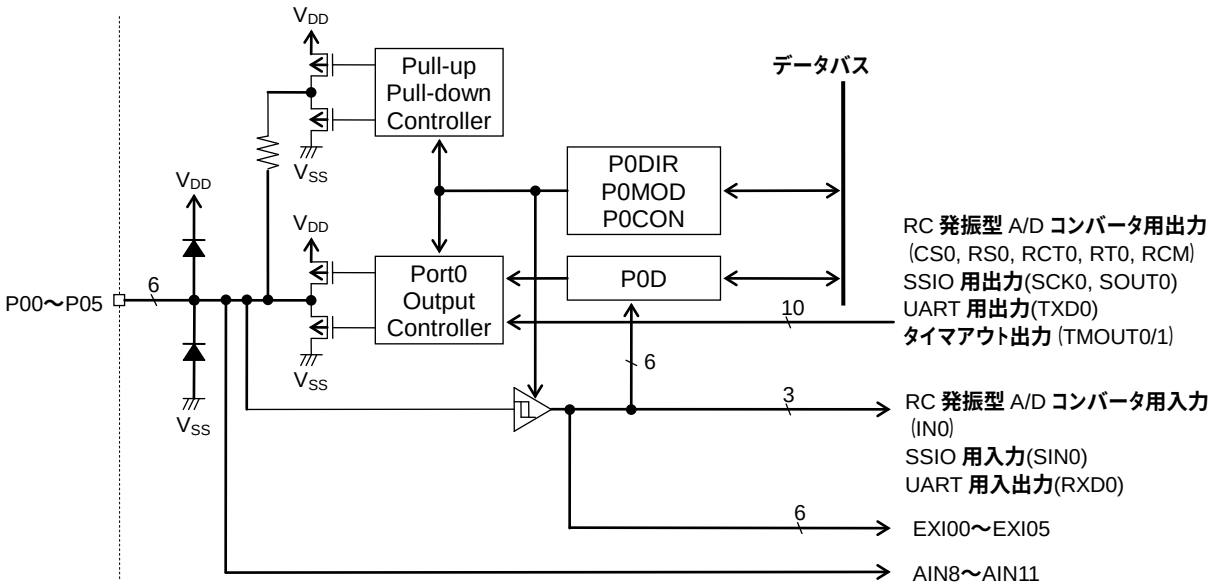
本 LSI は、6 ビットの入出力ポート 0 (P00～P05) を内蔵しています。
また、外部割込み入力、逐次比較型 A/D コンバータ入力の他に、RC 発振型 A/D コンバータ、同期式シリアルポート、UART、タイマアウト出力端子となります。
逐次比較型 A/D コンバータについては「第 25 章 逐次比較型 A/D コンバータ」を、RC 発振型 A/D コンバータについては「第 24 章 RC 発振型 A/D コンバータ」を、同期式シリアルポートについては「第 11 章 同期式シリアルポート」を、UART については「第 13 章 UART」を、タイマアウト出力については「第 9 章 多機能タイマ（FTM）」を参照してください。

17.1.1 特長

- 出力モード時、ビット毎に、ハイインピーダンス出力、Pch オープンドレイン出力、Nch オープンドレイン出力、および CMOS 出力が選択可能。
- 入力モード時、ビット毎に、ハイインピーダンス入力、プルダウン抵抗付き入力、プルアップ抵抗付き入力が選択可能。
- 外部割込み端子（EXI00, EXI01, EXI02, EXI03, EXI04, EXI05）、逐次比較型 A/D コンバータ用入力端子（AIN8, AIN9, AIN10, AIN11）、RC 発振型 A/D コンバータ（IN0, CS0, RS0, RCT0, RT0, RCM）、同期式シリアルポート用端子 (SIN0, SCK0, SOUT0)、UART 用端子 (RXD0, TXD0) 、タイマアウト端子（TMOUT0/1）が使用可能。

17.1.2 構成

図 17－1 に、ポート 0 の構成を示します。



P0D ：ポート 0 データレジスタ
P0DIR ：ポート 0 ディレクションレジスタ
P0CON ：ポート 0 コントロールレジスタ
P0MOD ：ポート 0 モードレジスタ

図 17－1 ポート 0 の構成

17.1.3 端子一覧

端子名	入出力	1 次機能	2 次機能	3 次機能	4 次機能
P00/EXI00/AIN8/ IN0/ SOUT0/ RXD0	I/O	入出力ポート 外部割込み端子 逐次比較型 A/D コンバータ入力端子 AIN8	RC 発振型 A/D コンバータ入力端子 IN0	同期式シリアルデータ出力端子 SOUT0	UART データ入力端子 RXD0
P01/EXI01/AIN9/ CS0/ SIN0/ TXD0	I/O	入出力ポート 外部割込み端子 逐次比較型 A/D コンバータ入力端子 AIN9	RC 発振型 A/D コンバータ出力端子 CS0	同期式シリアルデータ入力端子 SIN0	UART データ出力端子 TXD0
P02/EXI02/AIN10/ RCT0/ SCK0/ TMOUT0	I/O	入出力ポート 外部割込み端子 逐次比較型 A/D コンバータ入力端子 AIN10	RC 発振型 A/D コンバータ出力端子 RCT0	同期式シリアルクロック入出力端子 SCK0	タイマアウト出力端子 TMOUT0
P03/EXI03/AIN11/ RS0/ TMOUT1	I/O	入出力ポート 外部割込み端子 逐次比較型 A/D コンバータ入力端子 AIN11	RC 発振型 A/D コンバータ出力端子 RS0	–	タイマアウト出力端子 TMOUT1
P04/EXI04/ RT0	I/O	入出力ポート 外部割込み端子	RC 発振型 A/D コンバータ出力端子 RT0	–	–
P05/EXI05/ RCM	I/O	入出力ポート 外部割込み端子	RC 発振型 A/D コンバータ出力端子 RCM	–	–

17.2 レジスタ説明

17.2.1 レジスター覧

アドレス [H]	名称	略称 (Byte)	略称 (Word)	R/W	サイズ	初期値 [H]
0F210	ポート 0 データレジスタ	P0D	ー	R/W	8	00
0F211	ポート 0 ディレクションレジスタ	P0DIR	ー	R/W	8	00
0F212	ポート 0 コントロールレジスタ	P0CON0	P0CON	R/W	8/16	00
0F213		P0CON1		R/W	8	00
0F214	ポート 0 モードレジスタ	P0MOD0	P0MOD	R/W	8/16	00
0F215		P0MOD1		R/W	8	00

17.2.2 ポート 0 データレジスタ (P0D)

アドレス：0F210H
アクセス：R/W
アクセスサイズ：8 ビット
初期値：00H

	7	6	5	4	3	2	1	0
P0D	–	–	P05D	P04D	P03D	P02D	P01D	P00D
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

P0D は、ポート 0 端子への出力値を設定またはポート 0 端子の入力レベルを読み出すための特殊機能レジスタ (SFR) です。 出力モード時には、本レジスタの値がポート 0 端子へ出力されます。P0D に書き込んだ値は読み出し可能です。
入力モード時には、P0D を読み出すとポート 0 端子の入力レベルが読み出されます。
出力モードと入力モードは後述のポートモードレジスタ(P0DIR)にて選択します。

ビットの説明

・ **P05-00D**（ビット 5～0）
P05-00D は、出力モード時はポート 0 端子の出力値を設定するビットで、入力モード時はポート 0 の端子レベルを読み出すビットです。

P00D	説明
0	P00 端子の出力または入力レベルが"L"レベル
1	P00 端子の出力または入力レベルが"H"レベル

P01D	説明
0	P01 端子の出力または入力レベルが"L"レベル
1	P01 端子の出力または入力レベルが"H"レベル

P02D	説明
0	P02 端子の出力または入力レベルが"L"レベル
1	P02 端子の出力または入力レベルが"H"レベル

P03D	説明
0	P03 端子の出力または入力レベルが"L"レベル
1	P03 端子の出力または入力レベルが"H"レベル

P04D	説明
0	P04 端子の出力または入力レベルが"L"レベル
1	P04 端子の出力または入力レベルが"H"レベル

P05D	説明
0	P05 端子の出力または入力レベルが"L"レベル
1	P05 端子の出力または入力レベルが"H"レベル

17.2.3 ポート 0 ディレクションレジスタ (P0DIR)

アドレス：0F211H
アクセス：R/W
アクセスサイズ：8 ビット
初期値：00H

	7	6	5	4	3	2	1	0
P0DIR	–	–	P05DIR	P04DIR	P03DIR	P02DIR	P01DIR	P00DIR
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

P0DIR は、ポート 0 の入出力モードを選択する特殊機能レジスタ (SFR) です。

ビットの説明

・ **P05-00DIR**（ビット 5～0）
P05-00DIR は、ポート 0 端子の入出力モードを選択するビットです。

P00DIR	説明
0	P00 端子は出力（初期値）
1	P00 端子は入力

P01DIR	説明
0	P01 端子は出力（初期値）
1	P01 端子は入力

P02DIR	説明
0	P02 端子は出力（初期値）
1	P02 端子は入力

P03DIR	説明
0	P03 端子は出力（初期値）
1	P03 端子は入力

P04DIR	説明
0	P04 端子は出力（初期値）
1	P04 端子は入力

P05DIR	説明
0	P05 端子は出力（初期値）
1	P05 端子は入力

17.2.4 ポート 0 コントロールレジスタ(P0CON)

アドレス：0F212H
アクセス：R/W
アクセスサイズ：8/16 ビット
初期値：0000H

	7	6	5	4	3	2	1	0
P0CON0	–	–	P05C0	P04C0	P03C0	P02C0	P01C0	P00C0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

	15	14	13	12	11	10	9	8
P0CON1	–	–	P05C1	P04C1	P03C1	P02C1	P01C1	P00C1
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

P0CON0, P0CON1 は、ポート 0 端子の出力状態を選択する特殊機能レジスタ (SFR) です。各状態は出力モード時と入力モード時で異なります。出力と入力は P0DIR レジスタで選択します。

ビットの説明

- **P05-00C0**（ビット 5～0）**, P05-00C1**（ビット 13～8）
  P05-00C0, P05-00C1 は、出力モード時にはハイインピーダンス出力、Pch オープンドレイン出力、Nch オープンドレイン出力、および CMOS 出力を、入力モード時にはハイインピーダンス入力、プルダウン抵抗付き入力、プルアップ抵抗付き入力を選択するビットです。

P00 端子の設定		出力モード選択時（P00DIR ビット="0"）	入力モード選択時（P00DIR ビット="1"）
P00C1	**P00C0**	説明	
0	0	ハイインピーダンス出力（初期値）	ハイインピーダンス入力
0	1	Pch オープンドレイン出力	プルダウン抵抗付き入力
1	0	Nch オープンドレイン出力	プルアップ抵抗付き入力
1	1	CMOS 出力	ハイインピーダンス入力

P01 端子の設定		出力モード選択時（P01DIR ビット="0"）	入力モード選択時（P01DIR ビット="1"）
P01C1	**P01C0**	説明	
0	0	ハイインピーダンス出力（初期値）	ハイインピーダンス入力
0	1	Pch オープンドレイン出力	プルダウン抵抗付き入力
1	0	Nch オープンドレイン出力	プルアップ抵抗付き入力
1	1	CMOS 出力	ハイインピーダンス入力

P02 端子の設定		出力モード選択時（P02DIR ビット="0"）	入力モード選択時（P02DIR ビット="1"）
P02C1	**P02C0**	説明	
0	0	ハイインピーダンス出力（初期値）	ハイインピーダンス入力
0	1	Pch オープンドレイン出力	プルダウン抵抗付き入力
1	0	Nch オープンドレイン出力	プルアップ抵抗付き入力
1	1	CMOS 出力	ハイインピーダンス入力

P03 端子の設定		出力モード選択時 (P03DIR ビット="0")	入力モード選択時 (P03DIR ビット="1")
P03C1	**P03C0**	説明	
0	0	ハイインピーダンス出力 (初期値)	ハイインピーダンス入力
0	1	Pch オープンドレイン出力	プルダウン抵抗付き入力
1	0	Nch オープンドレイン出力	プルアップ抵抗付き入力
1	1	CMOS 出力	ハイインピーダンス入力

P04 端子の設定		出力モード選択時 (P04DIR ビット="0")	入力モード選択時 (P04DIR ビット="1")
P04C1	**P04C0**	説明	
0	0	ハイインピーダンス出力 (初期値)	ハイインピーダンス入力
0	1	Pch オープンドレイン出力	プルダウン抵抗付き入力
1	0	Nch オープンドレイン出力	プルアップ抵抗付き入力
1	1	CMOS 出力	ハイインピーダンス入力

P05 端子の設定		出力モード選択時 (P05DIR ビット="0")	入力モード選択時 (P05DIR ビット="1")
P05C1	**P05C0**	説明	
0	0	ハイインピーダンス出力 (初期値)	ハイインピーダンス入力
0	1	Pch オープンドレイン出力	プルダウン抵抗付き入力
1	0	Nch オープンドレイン出力	プルアップ抵抗付き入力
1	1	CMOS 出力	ハイインピーダンス入力

17.2.5 ポート 0 モードレジスタ(P0MOD)

アドレス:0F214H
アクセス:R/W
アクセスサイズ:8/16 ビット
初期値:0000H

	7	6	5	4	3	2	1	0
P0MOD0	–	–	P05MD0	P04MD0	P03MD0	P02MD0	P01MD0	P00MD0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

	15	14	13	12	11	10	9	8
P0MOD1	–	–	P05MD1	P04MD1	P03MD1	P02MD1	P01MD1	P00MD1
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

P0MOD0, P0MOD1 は、ポート 0 の 1 次機能、2 次機能、3 次機能、4 次機能を選択する特殊機能レジスタ (SFR) です。

ビットの説明

- **P00MD1-0** (ビット 8,0)
  P00MD1-0 は、P00 端子の 1 次機能、2 次機能、3 次機能、4 次機能を選択するビットです。

P00MD1	**P00MD0**	説明
0	0	**汎用入出力モード、外部割込みモード (初期値)**
0	1	RC **発振型** A/D **コンバータの** RC **発振波形入力モード** (IN0)
1	0	**同期式シリアルポートデータ出力モード** (SOUT0)
1	1	UART **データ入力モード** (RXD0)

- **P01MD1-0** (ビット 9,1)
  P01MD1-0 は、P01 端子の 1 次機能、2 次機能、3 次機能、4 次機能を選択するビットです。

P01MD1	**P01MD0**	説明
0	0	**汎用入出力モード、外部割込みモード (初期値)**
0	1	RC **発振型** A/D **コンバータの基準容量接続モード** (CS0)
1	0	**同期式シリアルポートデータ入力モード** (SIN0)
1	1	UART **データ出力モード** (TXD0)

- **P02MD1-0** (ビット 10,2)
  P02MD1-0 は、P02 端子の 1 次機能、2 次機能、3 次機能、4 次機能を選択するビットです。

P02MD1	**P02MD0**	説明
0	0	**汎用入出力モード、外部割込みモード (初期値)**
0	1	RC **発振型** A/D **コンバータの測定用抵抗センサ接続モード** (RCT0)
1	0	**同期式シリアルポートクロック入出力モード** (SCK0)
1	1	**タイマアウト出力モード** (TMOUT0)

・ **P03MD1-0**（ビット 11,3）
P03MD1-0 は、P03 端子の 1 次機能、2 次機能、3 次機能、4 次機能を選択するビットです。

P03MD1	P03MD0	説明
0	0	**汎用入出力モード、外部割込みモード（初期値）**
0	1	RC **発振型** A/D **コンバータの基準抵抗接続モード**（RS0）
1	0	**使用禁止**
1	1	**タイマアウト出力モード**（TMOUT1）

・ **P04MD1-0**（ビット 12,4）
P04MD1-0 は、P04 端子の 1 次機能、2 次機能、3 次機能、4 次機能を選択するビットです。

P04MD1	P04MD0	説明
0	0	**汎用入出力モード、外部割込みモード（初期値）**
0	1	RC **発振型** A/D **コンバータの測定用抵抗/容量センサ接続モード**（RT0）
1	0	**使用禁止**
1	1	**使用禁止**

・ **P05MD1-0**（ビット 13,5）
P05MD1-0 は、P05 端子の 1 次機能、2 次機能、3 次機能、4 次機能を選択するビットです。

P05MD1	P05MD0	説明
0	0	**汎用入出力モード、外部割込みモード（初期値）**
0	1	RC **発振型** A/D **コンバータの** RC **発振モニタモード**（RCM）
1	0	**使用禁止**
1	1	**使用禁止**

【注意】
“使用禁止”に設定しかつ出力モードが選択されている場合（ポート 0 コントロールレジスタで選択）、ポート 0 の出力端子状態は、ポートデータレジスタ P0D のデータに関わらず以下のように固定されます。

ハイインピーダンス出力選択時：出力端子はハインピーダンス
Pch オープンドレイン出力選択時：出力端子はハインピーダンス
Nch オープンドレイン出力選択時：出力端子は”L”固定
CMOS 出力選択時：出力端子は”L”固定

17.3 動作説明

17.3.1 入出力ポート機能

ポート 0 の各端子は、ポート 0 ディレクションレジスタ (P0DIR) を設定して、出力と入力のいずれかを選択します。
出力モード時は、ポート 0 コントロールレジスタ 0, 1 (P0CON0, P0CON1) を設定して、ハイインピーダンス出力モード、Pch オープンドレイン出力モード、Nch オープンドレイン出力モード、および CMOS 出力モードのいずれかを選択します。
入力モード時は、ポート 0 コントロールレジスタ 0, 1 (P0CON0, P0CON1) を設定して、ハイインピーダンス入力モード、プルダウン抵抗付き入力モード、プルアップ抵抗付き入力モードのいずれかを選択します。
システムリセット時には、初期状態としてハイインピーダンス出力モードが選択されます。
出力モード時には、ポート 0 データレジスタ (P0D) に設定した値により、ポート 0 各端子に“L”レベルもしくは“H”レベルが出力されます。
入力モード時には、ポート 0 データレジスタ (P0D) からポート 0 各端子の入力レベルが読み出せます。

17.3.2 入出力ポート以外の 1 次機能

ポート 0 には、入出力ポート以外の 1 次機能として、逐次比較型 A/D コンバータ入力（AIN8～AIN11）、外部割込み入力（EXI00～EXI05）が割り付けられます。
逐次比較型 A/D コンバータ入力（AIN8～AIN11）として使用する場合は、該当するポートをハイインピーダンス出力に設定してください。
外部割込み入力(EXI00～EXI05)として使用する場合は、該当するポートを入力状態に設定してください。

17.3.3 2 次機能～4 次機能

ポート 0 には、2 次機能～4 次機能として RC 発振型 A/D コンバータ用端子（IN0,CS0,RS0,RCT0,RT0,RCM）、同期式シリアルポート用端子 (SIN0, SCK0, SOUT0)、UART 用端子(RXD0, TXD0)およびタイマアウト出力（TMOUT0/1）が割り付けられています。ポート 0 モードレジスタ (P0MOD0, P0MOD1) の P05MD0～P00MD0, P05MD1～P00MD1 ビットを設定することで、各 2～4 次機能モードとして使用できます。
2 次機能として RC-ADC を使用する際は、P00～P05 をハイインピーダンス入力および RC 発振型 A/D コンバータモードに設定して下さい。

第 18 章　ポート 1

18 ポート 1

18.1 概要

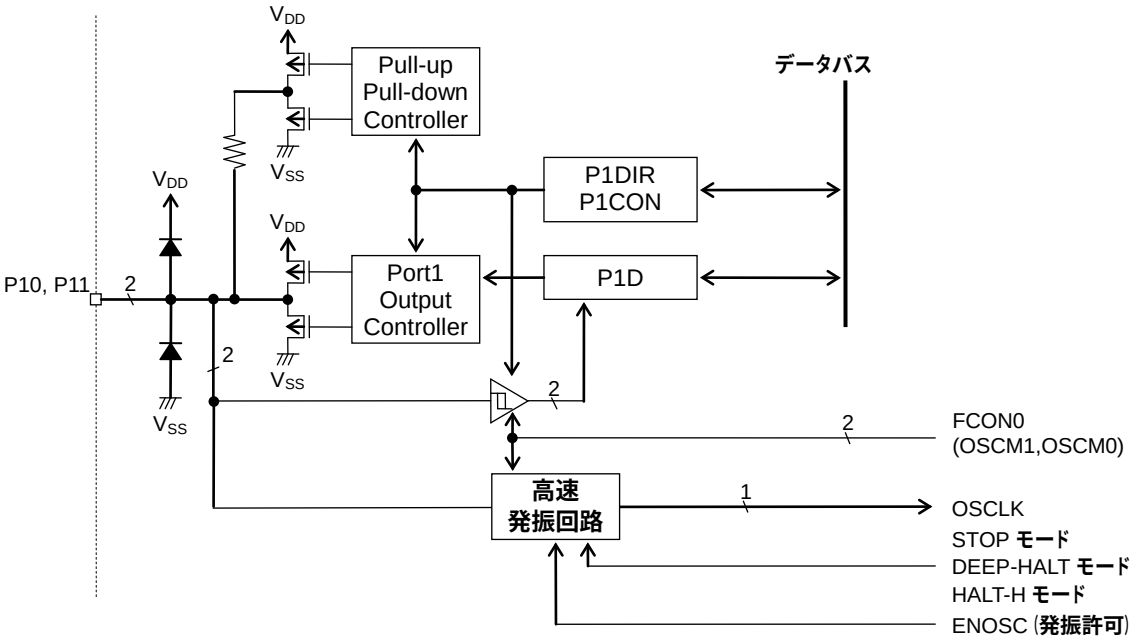
本 LSI は、2 ビットの入出力ポート 1 (P10, P11) を内蔵しています。
また、高速水晶/セラミック発振端子もしくは外部クロック入力端子となります。
高速発振端子として使用する場合は、FCON0 レジスタの OSCM1～0 ビットで水晶/セラミック発振モードを選択することで P11 端子が出力端子として機能します。FCON0 レジスタならびに高速発振と外部クロック入力については、「第 6 章 クロック発生回路」を参照してください。

18.1.1 特長

- 出力モード時、ビット毎に、ハイインピーダンス出力、Pch オープンドレイン出力、Nch オープンドレイン出力、および CMOS 出力が選択可能。
- 入力モード時、ビット毎に、ハイインピーダンス入力、プルダウン抵抗付き入力、プルアップ抵抗付き入力が選択可能。
- 高速水晶/セラミック発振端子、もしくは外部クロック入力端子として使用可能。

18.1.2 構成

図 18-1 に、ポート 1 の構成を示します。



P1D ：ポート 1 データレジスタ
P1DIR ：ポート 1 ディレクションレジスタ
P1CON ：ポート 1 コントロールレジスタ

図 18-1 ポート 1 の構成

18.1.3 端子一覧

端子名	入出力	1 次機能
P10/OSC0	I/O	入出力ポート 高速水晶/セラミック発振端子
P11/OSC1/ CLKIN	I/O	入出力ポート 高速水晶/セラミック発振端子、外部クロック入力端子

18.2 レジスタ説明

18.2.1 レジスター覧

アドレス [H]	名称	略称 (Byte)	略称 (Word)	R/W	サイズ	初期値 [H]
0F218	ポート 1 データレジスタ	P1D	ー	R/W	8	00
0F219	ポート 1 ディレクションレジスタ	P1DIR	ー	R/W	8	00
0F21A	ポート 1 コントロールレジスタ	P1CON0	P1CON	R/W	8/16	00
0F21B		P1CON1		R/W	8	00

18.2.2 ポート 1 データレジスタ (P1D)

アドレス：0F218H
アクセス：R/W
アクセスサイズ：8 ビット
初期値：00H

	7	6	5	4	3	2	1	0
P1D	–	–	–	–	–	–	P11D	P10D
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

P1D は、ポート 1 端子への出力値を設定またはポート 1 端子の入力レベルを読み出すための特殊機能レジスタ (SFR) です。 出力モード時には、本レジスタの値がポート 1 端子へ出力されます。P1D に書き込んだ値は読み出し可能です。
入力モード時には、P1D を読み出すとポート 1 端子の入力レベルが読み出されます。
出力モードと入力モードは後述のポートディレクションレジスタ(P1DIR)にて選択します。

ビットの説明

・ **P11-10D**（ビット 1～0）
P11-10D は、ポート 1 端子のレベルを読み出すビットです。

P10D	説明
0	P10 端子の出力または入力レベルが"L"レベル
1	P10 端子の出力または入力レベルが"H"レベル

P11D	説明
0	P11 端子の出力または入力レベルが"L"レベル
1	P11 端子の出力または入力レベルが"H"レベル

18.2.3 ポート 1 ディレクションレジスタ (P1DIR)

アドレス：0F219H
アクセス：R/W
アクセスサイズ：8 ビット
初期値：00H

	7	6	5	4	3	2	1	0
P1DIR	–	–	–	–	–	–	P11DIR	P10DIR
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

P1DIR は、ポート 1 の入出力モードを選択する特殊機能レジスタ (SFR) です。

ビットの説明

・ **P11-10DIR**（ビット 1～0）
P11-10DIR は、ポート 1 端子の入出力モードを選択するビットです。

P10DIR	説明
0	P10 端子は出力（初期値）
1	P10 端子は入力

P11DIR	説明
0	P11 端子は出力（初期値）
1	P11 端子は入力

18.2.4 ポート 1 コントロールレジスタ(P1CON)

アドレス：0F21AH
アクセス：R/W
アクセスサイズ：8/16 ビット
初期値：0000H

	7	6	5	4	3	2	1	0
P1CON0	–	–	–	–	–	–	P11C0	P10C0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

	15	14	13	12	11	10	9	8
P1CON1	–	–	–	–	–	–	P11C1	P10C1
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

P1CON0, P1CON1 は、ポート 1 端子の出力状態を選択する特殊機能レジスタ (SFR) です。各状態は出力モード時と入力モード時で異なります。出力と入力は P1DIR レジスタで選択します。

ビットの説明

- **P11-10C0** (ビット 1～0) **, P11-10C1** (ビット 9～8)
  P11-10C0, P11-10C1 は、出力モード時にはハイインピーダンス出力、Pch オープンドレイン出力、Nch オープンドレイン出力、および CMOS 出力を、入力モード時にはハイインピーダンス入力、プルダウン抵抗付き入力、プルアップ抵抗付き入力を選択するビットです。

P10 端子の設定		出力モード選択時 (P10DIR ビット="0")	入力モード選択時 (P10DIR ビット="1")
P10C1	**P10C0**	説明	
0	0	ハイインピーダンス出力 (初期値)	ハイインピーダンス入力
0	1	Pch オープンドレイン出力	プルダウン抵抗付き入力
1	0	Nch オープンドレイン出力	プルアップ抵抗付き入力
1	1	CMOS 出力	ハイインピーダンス入力

P11 端子の設定		出力モード選択時 (P11DIR ビット="0")	入力モード選択時 (P11DIR ビット="1")
P11C1	**P11C0**	説明	
0	0	ハイインピーダンス出力 (初期値)	ハイインピーダンス入力
0	1	Pch オープンドレイン出力	プルダウン抵抗付き入力
1	0	Nch オープンドレイン出力	プルアップ抵抗付き入力
1	1	CMOS 出力	ハイインピーダンス入力

18.3 動作説明

18.3.1 入出力ポート機能

ポート 1 の各端子は、ポート 1 ディレクションレジスタ (P1DIR)を設定して、出力と入力のいずれかを選択します。
出力モード時は、ポート 1 コントロールレジスタ 0, 1 (P1CON0, P1CON1)を設定して、ハイインピーダンス出力モード、Pch オープンドレイン付き出力モード、Nch オープンドレイン付き出力モードおよび CMOS 出力モードのいずれかを選択します。
入力モード時は、ポート 1 コントロールレジスタ 0, 1 (P1CON0, P1CON1)を設定して、ハイインピーダンス入力モード、プルダウン抵抗付き入力モード、プルアップ抵抗付き入力モードのいずれかを選択します。
システムリセット時には、初期状態としてハイインピーダンス出力モードが選択されます。
出力モード時には、ポート 1 データレジスタ (P1D) に設定した値により、ポート 1 各端子に”L”レベルもしくは”H”レベルが出力されます。
入力モード時には、ポート 1 データレジスタ (P1D) を読み出すことで、ポート 1 端子の入力レベルが読み出せます。

18.3.2 入出力ポート以外の 1 次機能

ポート 1 には、入力ポート以外の 1 次機能として、高速水晶/セラミック発振端子もしくは外部クロック入力端子が割り付けられています。周波数コントロールレジスタ 0 (FCON0) の OSCM1, OSCM0 ビットを水晶/セラミック発振モードに設定することで、高速水晶発振モードもしくは外部クロック入力モードが選択されます。
高速水晶発振モードでは、P10、P11 端子の 2 本を水晶発振/セラミック用の端子として使用します。
外部クロック入力モードでは、P11 端子を外部クロックの入力端子として使用できます。
低速水晶発振端子もしくは外部クロック入力端子として使用する場合は、該当するポートをハイインピーダンス出力状態に設定してください。

第 19 章　ポート 2

19 ポート 2

19.1 概要

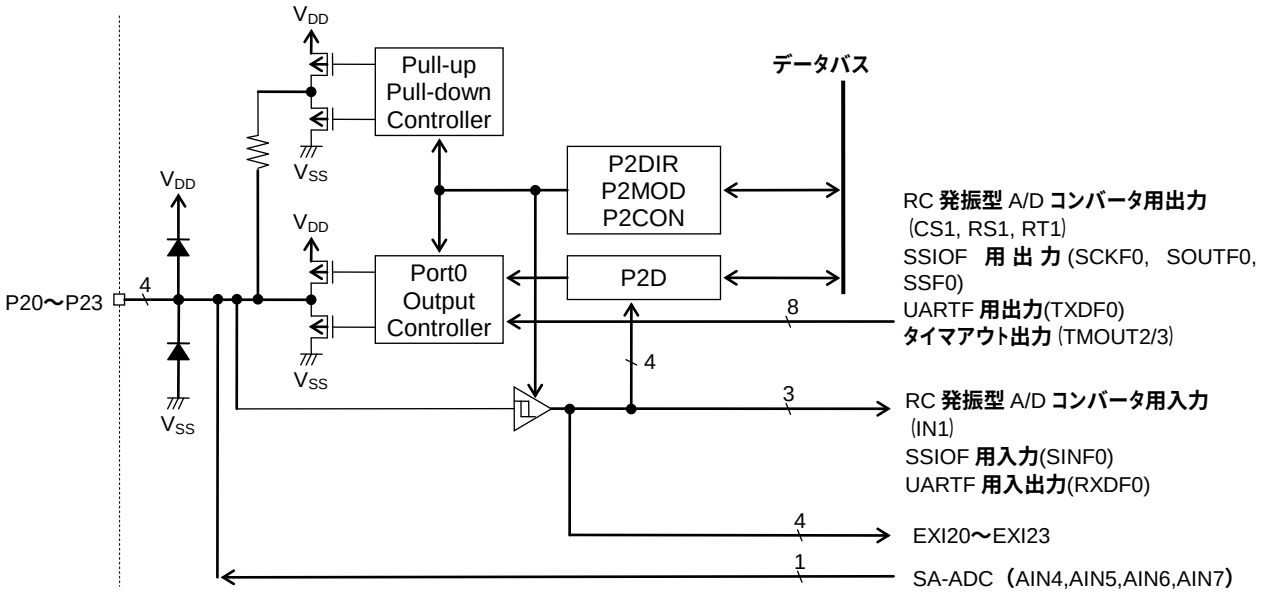
本 LSI は、4 ビットの入出力ポートのポート 2 (P20～P23) を内蔵しています。
また、外部割込み、逐次比較型 A/D コンバータ入力の他に、2～4 次機能として、RC 発振型 A/D コンバータ、FIFO 付き同期式シリアルポート、FIFO 付き UART、タイマ出力用端子となります。
逐次比較型 A/D コンバータについては「第 25 章 逐次比較型 A/D コンバータ」を、RC 発振型 A/D コンバータについては「第 24 章 RC 発振型 A/D コンバータ」を、FIFO 付き同期式シリアルポートについては「第 12 章 FIFO 付き同期式シリアルポート」を、FIFO 付き UART については「第 14 章 FIFO 付き UART」を、タイマアウト出力については「第 9 章 多機能タイマ（FTM）」を参照してください。

19.1.1 特長

- 出力モード時、ビット毎に、ハイインピーダンス出力、Pch オープンドレイン出力、Nch オープンドレイン出力、および CMOS 出力が選択可能。
- 入力モード時、ビット毎に、ハイインピーダンス入力、プルダウン抵抗付き入力、プルアップ抵抗付き入力が選択可能。
- 外部割込み端子（EXI20, EXI21, EXI22, EXI23）、逐次比較型 A/D コンバータ用入力端子（AIN4, AIN5, AIN6, AIN7）、RC 発振型 A/D コンバータ用端子（IN1, CS1, RS1, RT1）、FIFO 付き同期式シリアルポート用端子 (SINF0, SCKF0, SOUTF0,SSF0)、FIFO 付き UART 用端子 (RXDF0, TXDF0) 、タイマアウト用端子（TMOUT2/3）として使用可能。

19.1.2 構成

図 19－1 に、ポート 2 の構成を示します。



P2D ：ポート 2 データレジスタ
P2DIR ：ポート 2 ディレクションレジスタ
P2CON ：ポート 2 コントロールレジスタ
P2MOD ：ポート 2 モードレジスタ

図 19－1 ポート 2 の構成

19.1.3 端子一覧

端子名	入出力	1 次機能	2 次機能	3 次機能	4 次機能
P20/EXI20/AIN4/ IN1/ SOUTF0/ RXDF0	I/O	入出力ポート 外部割込み端子 逐次比較型 A/D コンバータ入力端子 AIN4	RC 発振型 A/D コンバータ 入力端子 IN1	FIFO 付き同期式 シリアルデータ出力端子 SOUTF0	FIFO 付き UART データ入力端子 RXDF0
P21/EXI21/AIN5/ CS1/ SINF0/ TXDF0	I/O	入出力ポート 外部割込み端子 逐次比較型 A/D コンバータ入力端子 AIN5	RC 発振型 A/D コンバータ 出力端子 CS1	FIFO 付き同期式 シリアル データ入力端子 SINF0	FIFO 付き UART データ出力端子 TXDF0
P22/EXI22/AIN6/ RS1/ SCKF0/ TMOUT2	I/O	入出力ポート 外部割込み端子 逐次比較型 A/D コンバータ入力端子 AIN6	RC 発振型 A/D コンバータ 出力端子 RS1	FIFO 付き同期式 シリアルクロック 入出力端子 SCKF0	タイマアウト出力 端子 TMOUT2
P23/EXI23/AIN7/ RT1/ SSF0/ TMOUT3	I/O	入出力ポート 外部割込み端子 逐次比較型 A/D コンバータ入力端子 AIN7	RC 発振型 A/D コンバータ 出力端子 RT1	FIFO 付き同期式 シリアルイネーブル入出力端子 SSF0	タイマアウト出力 端子 TMOUT3

19.2 レジスタ説明

19.2.1 レジスター覧

アドレス [H]	名称	略称 (Byte)	略称 (Word)	R/W	サイズ	初期値 [H]
0F220	ポート 2 データレジスタ	P2D	ー	R/W	8	00
0F221	ポート 2 ディレクションレジスタ	P2DIR	ー	R/W	8	00
0F222	ポート 2 コントロールレジスタ	P2CON0	P2CON	R/W	8/16	00
0F223		P2CON1		R/W	8	00
0F224	ポート 2 モードレジスタ	P2MOD0	P2MOD	R/W	8/16	00
0F225		P2MOD1		R/W	8	00

19.2.2 ポート 2 データレジスタ (P2D)

アドレス：0F220H
アクセス：R/W
アクセスサイズ：8 ビット
初期値：00H

	7	6	5	4	3	2	1	0
P2D	–	–	–	–	P23D	P22D	P21D	P20D
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

P2D は、ポート 2 端子への出力値を設定またはポート 2 端子の入力レベルを読み出すための特殊機能レジスタ (SFR) です。 出力モード時には、本レジスタの値がポート 2 端子へ出力されます。P2D に書き込んだ値は読み出し可能です。入力モード時には、P2D を読み出すとポート 2 端子の入力レベルが読み出されます。
出力モードと入力モードは後述のポートモードレジスタ(P2DIR)にて選択します。

ビットの説明

- **P23-20D**（ビット 3～0）
  P23-20D は、出力モード時はポート 2 端子の出力値を設定するビットで、入力モード時はポート 2 の端子レベルを読み出すビットです。

P20D	説明
0	P20 端子の出力または入力レベルが"L"レベル
1	P20 端子の出力または入力レベルが"H"レベル

P21D	説明
0	P21 端子の出力または入力レベルが"L"レベル
1	P21 端子の出力または入力レベルが"H"レベル

P22D	説明
0	P22 端子の出力または入力レベルが"L"レベル
1	P22 端子の出力または入力レベルが"H"レベル

P23D	説明
0	P23 端子の出力または入力レベルが"L"レベル
1	P23 端子の出力または入力レベルが"H"レベル

19.2.3 ポート 2 ディレクションレジスタ (P2DIR)

アドレス：0F221H
アクセス：R/W
アクセスサイズ：8 ビット
初期値：00H

	7	6	5	4	3	2	1	0
P2DIR	–	–	–	–	P23DIR	P22DIR	P21DIR	P20DIR
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

P2DIR は、ポート 2 の入出力モードを選択する特殊機能レジスタ (SFR) です。

ビットの説明

・ **P23-20DIR**（ビット 3～0）
P23-20DIR は、ポート 2 端子の入出力モードを選択するビットです。

P20DIR	説明
0	P20 端子は出力（初期値）
1	P20 端子は入力

P21DIR	説明
0	P21 端子は出力（初期値）
1	P21 端子は入力

P22DIR	説明
0	P22 端子は出力（初期値）
1	P22 端子は入力

P23DIR	説明
0	P23 端子は出力（初期値）
1	P23 端子は入力

19.2.4 ポート 2 コントロールレジスタ(P2CON)

アドレス:0F222H
アクセス:R/W
アクセスサイズ:8/16 ビット
初期値:0000H

	7	6	5	4	3	2	1	0
P2CON0	–	–	–	–	P23C0	P22C0	P21C0	P20C0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

	15	14	13	12	11	10	9	8
P2CON1	–	–	–	–	P23C1	P22C1	P21C1	P20C1
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

P2CON0, P2CON1 は、ポート 2 端子の出力状態を選択する特殊機能レジスタ (SFR) です。各状態は出力モード時と入力モード時で異なります。出力と入力は P2DIR レジスタで選択します。

ビットの説明

- **P23-20C0** (ビット 3～0) , **P23-20C1** (ビット 11～8)
  P23-20C0, P23-20C1 は、出力モード時にはハイインピーダンス出力、Pch オープンドレイン出力、Nch オープンドレイン出力、および CMOS 出力を、入力モード時にはハイインピーダンス入力、プルダウン抵抗付き入力、プルアップ抵抗付き入力を選択するビットです。

P20 端子の設定		出力モード選択時 (P20DIR ビット="0")	入力モード選択時 (P20DIR ビット="1")
P20C1	**P20C0**	説明	
0	0	ハイインピーダンス出力 (初期値)	ハイインピーダンス入力
0	1	Pch オープンドレイン出力	プルダウン抵抗付き入力
1	0	Nch オープンドレイン出力	プルアップ抵抗付き入力
1	1	CMOS 出力	ハイインピーダンス入力

P21 端子の設定		出力モード選択時 (P21DIR ビット="0")	入力モード選択時 (P21DIR ビット="1")
P21C1	**P21C0**	説明	
0	0	ハイインピーダンス出力 (初期値)	ハイインピーダンス入力
0	1	Pch オープンドレイン出力	プルダウン抵抗付き入力
1	0	Nch オープンドレイン出力	プルアップ抵抗付き入力
1	1	CMOS 出力	ハイインピーダンス入力

P22 端子の設定		出力モード選択時 (P22DIR ビット="0")	入力モード選択時 (P22DIR ビット="1")
P22C1	**P22C0**	説明	
0	0	ハイインピーダンス出力 (初期値)	ハイインピーダンス入力
0	1	Pch オープンドレイン出力	プルダウン抵抗付き入力
1	0	Nch オープンドレイン出力	プルアップ抵抗付き入力
1	1	CMOS 出力	ハイインピーダンス入力

P23 端子の設定		出力モード選択時 (P23DIR ビット="0")	入力モード選択時 (P23DIR ビット="1")
P23C1	**P23C0**	説明	
0	0	ハイインピーダンス出力 (初期値)	ハイインピーダンス入力
0	1	Pch オープンドレイン出力	プルダウン抵抗付き入力
1	0	Nch オープンドレイン出力	プルアップ抵抗付き入力
1	1	CMOS 出力	ハイインピーダンス入力

19.2.5 ポート 2 モードレジスタ(P2MOD)

アドレス：0F224H
アクセス：R/W
アクセスサイズ：8/16 ビット
初期値：0000H

	7	6	5	4	3	2	1	0
P2MOD0	–	–	–	–	P23MD0	P22MD0	P21MD0	P20MD0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

	15	14	13	12	11	10	9	8
P2MOD1	–	–	–	–	P23MD1	P22MD1	P21MD1	P20MD1
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

P2MOD0, P2MOD1 は、ポート 2 の 1 次機能、2 次機能、3 次機能、4 次機能を選択する特殊機能レジスタ (SFR) です。

ビットの説明

・ **P20MD1-0** (ビット 8,0)
P20MD1-0 は、P20 端子の 1 次機能、2 次機能、3 次機能、4 次機能を選択するビットです。

P20MD1	**P20MD0**	説明
0	0	**汎用入出力モード、外部割込みモード (初期値)**
0	1	RC **発振型** A/D **コンバータの** RC **発振波形入力モード** (IN1)
1	0	FIFO **付き同期式シリアルポートデータ出力モード** (SOUTF0)
1	1	FIFO **付き** UART **データ入力モード** (RXDF0)

・ **P21MD1-0** (ビット 9,1)
P21MD1-0 は、P21 端子の 1 次機能、2 次機能、3 次機能、4 次機能を選択するビットです。

P21MD1	**P21MD0**	説明
0	0	**汎用入出力モード、外部割込みモード (初期値)**
0	1	RC **発振型** A/D **コンバータの基準容量接続モード** (CS1)
1	0	FIFO **付き同期式シリアルポートデータ入力モード** (SINF0)
1	1	FIFO **付き** UART **データ出力モード** (TXDF0)

・ **P22MD1-0** (ビット 10,2)
P22MD1-0 は、P22 端子の 1 次機能、2 次機能、3 次機能、4 次機能を選択するビットです。

P22MD1	**P22MD0**	説明
0	0	**汎用入出力モード、外部割込みモード (初期値)**
0	1	RC **発振型** A/D **コンバータの基準抵抗接続モード** (RS1)
1	0	FIFO **付き同期式シリアルポートクロック入出力モード** (SCKF0)
1	1	**タイマアウト出力モード** (TMOUT2)

・ **P23MD1-0**（ビット 11,3）
P23MD1-0 は、P23 端子の 1 次機能、2 次機能、3 次機能、4 次機能を選択するビットです。

P23MD1	P23MD0	説明
0	0	**汎用入出力モード、外部割込みモード（初期値）**
0	1	RC **発振型** A/D **コンバータの測定用抵抗/容量センサ接続モード**（RT1）
1	0	FIFO **付き同期式シリアルポートイネーブル信号入力出力モード**（SSF0）
1	1	**タイマアウト出力モード**（TMOUT3）

【注意】
“使用禁止”に設定しかつ出力モードが選択されている場合（ポート 2 コントロールレジスタで選択）、ポート 2 の出力端子状態は、ポートデータレジスタ P2D のデータに関わらず以下のように固定されます。

ハイインピーダンス出力選択時：出力端子はハインピーダンス
Pch オープンドレイン出力選択時：出力端子はハインピーダンス
Nch オープンドレイン出力選択時：出力端子は”L”固定
CMOS 出力選択時：出力端子は”L”固定

19.3 動作説明

19.3.1 入出力ポート機能

ポート 2 の各端子は、ポート 2 ディレクションレジスタ (P2DIR) を設定して、出力と入力のいずれかを選択します。
出力モード時は、ポート 2 コントロールレジスタ 0, 1 (P2CON0, P2CON1) を設定して、ハイインピーダンス出力モード、Pch オープンドレイン出力モード、Nch オープンドレイン出力モード、および CMOS 出力モードのいずれかを選択します。
入力モード時は、ポート 2 コントロールレジスタ 0, 1 (P2CON0, P2CON1) を設定して、ハイインピーダンス入力モード、プルダウン抵抗付き入力モード、プルアップ抵抗付き入力モードのいずれかを選択します。
システムリセット時には、初期状態としてハイインピーダンス出力モードが選択されます。
出力モード時には、ポート 2 データレジスタ (P2D) に設定した値により、ポート 2 各端子に“L”レベルもしくは“H”レベルが出力されます。
入力モード時には、ポート 2 データレジスタ (P2D) からポート 2 の各端子の入力レベルが読み出せます。

19.3.2 入出力ポート以外の 1 次機能

ポート 2 には、入出力ポート以外の 1 次機能として、逐次比較型 A/D コンバータ入力（AIN4～AIN7）、外部割込み入力（EXI20～EXI23）が割り付けられます。
逐次比較型 A/D コンバータ入力（AIN4～AIN7）として使用する場合は、該当するポートをハイインピーダンス出力に設定してください。
外部割込み入力(EXI20～EXI23)として使用する場合は、該当するポートを入力状態に設定してください。

19.3.3 2 次機能～4 次機能

ポート 2 には、2 次機能～4 次機能として RC 発振型 A/D コンバータ用端子（IN1,CS1,RS1,RT1）、FIFO 付き同期式シリアルポート用端子 (SINF0, SCKF0, SOUTF0)、FIFO 付き UART 用端子(RXDF0, TXDF0)およびタイマアウト用出力端子（TMOUT2/3）が割り付けられています。ポート 2 モードレジスタ (P2MOD0, P2MOD1) の P23MD0～P20MD0, P23MD1～P20MD1 ビットを設定することで、各 2～4 次機能モードとして使用できます。
2 次機能として RC-ADC を使用する際は、P20～P23 をハイインピーダンス入力および RC 発振型 A/D コンバータモードに設定して下さい。

第 20 章　ポート 3

20 ポート 3

20.1 概要

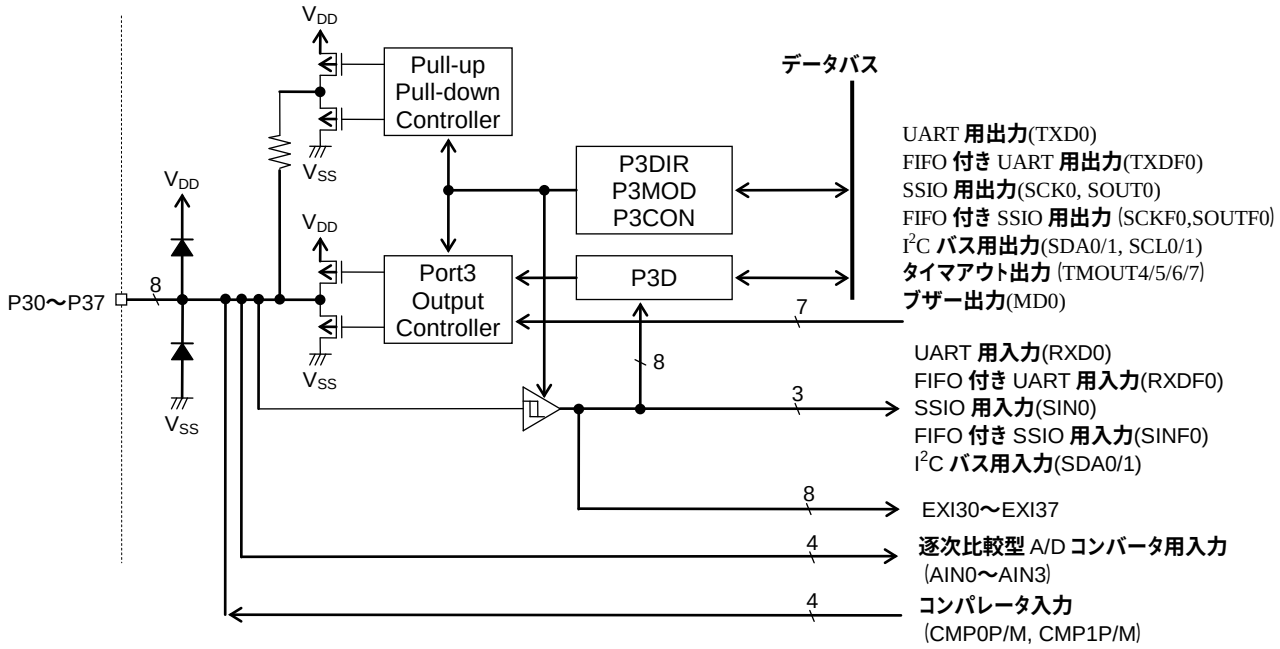
本 LSI は、8 ビットの入出力ポートのポート 3 (P30～P37) を内蔵しています。
また、外部割込み、逐次比較型A/Dコンバータ入力、コンパレータ入力の他に、2～4次機能として、I^2Cバス、ブザー出力、同期式シリアルポート、FIFO 付き同期式シリアルポート、UART、FIFO 付き UART、タイマアウト出力端子となります。
逐次比較型 A/D コンバータ入力については「第 25 章 逐次比較型 A/D コンバータ」を、コンパレータについては「第 26 章 アナログコンパレータ」を、I^2C バスについては「第 15 章 I^2C バスインタフェース」を、ブザーについては「第 23 章 メロディドライバ」を、同期式シリアルポートについては「第 11 章 同期式シリアルポート」を、FIFO 付き同期式シリアルポートについては「第 12 章 FIFO 付き同期式シリアルポート」を、UART については「第 13 章 UART」を、FIFO 付き UART については「第 14 章 FIFO 付き UART」を、タイマアウト出力については「第 9 章 多機能タイマ（FTM）」を参照してください。

20.1.1 特長

- 出力モード時、ビット毎に、ハイインピーダンス出力、Pch オープンドレイン出力、Nch オープンドレイン出力、および CMOS 出力が選択可能。
- 入力モード時、ビット毎に、ハイインピーダンス入力、プルダウン抵抗付き入力、プルアップ抵抗付き入力が選択可能。
- 外部割込み端子（EXI30, EXI31, EXI32, EXI33, EXI34, EXI35, EXI36, EXI37）、逐次比較型 A/D コンバータ用端子（AIN0/1/2/3）、コンパレータ入力（CMP0P/M,CMP1P/M）、I^2C バス用端子(SDA0/1,SCL0/1)、ブザー出力（MD0）、同期式シリアルポート用端子 (SIN0, SCK0, SOUT0)、FIFO 付き同期式シリアルポート用端子 (SINF0, SCKF0, SOUTF0,SSF0)、UART 用端子 (RXD0, TXD0) 、FIFO 付き UART 用端子 (RXDF0, TXDF0) 、タイマアウト端子（TMOUT4/5/6/7）として使用可能。

20.1.2 構成

図 20-1 に、ポート 3 の構成を示します。



P3D　　：ポート 3 データレジスタ
P3DIR　：ポート 3 ディレクションレジスタ
P3CON　：ポート 3 コントロールレジスタ
P3MOD　：ポート 3 モードレジスタ

図 20-1 ポート 3 の構成

20.1.3 端子一覧

端子名	入出力	1 次機能	2 次機能	3 次機能	4 次機能
P30/EXI30/ CMP0P/ SDA0/ SOUT0/ RXD0	I/O	入出力ポート 外部割込み端子コンパレータ +側入力端子 0	I^2C データ入出力端子 SDA0	同期式シリアルデータ出力端子 SOUT0	UART データ入力端子 RXD0
P31/EXI31/ CMP0M/ SCL0/ SIN0/ TXD0	I/O	入出力ポート 外部割込み端子 コンパレータ -側入力端子 0	I^2C クロック出力端子 SCL0	同期式シリアルデータ入力端子 SIN0	UART データ出力端子 TXD0
P32/EXI32/ CMP1P/ SCK0/ TMOUT4	I/O	入出力ポート 外部割込み端子コンパレータ +側入力端子 1	–	同期式シリアルクロック出力端子 SCK0	タイマアウト出力端子 TMOUT4
P33/EXI33/CMP1M/ MD0/ TMOUT5	I/O	入出力ポート 外部割込み端子コンパレータ -側入力端子 1	ブザー出力端子 MD0	–	タイマアウト出力端子 TMOUT5
P34/EXI34/ AIN0/ SDA1/ SOUTF0/ RXDF0	I/O	入出力ポート 外部割込み端子 逐次比較型 A/D コンバータ入力端子 AIN0	I^2C データ入出力端子 SDA1	FIFO 付き同期式シリアルデータ出力端子 SOUTF0	FIFO 付き UART データ入力端子 RXDF0
P35/EXI35/ AIN1/ SCL1/ SINF0/ TXDF0	I/O	入出力ポート 外部割込み端子 逐次比較型 A/D コンバータ入力端子 AIN1	I^2C クロック出力端子 SCL1	FIFO 付き同期式シリアルデータ入力端子 SINF0	FIFO 付き UART データ出力端子 TXDF0
P36/EXI36/ AIN2/ SCKF0/ TMOUT6	I/O	入出力ポート 外部割込み端子 逐次比較型 A/D コンバータ入力端子 AIN2	–	FIFIO 付き同期式シリアルクロック出力端子 SCKF0	タイマアウト出力端子 TMOUT6
P37/EXI37/ AIN3/ SSF0/ TMOUT7	I/O	入出力ポート 外部割込み端子 逐次比較型 A/D コンバータ入力端子 AIN3	–	FIFIO 付き同期式シリアルチップセレクト出力端子 SSF0	タイマアウト出力端子 TMOUT7

20.2 レジスタ説明

20.2.1 レジスター覧

アドレス [H]	名称	略称 (Byte)	略称 (Word)	R/W	サイズ	初期値 [H]
0F228	ポート 3 データレジスタ	P3D	ー	R/W	8	00
0F229	ポート 3 ディレクションレジスタ	P3DIR	ー	R/W	8	00
0F22A	ポート 3 コントロールレジスタ	P3CON0	P3CON	R/W	8/16	00
0F22B		P3CON1		R/W	8	00
0F22C	ポート 3 モードレジスタ	P3MOD0	P3MOD	R/W	8/16	00
0F22D		P3MOD1		R/W	8	00

20.2.2 ポート 3 データレジスタ (P3D)

アドレス：0F228H
アクセス：R/W
アクセスサイズ：8 ビット
初期値：00H

	7	6	5	4	3	2	1	0
P3D	P37D	P36D	P35D	P34D	P33D	P32D	P31D	P30D
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

P3D は、ポート 3 端子への出力値を設定またはポート 3 端子の入力レベルを読み出すための特殊機能レジスタ (SFR) です。 出力モード時には、本レジスタの値がポート 3 端子へ出力されます。P3D に書き込んだ値は読み出し可能です。
入力モード時には、P3D を読み出すとポート 3 端子の入力レベルが読み出されます。
出力モードと入力モードは後述のポートモードレジスタ(P3DIR)にて選択します。

ビットの説明

・ **P37-30D**（ビット 7～0）
P37-30D は、出力モード時はポート 3 端子の出力値を設定するビットで、入力モード時はポート 3 の端子レベルを読み出すビットです。

P30D	説明
0	P30 端子の出力または入力レベルが"L"レベル
1	P30 端子の出力または入力レベルが"H"レベル

P31D	説明
0	P31 端子の出力または入力レベルが"L"レベル
1	P31 端子の出力または入力レベルが"H"レベル

P32D	説明
0	P32 端子の出力または入力レベルが"L"レベル
1	P32 端子の出力または入力レベルが"H"レベル

P33D	説明
0	P33 端子の出力または入力レベルが"L"レベル
1	P33 端子の出力または入力レベルが"H"レベル

P34D	説明
0	P34 端子の出力または入力レベルが"L"レベル
1	P34 端子の出力または入力レベルが"H"レベル

P35D	説明
0	P35 端子の出力または入力レベルが"L"レベル
1	P35 端子の出力または入力レベルが"H"レベル

P36D	説明
0	P36 端子の出力または入力レベルが"L"レベル
1	P36 端子の出力または入力レベルが"H"レベル

P37D	説明
0	P37 端子の出力または入力レベルが"L"レベル
1	P37 端子の出力または入力レベルが"H"レベル

20.2.3 ポート 3 ディレクションレジスタ (P3DIR)

アドレス：0F229H
アクセス：R/W
アクセスサイズ：8 ビット
初期値：00H

	7	6	5	4	3	2	1	0
P3DIR	P37DIR	P36DIR	P35DIR	P34DIR	P33DIR	P32DIR	P31DIR	P30DIR
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

P3DIR は、ポート 3 の入出力モードを選択する特殊機能レジスタ (SFR) です。

ビットの説明

・ **P37-30DIR**（ビット 7～0）
P37-30DIR は、ポート 3 端子の入出力モードを選択するビットです。

P30DIR	**説明**
0	P30 **端子は出力（初期値）**
1	P30 **端子は入力**

P31DIR	**説明**
0	P31 **端子は出力（初期値）**
1	P31 **端子は入力**

P32DIR	**説明**
0	P32 **端子は出力（初期値）**
1	P32 **端子は入力**

P33DIR	**説明**
0	P33 **端子は出力（初期値）**
1	P33 **端子は入力**

P34DIR	**説明**
0	P34 **端子は出力（初期値）**
1	P34 **端子は入力**

P35DIR	**説明**
0	P35 **端子は出力（初期値）**
1	P35 **端子は入力**

P36DIR	**説明**
0	P36 **端子は出力（初期値）**
1	P36 **端子は入力**

P37DIR	**説明**
0	P37 **端子は出力（初期値）**
1	P37 **端子は入力**

20.2.4 ポート 3 コントロールレジスタ(P3CON)

アドレス：0F22AH
アクセス：R/W
アクセスサイズ：8/16 ビット
初期値：0000H

	7	6	5	4	3	2	1	0
P3CON0	P37C0	P36C0	P35C0	P34C0	P33C0	P32C0	P31C0	P30C0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

	15	14	13	12	11	10	9	8
P3CON1	P37C1	P36C1	P35C1	P34C1	P33C1	P32C1	P31C1	P30C1
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

P3CON0, P3CON1 は、ポート 3 端子の出力状態を選択する特殊機能レジスタ (SFR) です。各状態は出力モード時と入力モード時で異なります。出力と入力は P3DIR レジスタで選択します。

ビットの説明

- **P37-30C0**（ビット 7～0）**, P37-30C1** （ビット 15～8）
  P37-30C0, P37-30C1 は、出力モード時にはハイインピーダンス出力、Pch オープンドレイン出力、Nch オープンドレイン出力、および CMOS 出力を、入力モード時にはハイインピーダンス入力、プルダウン抵抗付き入力、プルアップ抵抗付き入力を選択するビットです。

P30 端子の設定		出力モード選択時（P30DIR ビット="0"）	入力モード選択時（P30DIR ビット="1"）
P30C1	**P30C0**	説明	
0	0	ハイインピーダンス出力（初期値）	ハイインピーダンス入力
0	1	Pch オープンドレイン出力	プルダウン抵抗付き入力
1	0	Nch オープンドレイン出力	プルアップ抵抗付き入力
1	1	CMOS 出力	ハイインピーダンス入力

P31 端子の設定		出力モード選択時（P31DIR ビット="0"）	入力モード選択時（P31DIR ビット="1"）
P31C1	**P31C0**	説明	
0	0	ハイインピーダンス出力（初期値）	ハイインピーダンス入力
0	1	Pch オープンドレイン出力	プルダウン抵抗付き入力
1	0	Nch オープンドレイン出力	プルアップ抵抗付き入力
1	1	CMOS 出力	ハイインピーダンス入力

P32 端子の設定		出力モード選択時（P32DIR ビット="0"）	入力モード選択時（P32DIR ビット="1"）
P32C1	**P32C0**	説明	
0	0	ハイインピーダンス出力（初期値）	ハイインピーダンス入力
0	1	Pch オープンドレイン出力	プルダウン抵抗付き入力
1	0	Nch オープンドレイン出力	プルアップ抵抗付き入力
1	1	CMOS 出力	ハイインピーダンス入力

P33 端子の設定		出力モード選択時 (P33DIR ビット="0")	入力モード選択時 (P33DIR ビット="1")
P33C1	**P33C0**	説明	
0	0	ハイインピーダンス出力 (初期値)	ハイインピーダンス入力
0	1	Pch オープンドレイン出力	プルダウン抵抗付き入力
1	0	Nch オープンドレイン出力	プルアップ抵抗付き入力
1	1	CMOS 出力	ハイインピーダンス入力

P34 端子の設定		出力モード選択時 (P34DIR ビット="0")	入力モード選択時 (P34DIR ビット="1")
P34C1	**P34C0**	説明	
0	0	ハイインピーダンス出力 (初期値)	ハイインピーダンス入力
0	1	Pch オープンドレイン出力	プルダウン抵抗付き入力
1	0	Nch オープンドレイン出力	プルアップ抵抗付き入力
1	1	CMOS 出力	ハイインピーダンス入力

P35 端子の設定		出力モード選択時 (P35DIR ビット="0")	入力モード選択時 (P35DIR ビット="1")
P35C1	**P35C0**	説明	
0	0	ハイインピーダンス出力 (初期値)	ハイインピーダンス入力
0	1	Pch オープンドレイン出力	プルダウン抵抗付き入力
1	0	Nch オープンドレイン出力	プルアップ抵抗付き入力
1	1	CMOS 出力	ハイインピーダンス入力

P36 端子の設定		出力モード選択時 (P36DIR ビット="0")	入力モード選択時 (P36DIR ビット="1")
P36C1	**P36C0**	説明	
0	0	ハイインピーダンス出力 (初期値)	ハイインピーダンス入力
0	1	Pch オープンドレイン出力	プルダウン抵抗付き入力
1	0	Nch オープンドレイン出力	プルアップ抵抗付き入力
1	1	CMOS 出力	ハイインピーダンス入力

P37 端子の設定		出力モード選択時 (P37DIR ビット="0")	入力モード選択時 (P37DIR ビット="1")
P37C1	**P37C0**	説明	
0	0	ハイインピーダンス出力 (初期値)	ハイインピーダンス入力
0	1	Pch オープンドレイン出力	プルダウン抵抗付き入力
1	0	Nch オープンドレイン出力	プルアップ抵抗付き入力
1	1	CMOS 出力	ハイインピーダンス入力

20.2.5 ポート 3 モードレジスタ(P3MOD)

アドレス:0F22CH
アクセス:R/W
アクセスサイズ:8/16 ビット
初期値:0000H

	7	6	5	4	3	2	1	0
P3MOD0	P37MD0	P36MD0	P35MD0	P34MD0	P33MD0	P32MD0	P31MD0	P30MD0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

	15	14	13	12	11	10	9	8
P3MOD1	P37MD1	P36MD1	P35MD1	P34MD1	P33MD1	P32MD1	P31MD1	P30MD1
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

P3MOD0, P3MOD1 は、ポート 3 の 1 次機能、2 次機能、3 次機能、4 次機能を選択する特殊機能レジスタ (SFR) です。

ビットの説明

- **P30MD1-0** (ビット 8,0)
  P30MD1-0 は、P30 端子の 1 次機能、2 次機能、3 次機能、4 次機能を選択するビットです。

P30MD1	**P30MD0**	説明
0	0	**汎用入出力モード、外部割込みモード (初期値)**
0	1	I^2C **バスデータ入出力モード** (SDA0)
1	0	**同期式シリアルポートデータ出力モード** (SOUT0)
1	1	UART **データ入力モード** (RXD0)

- **P31MD1-0** (ビット 9,1)
  P31MD1-0 は、P31 端子の 1 次機能、2 次機能、3 次機能、4 次機能を選択するビットです。

P31MD1	**P31MD0**	説明
0	0	**汎用入出力モード、外部割込みモード (初期値)**
0	1	I^2C **バスクロック出力モード** (SCL0)
1	0	**同期式シリアルポートデータ入力モード** (SIN0)
1	1	UART **データ出力モード** (TXD0)

・ **P32MD1-0**（ビット 10,2）
P32MD1-0 は、P32 端子の 1 次機能、2 次機能、3 次機能、4 次機能を選択するビットです。

P32MD1	P32MD0	説明
0	0	**汎用入出力モード、外部割込みモード（初期値）**
0	1	**使用禁止**
1	0	**同期式シリアルポートクロック入出力モード**（SCK0）
1	1	**タイマアウト出力モード**（TMOUT4）

・ **P33MD1-0**（ビット 11,3）
P33MD1-0 は、P33 端子の 1 次機能、2 次機能、3 次機能、4 次機能を選択するビットです。

P33MD1	P33MD0	説明
0	0	**汎用入出力モード、外部割込みモード（初期値）**
0	1	**ブザー出力モード**（MD0）
1	0	**使用禁止**
1	1	**タイマアウト出力モード**（TMOUT5）

・ **P34MD1-0**（ビット 12,4）
P34MD1-0 は、P34 端子の 1 次機能、2 次機能、3 次機能、4 次機能を選択するビットです。

P34MD1	P34MD0	説明
0	0	**汎用入出力モード、外部割込みモード（初期値）**
0	1	I^2C **バスデータ入出力モード**（SDA1）
1	0	FIFO **付き同期式シリアルポートデータ出力モード**（SOUTF0）
1	1	FIFO **付き** UART **データ入力モード**（RXDF0）

・ **P35MD1-0**（ビット 13,5）
P35MD1-0 は、P35 端子の 1 次機能、2 次機能、3 次機能、4 次機能を選択するビットです。

P35MD1	P35MD0	説明
0	0	**汎用入出力モード、外部割込みモード（初期値）**
0	1	I^2C **バスクロック出力モード**（SCL1）
1	0	FIFO **付き同期式シリアルポートデータ入力モード**（SINF0）
1	1	FIFO **付き** UART **データ出力モード**（TXDF0）

・ **P36MD1-0**（ビット 14,6）
P36MD1-0 は、P36 端子の 1 次機能、2 次機能、3 次機能、4 次機能を選択するビットです。

P36MD1	P36MD0	説明
0	0	**汎用入出力モード、外部割込みモード（初期値）**
0	1	**使用禁止**
1	0	FIFO **付き同期式シリアルポートクロック入出力モード**（SCKF0）
1	1	**タイマアウト出力モード**（TMOUT6）

・ **P37MD1-0**（ビット 15,7）
P37MD1-0 は、P37 端子の 1 次機能、2 次機能、3 次機能、4 次機能を選択するビットです。

P37MD1	P37MD0	説明
0	0	**汎用入出力モード、外部割込みモード（初期値）**
0	1	**使用禁止**
1	0	FIFO **付き同期式シリアルポートチップセレクト入出力モード**（SSF0）
1	1	**タイマアウト出力モード**（TMOUT7）

【注意】
“使用禁止”に設定しかつ出力モードが選択されている場合（ポート 3 コントロールレジスタで選択）、ポート 3 の出力端子状態は、ポートデータレジスタ P3D のデータに関わらず以下のように固定されます。

ハイインピーダンス出力選択時：出力端子はハインピーダンス
Pch オープンドレイン出力選択時：出力端子はハインピーダンス
Nch オープンドレイン出力選択時：出力端子は”L”固定
CMOS 出力選択時：出力端子は”L”固定

20.3 動作説明

20.3.1 入出力ポート機能

ポート 3 の各端子は、ポート 3 ディレクションレジスタ (P3DIR) を設定して、出力と入力のいずれかを選択します。
出力モード時は、ポート 3 コントロールレジスタ 0, 1 (P3CON0, P3CON1) を設定して、ハイインピーダンス出力モード、Pch オープンドレイン出力モード、Nch オープンドレイン出力モード、および CMOS 出力モードのいずれかを選択します。
入力モード時は、ポート 3 コントロールレジスタ 0, 1 (P3CON0, P3CON1) を設定して、ハイインピーダンス入力モード、プルダウン抵抗付き入力モード、プルアップ抵抗付き入力モードのいずれかを選択します。
システムリセット時には、初期状態としてハイインピーダンス出力モードが選択されます。
出力モード時には、ポート 3 データレジスタ (P3D) に設定した値により、ポート 3 各端子に“L”レベルもしくは“H”レベルが出力されます。
入力モード時には、ポート 3 データレジスタ (P3D) からポート 3 各端子の入力レベルが読み出せます。

20.3.2 入出力ポート以外の 1 次機能

ポート 3 には、入出力ポート以外の 1 次機能として、逐次比較型 A/D コンバータ入力（AIN0～AIN3）、コンパレータ入力（CMP0P/M, CMP1P/M）、外部割込み入力（EXI30～EXI37）が割り付けられます。
逐次比較型 A/D コンバータ入力（AIN0～AIN3）もしくは、コンパレータ入力（CMP0P/M, CMP1P/M）として使用する場合は、該当するポートをハイインピーダンス出力に設定してください。
外部割込み入力(EXI30～EXI37)として使用する場合は、該当するポートを入力状態に設定してください。

20.3.3 2 次機能～4 次機能

ポート 3 には、2 次機能～4 次機能として I2C バス用端子(SDA0/1,SCL0/1)、ブザー出力（MD0）、同期式シリアルポート用端子 (SIN0, SCK0, SOUT0)、FIFO 付き同期シリアルポート用端子（SINF0,SCKF0,SOUTF0,SSF0）、UART 用端子(RXD0, TXD0)、FIFO 付き UART 用端子(RXDF0,TXDF0)、およびタイマアウト出力（TMOUT4/5/6/7）が割り付けられています。ポート 3 モードレジスタ (P3MOD0, P3MOD1) の P37MD0～P30MD0, P37MD1～P30MD1 ビットを設定することで、各 2～4 次機能モードとして使用できます。

第 21 章　ポート4

21 ポート 4

21.1 概要

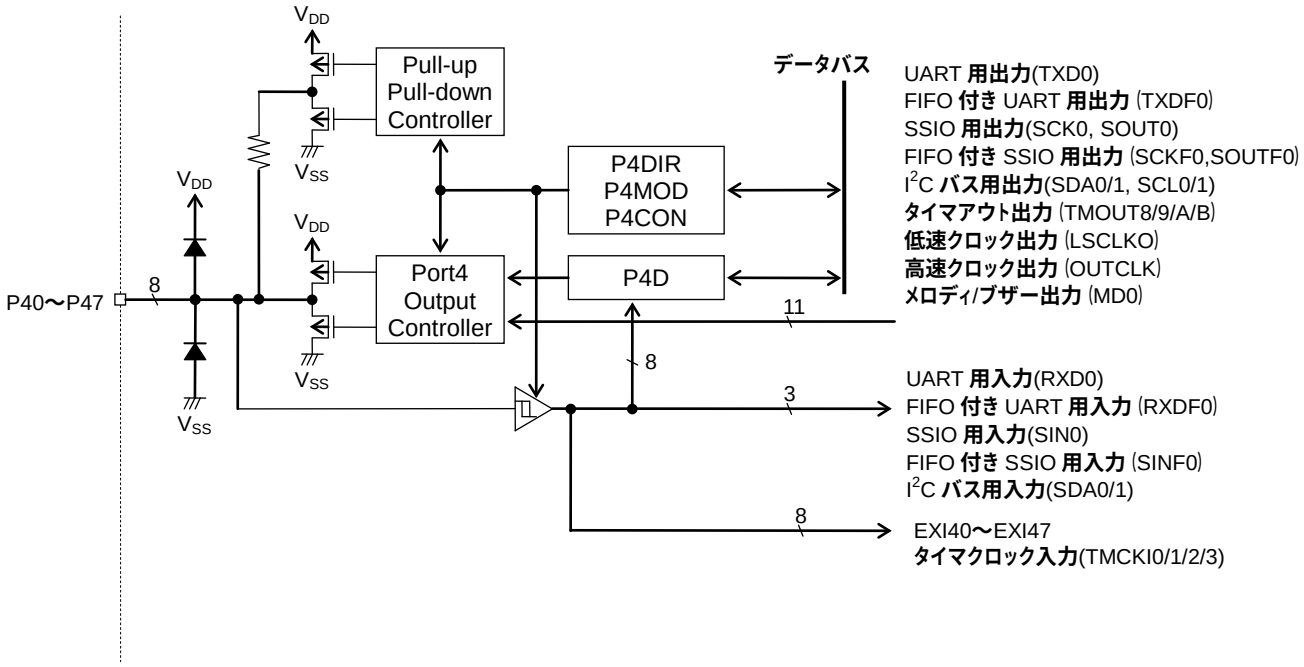
本 LSI は、8 ビットの入出力ポートのポート 4 (P40～P47) を内蔵しています。
また、外部割込み、タイマクロック入力の他に、2～4 次機能として、I²C バス、ブザー出力、低速/高速クロック出力、同期式シリアルポート、FIFO 付き同期式シリアルポート、UART、FIFO 付き UART、タイマアウト出力端子となります。
タイマクロック入力については「第 8 章 タイマ」を、I²C バスについては「第 15 章 I²C バスインタフェース」を、ブザーについては「第 23 章 メロディドライバ」を、低速/高速クロック出力については「第 6 章 クロック発生回路」を、同期式シリアルポートについては「第 11 章 同期式シリアルポート（SSIO）」を、FIFO 付き同期式シリアルポートについては「第 12 章 FIFO 付き同期式シリアルポート（SSIOF）」を、UART については「第 13 章 UART」を、FIFO 付き UART については「第 14 章 FIFO 付き UART（UARTF）」を、タイマアウト出力については「第 9 章 多機能タイマ(FTM)」を参照してください。

21.1.1 特長

- LED 直接駆動が可能。
- 出力モード時、ビット毎に、ハイインピーダンス出力、Pch オープンドレイン出力、Nch オープンドレイン出力、および CMOS 出力が選択可能。
- 入力モード時、ビット毎に、ハイインピーダンス入力、プルダウン抵抗付き入力、プルアップ抵抗付き入力が選択可能。
- 外部割込み端子（EXI40, EXI41, EXI42, EXI43, EXI44, EXI45, EXI46, EXI47）、タイマクロック入力(TMCKI0/1,TMCKI2/3)、低速クロック出力用端子（LSCLKO）、高速クロック出力用端子（OUTCLK）、I²C バス用端子(SDA0/1,SCL0/1)、メロディ/ブザー出力（MD0）、同期式シリアルポート用端子 (SIN0, SCK0, SOUT0)、FIFO 付き同期シリアルポート用端子(SINF0,SCKF0,SOUTF0,SSF0)、UART 用端子 (RXD0, TXD0) 、FIFO 付き UART 用端子(TXDF0,RXDF0)タイマアウト端子（TMOUT8/9/A/B）として使用可能。

21.1.2 構成

図 21-1 に、ポート 4 の構成を示します。



P4D ：ポート 4 データレジスタ
P4DIR ：ポート 4 ディレクションレジスタ
P4CON ：ポート 4 コントロールレジスタ
P4MOD ：ポート 4 モードレジスタ

図 21-1 ポート 4 の構成

21.1.3 端子一覧

端子名	入出力	1 次機能	2 次機能	3 次機能	4 次機能
P40/EXI40/LED/SDA0/SOUT0/RXD0	I/O	入出力ポート 外部割込み端子 LED 直接駆動	I^2C データ入出力端子 SDA0	同期式シリアルデータ出力端子 SOUT0	UART データ入力端子 RXD0
P41/EXI41/LED/SCL0/SIN0/TXD0	I/O	入出力ポート 外部割込み端子 LED 直接駆動	I^2C クロック出力端子 SCL0	同期式シリアルデータ入力端子 SIN0	UART データ出力端子 TXD0
P42/EXI42/SCK0/TMOUT8	I/O	入出力ポート 外部割込み端子	–	同期式シリアルクロック入出力端子 SCK0	タイマアウト出力端子 TMOUT8
P43/EXI43/MD0/TMOUT9	I/O	入出力ポート 外部割込み端子	メロディ/ブザー出力端子 MD0	–	タイマアウト出力端子 TMOUT9
P44/EXI44/SDA1/SOUTF0/RXDF0	I/O	入出力ポート 外部割込み端子	I^2C データ入出力端子 SDA1	FIFO 付き同期式シリアルデータ出力端子 SOUTF0	FIFO 付き UART データ入力端子 RXDF0
P45/EXI45/SCL1/SINF0/TXDF0	I/O	入出力ポート 外部割込み端子	I^2C クロック出力端子 SCL1	FIFO 付き同期式シリアルデータ入力端子 SINF0	FIFO 付き UART データ出力端子 TXDF0
P46/EXI46/LSCLKO/SCKF0/TMOUTA	I/O	入出力ポート 外部割込み端子	低速クロック出力 LSCLKO	FIFO 付き同期式シリアルクロック入出力端子 SCKF0	タイマアウト出力端子 TMOUTA
P47/EXI47/OUTCLK/SSF0/TMOUTB	I/O	入出力ポート 外部割込み端子	高速クロック出力 OUTCLK	FIFO 付き同期式シリアルチップセレクト入出力端子 SSF0	タイマアウト出力端子 TMOUTB

21.2 レジスタ説明

21.2.1 レジスター覧

アドレス [H]	名称	略称 (Byte)	略称 (Word)	R/W	サイズ	初期値 [H]
0F230	ポート 4 データレジスタ	P4D	ー	R/W	8	00
0F231	ポート 4 ディレクションレジスタ	P4DIR	ー	R/W	8	00
0F232	ポート 4 コントロールレジスタ	P4CON0	P4CON	R/W	8/16	00
0F233		P4CON1		R/W	8	00
0F234	ポート 4 モードレジスタ	P4MOD0	P4MOD	R/W	8/16	00
0F235		P4MOD1		R/W	8	00

21.2.2 ポート 4 データレジスタ (P4D)

アドレス：0F230H
アクセス：R/W
アクセスサイズ：8 ビット
初期値：00H

	7	6	5	4	3	2	1	0
P4D	P47D	P46D	P45D	P44D	P43D	P42D	P41D	P40D
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

P4D は、ポート 4 端子への出力値を設定またはポート 4 端子の入力レベルを読み出すための特殊機能レジスタ (SFR) です。 出力モード時には、本レジスタの値がポート 4 端子へ出力されます。P4D に書き込んだ値は読み出し可能です。入力モード時には、P4D を読み出すとポート 4 端子の入力レベルが読み出されます。
出力モードと入力モードは後述のポートモードレジスタ(P4DIR)にて選択します。

ビットの説明

・ **P47-40D**（ビット 7～0）
P47-40D は、出力モード時はポート 4 端子の出力値を設定するビットで、入力モード時はポート 4 の端子レベルを読み出すビットです。

P40D	説明
0	P40 端子の出力または入力レベルが"L"レベル
1	P40 端子の出力または入力レベルが"H"レベル

P41D	説明
0	P41 端子の出力または入力レベルが"L"レベル
1	P41 端子の出力または入力レベルが"H"レベル

P42D	説明
0	P42 端子の出力または入力レベルが"L"レベル
1	P42 端子の出力または入力レベルが"H"レベル

P43D	説明
0	P43 端子の出力または入力レベルが"L"レベル
1	P43 端子の出力または入力レベルが"H"レベル

P44D	説明
0	P44 端子の出力または入力レベルが"L"レベル
1	P44 端子の出力または入力レベルが"H"レベル

P45D	説明
0	P45 端子の出力または入力レベルが"L"レベル
1	P45 端子の出力または入力レベルが"H"レベル

P46D	説明
0	P46 端子の出力または入力レベルが"L"レベル
1	P46 端子の出力または入力レベルが"H"レベル

P47D	説明
0	P47 端子の出力または入力レベルが"L"レベル
1	P47 端子の出力または入力レベルが"H"レベル

21.2.3 ポート 4 ディレクションレジスタ (P4DIR)

アドレス：0F231H
アクセス：R/W
アクセスサイズ：8 ビット
初期値：00H

	7	6	5	4	3	2	1	0
P4DIR	P47DIR	P46DIR	P45DIR	P44DIR	P43DIR	P42DIR	P41DIR	P40DIR
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

P4DIR は、ポート 4 の入出力モードを選択する特殊機能レジスタ (SFR) です。

ビットの説明

・ **P47-40DIR**（ビット 7～0）
P47-40DIR は、ポート 4 端子の入出力モードを選択するビットです。

P40DIR	説明
0	P40 端子は出力（初期値）
1	P40 端子は入力

P41DIR	説明
0	P41 端子は出力（初期値）
1	P41 端子は入力

P42DIR	説明
0	P42 端子は出力（初期値）
1	P42 端子は入力

P43DIR	説明
0	P43 端子は出力（初期値）
1	P43 端子は入力

P44DIR	説明
0	P44 端子は出力（初期値）
1	P44 端子は入力

P45DIR	説明
0	P45 端子は出力（初期値）
1	P45 端子は入力

P46DIR	説明
0	P46 端子は出力（初期値）
1	P46 端子は入力

P47DIR	説明
0	P47 端子は出力（初期値）
1	P47 端子は入力

21.2.4 ポート 4 コントロールレジスタ (P4CON)

アドレス：0F232H
アクセス：R/W
アクセスサイズ：8/16 ビット
初期値：0000H

	7	6	5	4	3	2	1	0
P4CON0	P47C0	P46C0	P45C0	P44C0	P43C0	P42C0	P41C0	P40C0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

	15	14	13	12	11	10	9	8
P4CON1	P47C1	P46C1	P45C1	P44C1	P43C1	P42C1	P41C1	P40C1
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

P4CON0, P4CON1 は、ポート 4 端子の出力状態を選択する特殊機能レジスタ (SFR) です。各状態は出力モード時と入力モード時で異なります。出力と入力は P4DIR レジスタで選択します。

ビットの説明

- **P47-40C0** (ビット 7～0) **, P47-40C1** (ビット 15～8)
  P47-40C0, P47-40C1 は、出力モード時にはハイインピーダンス出力、Pch オープンドレイン出力、Nch オープンドレイン出力、および CMOS 出力を、入力モード時にはハイインピーダンス入力、プルダウン抵抗付き入力、プルアップ抵抗付き入力を選択するビットです。
  LED 直接駆動をする場合は、Nch オープンドレイン出力を選択します。

P40 端子の設定		出力モード選択時 (P40DIR ビット="0")	入力モード選択時 (P40DIR ビット="1")
P40C1	**P40C0**	**説明**	
0	0	**ハイインピーダンス出力 (初期値)**	**ハイインピーダンス入力**
0	1	Pch **オープンドレイン出力**	**プルダウン抵抗付き入力**
1	0	Nch **オープンドレイン出力**	**プルアップ抵抗付き入力**
1	1	CMOS **出力**	**ハイインピーダンス入力**

P41 端子の設定		出力モード選択時 (P41DIR ビット="0")	入力モード選択時 (P41DIR ビット="1")
P41C1	**P41C0**	**説明**	
0	0	**ハイインピーダンス出力 (初期値)**	**ハイインピーダンス入力**
0	1	Pch **オープンドレイン出力**	**プルダウン抵抗付き入力**
1	0	Nch **オープンドレイン出力**	**プルアップ抵抗付き入力**
1	1	CMOS **出力**	**ハイインピーダンス入力**

P42 端子の設定		出力モード選択時 (P42DIR ビット="0")	入力モード選択時 (P42DIR ビット="1")
P42C1	**P42C0**	**説明**	
0	0	**ハイインピーダンス出力 (初期値)**	**ハイインピーダンス入力**
0	1	Pch **オープンドレイン出力**	**プルダウン抵抗付き入力**
1	0	Nch **オープンドレイン出力**	**プルアップ抵抗付き入力**
1	1	CMOS **出力**	**ハイインピーダンス入力**

P43 端子の設定		出力モード選択時 (P43DIR ビット="0")	入力モード選択時 (P43DIR ビット="1")
P43C1	**P43C0**	説明	
0	0	ハイインピーダンス出力 (初期値)	ハイインピーダンス入力
0	1	Pch オープンドレイン出力	プルダウン抵抗付き入力
1	0	Nch オープンドレイン出力	プルアップ抵抗付き入力
1	1	CMOS 出力	ハイインピーダンス入力

P44 端子の設定		出力モード選択時 (P44DIR ビット="0")	入力モード選択時 (P44DIR ビット="1")
P44C1	**P44C0**	説明	
0	0	ハイインピーダンス出力 (初期値)	ハイインピーダンス入力
0	1	Pch オープンドレイン出力	プルダウン抵抗付き入力
1	0	Nch オープンドレイン出力	プルアップ抵抗付き入力
1	1	CMOS 出力	ハイインピーダンス入力

P45 端子の設定		出力モード選択時 (P45DIR ビット="0")	入力モード選択時 (P45DIR ビット="1")
P45C1	**P45C0**	説明	
0	0	ハイインピーダンス出力 (初期値)	ハイインピーダンス入力
0	1	Pch オープンドレイン出力	プルダウン抵抗付き入力
1	0	Nch オープンドレイン出力	プルアップ抵抗付き入力
1	1	CMOS 出力	ハイインピーダンス入力

P46 端子の設定		出力モード選択時 (P46DIR ビット="0")	入力モード選択時 (P46DIR ビット="1")
P46C1	**P46C0**	説明	
0	0	ハイインピーダンス出力 (初期値)	ハイインピーダンス入力
0	1	Pch オープンドレイン出力	プルダウン抵抗付き入力
1	0	Nch オープンドレイン出力	プルアップ抵抗付き入力
1	1	CMOS 出力	ハイインピーダンス入力

P47 端子の設定		出力モード選択時 (P47DIR ビット="0")	入力モード選択時 (P47DIR ビット="1")
P47C1	**P47C0**	説明	
0	0	ハイインピーダンス出力 (初期値)	ハイインピーダンス入力
0	1	Pch オープンドレイン出力	プルダウン抵抗付き入力
1	0	Nch オープンドレイン出力	プルアップ抵抗付き入力
1	1	CMOS 出力	ハイインピーダンス入力

21.2.5 ポート 4 モードレジスタ(P4MOD)

アドレス:0F234H
アクセス:R/W
アクセスサイズ:8/16 ビット
初期値:0000H

	7	6	5	4	3	2	1	0
P4MOD0	P47MD0	P46MD0	P45MD0	P44MD0	P43MD0	P42MD0	P41MD0	P40MD0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

	15	14	13	12	11	10	9	8
P4MOD1	P47MD1	P46MD1	P45MD1	P44MD1	P43MD1	P42MD1	P41MD1	P40MD1
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

P4MOD0, P4MOD1 は、ポート 4 の 1 次機能、2 次機能、3 次機能、4 次機能を選択する特殊機能レジスタ (SFR) です。

ビットの説明

- **P40MD1-0** (ビット 8,0)
  P40MD1-0 は、P40 端子の 1 次機能、2 次機能、3 次機能、4 次機能を選択するビットです。

P40MD1	**P40MD0**	説明
0	0	**汎用入出力モード、外部割込みモード (初期値)**
0	1	I^2C **バスデータ入出力モード** (SDA0)
1	0	**同期式シリアルポートデータ出力モード** (SOUT0)
1	1	UART **データ入力モード** (RXD0)

- **P41MD1-0** (ビット 9,1)
  P41MD1-0 は、P41 端子の 1 次機能、2 次機能、3 次機能、4 次機能を選択するビットです。

P41MD1	**P41MD0**	説明
0	0	**汎用入出力モード、外部割込みモード (初期値)**
0	1	I^2C **バスクロック出力モード** (SCL0)
1	0	**同期式シリアルポートデータ入力モード** (SIN0)
1	1	UART **データ出力モード** (TXD0)

- **P42MD1-0** (ビット 10,2)
  P42MD1-0 は、P42 端子の 1 次機能、2 次機能、3 次機能、4 次機能を選択するビットです。

P42MD1	**P42MD0**	説明
0	0	**汎用入出力モード、外部割込みモード (初期値)**
0	1	**使用禁止**
1	0	**同期式シリアルポートクロック入出力モード** (SCK0)
1	1	**タイマアウト出力モード** (TMOUT8)

・ **P43MD1-0**（ビット 11,3）
P43MD1-0 は、P43 端子の 1 次機能、2 次機能、3 次機能、4 次機能を選択するビットです。

P43MD1	P43MD0	説明
0	0	**汎用入出力モード、外部割込みモード（初期値）**
0	1	**メロディ/ブザー出力モード**（MD0）
1	0	**使用禁止**
1	1	**タイマアウト出力モード**（TMOUT9）

・ **P44MD1-0**（ビット 12,4）
P44MD1-0 は、P44 端子の 1 次機能、2 次機能、3 次機能、4 次機能を選択するビットです。

P44MD1	P44MD0	説明
0	0	**汎用入出力モード、外部割込みモード（初期値）**
0	1	I^2C **バスデータ入出力モード**（SDA1）
1	0	FIFO **付き期式シリアルポートデータ出力モード**（SOUTF0）
1	1	FIFO **付き** UART **データ入力モード**（RXDF0）

・ **P45MD1-0**（ビット 13,5）
P45MD1-0 は、P45 端子の 1 次機能、2 次機能、3 次機能、4 次機能を選択するビットです。

P45MD1	P45MD0	説明
0	0	**汎用入出力モード、外部割込みモード（初期値）**
0	1	I^2C **バスクロック出力モード**（SCL1）
1	0	FIFO **付き同期式シリアルポートデータ入力モード**（SINF0）
1	1	FIFOUART **データ出力モード**（TXDF0）

・ **P46MD1-0**（ビット 14,6）
P46MD1-0 は、P46 端子の 1 次機能、2 次機能、3 次機能、4 次機能を選択するビットです。

P46MD1	P46MD0	説明
0	0	**汎用入出力モード、外部割込みモード（初期値）**
0	1	**低速クロック出力モード**（LSCLKO）
1	0	FIFO **付き同期式シリアルポートクロック入出力モード**（SCKF0）
1	1	**タイマアウト出力モード**（TMOUTA）

・ **P47MD1-0**（ビット 15,7）
P47MD1-0 は、P47 端子の 1 次機能、2 次機能、3 次機能、4 次機能を選択するビットです。

P47MD1	P47MD0	説明
0	0	**汎用入出力モード、外部割込みモード（初期値）**
0	1	**高速クロック出力モード**（OUTCLK）
1	0	FIFO **付き同期式シリアルポートチップセレクト入出力モード**（SSF0）
1	1	**タイマアウト出力モード**（TMOUTB）

【注意】
“使用禁止”に設定しかつ出力モードが選択されている場合（ポート 4 コントロールレジスタで選択）、ポート 4 の出力端子状態は、ポートデータレジスタ P4D のデータに関わらず以下のように固定されます。
ハイインピーダンス出力選択時：出力端子はハインピーダンス
Pch オープンドレイン出力選択時：出力端子はハインピーダンス
Nch オープンドレイン出力選択時：出力端子は”L”固定
CMOS 出力選択時：出力端子は”L”固定

21.3 動作説明

21.3.1 入出力ポート機能

ポート 4 の各端子は、ポート 4 ディレクションレジスタ (P4DIR) を設定して、出力と入力のいずれかを選択します。
出力モード時は、ポート 4 コントロールレジスタ 0, 1 (P4CON0, P4CON1) を設定して、ハイインピーダンス出力モード、Pch オープンドレイン出力モード、Nch オープンドレイン出力モード、および CMOS 出力モードのいずれかを選択します。
入力モード時は、ポート 4 コントロールレジスタ 0, 1 (P4CON0, P4CON1) を設定して、ハイインピーダンス入力モード、プルダウン抵抗付き入力モード、プルアップ抵抗付き入力モードのいずれかを選択します。
システムリセット時には、初期状態としてハイインピーダンス出力モードが選択されます。
出力モード時には、ポート 4 データレジスタ (P4D) に設定した値により、ポート 4 各端子に“L”レベルもしくは“H”レベルが出力されます。
入力モード時には、ポート 4 データレジスタ (P4D) からポート 4 各端子の入力レベルが読み出せます。

21.3.2 入出力ポート以外の 1 次機能

ポート 4 には、入出力ポート以外の 1 次機能として、外部割込み入力（EXI40～EXI47）が割り付けられます。
外部割込み入力(EXI40～EXI47)として使用する場合は、該当するポートを入力状態に設定してください。

21.3.3 2 次機能～4 次機能

ポート 4 には、2 次機能～4 次機能として I2C バス用端子(SDA0/1,SCL0/1)、メロディ/ブザー出力端子（MD0）、低速クロック出力端子（LSCLKO）、高速クロック出力端子（OUTCLK）、同期式シリアルポート用端子 (SIN0, SCK0, SOUT0)、FIFO 付き同期式シリアルポート用端子(SINF0,SCKF0,SOUTF0,SSF0)、UART 用端子 （RXD0, TXD0)、FIFO 付き UART 用端子(RXDF0,TXDF0) およびタイマアウト出力（TMOUT8/9/A/B）が割り付けられています。ポート 4 モードレジスタ (P4MOD0, P4MOD1) の P47MD0～P40MD0, P47MD1～P40MD1 ビットを設定することで、各 2～4 次機能モードとして使用できます。

高速クロック出力は、周波数コントロールレジスタ 0（FCON0）の OUTC2～OUTC0 で出力クロックの周波数を選択することが出来ます。出力クロックの周波数選択については「第 6 章 クロック発生回路」を参照してください。

第 22 章　ポート 5

22 ポート 5

22.1 概要

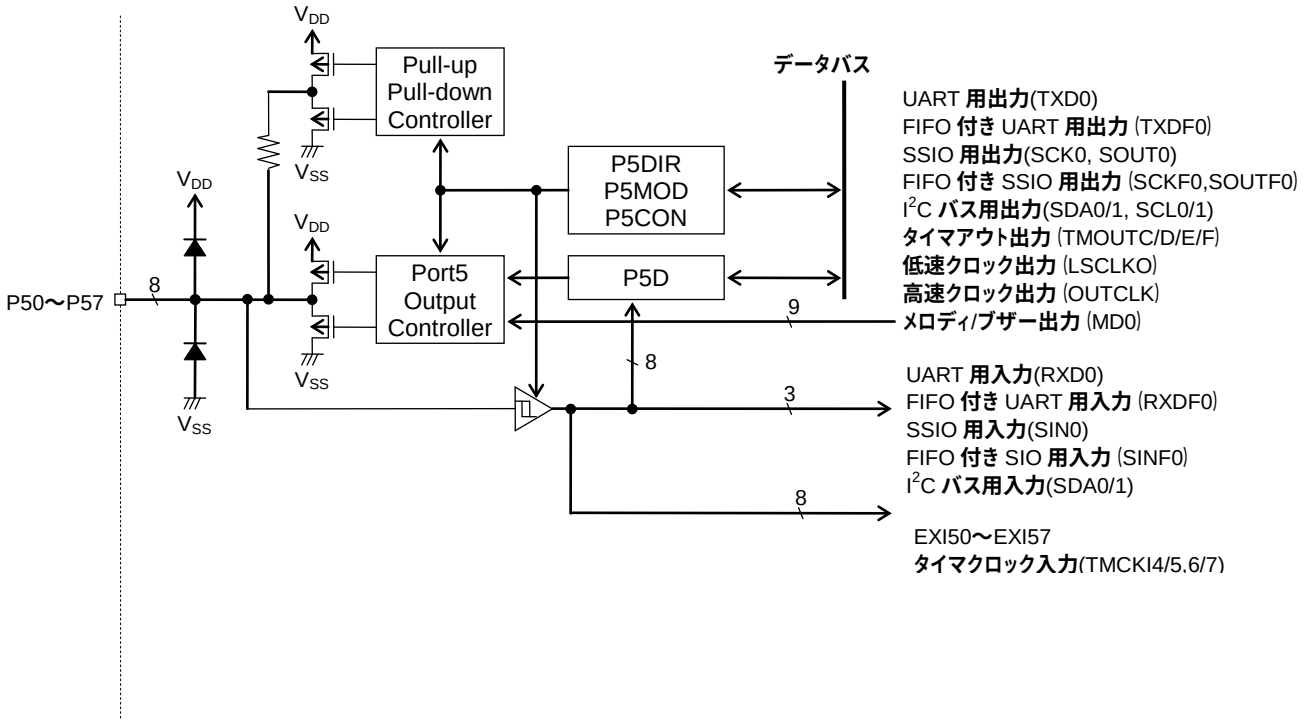
本 LSI は、8 ビットの入出力ポートのポート 5 (P50～P57) を内蔵しています。
また、外部割込み、タイマクロック入力の他に、2～4 次機能として、I^2C バス、ブザー出力、同期式シリアルポート、FIFO 付き同期式シリアルポート、UART、FIFO 付き UART、タイマアウト出力端子となります。
タイマクロック入力については「第 8 章 タイマ」を、I^2C バスについては「第 15 章 I^2C バスインタフェース」を、ブザーについては「第 23 章 メロディドライバ」を、低速/高速クロック出力については「第 6 章 クロック発生回路」を、同期式シリアルポートについては「第 11 章 同期式シリアルポート(SSIO)」を、FIFO 付き同期式シリアルポートについては「第 12 章 FIFO 付き同期式シリアルポート(SSIOF)」を、UART については「第 13 章 UART」を、FIFO 付き UART については「第 14 章 FIFO 付き UART(UARTF)」を、タイマアウト出力については「第 9 章 多機能タイマ（FTM）」を参照してください。

22.1.1 特長

- LED 直接駆動が可能。
- 出力モード時、ビット毎に、ハイインピーダンス出力、Pch オープンドレイン出力、Nch オープンドレイン出力、および CMOS 出力が選択可能。
- 入力モード時、ビット毎に、ハイインピーダンス入力、プルダウン抵抗付き入力、プルアップ抵抗付き入力が選択可能。
- 外部割込み端子（EXI50, EXI51, EXI52, EXI53, EXI54, EXI55, EXI56, EXI57）、タイマクロック入力 (TMCKI4/5,TMCKI6/7)、低速クロック出力用端子（LSCLKO）、高速クロック出力用端子（OUTCLK）、I^2C バス用端子(SDA0/1,SCL0/1)、メロディ/ブザー出力（MD0）、同期式シリアルポート用端子 (SIN0, SCK0, SOUT0)、FIFO 付き同期式シリアルポート用端子（SINF0,SCKF0,SOUTF0,SSF0）、UART 用端子 (RXD0, TXD0) 、FIFO 付き UART 用端子（RXDF0,TXDF0）タイマアウト端子（TMOUTC/D/E/F）として使用可能。

22.1.2 構成

図 22-1 に、ポート 5 の構成を示します。



P5D ：ポート 5 データレジスタ
P5DIR ：ポート 5 ディレクションレジスタ
P5CON ：ポート 5 コントロールレジスタ
P5MOD ：ポート 5 モードレジスタ

図 22-1 ポート 5 の構成

22.1.3 端子一覧

端子名	入出力	1 次機能	2 次機能	3 次機能	4 次機能
P50/EXI50/ SDA0/ SOUT0/ RXD0	I/O	入出力ポート 外部割込み端子	I^2C データ入出力 端子 SDA0	同期式シリアル データ出力端子 SOUT0	UART データ入力端子 RXD0
P51/EXI51/ SCL0/ SIN0/ TXD0	I/O	入出力ポート 外部割込み端子	I^2C クロック出力 端子 SCL0	同期式シリアル データ入力端子 SIN0	UART データ出力端子 TXD0
P52/EXI52/ LED/ SCK0/ TMOUTC	I/O	入出力ポート LED 駆動端子 外部割込み端子	–	同期式シリアルク ロック入出力端子 SCK0	タイマアウト出力 端子 TMOUTC
P53/EXI53/ LED/ MD0/ TMOUTD	I/O	入出力ポート LED 駆動端子 外部割込み端子	メロディ/ブザー出 力端子 MD0	–	タイマアウト出力 端子 TMOUTD
P54/EXI54/ SDA1/ SOUTF0/ RXDF0	I/O	入出力ポート 外部割込み端子	I^2C データ入出力 端子 SDA1	FIFO 付き同期式 シリアル データ出力端子 SOUTF0	FIFO 付き UART データ入力端子 RXDF0
P55/EXI55/ SCL1/ SINF0/ TXDF0	I/O	入出力ポート 外部割込み端子	I^2C クロック出力 端子 SCL1	FIFO 付き同期式 シリアル データ入力端子 SINF0	FIFO 付き UART データ出力端子 TXDF0
P56/EXI56/ LSCLK/ SCKF0/ TMOUTE	I/O	入出力ポート 外部割込み端子	低速クロック出力 LSCLK	FIFO 付き同期式 シリアルクロック 入出力端子 SCKF0	タイマアウト出力 端子 TMOUTE
P57/EXI57/ OUTCLK/ SSF0/ TMOUTF	I/O	入出力ポート 外部割込み端子	高速クロック出力 OUTCLK	FIFO 付き同期式 シリアルチップセ レクト入出力端子 SSF0	タイマアウト出力 端子 TMOUTF

22.2 レジスタ説明

22.2.1 レジスター覧

アドレス [H]	名称	略称 (Byte)	略称 (Word)	R/W	サイズ	初期値 [H]
0F238	ポート 5 データレジスタ	P5D	ー	R/W	8	00
0F239	ポート 5 ディレクションレジスタ	P5DIR	ー	R/W	8	00
0F23A	ポート 5 コントロールレジスタ	P5CON0	P5CON	R/W	8/16	00
0F23B		P5CON1		R/W	8	00
0F23C	ポート 5 モードレジスタ	P5MOD0	P5MOD	R/W	8/16	00
0F23D		P5MOD1		R/W	8	00

22.2.2 ポート 5 データレジスタ (P5D)

アドレス：0F238H
アクセス：R/W
アクセスサイズ：8 ビット
初期値：00H

	7	6	5	4	3	2	1	0
P5D	P57D	P56D	P55D	P54D	P53D	P52D	P51D	P50D
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

P5D は、ポート 5 端子への出力値を設定またはポート 5 端子の入力レベルを読み出すための特殊機能レジスタ (SFR) です。 出力モード時には、本レジスタの値がポート 5 端子へ出力されます。P5D に書き込んだ値は読み出し可能です。
入力モード時には、P5D を読み出すとポート 5 端子の入力レベルが読み出されます。
出力モードと入力モードは後述のポートモードレジスタ(P5DIR)にて選択します。

ビットの説明

・ **P57-50D**（ビット 7～0）
P57-50D は、出力モード時はポート 5 端子の出力値を設定するビットで、入力モード時はポート 5 の端子レベルを読み出すビットです。

P50D	説明
0	P50 端子の出力または入力レベルが"L"レベル
1	P50 端子の出力または入力レベルが"H"レベル

P51D	説明
0	P51 端子の出力または入力レベルが"L"レベル
1	P51 端子の出力または入力レベルが"H"レベル

P52D	説明
0	P52 端子の出力または入力レベルが"L"レベル
1	P52 端子の出力または入力レベルが"H"レベル

P53D	説明
0	P53 端子の出力または入力レベルが"L"レベル
1	P53 端子の出力または入力レベルが"H"レベル

P54D	説明
0	P54 端子の出力または入力レベルが"L"レベル
1	P54 端子の出力または入力レベルが"H"レベル

P55D	説明
0	P55 端子の出力または入力レベルが"L"レベル
1	P55 端子の出力または入力レベルが"H"レベル

P56D	説明
0	P56 端子の出力または入力レベルが"L"レベル
1	P56 端子の出力または入力レベルが"H"レベル

P57D	説明
0	P57 端子の出力または入力レベルが"L"レベル
1	P57 端子の出力または入力レベルが"H"レベル

22.2.3 ポート 5 ディレクションレジスタ (P5DIR)

アドレス：0F239H
アクセス：R/W
アクセスサイズ：8 ビット
初期値：00H

	7	6	5	4	3	2	1	0
P5DIR	P57DIR	P56DIR	P55DIR	P54DIR	P53DIR	P52DIR	P51DIR	P50DIR
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

P5DIR は、ポート 5 の入出力モードを選択する特殊機能レジスタ (SFR) です。

ビットの説明

・ **P57-50DIR**（ビット 7～0）
P57-50DIR は、ポート 5 端子の入出力モードを選択するビットです。

P50DIR	**説明**
0	P50 **端子は出力（初期値）**
1	P50 **端子は入力**

P51DIR	**説明**
0	P51 **端子は出力（初期値）**
1	P51 **端子は入力**

P52DIR	**説明**
0	P52 **端子は出力（初期値）**
1	P52 **端子は入力**

P53DIR	**説明**
0	P53 **端子は出力（初期値）**
1	P53 **端子は入力**

P54DIR	**説明**
0	P54 **端子は出力（初期値）**
1	P54 **端子は入力**

P55DIR	**説明**
0	P55 **端子は出力（初期値）**
1	P55 **端子は入力**

P56DIR	**説明**
0	P56 **端子は出力（初期値）**
1	P56 **端子は入力**

P57DIR	**説明**
0	P57 **端子は出力（初期値）**
1	P57 **端子は入力**

22.2.4 ポート 5 コントロールレジスタ(P5CON)

アドレス：0F23AH
アクセス：R/W
アクセスサイズ：8/16 ビット
初期値：0000H

	7	6	5	4	3	2	1	0
P5CON0	P57C0	P56C0	P55C0	P54C0	P53C0	P52C0	P51C0	P50C0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

	15	14	13	12	11	10	9	8
P5CON1	P57C1	P56C1	P55C1	P54C1	P53C1	P52C1	P51C1	P50C1
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

P5CON0, P5CON1 は、ポート 5 端子の出力状態を選択する特殊機能レジスタ (SFR) です。各状態は出力モード時と入力モード時で異なります。出力と入力は P5DIR レジスタで選択します。

ビットの説明

- **P57-50C0** (ビット 7～0) **, P57-50C1** (ビット 15～8)
  P57-50C0, P57-50C1 は、出力モード時にはハイインピーダンス出力、Pch オープンドレイン出力、Nch オープンドレイン出力、および CMOS 出力を、入力モード時にはハイインピーダンス入力、プルダウン抵抗付き入力、プルアップ抵抗付き入力を選択するビットです。

P50 端子の設定		出力モード選択時 (P50DIR ビット="0")	入力モード選択時 (P50DIR ビット="1")
P50C1	**P50C0**	説明	
0	0	ハイインピーダンス出力 (初期値)	ハイインピーダンス入力
0	1	Pch オープンドレイン出力	プルダウン抵抗付き入力
1	0	Nch オープンドレイン出力	プルアップ抵抗付き入力
1	1	CMOS 出力	ハイインピーダンス入力

P51 端子の設定		出力モード選択時 (P51DIR ビット="0")	入力モード選択時 (P51DIR ビット="1")
P51C1	**P51C0**	説明	
0	0	ハイインピーダンス出力 (初期値)	ハイインピーダンス入力
0	1	Pch オープンドレイン出力	プルダウン抵抗付き入力
1	0	Nch オープンドレイン出力	プルアップ抵抗付き入力
1	1	CMOS 出力	ハイインピーダンス入力

P52 端子の設定		出力モード選択時 (P52DIR ビット="0")	入力モード選択時 (P52DIR ビット="1")
P52C1	**P52C0**	説明	
0	0	ハイインピーダンス出力 (初期値)	ハイインピーダンス入力
0	1	Pch オープンドレイン出力	プルダウン抵抗付き入力
1	0	Nch オープンドレイン出力	プルアップ抵抗付き入力
1	1	CMOS 出力	ハイインピーダンス入力

P53 端子の設定		出力モード選択時 (P53DIR ビット="0")	入力モード選択時 (P53DIR ビット="1")
P53C1	**P53C0**	説明	
0	0	ハイインピーダンス出力 (初期値)	ハイインピーダンス入力
0	1	Pch オープンドレイン出力	プルダウン抵抗付き入力
1	0	Nch オープンドレイン出力	プルアップ抵抗付き入力
1	1	CMOS 出力	ハイインピーダンス入力

P54 端子の設定		出力モード選択時 (P54DIR ビット="0")	入力モード選択時 (P54DIR ビット="1")
P54C1	**P54C0**	説明	
0	0	ハイインピーダンス出力 (初期値)	ハイインピーダンス入力
0	1	Pch オープンドレイン出力	プルダウン抵抗付き入力
1	0	Nch オープンドレイン出力	プルアップ抵抗付き入力
1	1	CMOS 出力	ハイインピーダンス入力

P55 端子の設定		出力モード選択時 (P55DIR ビット="0")	入力モード選択時 (P55DIR ビット="1")
P55C1	**P55C0**	説明	
0	0	ハイインピーダンス出力 (初期値)	ハイインピーダンス入力
0	1	Pch オープンドレイン出力	プルダウン抵抗付き入力
1	0	Nch オープンドレイン出力	プルアップ抵抗付き入力
1	1	CMOS 出力	ハイインピーダンス入力

P56 端子の設定		出力モード選択時 (P56DIR ビット="0")	入力モード選択時 (P56DIR ビット="1")
P56C1	**P56C0**	説明	
0	0	ハイインピーダンス出力 (初期値)	ハイインピーダンス入力
0	1	Pch オープンドレイン出力	プルダウン抵抗付き入力
1	0	Nch オープンドレイン出力	プルアップ抵抗付き入力
1	1	CMOS 出力	ハイインピーダンス入力

P57 端子の設定		出力モード選択時 (P57DIR ビット="0")	入力モード選択時 (P57DIR ビット="1")
P57C1	**P57C0**	説明	
0	0	ハイインピーダンス出力 (初期値)	ハイインピーダンス入力
0	1	Pch オープンドレイン出力	プルダウン抵抗付き入力
1	0	Nch オープンドレイン出力	プルアップ抵抗付き入力
1	1	CMOS 出力	ハイインピーダンス入力

22.2.5 ポート 5 モードレジスタ(P5MOD)

アドレス：0F23CH
アクセス：R/W
アクセスサイズ：8/16 ビット
初期値：0000H

	7	6	5	4	3	2	1	0
P5MOD0	P57MD0	P56MD0	P55MD0	P54MD0	P53MD0	P52MD0	P51MD0	P50MD0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

	15	14	13	12	11	10	9	8
P5MOD1	P57MD1	P56MD1	P55MD1	P54MD1	P53MD1	P52MD1	P51MD1	P50MD1
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

P5MOD0, P5MOD1 は、ポート 5 の 1 次機能、2 次機能、3 次機能、4 次機能を選択する特殊機能レジスタ (SFR) です。

ビットの説明

- **P50MD1-0**（ビット 8,0）
  P50MD1-0 は、P50 端子の 1 次機能、2 次機能、3 次機能、4 次機能を選択するビットです。

P50MD1	**P50MD0**	説明
0	0	**汎用入出力モード、外部割込みモード（初期値）**
0	1	I^2C **バスデータ入出力モード**（SDA0）
1	0	**同期式シリアルポートデータ出力モード**（SOUT0）
1	1	UART **データ入力モード**（RXD0）

- **P51MD1-0**（ビット 9,1）
  P51MD1-0 は、P51 端子の 1 次機能、2 次機能、3 次機能、4 次機能を選択するビットです。

P51MD1	**P51MD0**	説明
0	0	**汎用入出力モード、外部割込みモード（初期値）**
0	1	I^2C **バスクロック出力モード**（SCL0）
1	0	**同期式シリアルポートデータ入力モード**（SIN0）
1	1	UART **データ出力モード**（TXD0）

- **P52MD1-0**（ビット 10,2）
  P52MD1-0 は、P52 端子の 1 次機能、2 次機能、3 次機能、4 次機能を選択するビットです。

P52MD1	**P52MD0**	説明
0	0	**汎用入出力モード、外部割込みモード（初期値）**
0	1	**使用禁止**
1	0	**同期式シリアルポートクロック入出力モード**（SCK0）
1	1	**タイマアウト出力モード**（TMOUTC）

・ **P53MD1-0**（ビット 11,3）
P53MD1-0 は、P53 端子の 1 次機能、2 次機能、3 次機能、4 次機能を選択するビットです。

P53MD1	P53MD0	説明
0	0	**汎用入出力モード、外部割込みモード（初期値）**
0	1	**メロディ/ブザー出力モード**（MD0）
1	0	**使用禁止**
1	1	**タイマアウト出力モード**（TMOUTD）

・ **P54MD1-0**（ビット 12,4）
P54MD1-0 は、P54 端子の 1 次機能、2 次機能、3 次機能、4 次機能を選択するビットです。

P54MD1	P54MD0	説明
0	0	**汎用入出力モード、外部割込みモード（初期値）**
0	1	I^2C **バスデータ入出力モード**（SDA1）
1	0	FIFO **付き同期式シリアルポートデータ出力モード**（SOUTF0）
1	1	FIFO **付き** UART **データ入力モード**（RXDF0）

・ **P55MD1-0**（ビット 13,5）
P55MD1-0 は、P55 端子の 1 次機能、2 次機能、3 次機能、4 次機能を選択するビットです。

P55MD1	P55MD0	説明
0	0	**汎用入出力モード、外部割込みモード（初期値）**
0	1	I^2C **バスクロック出力モード**（SCL1）
1	0	FIFO **付き同期式シリアルポートデータ入力モード**（SINF0）
1	1	FIFO **付き** UART **データ出力モード**（TXDF0）

・ **P56MD1-0**（ビット 14,6）
P56MD1-0 は、P56 端子の 1 次機能、2 次機能、3 次機能、4 次機能を選択するビットです。

P56MD1	P56MD0	説明
0	0	**汎用入出力モード、外部割込みモード（初期値）**
0	1	**低速クロック出力モード**（LSCLKO）
1	0	FIFO **付き同期式シリアルポートクロック入出力モード**（SCKF0）
1	1	**タイマアウト出力モード**（TMOUTE）

・ **P57MD1-0**（ビット 15,7）
P57MD1-0 は、P57 端子の 1 次機能、2 次機能、3 次機能、4 次機能を選択するビットです。

P57MD1	P57MD0	説明
0	0	**汎用入出力モード、外部割込みモード（初期値）**
0	1	**高速クロック出力モード**（OUTCLK）
1	0	FIFO **付き同期式シリアルポートチップセレクト入出力モード**（SSF0）
1	1	**タイマアウト出力モード**（TMOUTF）

【注意】
“使用禁止”に設定しかつ出力モードが選択されている場合（ポート 5 コントロールレジスタで選択）、ポート 5 の出力端子状態は、ポートデータレジスタ P5D のデータに関わらず以下のように固定されます。
ハイインピーダンス出力選択時：出力端子はハインピーダンス
Pch オープンドレイン出力選択時：出力端子はハインピーダンス
Nch オープンドレイン出力選択時：出力端子は”L”固定
CMOS 出力選択時：出力端子は”L”固定

22.3 動作説明

22.3.1 入出力ポート機能

ポート 5 の各端子は、ポート 5 ディレクションレジスタ (P5DIR) を設定して、出力と入力のいずれかを選択します。
出力モード時は、ポート 5 コントロールレジスタ 0, 1 (P5CON0, P5CON1) を設定して、ハイインピーダンス出力モード、Pch オープンドレイン出力モード、Nch オープンドレイン出力モード、および CMOS 出力モードのいずれかを選択します。
入力モード時は、ポート 5 コントロールレジスタ 0, 1 (P5CON0, P5CON1) を設定して、ハイインピーダンス入力モード、プルダウン抵抗付き入力モード、プルアップ抵抗付き入力モードのいずれかを選択します。
システムリセット時には、初期状態としてハイインピーダンス出力モードが選択されます。
出力モード時には、ポート 5 データレジスタ (P5D) に設定した値により、ポート 5 各端子に“L”レベルもしくは“H”レベルが出力されます。
入力モード時には、ポート 5 データレジスタ (P5D) からポート 5 各端子の入力レベルが読み出せます。

22.3.2 入出力ポート以外の 1 次機能

ポート 5 には、入出力ポート以外の 1 次機能として、外部割込み入力（EXI50～EXI57）が割り付けられます。
外部割込み入力(EXI50～EXI57)として使用する場合は、該当するポートを入力状態に設定してください。

22.3.3 2 次機能～4 次機能

ポート 5 には、2 次機能～4 次機能として I2C バス用端子(SDA0/1,SCL0/1)、メロディ/ブザー出力端子（MD0）、低速クロック出力端子（LSCLKO）、高速クロック出力端子（OUTCLK）、同期式シリアルポート用端子 (SIN0, SCK0, SOUT0)、FIFO 付き同期式シリアルポート用端子 (SINF0, SCKF0, SOUTF0,SSF0)、UART 用端子 （RXD0, TXD0)、FIFO 付き UART 用端子 （RXDF, TXDF) およびタイマアウト出力（TMOUTC/D/E/F）が割り付けられています。ポート 5 モードレジスタ (P5MOD0, P5MOD1) の P57MD0～P50MD0, P57MD1～P50MD1 ビットを設定することで、各 2～4 次機能モードとして使用できます。

高速クロック出力は、周波数コントロールレジスタ 0（FCON0）の OUTC2～OUTC0 で出力クロックの周波数を選択することが出来ます。出力クロックの周波数選択については「第 6 章 クロック発生回路」を参照してください。

第 23 章　メロディドライバ

23 メロディドライバ

23.1 概要

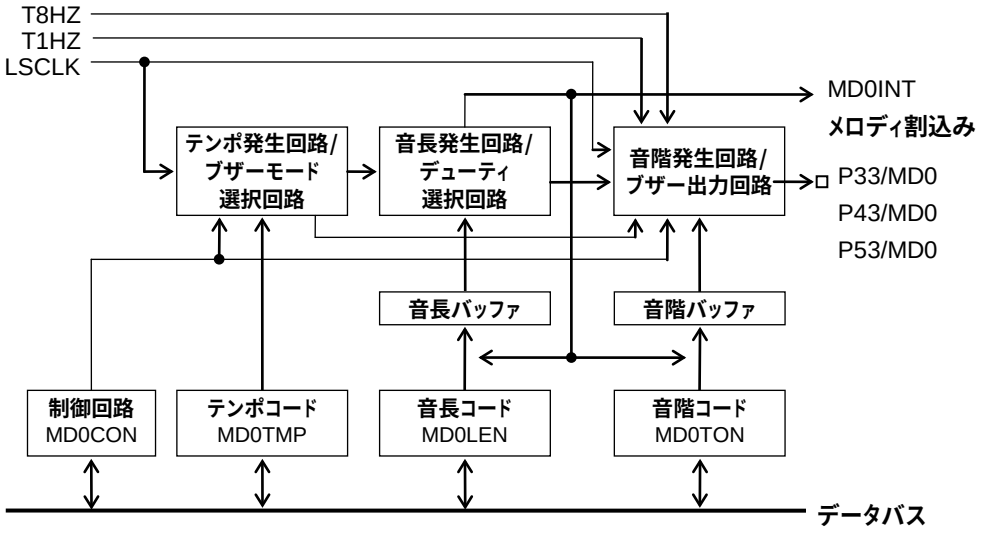
本 LSI は、メロディドライバを 1 チャンネル内蔵しています。
メロディドライバを使用する場合は、ポート 3 またはポート 4、ポート 5 の 2 次機能設定が必要です。各ポートの 2 次機能設定については、「第 20 章 ポート 3」、「第 21 章 ポート 4」、「第 22 章 ポート 5」を参照してください。本ブロックで使用されるクロックについては、「第 6 章 クロック発生回路」を参照してください。

23.1.1 特長

- メロディ出力モード時、29 種の音階（メロディ音周波数：508Hz～10.922kHz）、63 種の音長、15 種のテンポの設定が可能。
- ブザー出力モード時、4 種類の出力モード、8 種の周波数、15 段階のデューティ設定（ブザー周波数が 4.096kHz の時は 7 段階）が可能。

23.1.2 構成

図 23-1 にメロディドライバの構成を示します。



MD0CON ：メロディ 0 コントロールレジスタ
MD0TMP ：メロディ 0 テンポコードレジスタ
MD0TON ：メロディ 0 音階コードレジスタ
MD0LEN ：メロディ 0 音長コードレジスタ

図 23-1 メロディドライバの構成

23.1.3 端子一覧

端子名	入出力	機能
MD0	O	メロディ 0 信号出力端子

23.2 レジスタ説明

23.2.1 レジスター覧

アドレス [H]	名称	略称 (Byte)	略称 (Word)	R/W	サイズ	初期値 [H]
0F8C0	メロディ 0 コントロールレジスタ	MD0CON	-	R/W	8	00
0F8C1	メロディ 0 テンポコードレジスタ	MD0TMP	-	R/W	8	00
0F8C2	メロディ 0 音階/音長コードレジスタ	MD0TON	MD0TL	R/W	8/16	00
0F8C3		MD0LEN		R/W	8	00

23.2.2 メロディ 0 コントロールレジスタ(MD0CON)

アドレス:0F8C0H
アクセス:R/W
アクセスサイズ:8 ビット
初期値:00H

	7	6	5	4	3	2	1	0
MD0CON	—	—	—	—	—	—	BZMD	M0RUN
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

MD0CON は、メロディ、およびブザーを制御する特殊機能レジスタ (SFR) です。

ビットの説明

・ **M0RUN** (ビット 0)
M0RUN は、MD0 出力の開始／停止を制御するビットです。

M0RUN	説明
0	MD0 **出力停止 (初期値)**
1	MD0 **出力開始**

・ **BZMD** (ビット 1)
BZMD は、メロディモード、あるいはブザーモードを選択するビットです。

BZMD	説明
0	**メロディモード (初期値)**
1	**ブザーモード**

23.2.3 メロディ 0 テンポコードレジスタ(MD0TMP)

アドレス：0F8C1H
アクセス：R/W
アクセスサイズ：8 ビット
初期値：00H

	7	6	5	4	3	2	1	0
MD0TMP	—	—	—	—	M0TM3	M0TM2	M0TM1	M0TM0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

TD0TMP は、メロディモード選択時にメロディのテンポコードを、ブザーモード選択時にブザー出力波形を設定する特殊機能レジスタ (SFR) です。

ビットの説明

・ **M0TM3-0** （ビット 3～0）

メロディモード選択時 (BZMD **ビット**="0"**の時**)				
M0TM3	**M0TM2**	**M0TM1**	**M0TM0**	**説明**
0	0	0	0	♪＝480 (**初期値**)
0	0	0	1	♪＝480
0	0	1	0	♪＝320
0	0	1	1	♪＝240
0	1	0	0	♪＝192
0	1	0	1	♪＝160
0	1	1	0	♪ 137
0	1	1	1	♪＝120
1	0	0	0	♪ 107
1	0	0	1	♪＝96
1	0	1	0	♪ 87
1	0	1	1	♪＝80
1	1	0	0	♪ 74
1	1	0	1	♪ 69
1	1	1	0	♪＝64
1	1	1	1	♪＝60

ブザーモード選択時 (BZMD **ビット**="1"**の時**)				
M0TM3	**M0TM2**	**M0TM1**	**M0TM0**	**説明**
*	*	0	0	**断続音 1 出力** (**初期値**)
*	*	0	1	**断続音 2 出力**
*	*	1	0	**単音出力**
*	*	1	1	**連続音出力**

【注意】
メロディ出力は、LSCLK を使用します。

23.2.4 メロディ 0 音階/音長コードレジスタ (MD0TL)

アドレス：0F8C2H
アクセス：R/W
アクセスサイズ：8/16 ビット
初期値：0000H

	7	6	5	4	3	2	1	0
MD0TON	—	M0TN6	M0TN5	M0TN4	M0TN3	M0TN2	M0TN1	M0TN0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

	15	14	13	12	11	10	9	8
MD0LEN	—	—	M0LN5	M0LN4	M0LN3	M0LN2	M0LN1	M0LN0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

MD0TL は、メロディモード選択時にメロディの音階コードと音長コードを、ブザーモード選択時にブザー出力周波数とブザー出力のデューティを設定する特殊機能レジスタ (SFR) です。

ビットの説明

・ **M0TN6-0** （ビット 6～0）

メロディモード選択時 (BZMD **ビット**="0"**の時**)	
M0TN6-0	**説明**
	相当する音階コードを設定します

音階コードについては、23.3.4 章「音階コード」を参照してください。

ブザーモード選択時 (BZMD **ビット**="1"**の時**)				
M0TN6-3	**M0TN2**	**M0TN1**	**M0TN0**	**説明**
*	0	0	0	4.096kHz （**初期値**）
*	0	0	1	2.048kHz
*	0	1	0	1.024kHz
*	0	1	1	683Hz
*	1	0	0	512Hz
*	1	0	1	410Hz
*	1	1	0	341Hz
*	1	1	1	293Hz

*ブザーモード時に M0TN6～3 ビットは使用しません(Don't care)。

・ **M0LN5-0** （ビット 13～8）

メロディモード選択時（BZMD ビット="0"の時）	
M0LN5-0	説明
	相当する音長コードを設定します

音長コードについては、23.3.3 章「音長コード」を参照してください。

ブザーモード選択時（BZMD ビット="1"の時）						
M0LN5-4	M0LN3	M0LN2	M0LN1	M0LN0	説明	
					ブザー周波数 4.096kHz 時	ブザー周波数 4.096kHz 以外
*	0	0	0	0	1/8DUTY （初期値）	1/16DUTY （初期値）
*	0	0	0	1	1/8DUTY	1/16DUTY
*	0	0	1	0	1/8DUTY	2/16DUTY
*	0	0	1	1	1/8DUTY	3/16DUTY
*	0	1	0	0	2/8DUTY	4/16DUTY
*	0	1	0	1	2/8DUTY	5/16DUTY
*	0	1	1	0	3/8DUTY	6/16DUTY
*	0	1	1	1	3/8DUTY	7/16DUTY
	1	0	0	0	4/8DUTY	8/16DUTY
	1	0	0	1	4/8DUTY	9/16DUTY
	1	0	1	0	5/8DUTY	10/16DUTY
	1	0	1	1	5/8DUTY	11/16DUTY
	1	1	0	0	6/8DUTY	12/16DUTY
	1	1	0	1	6/8DUTY	13/16DUTY
	1	1	1	0	7/8DUTY	14/16DUTY
	1	1	1	1	7/8DUTY	15/16DUTY

*ブザーモード時に M0LN5～4 ビットは使用しません(Don't care)。

23.3 動作説明

23.3.1 メロディ出力の動作

メロディは、以下の手順で出力させます。

(1) メロディ 0 コントロールレジスタ (MD0CON) の BZMD ビットを“0”にセットしてメロディモードを選択します。
(2) メロディのテンポをメロディ 0 テンポコードレジスタ (MD0TMP)に設定します。
(3) 音長コードをメロディ 0 音長コードレジスタ (MD0LEN)に設定します。
(4) 音階コードをメロディ 0 音階コードレジスタ (MD0TON) に設定します。
(5) メロディ 0 コントロールレジスタ (MD0CON) の M0RUN ビットを“1”にセットすると、音長コードおよび音階コードがそれぞれ音長バッファおよび音階バッファに転送され、MD0 端子からメロディ出力が開始されます。また同時にメロディ 0 割込み (MD0INT) を要求します。割込みが発生し、割込みルーチンへ移行すると割込み要求フラグはクリアされます。

メロディ 0 信号出力端子 (MD0) は、ポート 3 またはポート 4、ポート 5 の 2 次機能に割り付けられています。各ポートの 2 次機能設定については、「第 20 章 ポート 3」、「第 21 章 ポート 4」、「第 22 章 ポート 5」を参照してください。
メロディ 0 割込み後のソフトウェア処理では、次に出力する音符の音長コードおよび音階コードを MD0LEN、および MD0TON に設定します。次に出力する音符がない場合は、MD0TON に休符データ“00H”を設定し、次のメロディ 0 割込み後のソフトウェア処理にて M0RUN ビットを“0”にし、メロディ出力を終了します。
また、メロディ出力中に M0RUN ビットを“0”にし、メロディを強制終了することが可能です。

図 23-2 にメロディドライバの動作波形を示します。

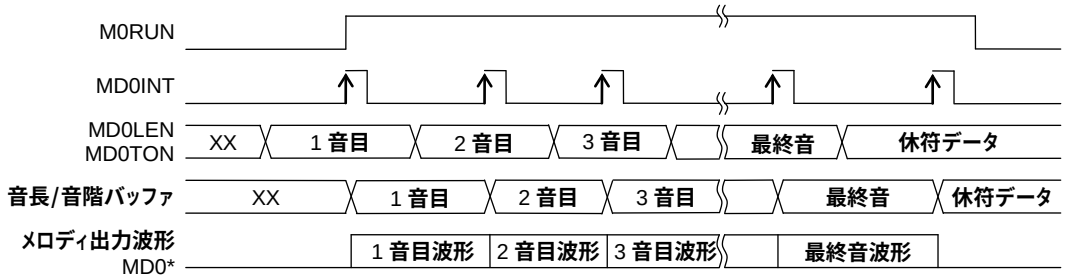


図 23-2 メロディドライバの動作波形

23.3.2 メロディ回路の使用例

図 23-3 にメロディ音譜例、表 23-1 にメロディ例の音符コードを示します。

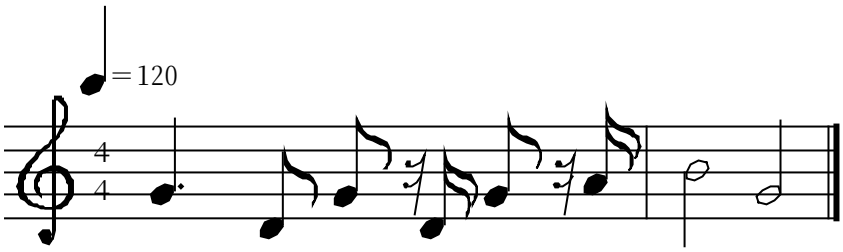


図 23-3 メロディ音譜例

表 23-1 メロディ例の音符コード

音 符		音 符 コ ー ド													
		MD0LEN						MD0TON							16 進数
		5	4	3	2	1	0	6	5	4	3	2	1	0	
	G^2	1	0	1	1	1	1	0	1	0	1	0	0	1	2F29H
	D^2	0	0	1	1	1	1	0	1	1	0	1	1	0	0F36H
	G^2	0	0	1	1	1	1	0	1	0	1	0	0	1	0F29H
	—	0	0	0	1	1	1	0	0	0	0	0	0	0	0700H
	D^2	0	0	0	1	1	1	0	1	1	0	1	1	0	0736H
	G^2	0	0	1	1	1	1	0	1	0	1	0	0	1	0F29H
	—	0	0	0	1	1	1	0	0	0	0	0	0	0	0700H
	A^2	0	0	0	1	1	1	0	1	0	0	1	0	0	0724H
	B^2	1	1	1	1	1	1	0	1	0	0	0	0	0	3F20H
	G^2	1	1	1	1	1	1	0	1	0	1	0	0	1	3F29H

23.3.3 テンポコード

テンポコードは、メロディ 0 テンポコードレジスタ (MD0TMP) に設定します。
表 23-2 にテンポ (1 分間のカウント数) とテンポコードの対応を示します。
全てのビットを“0”にした場合のテンポは、最短音長 (M0TP0 のみ“1”にしたテンポ) と同じです。

表 23-2 テンポとテンポコードの対応

テンポ	テンポコード (MD0TMP)				
	M0TP3	M0TP2	M0TP1	M0TP0	M0TP3〜0
♩ = 480	0	0	0	0	0H
♩ = 480	0	0	0	1	1H
♩ = 320	0	0	1	0	2H
♩ = 240	0	0	1	1	3H
♩ = 192	0	1	0	0	4H
♩ = 160	0	1	0	1	5H
♩ 137	0	1	1	0	6H
♩ = 120	0	1	1	1	7H
♩ 107	1	0	0	0	8H
♩ = 96	1	0	0	1	9H
♩ 87	1	0	1	0	AH
♩ = 80	1	0	1	1	BH
♩ 74	1	1	0	0	CH
♩ 69	1	1	0	1	DH
♩ = 64	1	1	1	0	EH
♩ = 60	1	1	1	1	FH

23.3.4 音長コード

音長コードは、メロディ 0 音長コードレジスタ(MD0LEN) に設定します。
表 23-3 に音長と音長コードの対応を音長を示します。
全てのビットを“0”にした場合の音長は、最短音長（M0LN0 のみ“1”にした音長）と同じです。

表 23-3 音長コードと音長の対応

音 長	音 長 コ ー ド (MD0LEN)						
	M0LN5	M0LN4	M0LN3	M0LN2	M0LN1	M0LN1	M0LN5～0
𝅗𝅥	1	1	1	1	1	1	3FH
♩.	1	0	1	1	1	1	2FH
♩	0	1	1	1	1	1	1FH
♪.	0	1	0	1	1	1	17H
♪	0	0	1	1	1	1	0FH
𝅘𝅥𝅯.	0	0	1	0	1	1	0BH
𝅘𝅥𝅯	0	0	0	1	1	1	07H
𝅘𝅥𝅰.	0	0	0	1	0	1	05H
𝅘𝅥𝅰	0	0	0	0	1	1	03H
𝅘𝅥𝅱.	0	0	0	0	1	0	02H
𝅘𝅥𝅲	0	0	0	0	0	1	01H

音長コードとテンポコードにより設定される音長は、次式で表されます。

音長 = 1.953125 × (TP + 1) × (LN + 1) ms （TP は 1～15, LN は 1～63 の整数）

TP とテンポコードのビット対応は、次式で表されます。

$$TP = 2^3 M0TP3 + 2^2 M0TP2 + 2^1 M0TP1 + 2^0 M0TP0$$

また、LN と音長コードのビット対応は、次式で表されます。

$$LN = 2^5 M0LN5 + 2^4 M0LN4 + 2^3 M0LN3 + 2^2 M0LN2 + 2^1 M0LN1 + 2^0 M0LN0$$

23.3.5 音階コード

音階コードは、メロディ 0 音階コードレジスタ(MD0TON) に設定します。
メロディドライバにおいて出力可能な周波数は、次式で表されます。

$$\frac{65536}{(TN + 1)} \text{ Hz} \quad (\text{TN は } 4 \sim 127 \text{ の整数})$$

TN と音階コードのビット対応は、次式で表されます。

$$TN = 2^6 M0TN6 + 2^5 M0TN5 + 2^4 M0TN4 + 2^3 M0TN3 + 2^2 M0TN2 + 2^1 M0TN1 + 2^0 M0TN0$$

表 23-4 に音階と音階コードの対応を示します。
M0TN6～M0TN2 の全てのビットを“0”にした場合は休符となります。休符の長さは音長コード(MD0LEN) で設定します。

表 23-4 音階と音階コードの対応

音 階	周波数 (Hz)	音 階 コ ー ド (MD0TON)							
		M0TN6	M0TN5	M0TN4	M0TN3	M0TN2	M0TN1	M0TN0	M0TN6～0
C^1	529	1	1	1	1	0	1	1	7BH
Cis^1	560	1	1	1	0	1	0	0	74H
D^1	590	1	1	0	1	1	1	0	6EH
Dis^1	624	1	1	0	1	0	0	0	68H
E^1	662	1	1	0	0	0	1	0	62H
F^1	705	1	0	1	1	1	0	0	5CH
Fis^1	745	1	0	1	0	1	1	1	57H
G^1	790	1	0	1	0	0	1	0	52H
Gis^1	840	1	0	0	1	1	0	1	4DH
A^1	886	1	0	0	1	0	0	1	49H
Ais^1	936	1	0	0	0	1	0	1	45H
B^1	993	1	0	0	0	0	0	1	41H
C^2	1057	0	1	1	1	1	0	1	3DH
Cis^2	1111	0	1	1	1	0	1	0	3AH
D^2	1192	0	1	1	0	1	1	0	36H
Dis^2	1260	0	1	1	0	0	1	1	33H
E^2	1338	0	1	1	0	0	0	0	30H
F^2	1394	0	1	0	1	1	1	0	2EH
Fis^2	1490	0	1	0	1	0	1	1	2BH
G^2	1560	0	1	0	1	0	0	1	29H
Gis^2	1680	0	1	0	0	1	1	0	26H
A^2	1771	0	1	0	0	1	0	0	24H
Ais^2	1872	0	1	0	0	0	1	0	22H
B^2	1986	0	1	0	0	0	0	0	20H
C^3	2114	0	0	1	1	1	1	0	1EH
D^3	2341	0	0	1	1	0	1	1	1BH
Dis^3	2521	0	0	1	1	0	0	1	19H
E^3	2621	0	0	1	1	0	0	0	18H
Fis^3	2979	0	0	1	0	1	0	1	15H

23.3.6 ブザー出力の動作

ブザー音は以下の手順で出力させます。
(1)メロディ 0 コントロールレジスタ (MD0CON) の BZMD ビットを“1”にセットしてブザーモードを選択します。
(2)ブザーの出力モードをメロディ 0 テンポコードレジスタ (MD0TMP) で選択します。
(3)ブザー出力波形の High レベル区間のデューティをメロディ 0 音長コードレジスタ (MD0LEN)で選択します。
(4)ブザー出力周波数をメロディ 0 音階コードレジスタ (MD0TON) に設定します。
(5)メロディ 0 コントロールレジスタ (MD0CON) の M0RUN ビットを“1”にセットすると、MD0 端子から設定したブザー音に相当する波形が出力されます。
図 23-4 に、各ブザー出力モードでの出力波形を示します。

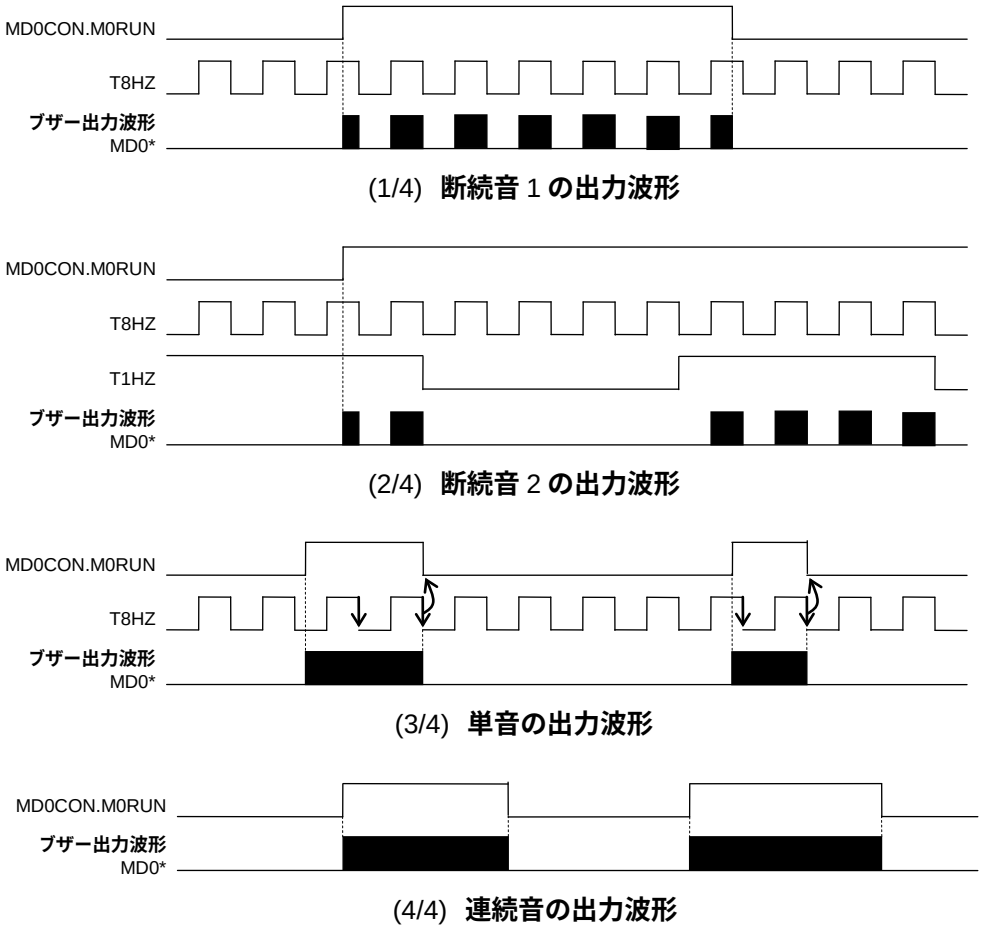


図 23-4 各ブザー出力モードの出力波形

第 24 章　RC 発振型 A/D コンバータ (RC-ADC)

24 RC 発振型 A/D コンバータ (RC-ADC)

24.1 概要

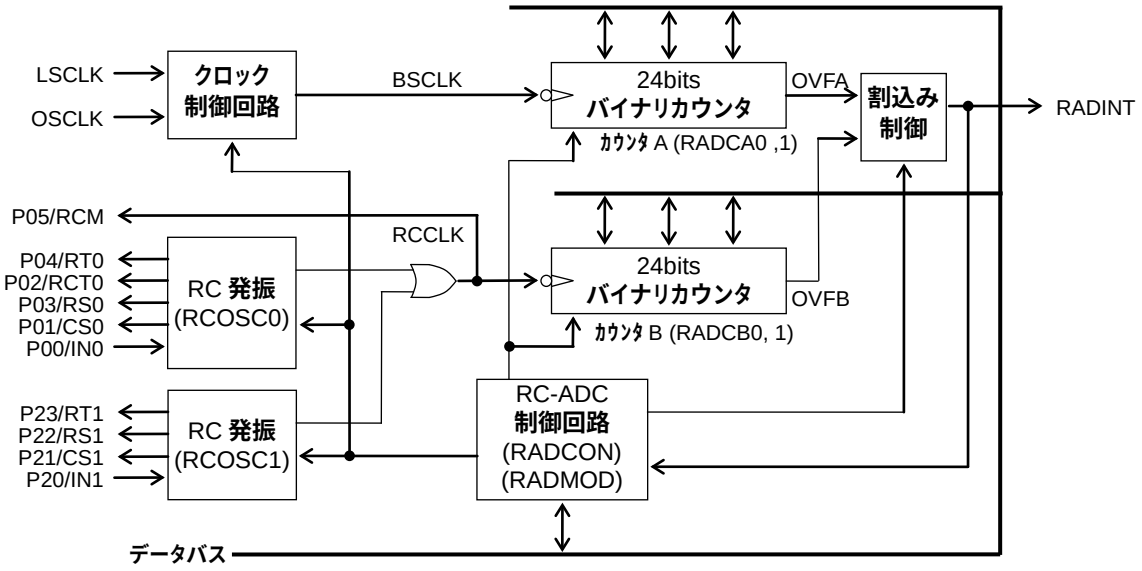
RC 発振型 A/D コンバータ (RC-ADC : RC oscillator type A-D Converter)は、RC 発振回路に接続される抵抗あるいは容量によって変化する周波数の発振クロックをカウントする事により、抵抗値あるいは容量値をデジタル値に変換します。抵抗としてサーミスタや湿度センサを使用する事により、温度計や湿度計を構成することができます。
また、2 チャンネル内蔵しているため、RC 発振回路のそれぞれに別々のセンサを使えば、測定範囲の拡張や 2 箇所の測定等、応用範囲が広がります。
入力クロックに関しては「第 6 章 クロック発生回路」を参照してください。

24.1.1 特長

- 時分割による 2 チャンネル方式

24.1.2 構成

RC-ADC は、2 チャンネルの RC 発振回路、24 ビットバイナリカウンタのカウンタ A (RADCA0,1) 、カウンタ B (RADCB0,1) 、および RC-ADC 制御回路 (RADCON, RADMOD) で構成されます。図 24-1 に RC-ADC の構成を示します。



RADMOD ：RC-ADC モードレジスタ
RADCON ：RC-ADC コントロールレジスタ
RADCA0, 1 ：RC-ADC カウンタ A レジスタ
RADCB0, 1 ：RC-ADC カウンタ B レジスタ

図 24-1 RC-ADC の構成

24.1.3 端子一覧

端子名	入出力	機能
IN0	I	チャンネル 0 の発振入力端子
CS0	O	チャンネル 0 の基準容量接続端子
RS0	O	チャンネル 0 の基準抵抗接続端子
RCT0	O	チャンネル 0 の測定用抵抗/容量センサ接続端子
RT0	O	チャンネル 0 の測定用抵抗センサ接続端子
RCM	O	RC 発振モニター端子
IN1	I	チャンネル 1 の発振入力端子
CS1	O	チャンネル 1 の基準容量接続端子
RS1	O	チャンネル 1 の基準抵抗接続端子
RT1	O	チャンネル 1 の測定用抵抗センサ接続端子

24.2 レジスタ説明

24.2.1 レジスター覧

アドレス [H]	名称	略称 (Byte)	略称 (Word)	R/W	サイズ	初期値 [H]
0F800	RC-ADC カウンタ A レジスタ 0	RADCA0L	RADCA0	R/W	8/16	00
0F801		RADCA0H		R/W	8	00
0F802	RC-ADC カウンタ A レジスタ 1	RADCA1L	RADCA1	R/W	8/16	00
0F803		RADCA1H		R/W	8	00
0F804	RC-ADC カウンタ B レジスタ 0	RADCB0L	RADCB0	R/W	8/16	00
0F805		RADCB0H		R/W	8	00
0F806	RC-ADC カウンタ B レジスタ 1	RADCB1L	RADCB1	R/W	8/16	00
0F807		RADCB1H		R/W	8	00
0F808	RC-ADC モードレジスタ	RADMODL	RADMOD	R/W	8/16	00
0F809		RADMODH		R/W	8	00
0F80A	RC-ADC コントロールレジスタ	RADCONL	RADCON	R/W	8/16	00
0F80B		RADCONH		R/W	8	00

24.2.2 RC-ADC カウンタ A レジスタ 0 (RADCA0)

アドレス：0F800H
アクセス：R/W
アクセスサイズ：8/16 ビット
初期値：0000H

	7	6	5	4	3	2	1	0
RADCA0L	RAA7	RAA6	RAA5	RAA4	RAA3	RAA2	RAA1	RAA0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

	15	14	13	12	11	10	9	8
RADCA0H	RAA15	RAA14	RAA13	RAA12	RAA11	RAA10	RAA9	RAA8
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

24.2.3 RC-ADC カウンタ A レジスタ 1(RADCA1)

アドレス：0F802H
アクセス：R/W
アクセスサイズ：8/16 ビット
初期値：0000H

	7	6	5	4	3	2	1	0
RADCA1L	RAA23	RAA22	RAA21	RAA20	RAA19	RAA18	RAA17	RAA16
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

	15	14	13	12	11	10	9	8
RADCA1H	–	–	–	–	–	–	–	–
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

RADCA0, 1 は、RC-ADC のカウンタ A の読み出し、書き込みを行うための特殊機能レジスタ (SFR) です。RADCA0, 1 は、24 ビットのバイナリカウンタです。

【注意】
書き込み後に、A/D 変換を開始すると、A/D 変換中 (RARUN = 1) は書き込んだ値が読み出されます。
A/D 変換を終了 (RARUN = 0) するとカウント値が読み出されます。

24.2.4 RC-ADC カウンタ B レジスタ 0 (RADCB0)

アドレス：0F804H
アクセス：R/W
アクセスサイズ：8/16 ビット
初期値：0000H

	7	6	5	4	3	2	1	0
RADCB0L	RAB7	RAB6	RAB5	RAB4	RAB3	RAB2	RAB1	RAB0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

	15	14	13	12	11	10	9	8
RADCB0H	RAB15	RAB14	RAB13	RAB12	RAB11	RAB10	RAB9	RAB8
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

24.2.5 RC-ADC カウンタ B レジスタ 1(RADCB1)

アドレス：0F806H
アクセス：R/W
アクセスサイズ：8/16 ビット
初期値：0000H

	7	6	5	4	3	2	1	0
RADCB1L	RAB23	RAB22	RAB21	RAB20	RAB19	RAB18	RAB17	RAB16
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

	15	14	13	12	11	10	9	8
RADCB1H	–	–	–	–	–	–	–	–
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

RADCB0, 1 は、RC-ADC のカウンタ B の読み出し、書き込みを行うための特殊機能レジスタ (SFR) です。RADCB0, 1 は、24 ビットのバイナリカウンタです。

【注意】
書き込み後に、A/D 変換を開始すると、A/D 変換中 (RARUN = 1) は書き込んだ値が読み出されます。
A/D 変換を終了 (RARUN = 0) するとカウント値が読み出されます。

24.2.6 RC-ADC モードレジスタ (RADMOD)

アドレス：0F808H
アクセス：R/W
アクセスサイズ：8/16 ビット
初期値：0000H

	7	6	5	4	3	2	1	0
RADMODL	RACK2	RACK1	RACK0	RADI	OM3	OM2	OM1	OM0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

	15	14	13	12	11	10	9	8
RADMODH	–	–	–	–	–	–	–	–
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

RADMOD は、RC-ADC の A/D 変換モードを選択する特殊機能レジスタ (SFR) です。

ビットの説明

- **OM3-0** （ビット 3～0）
  OM3-0 は、RC 発振回路の発振モードを選択するビットです。

OM3	OM2	OM1	OM0	説明
0	0	0	0	IN0 **端子外部クロック入力モード（初期値）**
0	0	0	1	RS0－CS0 **発振モード**
0	0	1	0	RT0－CS0 **発振モード**
0	0	1	1	RT0-1－CS0 **発振モード**
0	1	0	0	RS0－CT0 **発振モード**
0	1	0	1	RS1－CS1 **発振モード**
0	1	1	0	RT1－CS1 **発振モード**
0	1	1	1	IN1 **端子外部クロック入力モード**
1	*	*	*	**使用禁止**

- **RADI** （ビット 4）
  RADI は、カウンタ A、カウンタ B どちらのオーバフローによって RC-ADC 割込み要求信号 (RADINT) を発生させるかを選択するビットです。

RADI	説明
0	**カウンタ** A **オーバフローによる割込み要求（初期値）**
1	**カウンタ** B **オーバフローによる割込み要求**

・ **RACK2-0**（ビット 7～5）
RACK2-0 は、カウンタ A の基準クロック (BSCLK) を選択するビットです。

RACK2	RACK1	RACK0	説明
0	0	0	LSCLK (**初期値**)
0	0	1	OSCLK
0	1	0	1/2OSCLK
0	1	1	1/4OSCLK
1	0	0	1/8OSCLK
1	0	1	1/16OSCLK
1	1	0	1/32OSCLK
1	1	1	1/64OSCLK

24.2.7 RC-ADC コントロールレジスタ (RADCON)

アドレス：0F80AH
アクセス：R/W
アクセスサイズ：8/16 ビット
初期値：0000H

	7	6	5	4	3	2	1	0
RADCONL	–	–	–	–	–	–	–	RARUN
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

	15	14	13	12	11	10	9	8
RADCONH	–	–	–	–	–	–	–	–
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

RADCON は、RC-ADC の A/D 変換動作を制御する特殊機能レジスタ (SFR) です。

ビットの説明

・ **RARUN** （ビット 0）
RARUN は、RC-ADC の A/D 変換開始／停止を選択するビットです。RARUN を“1”にすると A/D 変換を開始し、“0”にすると A/D 変換を停止します。RARUN を“1”に設定し、カウンタ A もしくはカウンタ B がオーバフローすると、RARUN ビットは自動的に“0”にリセットされます。
RARUN は、システムリセット時に“0”になります。

RARUN	説明
0	A/D **変換停止（初期値）**
1	A/D **変換開始**

【注意】
RARUN を"0"にして停止した場合は、BLKCON4 の DRAD を"1"にして一度動作を停止してください。再度動作させる場合は、BLKCON4 の DRAD を"0"にし、各レジスタを再設定の上、RARUN を"1"にしてください。

24.3 動作説明

カウンタ A (RADCA0, 1) は、時間の基準となる、基準クロック (BSCLK) をカウントするための 24 ビットバイナリカウンタで、最大 0FFFFFFH までカウントできます。
カウンタ B (RADCB0, 1) は、RC 発振回路の発振クロック (RCCLK) をカウントするための 24 ビットバイナリカウンタで、最大 0FFFFFFH までカウントできます。
カウンタ A、カウンタ B にはそれぞれオーバフローフラグ (OVFA, OVFB) があり、それらのオーバフロー出力は RC-ADC 割込み要求信号 (RADINT) を発生します。オーバフローによる割込みを、カウンタ A 側、カウンタ B 側のどちらかによって発生させるかは RC-ADC モードレジスタ (RADMOD) の RADI ビットにより選択されます。RADI を“0”にするとカウンタ A のオーバフローが選択され、“1”にするとカウンタ B のオーバフローが選択されます。

RC-ADC コントロールレジスタ (RADCON) の RARUN ビットは RC-ADC の変換動作の開始／停止を選択するビットであり、RARUN を“0”にすると RC 発振回路は停止し、カウント動作も行なわれません。RARUN を“1”にセットすると RC 発振が開始されカウンタ B とカウンタ A により RC 発振クロック (RCCLK) と基準クロック (BSCLK) のカウントが開始されます。

RC 発振部は、2 つの発振回路 RCOSC0 と RCOSC1 による合計 8 種類の発振モードを持ち、それらは、RC-ADC モードレジスタ (RADMOD) により選択されます。
RC 発振回路 RCOSC0 を使用する場合は P00～P04 を、RCOSC1 を使用する場合は P20～P23 を、および RC 発振波形を出力する RC モニター端子 (RCM) を使用する場合は P05 を 2 次機能に設定する必要があります。RC 発振回路の構成については「24.1.2 構成」を、ポート 0 の 2 次機能については、「第 17 章 ポート 0」を、ポート 2 の 2 次機能については「第 19 章 ポート 2」を参照してください。

24.3.1 RC 発振回路

RC-ADC は、基準となる抵抗（あるいはコンデンサ）と、サーミスタ等の抵抗性センサ（あるいは容量性センサ）との発振周波数の比をデジタル化することにより、A/D 変換を行ないます。
基準抵抗（あるいは容量）とセンサを対にして基準側とセンサ側の両方でRC発振させることにより、RC発振回路自体がもつ誤差要因が打ち消され、センサそのものの特性を A/D 変換することが可能となります。
基準側の発振周波数とセンサ側の発振周波数の比をとり、その比と温度（センサの特性が持つ）の相関をあらかじめ計算しておくことで、その得られた比から温度が求められます。
表 24-1 は、RC-ADC モードレジスタ (RADMOD) の OM3～0 ビットで選択される合計 8 種類の発振モードを示します。

表 24-1 OM3～0 ビットによる発振モード

モード No.	RADMOD				RCOSC0 出力端子				RCOSC1 出力端子			モード	
	OM3	OM2	OM1	OM0	RS0	RT0	RCT0	CS0	RS1	RT1	CS1		
0	0	0	0	0	Z	Z	Z	Z	Z	Z	Z	IN0 外部クロック入力モード	
1	0	0	0	1	1/0	Z	Z	0/1	Z	Z	Z	RS0-CS0 発振	RCOSC0 発振モード
2	0	0	1	0	Z	1/0	Z	0/1	Z	Z	Z	RT0-CS0 発振	
3	0	0	1	1	Z	Z	1/0	0/1	Z	Z	Z	RT_{0-1}-CS0 発振	
4	0	1	0	0	1/0	Z	0/1	Z	Z	Z	Z	RS0-CT0 発振	
5	0	1	0	1	Z	Z	Z	Z	1/0	Z	0/1	RS1-CS1 発振	RCOSC1 発振モード
6	0	1	1	0	Z	Z	Z	Z	Z	1/0	0/1	RT1-CS1 発振	
7	0	1	1	1	Z	Z	Z	Z	Z	Z	Z	IN1 外部クロック入力モード	
8	1	＊	＊	＊	Z	Z	Z	Z	Z	Z	Z	(使用禁止)	

注） ＊ ：任意であることを示す。
Z ：ハイインピーダンス出力を示す。
1/0, 0/1 ：アクティブ出力を示す。
(使用禁止) ：RARUN ビットをセットして A/D 変換を開始させても発振クロックが供給されません。

表 24-1 の中で、モード No.0 とモード No.7 は、RC 発振回路の動作をとめて、IN0 端子もしくは IN1 端子に入力される外部クロックを計測に使うモードです。
なお、表 24-1 に示される様に 2 つの発振回路 RCOSC0 と RCOSC1 は、同時に発振した場合の発振動作に干渉が起きるのを防ぐため、同時に動作できない仕様になっています。
発振周波数 f_{RCCLK} と RC 定数の関係は次式で表されます。

$$\frac{1}{f_{RCCLK}} = t_{RCCLK} = k_{RCCLK} \cdot R \cdot C$$

t_{RCCLK} は発振クロックの周期、k_{RCCLK} は比例定数、R･C は発振に関係する容量 CS、CT、(CS+CVR)、(CT＋CVR)と、抵抗値 RS、RT との積です。k_{RCCLK} は、電源電圧 VDD、RI、R、C 値によって微動します。
表 24-2 に、CS、CT、CVR、RS、RT を以下の値にした場合の比例定数 k_{RCCLK} の標準値を示します。

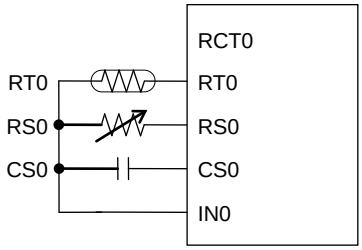
表 24-2 RC 発振回路の比例定数 k_{RCCLK} の標準値

VDD (V)	CSn, CTn (pF)	CVRn (pF)	RSn, RTn (kΩ)	k_{RCCLK} (Typ.)
3	560	820	100	1.2
	560	820	10	1.2

注） n = 0, 1, 0-1

【注意】
･RC-ADC 機能に使用する各端子は、対応するポートのモードレジスタ（P0MOD0、P0MOD1、P2MOD0、P2MOD1）上で、2 次機能に設定してください。
･P05/RCM 端子を除く端子（「24.1.3 端子一覧」を参照）は、A/D 変換中 RC-ADC 機能専用の端子となります。よって、RADMOD レジスタで選択する発振モード No.0～4 の場合は、P05 を除くポート 0 の端子は 1 次機能として使用できません。また、発振モード No.5～7 の場合は、ポート 2 の P20-P23 端子は 1 次機能として使用できません。

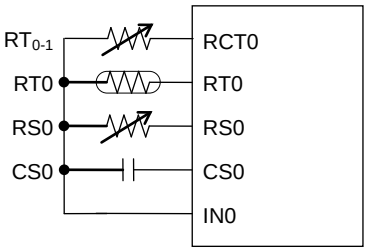
図 24-2～5 に発振回路の構成方法とそれぞれのモードおよび OM3～0 ビットの設定値を示します。



OM3	OM2	OM1	OM0	発振モード
0	0	0	1	基準抵抗 RS0-CS0 で発振
0	0	1	0	センサ RT0-CS0 で発振

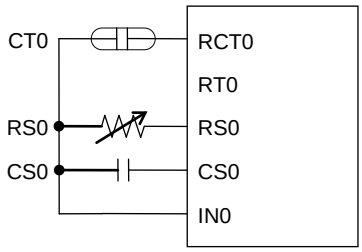
図 24-2 RCOSC0 を 1 つの抵抗性センサによる計測に使う場合

【注意】
図 24-2 の場合の未使用 RCT0 端子は、A/D 変換中 RC-ADC 機能専用の端子となるため、1次機能であるポート P02 として使用できません。



OM3	OM2	OM1	OM0	発振モード
0	0	0	1	基準抵抗 RS0-CS0 で発振
0	0	1	0	センサ RT0-CS0 で発振
0	0	1	1	基準抵抗 RT_{0-1}-CS0 で発振

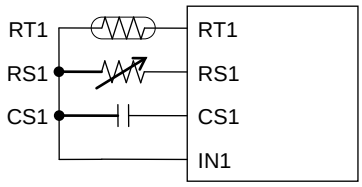
図 24-3 RCOSC0 を 1 つの抵抗性センサによる計測に使う場合
(基準抵抗 2 本で 2 ポイント調整する場合)



OM3	OM2	OM1	OM0	発振モード
0	0	0	1	基準抵抗 RS0-CS0 で発振
0	1	0	0	RS0-センサ CT0 で発振

図 24-4 RCOSC0 を 1 つの容量性センサによる計測に使う場合

【注意】
図 24-4 の場合の未使用端子 RT0 端子は、A/D 変換中 RC-ADC 機能専用の端子となるため、1次機能であるポート P04 として使用できません。



OM3	OM2	OM1	OM0	発振モード
0	1	0	1	基準抵抗 RS1-CS1 で発振
0	1	1	0	センサ RT1-CS1 で発振

図 24-5 RCOSC1 を 1 つの抵抗性センサによる計測に使う場合

24.3.2 カウンタ A/B 基準モード

RC-ADC の変換動作には、次の 2 つのモードがあります。

- カウンタ A 基準モード (RADMOD の RADI＝“0”)
  カウンタ A と時間の基準となる基準クロック (BSCLK) によりゲート時間を決め、そのゲート時間内にカウンタ B により RC 発振クロック (RCCLK) をカウントし、カウンタ B の内容を A/D 変換値とするモードです。
  デジタル値は RC 発振周波数に比例します。

- ・カウンタ B 基準モード（RADMOD の RADI＝“1”）
  カウンタ B と RC 発振クロック (RCCLK) によりゲート時間を決め、そのゲート時間内にカウンタ A により時間の基準となる基準クロック (BSCLK) をカウントし、カウンタ A の内容を A/D 変換値とするモードです。
  デジタル値は RC 発振周波数に反比例します。

(1) カウンタ A 基準モードの動作
図 25-6 にカウンタ A 基準モードの動作タイミングを示します。
カウンタ A 基準モードの動作手順例を以下に示します。

① カウンタ A (RADCA0, 1) に、最大値＋1 (1000000H) からカウント値“nA0”を引いた値をプリセットします。ここでカウント値“nA0”と BSCLK のクロック周期の積はゲート時間を表わします。
② カウンタ B (RADCB0, 1) に“000000H”をプリセットします。
③ RADMOD の OM3～0 ビットを必要な発振モードに設定します。（表 24－1 参照）
④ RADMOD の RADI ビットを“0”に設定し、カウンタ A オーバフローによる割込み要求を選択します。
⑤ RADCON の RARUN ビットを“1”に設定し、A/D 変換動作を開始します。

カウンタ A は RARUN が“1”にセットされ、RCON 信号（基準クロックの立下がりに同期した信号）が“1”にセットされた時、基準クロック (BSCLK) のカウントを開始します。カウンタ A がオーバフローすると、RARUN ビットは自動的に“0”にリセットされ（⑥）、カウントが終了します。また、同時に RC-ADC 割込み要求 (RADINT) が発生します（⑦）。

一方 RCON 信号が“1”にセットされると、RC 発振回路は動作を開始し、カウンタ B は RC 発振クロック (RCCLK) のカウントを開始します。カウンタ A のオーバフローにより、RARUN ビットが“0”にリセットされると、RC 発振は停止し、カウンタ B はカウントを停止します。
カウント B の最終カウント値“nB0”は、ゲート時間“nA0・t_{BSCLK}”の間の RCCLK のカウント値であり、次式によって表されます。

$$nB0 \qquad nA0 \cdot \frac{t_{BSCLK}}{t_{RCCLK}} \propto f_{RCCLK}$$

ここで、t_{BSCLK} は BSCLK の周期を示し、t_{RCCLK} は RCCLK の周期を示します。すなわち“nB0”は RC 発振周波数 f_{RSCLK} に比例した値となります。

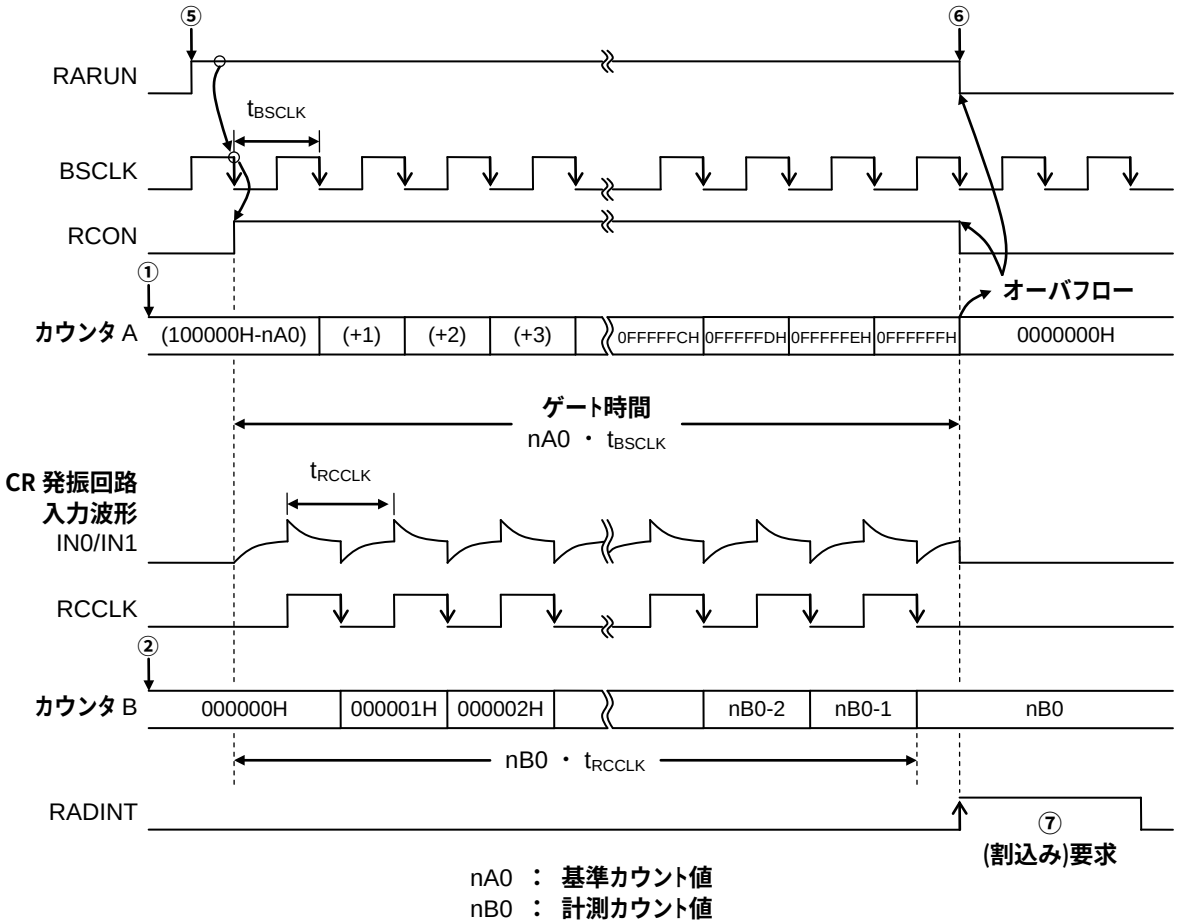


図 24-6 カウンタ A 基準モードの動作タイミング

(2) カウンタ B 基準モードの動作

図 24-7 にカウンタ B 基準モードの動作タイミングを示します。
カウンタ B 基準モードの動作手順例を以下に示します。

① カウンタ B (RADCB0, 1) に、最大値＋1 (1000000H) からカウント値“nB1”を引いた値をプリセットします。ここでカウント値“nB1”と RCCLK のクロック周期の積はゲート時間を表わします。
② カウンタ A (RADCA0, 1) に“000000H”をプリセットします。
③ RADMOD の OM3～0 ビットを必要な発振モードに設定します。(表 24－1 参照)
④ RADMOD の RADI ビットを“1”に設定し、カウンタ B オーバフローによる割込み要求を選択します。
⑤ RADCON の RARUN ビットを“1”に設定し、A/D 変換動作を開始します。

RARUN ビットが“1”にセットされ、RCON 信号 (基準クロックの立下がりに同期した信号) が“1”になると RC 発振回路は動作を開始し、カウンタ B は RC 発振クロック (RCCLK) のカウントを開始します。カウンタ B がオーバフローすると、RARUN ビットは自動的にリセットされ (⑥)、変換動作は終了します。また、同時に RC-ADC 割込み要求 (RADINT) が発生します。(⑦)

一方 RCON 信号が“1”にセットされた時、カウンタ A は基準クロック (BSCLK) のカウントを開始します。カウンタ B のオーバフローにより、RARUN ビットがリセットされると、カウンタ A はカウントを停止します。
カウンタ A の最終カウント値“nA1”は、ゲート時間“nB1・t_{RCCLK}”の間の CLK のカウント値であり、次式によって表されます。

$$nA1 \qquad nB1 \cdot \frac{t_{RCCLK}}{t_{BSCLK}} \propto \frac{1}{f_{RCCLK}}$$

すなわち“nA1”は RC 発振周波数 f_{RCCLK} に反比例した値となります。

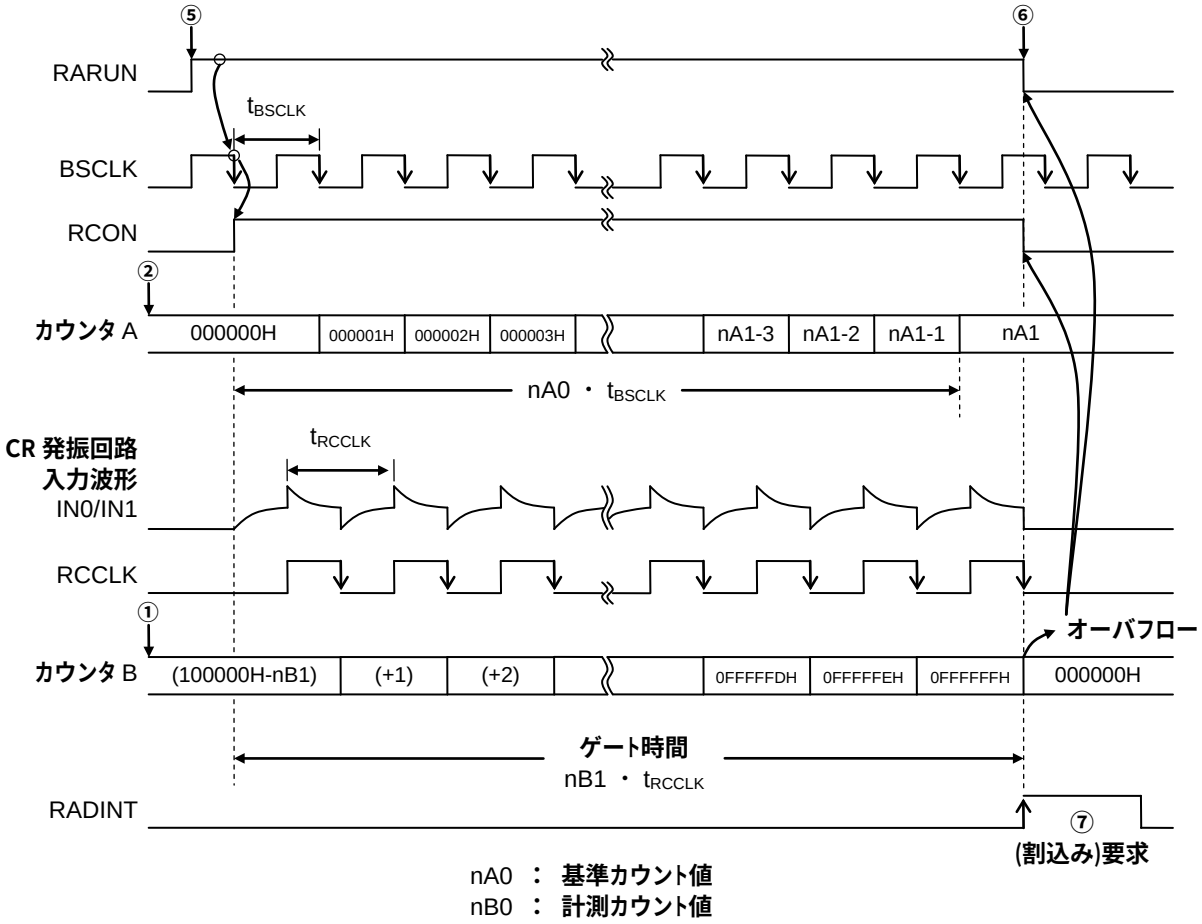


図 24-7 カウンタ B 基準モードの動作タイミング

24.3.3 RC 発振型 A/D コンバータの使用例

カウンタ A 基準モード、カウンタ B 基準モードを使用して、センサの値を A/D 変換する方法を、サーミスタによる温度測定を例にして説明します。
図 24-8 に、RCOSC0 を使ったサーミスタ 1 本の RC 発振回路構成を示します。

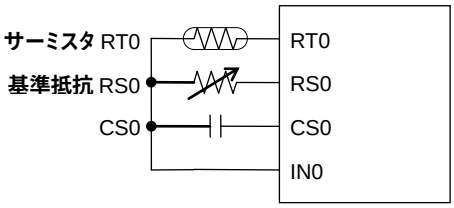


図 24-8 RCOSC0 を使ったサーミスタ 1 本の RC 発振回路構成

図 24-9 に、サーミスタの抵抗値 RT0 の温度特性を示します。

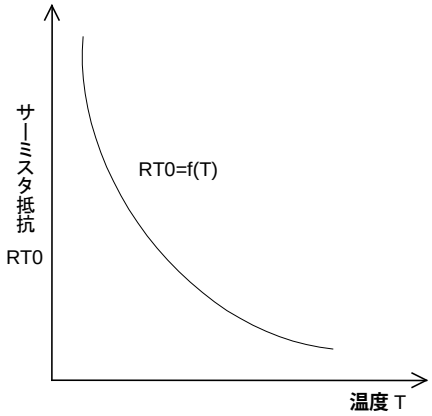


図 24-9 サーミスタの温度特性

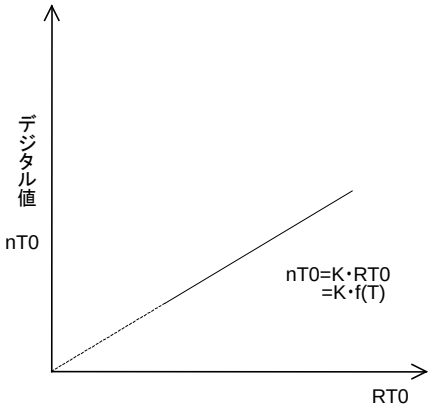


図 24-10 A/D 変換特性
(nT0 が RT0 に比例する場合の理想特性)

RT0 を温度 T の関数として次式で表します。

$$RT0 = f(T)$$

図 24-10 は、RT0 をアナログ量とすると A/D 変換の理想特性を示しており、A/D 変換値 nT0 は、純粋に RT0 のみに依存していることが理想の特性となります。nT0 を RT0 に比例するものとし比例定数を K とすると nT0 は次のように温度 T と関係を持つことになります。

$$nT0 = K \cdot RT0 = K \cdot f(T) \quad \cdots\cdots \quad \text{A 式}$$

したがって、nT0 に、図 24-9 に示す特性に対応した変換処理をソフトウェアで行なうことにより、温度 T をデジタル値で表現することが可能になります。

RT0 値のデジタル値への変換 (温度変換) には、RT0 端子に接続されるサーミスタ抵抗と CS0 端子に接続される容量間での RC 発振周波数と、RS0 端子に接続する基準抵抗 RS0 (温度特性が無いことが理想) と CS0 端子に接続される容量間での発振周波数の比を用います。これは、抵抗以外の条件を同じにして RC 発振特性上の誤差要因を打ち消すためです。
図 24-9、図 24-11 に示すように、RT0 は温度 T に依存し、RS0 は温度 T に関係なく一定とします。これらの抵抗を用いた発振周波数 f_{OSC} 対温度 T 特性は、図 24-12、図 24-13 の実線のようになるのが理想ですが、実際は IC の温度特性等の誤差要因があるため点線のようになると考えられます。
f_{RCCLK} (RT0) も f_{RCCLK} (RS0) も抵抗以外の条件は同一ですから、誤差が含まれている割合もほぼ等しく、したがって両者の比をとることで誤差は、ほぼ打ち消されます。

この f_{RCCLK} (RT0) と f_{RCCLK} (RS0) の比が理想的には RT0 のみに依存する前述の A/D 変換値 nT0 に相当します。

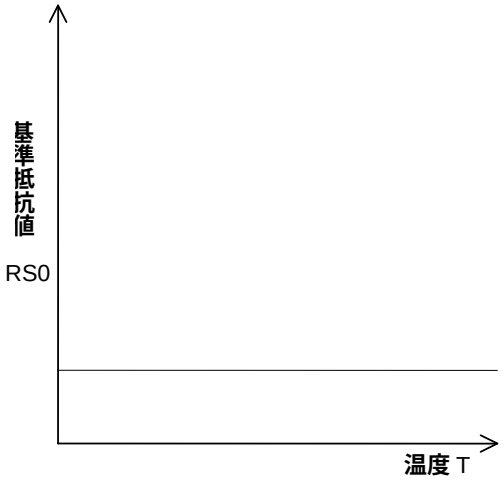


図 24-11 基準抵抗の温度特性

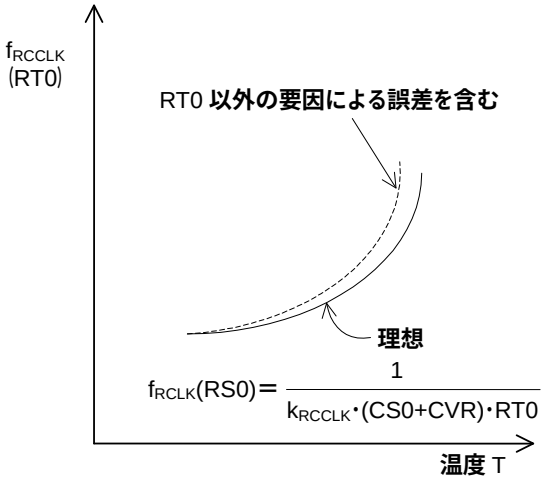


図 24-12 サーミスタの発振特性

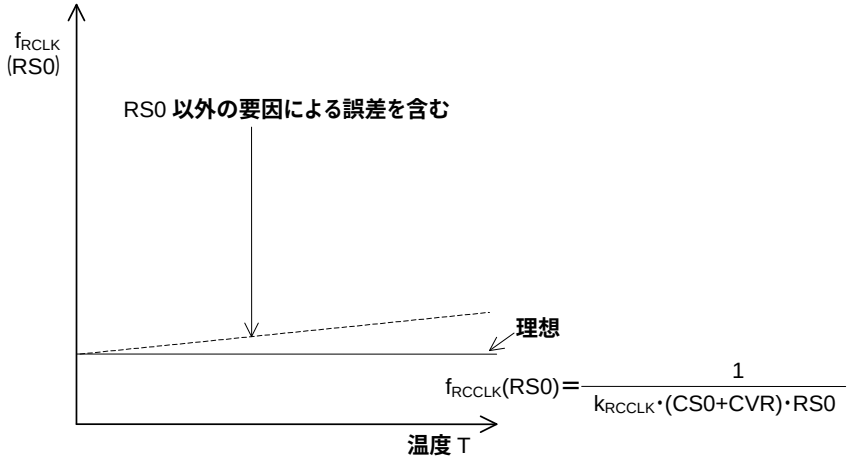


図 24-13 基準抵抗の発振特性

図 24-14 に 1 つの方法例としての RT0 値へのデジタル値への変換、すなわち A/D 変換の 1 サイクルのタイムチャートを示します。
A/D 変換の 1 サイクルは、基本的に図 24-14 に示すように 2 つのステップで構成させなければなりません。2 つのステップが必要な理由は前述のように基準抵抗とサーミスタを別々に発振させてからそれらの発振周波数の比をとるためです。
この例では、この 2 つのステップを次の組み合わせで動作させています。

- 第 1 ステップ＝カウンタ A 基準モードでの RS0 による RC 発振
- 第 2 ステップ＝カウンタ B 基準モードでの RT0 による RC 発振

A/D 変換の方式はこの方式に限られたものではなく、他にいろいろな方法が考えられます。
上記方式では、第 2 ステップの動作時間（ゲート時間）がサーミタス RT0 の値によって変動しますが、もし動作時間の変動を避けたい場合には次の組み合わせをとる方式が推奨されます。

- 第 1 ステップ＝カウンタ B 基準モードでの RS0 による RC 発振
- 第 2 ステップ＝カウンタ A 基準モードでの RT0 による RC 発振

以下、図 24-14 を例にとって、A/D 変換の手順を説明します。

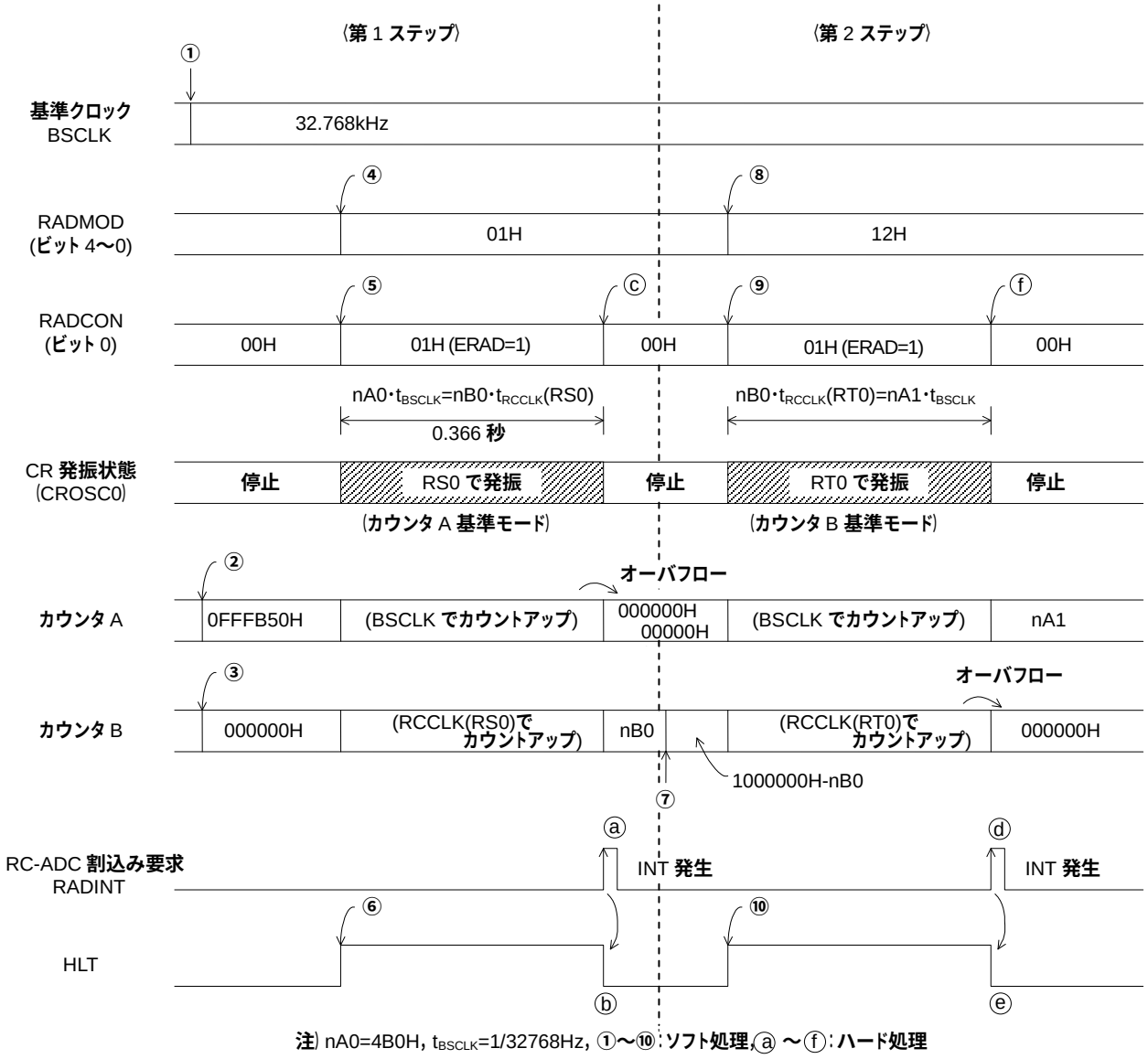


図 24-14 A/D 変換 1 サイクルのタイムチャート (例)

＜第 1 ステップ＞

① 基準クロックを LSCLK (32.768kHz) にします。(FCON0 に“00H”を書き込む)
② カウンタ A に“1000000H－nA0”をプリセットします。
③ カウンタ B に“000000H”をプリセットします。
④ RADMOD に“01H”を書き込み、カウンタ A 基準モード、および基準抵抗 RS0 での発振モードに設定します。
⑤ RADCON に“01H”を書き込み、A/D 変換動作を開始させます。
⑥ SBYCON の HLT ビットに“1”を書き込み、HALT モードにします。

【注意】
ここでは、基準抵抗 RS0 発振モードのゲート時間 nA0・tBSCLK を 0.366 秒とするため、nA0＝4B0H としています。nA0 の値は、A/D 変換の量子化誤差の大きさに関係し、nA0 が大きい程誤差は小さくなります。
CPU 動作による RC 発振回路へのノイズ混入を軽減するため、RC 発振動作時は、常に HALT モードにすることを推奨します。

この時点から約 0.366 秒間、RC 発振回路 (RCOSC0) 、基準抵抗 RS0 で発振を継続し、カウンタⒶがオーバフローすると、RADINT 信号が“1”にセットされ、RC-ADC 割込み要求が発生します。(ⓐ部)。また、割込み要求の発生により、HALT モードが解除され(ⓑ部)、それと同時に A/D 変換動作が停止します。(ⓒ部、RARUN ビット＝“0”)。この時カウンタⒶは“000000H”状態となります。
このときⒷカウンタの内容は次の式で表されます。

$$nB0 = nA0 \cdot \frac{t_{BSCLK}}{t_{RCCLK}(RS0)} \quad \cdots\cdots \quad \text{B 式}$$

以上が第 1 ステップの動作です。

＜第 2 ステップ＞

⑦ カウンタ B の内容“nB0”により“1000000H－nB0”を算出し、その値をカウンタ B に設定します。
ここでカウンタ A のクリアが必要ですが、すでに“000000H”状態となっているため処理は不要です。
⑧ RADMOD に“12H”を書き込み、カウンタ B 基準モード、およびサーミスタ RT0 での発振モードにします。
⑨ RADCON に“01H”を書き込み、A/D 変換動作を開始させます。
⑩ SBYCON の HLT ビットに“1”を書き込み、HALT モードにします。

この時点から、カウンタ B がオーバーフローするまでの間、RC 発振回路 (RCOSC0) はサーミスタ RT0 で発振します。この期間は、第 1 ステップで得られた“nB0”と、RT0 による発振周期 t_{RCCLK} (RT0) の積に等しくなります。
カウンタ B がオーバフローすると、RADINT 信号が“1”にセットされ RC-ADC 割込み要求が発生します。(ⓓ部)。また割込み要求の発生により、HALT モードが解除され(ⓔ部)、それと同時に A/D 変換動作が停止します。(ⓕ部、RARUN ビット＝“0”)。
以上が第 2 ステップの動作となります。

このときのカウンタ A の内容が、A/D 変換値 nA1 となり、次の式で表されます。

$$nA1 = nB0 \cdot \frac{t_{RCCLK}(RT0)}{t_{BSCLK}} \quad \cdots\cdots \quad \text{C 式}$$

Ⓑ式、Ⓒ式により nA1 は次式で表されます。

$$nA1 = nA0 \cdot \frac{t_{RCCLK}(RT0)}{t_{RCCLK}(RS0)} \quad \cdots\cdots \quad \text{D 式}$$

ここで t_{RCCLK} (RS0) は、基準抵抗 RS0 による発振クロックの周期、t_{RCCLK} (RT0) は、サーミスタ RT0 による発振クロックの周期を表します。
発振周期は“t_{RCCLK}＝k_{RCCLK}・R・C”で表されますので、t_{RCCLK} (RS0) 、t_{RCCLK} (RT0) が、次式で表されるとします。

$$\left.\begin{aligned} t_{RCCLK}(RS0) &= k_{RCCLK} \cdot (CS0+CVR) \cdot RS0 \\ t_{RCCLK}(RT0) &= k_{RCCLK} \cdot (CS0+CVR) \cdot RT0 \end{aligned}\right. \quad \cdots\cdots \quad \text{E 式}$$

E 式を D 式に代入すると、nA1 は次のようになります。

$$nA1 = nA0 \cdot \frac{RT0}{RS0}$$

“nA0”(この例では“4B0H”)、RS0 は固定された定数のため、“nA1”は、RT0 に比例したデジタル値となります。そしてこの“nA1”が A 式における“nT0”に相当します。

以上がサーミスタを使用した場合の A/D 変換方式の説明です。求められた“nA1”は、プログラム上でサーミスタの温度－抵抗値特性に応じて、温度計表示などに更に変換しなければなりません。

24.3.4 RC 発振モニタ

RC 発振クロック (RCCLK) を、ポート P05 の 2 次機能により出力することができます。P05 の 2 次機能については、「第 17 章 ポート 0」を参照してください。
RC 発振モニターは、RC 発振回路の特性を調べるときに有用です。即ち、サーミスタなどのセンサと発振周波数の関係を測定することができます。例えば、サーミスタを組み込んだ RC 発振回路の雰囲気温度と、サーミスタ RT0 による発振周波数及び基準抵抗 RS0 による発振周波数の関係を調べることによって、前期 nA1 値から、温度表示値への換算係数を求めることができます。

【注意】
P05 (RCM) 端子は発振クロックのモニタ端子であり、チャネル 1 とチャネル 0 とで共用されます。
P05 (RCM) 端子は評価用に使用し、実際のアプリケーションでの動作時には、ノイズ軽減のため出力を無効としてください。

第 25 章　逐次比較型 A/D コンバータ (SA-ADC)

25 逐次比較型 A/D コンバータ (SA-ADC)

25.1 概要

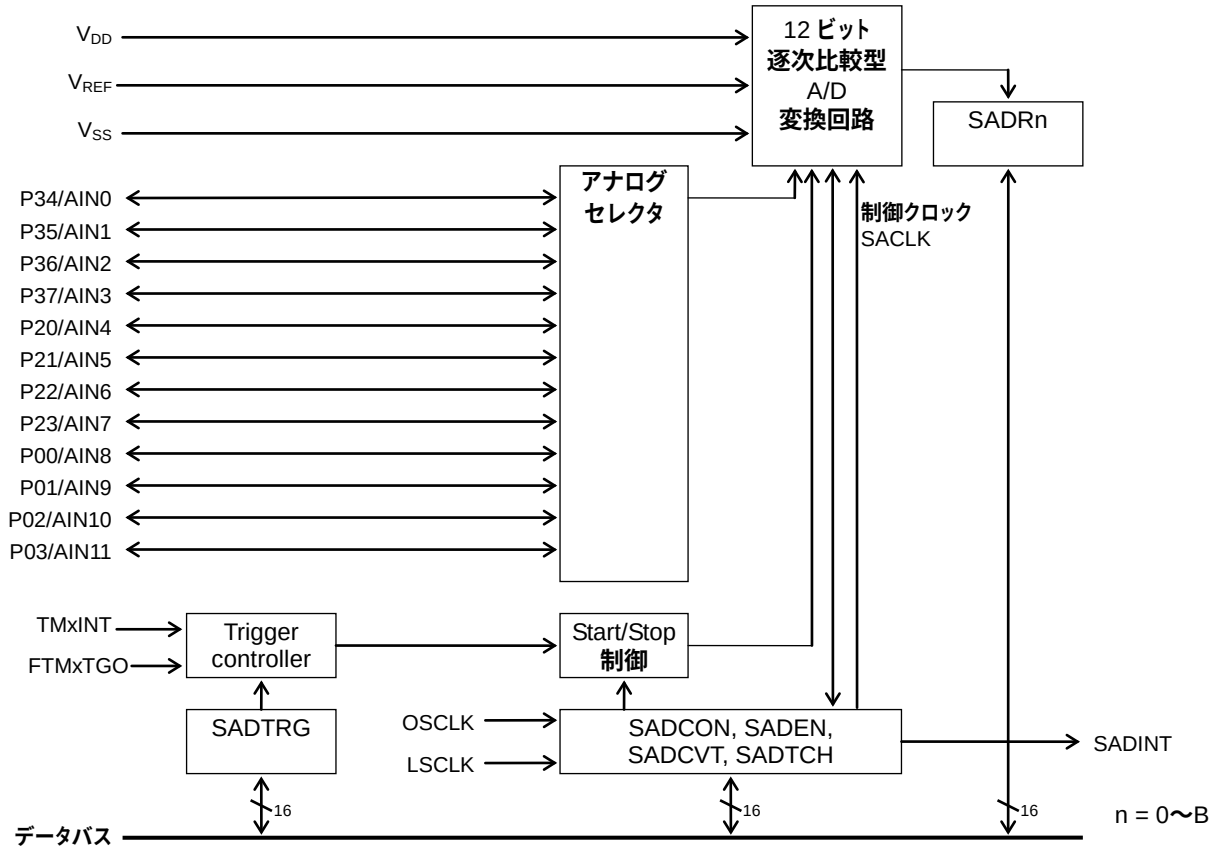
逐次比較型 A/D コンバータ (SA-ADC : Succesive Approximation type A-D Converter) は、12 チャンネルあり、通常の AD 変換に加え、静電容量式スイッチを実現する機能 (静電容量タッチセンス機能) を内蔵しています。

25.1.1 特長

- 複数のチャンネル選択可能な、サンプルホールド内蔵 12 ビット逐次比較式 A/D コンバータ。
- タイマを利用して、A/D 変換を開始することが可能(トリガモード)。
- 静電容量タッチセンス機能。

25.1.2 構成

図 25-1 に SA-ADC の構成を示します。



SADRn ：SA-ADC リザルトレジスタ n
SADCON0/1 ：SA-ADC コントロールレジスタ 0/1
SADEN ：SA-ADC イネーブルレジスタ
SADCVT ：SA-ADC 精度コントロールレジスタ
SADTRG ：SA-ADC トリガレジスタ
SADTCH ：SA-ADC タッチセンサレジスタ

図 25-1 SA-ADC の構成

25.1.3 端子一覧

端子名	入出力	機能
P34/AIN0	I	逐次比較型 A/D コンバータ入力端子 0 P34 端子の一次機能として使用します。
P35/AIN1	I	逐次比較型 A/D コンバータ入力端子 1 P35 端子の一次機能として使用します。
P36/AIN2	I	逐次比較型 A/D コンバータ入力端子 2 P36 端子の一次機能として使用します。
P37/AIN3	I	逐次比較型 A/D コンバータ入力端子 3 P37 端子の一次機能として使用します。
P20/AIN4	I	逐次比較型 A/D コンバータ入力端子 4 P20 端子の一次機能として使用します。
P21/AIN5	I	逐次比較型 A/D コンバータ入力端子 5 P21 端子の一次機能として使用します。
P22/AIN6	I	逐次比較型 A/D コンバータ入力端子 6 P22 端子の一次機能として使用します。
P23/AIN7	I	逐次比較型 A/D コンバータ入力端子 7 P23 端子の一次機能として使用します。
P00/AIN8	I	逐次比較型 A/D コンバータ入力端子 8 P00 端子の一次機能として使用します。
P01/AIN9	I	逐次比較型 A/D コンバータ入力端子 9 P01 端子の一次機能として使用します。
P02/AIN10	I	逐次比較型 A/D コンバータ入力端子 10 P02 端子の一次機能として使用します。
P03/AIN11	I	逐次比較型 A/D コンバータ入力端子 11 P03 端子の一次機能として使用します。
V_{REF}	I	逐次比較型 A/D コンバータのリファレンス電圧入力端子

25.2 レジスタ説明

25.2.1 レジスター一覧

アドレス [H]	名称	略称 (Byte)	略称 (Word)	R/W	サイズ	初期値 [H]
0F820	SA-ADC リザルトレジスタ 0	SADR0L	SADR0	R	8/16	00
0F821		SADR0H		R	8	00
0F822	SA-ADC リザルトレジスタ 1	SADR1L	SADR1	R	8/16	00
0F823		SADR1H		R	8	00
0F824	SA-ADC リザルトレジスタ 2	SADR2L	SADR2	R	8/16	00
0F825		SADR2H		R	8	00
0F826	SA-ADC リザルトレジスタ 3	SADR3L	SADR3	R	8/16	00
0F827		SADR3H		R	8	00
0F828	SA-ADC リザルトレジスタ 4	SADR4L	SADR4	R	8/16	00
0F829		SADR4H		R	8	00
0F82A	SA-ADC リザルトレジスタ 5	SADR5L	SADR5	R	8/16	00
0F82B		SADR5H		R	8	00
0F82C	SA-ADC リザルトレジスタ 6	SADR6L	SADR6	R	8/16	00
0F82D		SADR6H		R	8	00
0F82E	SA-ADC リザルトレジスタ 7	SADR7L	SADR7	R	8/16	00
0F82F		SADR7H		R	8	00
0F830	SA-ADC リザルトレジスタ 8	SADR8L	SADR8	R	8/16	00
0F831		SADR8H		R	8	00
0F832	SA-ADC リザルトレジスタ 9	SADR9L	SADR9	R	8/16	00
0F833		SADR9H		R	8	00
0F834	SA-ADC リザルトレジスタ A	SADRAL	SADRA	R	8/16	00
0F835		SADRAH		R	8	00
0F836	SA-ADC リザルトレジスタ B	SADRBL	SADRB	R	8/16	00
0F837		SADRBH		R	8	00
0F840	SA-ADC コントロールレジスタ 0	SADCON0	-	R/W	8	22
0F841	SA-ADC コントロールレジスタ 1	SADCON1		R/W	8	00
0F842	SA-ADC イネーブルレジスタ	SADENL	SADEN	R/W	8/16	00
0F843		SADENH		R/W	8	00
0F844	SA-ADC タッチセンサレジスタ	SADTCHL	SADTCH	R/W	8/16	00
0F845		SADTCHH		R/W	8	00
0F846	SA-ADC トリガレジスタ	SADTRGL	SADTRG	R/W	8/16	00
0F847		SADTRGH		R/W	8	00
0F848	SA-ADC 精度コントロールレジスタ	SADCVTL	SADCVT	R/W	8/16	FF
0F849		SADCVTH		R/W	8	FF

25.2.2 SA-ADC リザルトレジスタ n (SADRn) n=0～9、A、B

アドレス：0F820H(SADR0L/ SADR0), 0F821H(SADR0H), 0F822H(SADR1L/ SADR1), 0F823H(SADR1H), 0F824H(SADR2L/ SADR2), 0F825H(SADR2H), 0F826H(SADR3L/ SADR3), 0F827H(SADR3H), 0F828H(SADR4L/ SADR4), 0F829H(SADR4H), 0F82AH(SADR5L/ SADR5), 0F82BH(SADR5H), 0F82CH(SADR6L/ SADR6), 0F82DH(SADR6H), 0F82EH(SADR7L/ SADR7), 0F82FH(SADR7H), 0F830H(SADR8L/SADR8), 0F831H(SADR8H), 0F832H(SADR9L/ SADR9), 0F833H(SADR9H), 0F834H(SADRAL/SADRA), 0F835H(SADRAH), 0F836H(SADRBL/ SADRB), 0F837H(SADRBH)
アクセス：R
アクセスサイズ：8/16 ビット
初期値：0000H

	7	6	5	4	3	2	1	0
SADRnL	SARn7	SARn6	SARn5	SARn4	SARn3	SARn2	SARn1	SARn0
R/W	R	R	R	R	R	R	R	R
初期値	0	0	0	0	0	0	0	0

	15	14	13	12	11	10	9	8
SADRnH	–	–	–	–	SARnB	SARnA	SARn9	SARn8
R/W	R	R	R	R	R	R	R	R
初期値	0	0	0	0	0	0	0	0

n = 0～9, A, B

SADRn は、チャンネル n の SA-ADC の変換結果を格納する特殊機能レジスタ (SFR) です。
SADRn は、A/D 変換終了後に更新されます。

ビットの説明

- **SARnB-SARn0**（ビット 11～0）
  チャンネル n の A/D 変換結果 (12 ビット) を格納します。

25.2.3 SA-ADC コントロールレジスタ 0 (SADCON0)

アドレス：0F840H
アクセス：R/W
アクセスサイズ： 8 ビット
初期値：22H

	7	6	5	4	3	2	1	0
SADCON0	–	–	SACD1	SACD0	–	SATCM	SACK	SALP
R/W	RW	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	1	0	0	0	1	0

SADCON0 は、SA-ADC の動作を制御する特殊機能レジスタ (SFR) です。

ビットの説明

・ **SALP** （ビット 0）
A/D 変換を各チャンネル 1 回のみ行って停止するか連続して行うかを選択するビットです。“0”にすると、各チャンネル 1 回のみ A/D 変換し、“1”にすると、SA-ADC イネーブルレジスタ (SADEN) の設定に従って、連続して A/D 変換します。
トリガモード(SADTRG レジスタ SAST0 ビット=”1”)のとき、連続 A/D 変換はできませんので SALP=0 にして下さい.

SALP	説明
0	1 **回のみ** A/D **変換** (**初期値**)
1	**連続** A/D **変換**

・ **SACK** （ビット 1）
A/D 変換に使用するクロック(SACLK)を設定するためのビットです。“0”に設定すると、LSCLK を使用して A/D 変換し、“1”に設定すると、OSCLK を使用して A/D 変換します。
OSCLK を選択する場合は、SACLK が 4MHz 以下になるよう SACD0,1 ビットを設定してください。
静電容量タッチセンス機能を使用する場合は、SACK を必ず 1 で使用してください。

SACK	説明
0	LSCLK
1	OSCLK (**初期値**)

・ **SATCM** （ビット 2）
静電容量タッチセンス機能対応を選択するためのビットです。
SATCM を 1 にすることで SADTCH で選択された ch が静電容量タッチセンス機能対応で AD 変換されます。

SATCM	説明
0	**非タッチセンサ対応の** AD **変換** (**初期値**)
1	**タッチセンサ対応の** AD **変換**

・ **SACD1-0** （ビット 5, 4）

SACD1-0 は、SA-ADC の変換時間のカウンタ周波数の分周を設定するビットです。設定値は、SACK ビットで選択したクロックの分周値を設定します。SA-ADC に入力されるクロックは、OSCLK 選択時に 4MHz 以下、LSCLK 選択時は 32.768kHz 以下になるよう設定してください。OSCLK 選択時 4MHz、低速選択時 32.768kHz を超える分周設定を行った場合の動作は保証しません。

また、本カウンタは OSCLK 選択時に 4MHz、LSCLK 選択時に 32.768kHz に設定した時に最適な変換時間となるよう設計されています。表 25-1 に OSCLK 選択時の OSCLK と SACD1-0 の設定値の関係を示します。

SACD1	SACD0	説明
0	0	1 **分周**
0	1	2 **分周**
1	0	4 **分周（初期値）**
1	1	**設定禁止**

表 25-1 OSCLK と SACD1-0 ビットの関係

OSCLK	SACD1	SACD0
16MHz	1	0
8MHz	0	1
4MHz	0	0

【注意】

SA-ADC 変換中に本レジスタを変更しないでください。変更した場合の動作は保証できません。

25.2.4 SA-ADC コントロールレジスタ 1 (SADCON1)

アドレス：0F841H
アクセス：R/W
アクセスサイズ： 8 ビット
初期値：00H

	7	6	5	4	3	2	1	0
SADCON1	–	–	–	–	–	–	–	SARUN
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

SADCON は、SA-ADC の動作を制御する特殊機能レジスタ (SFR) です。

ビットの説明

- **SARUN** （ビット 0）
  SA-ADC の変換開始/停止を制御するビットです。“1”にすると A/D 変換を開始し、“0”にすると A/D 変換を停止します。
  SALP が“0”の場合、選択された最も番号の大きなチャンネルの A/D 変換が終了すると自動的に“0”になります。トリガモード(SADTRG レジスタ SAST0 ビット=”1”)の場合、ソフトウェアでの制御はできません。トリガイベントにより A/D 変換が開始されたとき “1” になり、変換が終了すると “0” になります。
  また、SA-ADC イネーブルレジスタ (SADEN)のすべてのビットを”0”とした状態で、A/D 変換を開始しないでください。この状態で A/D 変換を開始した場合、A/D 変換回路は動作しません。

SARUN	説明
0	**変換停止（初期値）**
1	**変換開始**

25.2.5 SA-ADC イネーブルレジスタ (SADEN)

アドレス：0F842H
アクセス：R/W
アクセスサイズ：8/16 ビット
初期値：0000H

	7	6	5	4	3	2	1	0
SADENL	SACH7	SACH6	SACH5	SACH4	SACH3	SACH2	SACH1	SACH0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

	15	14	13	12	11	10	9	8
SADENH	–	–	–	–	SACHB	SACHA	SACH9	SACH8
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

SADEN は、A/D 変換するチャンネルを選択する特殊機能レジスタ (SFR) です。

ビットの説明

- **SACHn**（ビット 11～0）
  SACHn は、A/D 変換するチャンネルを選択するビットです。
  チャンネル 1 とチャンネル 0 ともに 1 とした場合、チャンネル 0 の A/D 変換を行い、次にチャンネル 1 の A/D 変換を行います。
  また、SACHn 全てを“0”とした状態で、A/D 変換を開始しないでください。この状態で A/D 変換を開始した場合、A/D 変換回路は動作しません。

SACHn	説明
0	**チャンネル n 無効（初期値）**
1	**チャンネル n 有効**

n = 0～9, A, B

25.2.6 SA-ADC タッチセンサレジスタ (SADTCH)

アドレス：0F844H
アクセス：R/W
アクセスサイズ：8/16 ビット
初期値：0000H

	7	6	5	4	3	2	1	0
SADTCHL	SATCH7	SATCH6	SATCH5	SATCH4	SATCH3	SATCH2	SATCH1	SATCH0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

	15	14	13	12	11	10	9	8
SADTCHH	−	−	−	−	SATCHB	SATCHA	SATCH9	SATCH8
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

SADTCH は、静電容量タッチセンス機能で動作させるチャンネルを選択する特殊機能レジスタ (SFR) です。

ビットの説明

・ **SATCHn**（ビット 11～0）
SATCHn は、静電容量タッチセンス機能で A/D 変換するチャンネルを選択するビットです。

SATCHn	説明
0	**静電容量タッチセンス機能無効（初期値）**
1	**静電容量タッチセンス機能有効**

n = 0～9, A, B

【注意】
・SADEN にて"1"に設定されていないビットに対して SATCHn を"1"に設定しても A/D 変換されません。

25.2.7 SA-ADC トリガレジスタ (SADTRG)

アドレス：0F846H
アクセス：R/W
アクセスサイズ：8/16 ビット
初期値：0000H

	7	6	5	4	3	2	1	0
SADTRGL	–	–	–	–	–	–	–	SAST0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

	15	14	13	12	11	10	9	8
SADTRGH	–	–	–	SASTS4	SASTS3	SASTS2	SASTS1	SASTS0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

SADTRG は、A/D 変換の外部トリガを選択する特殊機能レジスタ (SFR) です。

ビットの説明

- **SAST0** （ビット 0）
  A/D 変換開始モードを選択するビットです。

SAST0	説明
0	**通常モード（初期値）** **ソフトウェアにより** SADCON **レジスタの** SARUN **を**"1"**にセットし** A/D **変換を開始します。**
1	**トリガモード** SASTS **で選択したトリガイベントにより** SARUN **が**"1"**にセットされ** A/D **変換を開始します。** A/D **変換実行中**（SARUN="1"）**に、新たなトリガイベントが発生しても無視され、実行中の** A/D **変換が継続されます。また、連続** A/D **変換やソフトウェアによる** SARUN **の制御はできません。**

- **SASTS4-0** （ビット 12～8）
  A/D 変換のトリガイベントを選択するビットです。

SASTS4	SASTS3	SASTS2	SASTS1	SASTS0	説明
0	0	0	0	0	TM0INT
0	0	0	0	1	TM1INT
0	0	0	1	0	TM2INT
0	0	0	1	1	TM3INT
0	0	1	0	0	TM4INT
0	0	1	0	1	TM5INT
0	0	1	1	0	TM6INT
0	0	1	1	1	TM7INT
0	1	*	*	*	**設定禁止**
1	0	0	0	0	FTM0TGO
1	0	0	0	1	FTM1TGO
1	0	0	1	0	FTM2TGO
1	0	0	1	1	FTM3TGO
1	0	1	*	*	**設定禁止**
1	1	*	*	*	**設定禁止**

【注意】

・タイマ割込み要求 (TM0-7INT) は、割込み許可レジスタの割込み禁止/許可の設定に依存しない割込み要求信号です。また、多機能タイマのトリガ出力(FTM0-3TGO)は、トリガイベント専用の信号です。

・設定禁止の設定にした場合は、トリガイベントによる A/D 変換は開始されません。

25.2.8 SA-ADC 精度コントロールレジスタ (SADCVT)

アドレス：0F848H
アクセス：R/W
アクセスサイズ：8/16 ビット
初期値：FFFFH

	7	6	5	4	3	2	1	0
SADCVTL	SADCT7	SADCT6	SADCT5	SADCT4	SADCT3	SADCT2	SADCT1	SADCT0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	1	1	1	1	1	1	1	1

	15	14	13	12	11	10	9	8
SADCVTH	SAPCT4	SAPCT3	SAPCT2	SAPCT1	SAPCT0	SACPT2	SACPT1	SACPT0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	1	1	1	1	1	1	1	1

SADCVT は、A/D 変換の変換時間を設定する特殊機能レジスタ (SFR) です。

本 SFR は、SADCON0 の SACK 及び SATCM の設定により、下表に従い設定をおこなってください。

SACK	SATCM	SAPCT4-0	SACPT2-0	SADCT7-0
0	0	00H	00H	01H
0	1	**設定禁止**	**設定禁止**	**設定禁止**
1	0	00H	03H	78H
1	1	15H	03H	78H

25.3 動作説明

25.3.1 A/D 変換チャンネルの設定

AD 変換を行うチャンネル設定は、各チャンネルに対応するビットを表 25-2 に従い設定してください。

表 25-2 各チャンネル設定

SADCON0 SATCM ビット	SADEN SACHn ビット	SADTCH SATCHn ビット	SA-ADC 動作
0	0	0	非動作
0	0	1	非動作
0	1	0	非タッチセンサ対応動作
0	1	1	非動作
1	0	0	非動作
1	0	1	非動作
1	1	0	非動作
1	1	1	タッチセンサ対応動作

SA-ADC イネーブルレジスタ (SADEN) の SACHB～SACH0 全てを“0”とした状態で、A/D 変換を開始しないでください。この状態で A/D 変換を開始した場合、割込みが出力されず、SARUN ビットも"1"のままになります。

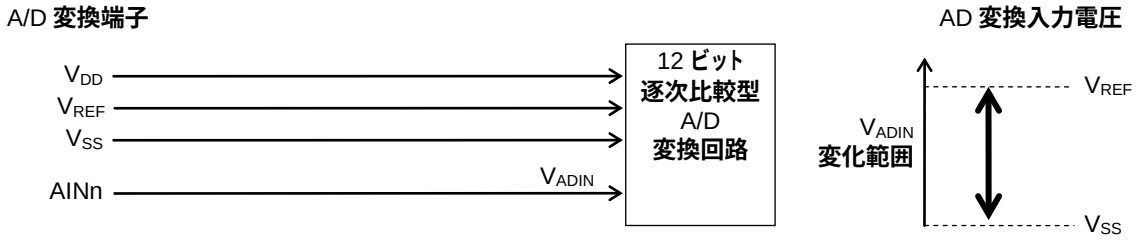


図 25-2 A/D 変換用端子と変換範囲

25.3.2 逐次比較型 A/D コンバータの動作

以下の手順で SA-ADC を動作させます。

(1) 通常モードで開始する場合

1. A/D 変換に使用するクロックが、発振開始し、発振が安定するまで待ちます。
   LSCLK 選択時は、低速タイベースカウンタレジスタ (LTBR) の T128HZ が“1”になっていることにより、発振が安定していることを確認できます。
   OSCLK 選択時で高速セラミック/水晶発振使用時は、FCON01 レジスタの HOSST ビットが”1”になっていることにより、発振が安定していることを確認できます。
2. SA-ADC コントロールレジスタ 0 (SADCON0)、SA-ADC イネーブルレジスタ (SADEN)、SA-ADC 精度コントロールレジスタ (SADCVT) を設定してください。
3. SA-ADC コントロールレジスタ 0 (SADCON0) のビット 2 (SATCM) を"0"に設定した後に、SA-ADC コントロールレジスタ 1 (SADCON1) のビット 0(SARUN) を“1”にすると SA-ADC 回路が動作状態となり、SA-ADC イネーブルレジスタ (SADEN) で選択されているチャンネルの番号の小さいチャンネルから順次 A/D 変換します。
4. A/D 変換結果は順次、該当する SA-ADC リザルトレジスタ (SADRn) へ格納され、選択された最も番号の大きいチャンネルの A/D 変換が終了すると SARUN は”0”になり, SA-ADC 変換終了割込み (SADINT) を発生します。

(2) トリガモードで開始する場合

1. A/D 変換に使用するクロックが、発振開始し、発振が安定するまで待ちます。
   LSCLK 選択時は、低速タイベースカウンタレジスタ (LTBR) の T128HZ が“1”になっていることにより、発振が安定していることを確認できます。
   OSCLK 選択時で高速セラミック/水晶発振使用時は、FCON01 レジスタの HOSST ビットが”1”になっていることにより、発振が安定していることを確認できます。
2. SA-ADC コントロールレジスタ 0 (SADCON0)、SA-ADC イネーブルレジスタ (SADEN)、SA-ADC 精度コントロールレジスタ (SADCVT) を設定してください。ここで、SADCON0 レジスタの SALP ビットは”0”にしてください。
3. SA-ADCトリガレジスタ(SADTRG)にてトリガイベントソースを選択し SAST0 ビットを”1”に設定しトリガモードを開始します。
4. トリガイベントが発生すると、SA-ADC コントロールレジスタ 1 (SADCON1) のビット 0(SARUN) が“1”になり SA-ADC 回路が動作状態となり、SA-ADC イネーブルレジスタ (SADEN) で選択されているチャンネルの番号の小さいチャンネルから順次 A/D 変換します。
5. A/D 変換結果は順次、該当する SA-ADC リザルトレジスタ (SADRn) へ格納され、選択された最も番号の大きいチャンネルの A/D 変換が終了すると SARUN は”0”になり, SA-ADC 変換終了割込み (SADINT) を発生します。

なお、A/D 変換中にチャンネルを切り替えても A/D 変換終了割込みを発生するまでは A/D 変換開始時に選択されたチャンネルを維持します。
図 25-3 にチャンネル 0、チャンネル 1 が選択されている場合の動作を示します。

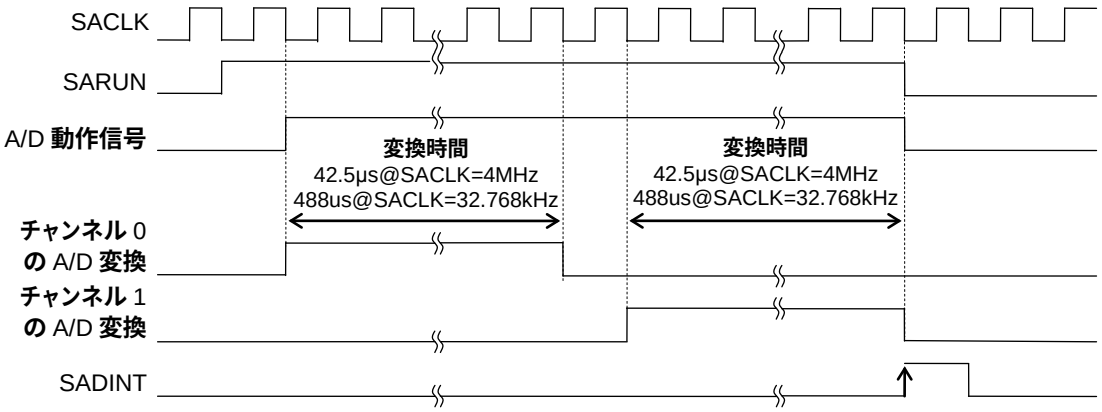


図 25-3 SA-ADC 動作タイミング

25.3.3 静電容量タッチセンス機能動作

以下の手順で SA-ADC が動作します。

1. A/D 変換に使用するクロックが、発振開始し、発振が安定するまで待ちます。
   高速セラミック/水晶発振使用時は、FCON01 レジスタの HOSST ビットが”1”になっていることにより、発振が安定していることを確認できます。
2. SA-ADC コントロールレジスタ 0 (SADCON0)、SA-ADC イネーブルレジスタ (SADEN)、SA-ADC 精度コントロールレジスタ (SADCVT)、SA-ADC タッチセンサレジスタ (SADTCH) を設定してください。
3. SA-ADC コントロールレジスタ 0 (SADCON0) のビット 2 (SATCM) を”1”に設定した後に、SA-ADC コントロールレジスタ 1 (SADCON1) のビット 0 (SARUN) を“1”にすると SA-ADC 回路が動作状態となります。SA-ADC イネーブルレジスタ (SADEN)及び SA-ADC タッチセンサレジスタ (SADTCH) で選択されているチャンネルの番号の小さいチャンネルから順次タッチセンサ対応の A/D 変換をします
4. A/D 変換結果は順次、該当する SA-ADC リザルトレジスタ (SADRn) へ格納され、選択された最も番号の大きいチャンネルの A/D 変換が終了すると SA-ADC 変換終了割込み (SADINT) を発生します。

図 25-4 にチャンネル 0、チャンネル 1 が選択されている場合の動作を示します。

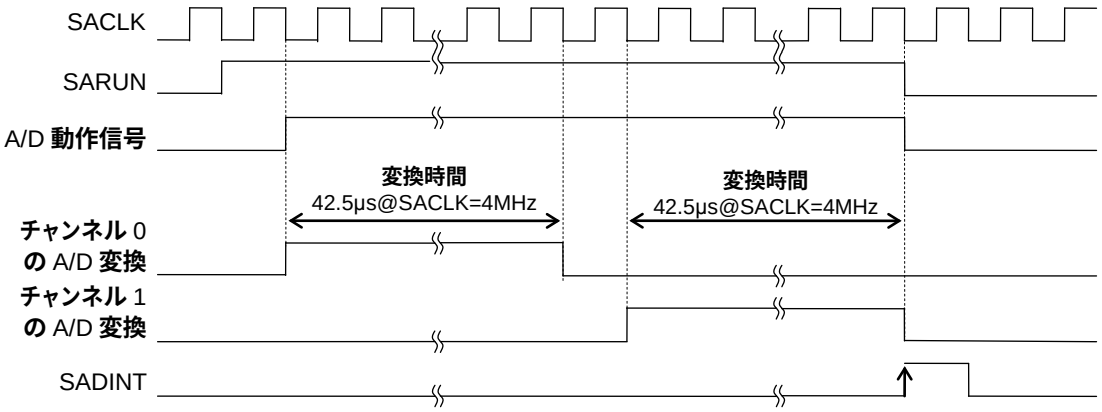


図 25-4 SA-ADC 動作タイミング

25.3.4 SA-ADC 使用時の注意事項

SA-ADC には、51.2pF(Typ)の内部キャパシタがあり、AINn (n=0～11)から入力される電圧によってチャージされます。
0.47uF 以上の外部キャパシタを接続することで、入力インピーダンスに関係なくチャージすることができます。図 25-5 に接続図を示します。
0.47uF 未満の外部キャパシタを使用した場合、測定精度は低下します。

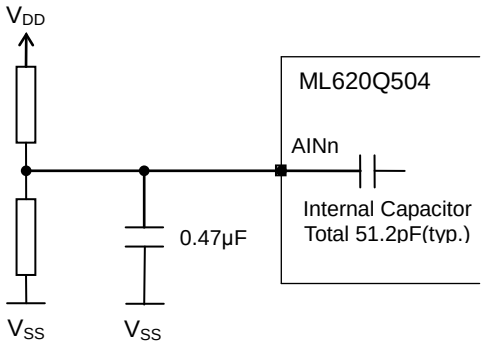


図 25-5 SA-ADC 接続図

第 26 章　アナログコンパレータ

26 アナログコンパレータ

26.1 概要

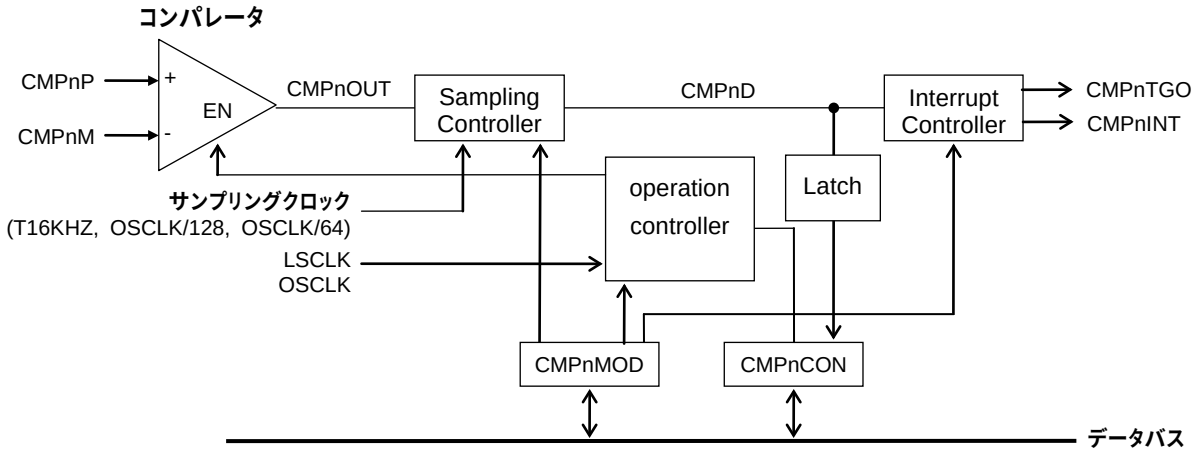
アナログコンパレータは、2 つの電圧レベルを比較し、比較結果により、割込みを発生します。
本 LSI は、アナログコンパレータを 2 チャンネル内蔵しています。
コンパレータに入力される 2 本の端子 (CMPnP と CMPnM (n = 0, 1)) の電圧比較（差動入力）が可能です。

26.1.1 特長

- コンパレータの出力で割込みを生成。(立ち下がりエッジ割込み、立ち上がりエッジ割込み、両エッジ割込み)
- サンプリング有り/無しが選択可能。
- サンプリング周波数は 3 種類 (T16KHZ, OSCLK/128(125kHz@OSCLK=16MHz), OSCLK/64(250kHz @ OSCLK=16MHz)
- コンパレータオフ時、最後のコンパレータ出力 (CMPnD) が保持されます。
- シングルモードを搭載

26.1.2 構成

図 26-1 にコンパレータの構成を示します。



CMPnCON ：**コンパレータ** n **コントロールレジスタ**
CMPnMOD ： **コンパレータ** n **モードレジスタ**
n = 0, 1

図 26-1 コンパレータの構成

26.1.3 端子一覧

端子名	入出力	機能
P30/CMP0P	I	**アナログコンパレータ** 0 **非反転入力**
P31/CMP0M	I	**アナログコンパレータ** 0 **反転入力**
P32/CMP1P	I	**アナログコンパレータ** 1 **非反転入力**
P33/CMP1M	I	**アナログコンパレータ** 1 **反転入力**

26.2 レジスタ説明

26.2.1 レジスター覧

アドレス [H]	名称	略称 (Byte)	略称 (Word)	R/W	サイズ	初期値 [H]
0F920	コンパレータ 0 コントロールレジスタ	CMP0CON	-	R/W	8	00
0F922	コンパレータ 0 モードレジスタ	CMP0MODL	CMP0MOD	R/W	8/16	00
0F923		CMP0MODH		R/W	8	00
0F928	コンパレータ 1 コントロールレジスタ	CMP1CON	-	R/W	8	00
0F92A	コンパレータ 1 モードレジスタ	CMP1MODL	CMP1MOD	R/W	8/16	00
0F92B		CMP1MODH		R/W	8	00

26.2.2 コンパレータ n コントロールレジスタ (CMPnCON : n=0,1)

アドレス：0F920H(CMP0CON), 0F928H(CMP1CON)
アクセス：R/W
アクセスサイズ：8 ビット
初期値：00H

	7	6	5	4	3	2	1	0
CMPnCON	–	–	–	–	–	CMPnRF	CMPnD	CMPnEN
R/W	R/W	R/W	R/W	R/W	R/W	R	R	R/W
初期値	0	0	0	0	0	0	0	0

CMPnCON は、コンパレータ n を制御する特殊機能レジスタ (SFR) です。

ビットの説明

・ **CMPnEN** （ビット 0）
CMPnEN は、コンパレータ n による測定開始/終了を制御するビットです。
測定中/停止状態の動作状態を示すビットとしても使用します。

CMPnEN	説明
0	**コンパレータ n 測定終了/停止状態（初期値）**
1	**コンパレータ n 測定開始/測定中**

・ **CMPnD** （ビット 1）
CMPnD は、コンパレータ n 出力（図 26-1 の CMPnOUT)のステータスを示します。
CMPnP 端子の電圧が CMPnM 端子の電圧より大きい場合 (CMPnP > CMPnM)、“1”にセットされます。
CMPnP 端子の電圧が CMPnM 端子の電圧より小さい場合 (CMPnP < CMPnM)、“0”にセットされます。
コンパレータが OFF された後（CMP0EN に“0”を設定）も最後のステータスを保持します。

CMPnD	説明
0	CMPnP < CMPnM **（初期値）**
1	CMPnP > CMPnM

・ **CMPnRF** （ビット 2）
コンパレータ n の測定レディを示します。
測定中、本ビットが 1 になるまで、CMPnD の値は不定です。

CMPnRF	説明
0	CMPnD **の値は無効 （初期値）**
1	CMPnD **の値は有効**

26.2.3 コンパレータ n モードレジスタ (CMPnMOD : n=0,1)

アドレス：0F922H(CMP0MODL/CMP0MOD), 0F923H(CMP0MODH),
0F92AH(CMP1MODL/CMP1MOD), 0F92BH(CMP1MODH)
アクセス：R/W
アクセスサイズ：8/16 ビット
初期値：0000H

	7	6	5	4	3	2	1	0
CMPnMODL	–	–	CMPnMD1	CMPnMD0	–	–	CMPnE1	CMPnE0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

	15	14	13	12	11	10	9	8
CMPnMODH	–	–	–	CMPnCK	–	–	CMPnSM1	CMPnSM0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

CMPnMOD は、コンパレータ n の動作モードを設定する特殊機能レジスタ (SFR) です。
CMPnEN が”0”のときに設定して下さい。

ビットの説明

・ **CMPnE1-0** （ビット 1～0）
コンパレータ判定割込みの条件を設定します。要因は動作モードにより異なります。

CMPnMD	CMPnE1	CMPnE0	説明
シングルモード	0	*	CMPnD が”0”のとき割込み発生
	1	*	CMPnD が”1”のとき割込み発生
シングルモニタモード	*	*	設定無効 (完了割込みを発行します)
スーパーバイザモード	0	0	割込みなし (初期値)
	0	1	L 割込み ：CMPnD が”0”のとき割込み発生 測定開始時 CMPnD が”0” または、 測定中に CMPnD が “1”→”0”に変化したとき
	1	0	H 割込み ：CMPnD が”1”のとき割込み発生 測定開始時 CMPnD が”1” または、 測定中に CMPnD が “0”→”1”に変化したとき
	1	1	両エッジ割込み 測定開始時 CMPnD が”1”または、 測定中に CMPnD が”0”→”1”, “1”→”0”に変化したとき

[注意]
本設定により、CMPnTGO 信号も変化します。詳細は 26.3.2 を参照して下さい。CMPnTGO 信号はスーパーバイザモードで使用して下さい。

・ **CMPnMD1-0**（ビット 5～4）
動作モードを設定します。

CMPnMD 1	CMPnMD 0	説明
0	0	**シングルモード** CMPnEN **をセットすると判定後、割込み条件を満たす場合のみコンパレータ判定割込みを発行して、自動停止するモード**
0	1	**シングルモニタモード** CMPnEN **をセットすると判定後、完了割込みを発生して自動停止するモード**
1	*	**スーパーバイザモード（初期値）** CMPnEN **をセットするだけで測定開始するモード**

・ **CMPnCK, CMPnSM1-0**（ビット 12, 9～8）
コンパレータを制御するクロックと、フィルタリングするサンプリング間隔を設定します。
STOP モード中は、サンプリングの設定に関係なく、サンプリングなしになります。

CMPnCK	CMPnSM1	CMPnSM0	説明		
			動作クロック	サンプリングクロックと周期	
0	*	0	低速	なし	-
	*	1		T16KHz(LTBC **出力**: LSCLK **の** 2 **分周**)	61 us
1	0	*	高速	**なし**	-
	1	0		OSCLK **の** 64 **分周**	4 us
	1	1		OSCLK **の** 128 **分周**	8 us

※低速側は LSCLK=32.768kHz, 高速側は OSCLK=16MHz のときの値です。

【注意】
制御クロックとして OSCLK **を選択している際、**HALT **モード時は、**OSCLK **が停止しないようにして下さい。**
動作モードにより、STOP **モードに入れるタイミングに注意が必要です。動作説明** 26.3.1.1~3 **を参照して下さい。**

26.3 動作説明

26.3.1 コンパレータ機能

コンパレータには、以下 3 つのモードがあります。これらのモードについて説明します。

1. スーパーバイザモード ： 常時 ON で電圧を監視するのに最適なモードです。
2. シングルモード ： 定期的に電圧を監視するのに最適なモードです。指定した状態だけ割込みを通知します。
3. シングルモニタモード ： 定期的に電圧を監視するのに最適なモードです。常にソフトウェアが結果を判定します。

26.3.2 スーパーバイザモード

コンパレータを常時 ON 状態にして、判定結果の変化をトリガに割込み通知をするモードです。
割込みがなくても、ソフトウェアが、CMPnD ビットをリードすることで判定結果をモニタすることが可能です。

設定手順:
(1) CMPnMOD レジスタにより、動作クロック，フィルタリング，割込みの選択およびスーパーバイザモードに設定をします。この設定により CMPnTGO 信号の動作も変わります。

CMPnE1-0	説明	
	割込み	CMPnTGO 信号
00	割込みなし	測定開始時 CMPnD が”1” または、 測定中に CMPnD が “0”→”1”に変化したとき アサートされます。
01	L 割込み ：CMPnD が”0”のとき割込み発生 測定開始時 CMPnD が”0” または、 測定中に CMPnD が “1”→”0”に変化したとき	測定開始時 CMPnD が”0” または、 測定中に CMPnD が “1”→”0”に変化したとき アサートされます。
10	H 割込み ：CMPnD が”1”のとき割込み発生 測定開始時 CMPnD が”1” または、 測定中に CMPnD が “0”→”1”に変化したとき	測定開始時 CMPnD が”1” または、 測定中に CMPnD が “0”→”1”に変化したとき アサートされます。
11	両エッジ割込み 測定開始時 CMPnD が”1”または、 測定中に CMPnD が”0”→”1”, “1”→”0”に変化したとき	

(2) CMPnEN をセットします。
割込みありの場合, CMPnE1-0 で設定した条件に一致したとき割込みを発行します。

(3)Trdy 経過後、CMPnRF が”1”になり、CMPnD の値が有効となります。
割込みなし または、割込み通知前に CMPnD をリードする場合、 CMPnRF が”1”であることを確認して下さい。
動作中で CMPnRF が”0”の間は安定待ち状態であるため、CMPnD の値は無効です。
STOP モードへの移行する場合は CMPnRF が”1”であることを確認してから行なって下さい。

以下に動作のタイミングを示します。

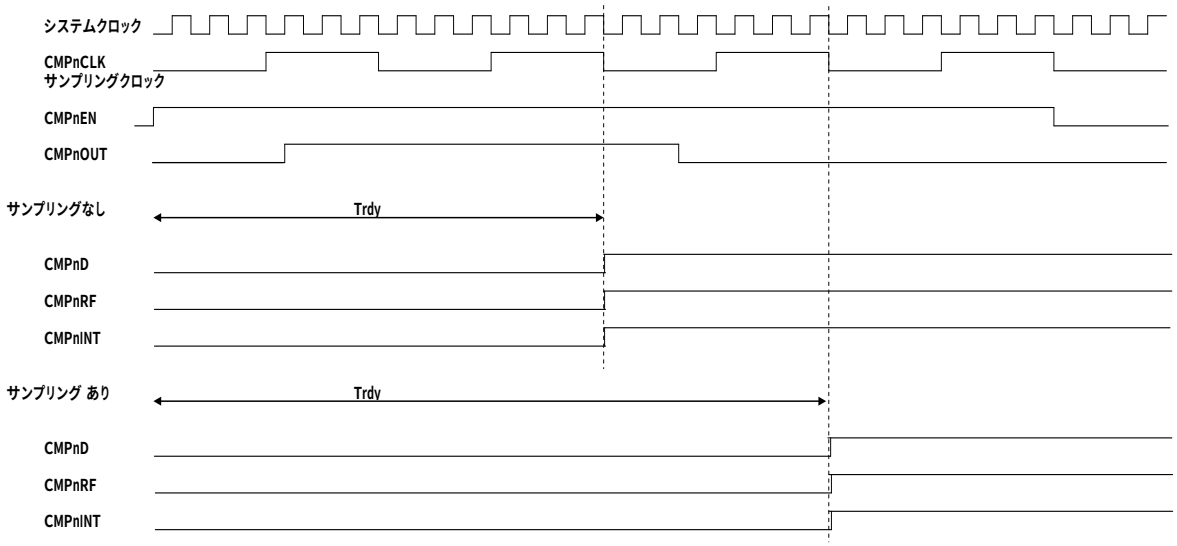


図 26-2 スーパーバイザモードのタイミング図

CMPnD が有効になるまでの時間は、動作クロック/サンプリングクロックの設定により異なります。

CMPn CK	CMPn SM1	CMPn SM0	動作クロック	サンプリング	Trdy	
0	0	0	低速	なし	2φ	61.0 us
0	0	1	低速	T16KHZ(LTBC 出力: LSCLK の 2 分周)	3φ	183.1 us
1	0	0	高速	なし	3φ	12.0 us
1	1	0	高速	OSCLK の 64 分周	4φ	16.0 us
1	1	1	高速	OSCLK の 128 分周	3φ	24.0 us

※低速側は LSCLK=32.768kHz，高速側は OSCLK=16MHz のときの値です。

26.3.3 シングルモード

コンパレータを測定したいときにのみ ON にして、判定結果による割込みを通知して、ハードウェアが自動でコンパレータを OFF にするモードです。

設定手順:

(1) CMPnMOD レジスタにより、動作クロック，フィルタリング，割込みの選択およびシングルモードに設定をします。

CMPnE1-0	説明
00	CMPnD が"0"のとき割込み発生
01	
10	CMPnD が"1"のとき割込み発生
11	

(2) CMPnEN をセットします。

(3) Trdy 経過後に CMPnRF が"1"になり、CMPnD にデータがセットされます。このとき、CMPnE1-0 で設定した条件に一致したとき割込みを発行します。

(4) Tend 経過後、ハードウェアが CMPnEN を 0 にします。CMPnD の値は次に CMPnEN に"1"をセットするまで保持されます。

CMPnEN をセットしてから、次に CMPnEN を設定するまでに (Trdy+Tend) の間隔を空ける必要があります。

CMPnEN をセットする前に、CMPnEN="0"を確認することを推奨します。

動作中に STOP モードへの移行は禁止です。STOP モードへ移行する際は、CMPnEN を"0"にしてから行なって下さい。

以下に動作のタイミングを示します。

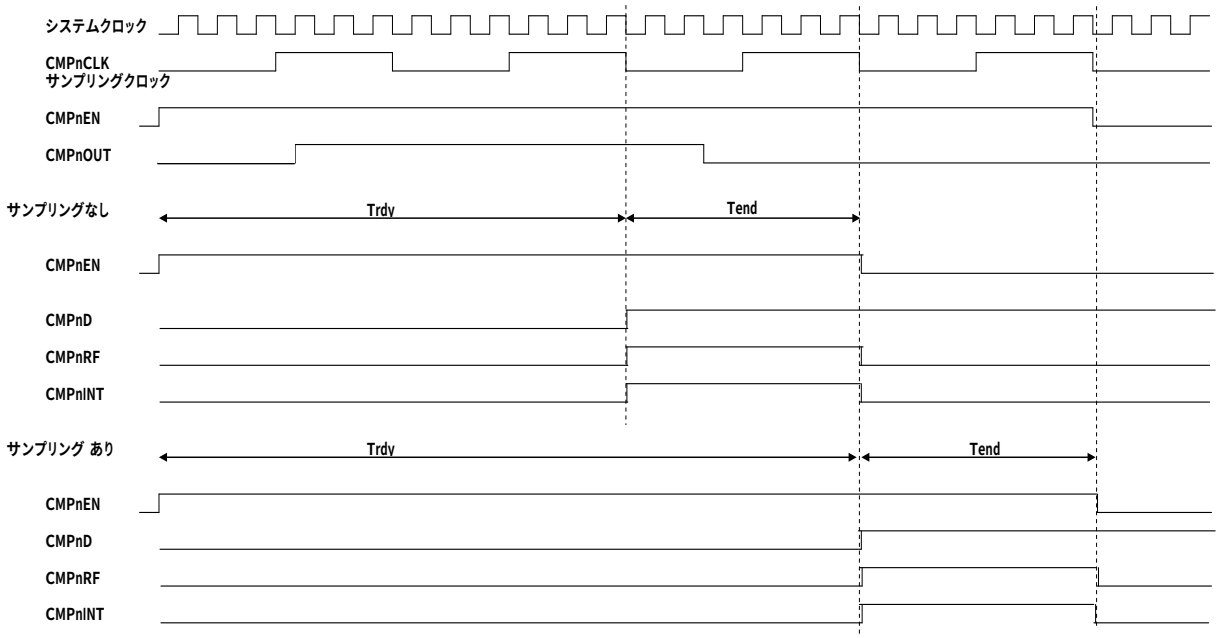


図 26-3 シングルモードのタイミング図

CMPnD が有効になるまでの時間は、動作クロック/サンプリングクロックの設定により異なります。

CMPn CK	CMPn SM1	CMPn SM0	動作クロック	サンプリング	Trdy (判定(割込み)までの時間)		Trdy+Tend (コンパレレータ off までの時間)	
0	0	0	低速	なし	2φ	61.0 us	3φ	91.6 us
0	0	1	低速	T16KHZ(LTBC 出力: LSCLK の 2 分周)	3φ	183.1 us	4φ	244.2 us
1	0	0	高速	なし	3φ	12.0 us	4φ	16.0 us
1	1	0	高速	OSCLK の 64 分周	4φ	16.0 us	5φ	20.0 us
1	1	1	高速	OSCLK の 128 分周	3φ	24.0 us	4φ	32.0 us

※低速側は LSCLK=32.768kHz, 高速側は OSCLK=16MHz のときの値です。

26.3.4 シングルモニタモード

コンパレータを測定したいときにのみ ON にして、測定後に完了割込みを通知して、ハードウェアが自動でコンパレータを OFF にするモードです。

設定手順:
(1) CMPnMOD レジスタにより、動作クロック，フィルタリングおよびシングルモニタモードに設定をします。
割込みの設定は、無効です。完了割込みのみ発行します。動作中にソフトウェアによる中断を行なった場合も完了割込みを発行します。

(2) CMPnEN をセットします。

(3) Tend 経過後、コンパレータは自動で OFF して完了割込みを発行します。ソフトウェアにより、CMPnD(判定結果)をリードして下さい。CMPnD の値は次に CMPnEN に”1”をセットするまで保持されます。

動作中に STOP モードへの移行は禁止です。STOP モードへ移行する際は、CMPnEN を”0”にしてから行なって下さい。

以下に動作のタイミングを示します。

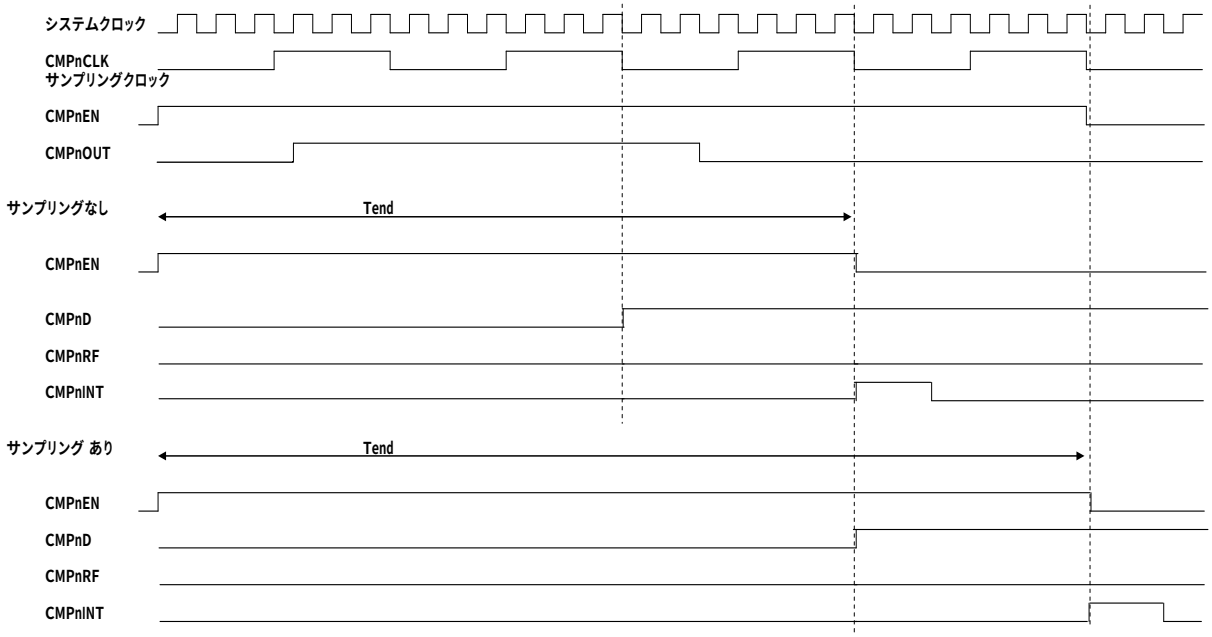


図 26-4 シングルモニタモードのタイミング図

CMPnD が有効になるまでの時間は、動作クロック/サンプリングクロックの設定により異なります。

CMPn CK	CMPn SM1	CMPn SM0	動作クロック	サンプリング	Tend (コンパレータ off までの時間)	
0	0	0	低速	なし	3φ	91.6 us
0	0	1	低速	T16KHZ(LTBC 出力: LSCLK の 2 分周)	4φ	244.2 us
1	0	0	高速	なし	4φ	16.0 us
1	1	0	高速	OSCLK の 64 分周	5φ	20.0 us
1	1	1	高速	OSCLK の 128 分周	4φ	32.0 us

※低速側は LSCLK=32.768kHz，高速側は OSCLK=16MHz のときの値です。

第 27 章　フラッシュメモリ制御

27 フラッシュメモリ制御

27.1 概要

フラッシュメモリ書換機能には、特殊機能レジスタ(SFR)を用いてデータフラッシュを書き換える機能と、プログラムメモリをソフトウェアで書き換える ISP(InSystemProgramming)機能およびブート領域のリマップ機能があります。

書き換え時の条件や仕様は、付録 C「電気的特性」のフラッシュメモリ仕様の項を参照して下さい。
プログラムメモリ空間およびデータフラッシュの領域については、第 2 章「CPU とメモリ空間」を参照して下さい。

27.1.1 特長

- 1 ワード書き込み可能。
- 2 種類の消去タイプ、ブロック消去(8K バイト単位), セクタ消去(1K バイト単位)
- データフラッシュは書換え回数 10000 回 (プログラムメモリは 100 回)
- 書き込み/消去コマンド許可レジスタ(フラッシュアクセプタ)による誤書込み防止
- ISP 機能に対応 (ブート領域のリマップをソフトウェア/ハードウェア両方で可能)

27.2 レジスタ説明

27.2.1 レジスター覧

アドレス [H]	名称	略称 (Byte)	略称 (Word)	R/W	サイズ	初期値 [H]
0F0E0	フラッシュアドレスレジスタ	FLASHAL	FLASHA	R/W	8/16	00
0F0E1		FLASHAH		R/W	8	00
0F0E2	フラッシュデータレジスタ	FLASHDL	FLASHD	R/W	8/16	00
0F0E3		FLASHDH		R/W	8	00
0F0E4	フラッシュコントロールレジスタ	FLASHCON	-	W	8	00
0F0E6	フラッシュアクセプタ	FLASHACP	-	W	8	00
0F0E8	フラッシュセグメントレジスタ	FLASHSEG	-	R/W	8	00
0F0EA	フラッシュセルフレジスタ	FLASHSLF	-	R/W	8	00
0F0EC	リマップアドレスレジスタ	REMAPADD	-	R/W	8	00

27.2.2 フラッシュアドレスレジスタ (FLASHA)

アドレス：0F0E0H
アクセス：R/W
アクセスサイズ：8/16 ビット
初期値：0000H

	7	6	5	4	3	2	1	0
FLASHAL	FA7	FA6	FA5	FA4	FA3	FA2	FA1	FA0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R
初期値	0	0	0	0	0	0	0	0

	15	14	13	12	11	10	9	8
FLASHAH	FA15	FA14	FA13	FA12	FA11	FA10	FA9	FA8
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

FLASHA は、フラッシュメモリ書き換えアドレスを設定する特殊機能レジスタ（SFR）です。

ビットの説明

- **FA15-0**（ビット 15～0）
  FA15-0 は、ブロック消去，セクタ消去および 1 ワード書き込み時のアドレスを設定するビットです。ビット 0 は、0 固定になっており、ビット 0 への書き込みは無効となります。
  ブロック消去時は FA15-13 で指定されたブロックが消去されます。
  セクタ消去時は FA15-10 で指定されたセクタが消去されます。

表 27-1 にブロック消去時のアドレス設定値を、表 27-2 にセクタ消去時のアドレス設定値を示します。

【注意】
ソフトウェアによるリマップおよびハードウェア（外部端子）によるリマップ後でも、本レジスタにはリマップ前のアドレスを指定してください。リマップ機能に関しては、「27.3.4 ソフトウェアによるブート領域リマップ機能」および「27.3.5 ハードウェアによるリマップ機能」を参照して下さい。

27.2.3 フラッシュデータレジスタ (FLASHD)

アドレス：0F0E2H
アクセス：R/W
アクセスサイズ：8/16 ビット
初期値：0000H

	7	6	5	4	3	2	1	0
FLASHDL	FD7	FD6	FD5	FD4	FD3	FD2	FD1	FD0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

	15	14	13	12	11	10	9	8
FLASHDH	FD15	FD14	FD13	FD12	FD11	FD10	FD9	FD8
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

FLASHD は、フラッシュメモリ書き換えデータを設定する特殊機能レジスタ（SFR）です。

ビットの説明

- **FD7-0**（ビット 7～0）
  FD7-0 は、1 ワード書き込み時下位データを設定するビットです。

- **FD15-8**（ビット 15～8）
  FD15-8 は、1 ワード書き込み時の上位データを設定するビットです。
  FD15-8 への書き込みにより 1 ワード書き込みが開始されます。

【注意】
書き込むアドレスの内容はあらかじめ消去しておいて下さい。上書きによる書き込みアドレスの内容は保証されません。
FLASHDH への書き込みより 1 ワード書き込みが開始されますので、バイトアクセス時は FLASHDL, FLASHDH の順番でデータを書き込んで下さい。

27.2.4 フラッシュコントロールレジスタ (FLASHCON)

アドレス：0F0E4H
アクセス：W
アクセスサイズ：8 ビット
初期値：00H

	7	6	5	4	3	2	1	0
FLASHCON	—	—	—	—	—	—	FSERS	FERS
R/W	W	W	W	W	W	W	W	W
初期値	0	0	0	0	0	0	0	0

FLASHCON は、フラッシュメモリ書き換えのブロック消去およびセクタ消去を制御する書き込み専用の特殊機能レジスタ（SFR）です。

ビットの説明

- **FERS**（ビット 0）
  FERS は、ブロック消去の開始を指定するビットです。
  FERS ビットを"1"にすると FLASHSEG レジスタと FLASHAH レジスタにより指定されたブロックが消去され、消去が完了すると自動的に"0"になります。

- **FSERS**（ビット 1）
  FSERS は、セクタ消去の開始を指定するビットです。
  FSERS ビットを"1"にすると FLASHSEG レジスタと FLASHAH レジスタにより指定されたセクタが消去され、消去が完了すると自動的に"0"になります。

FSERS	FERS	説明
0	0	**設定無効**
0	1	**ブロック消去開始**
1	0	**セクタ消去開始**
1	1	**ブロック消去開始**

27.2.5 フラッシュアクセプタ (FLASHACP)

アドレス：0F0E6H
アクセス：W
アクセスサイズ：8 ビット
初期値：00H

	7	6	5	4	3	2	1	0
FLASHACP	fac7	fac6	fac5	fac4	fac3	fac2	fac1	fac0
R/W	W	W	W	W	W	W	W	W
初期値	0	0	0	0	0	0	0	0

FLASHACP は、フラッシュメモリ書き換えのブロック消去、セクタ消去動作、1 ワード書き込みの許可／禁止を制御する書き込み専用の特殊機能レジスタ (SFR) です。

ビットの説明

- **fac7-0**（ビット 7～0）
  fac7-0 は、誤消去および誤書き込みを防止するため、ブロック消去、セクタ消去、1 ワード書き込みの動作を制限するレジスタです。
  FLASHACP に“0FAH”、“0F5H”の順序で書き込むと、ブロック消去、セクタ消去、1 ワード書き込み機能が一度だけ許可状態となります。
  連続してブロック消去、セクタ消去、1 ワード書込みを使用する場合は、毎回 FLASHACP に“0FAH”、“0F5H”を書き込む必要があります。
  FLASHACP への“0FAH”書き込みと“0F5H”書き込みの間に他の命令が入っても、ブロック消去、1 ワード書き込み、セクタ消去機能は許可状態になります。ただし、“0FAH”書き込み後に“0F5H”以外のデータを FLASHACP に書き込むと“0FAH”書き込みが無効となるため、再度“0FAH”から書き込む必要があります。

27.2.6 フラッシュセグメントレジスタ (FLASHSEG)

アドレス：0F0E8H
アクセス：R/W
アクセスサイズ：8 ビット
初期値：00H

	7	6	5	4	3	2	1	0
FLASHSEG	—	—	—	—	—	FSEG2	FSEG1	FSEG0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

FLASHSEG は、フラッシュメモリ書き換えのセグメントアドレスを設定する特殊機能レジスタ (SFR) です。

ビットの説明

- **FSEG2-0**（ビット 2～0）
  FSEG2-0 はフラッシュメモリのセグメントアドレスを指定するビットです。

27.2.7 フラッシュセルフレジスタ (FLASHSLF)

アドレス：0F0EAH
アクセス：R/W
アクセスサイズ：8 ビット
初期値：00H

	7	6	5	4	3	2	1	0
FLASHSLF	—	—	—	—	—	—	—	FSELF
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

FLASHSLF はフラッシュメモリ書き換え機能を制御する特殊機能レジスタ (SFR) です。

ビットの説明

・ **FSELF**（ビット 0）
フラッシュメモリセルフ書き換えを行う場合は、FSELF ビットを 1 にセットする必要があります。

FSELF	説明
0	**フラッシュメモリ書き換え不可（初期値）**
1	**フラッシュメモリ書き換え可能**

27.2.8 リマップアドレスレジスタ (REMAPADD)

アドレス：0F0ECH
アクセス：R/W
アクセスサイズ：8 ビット
初期値：00H

	7	6	5	4	3	2	1	0
REMAPADD	RBTA	RES2	RES1	RES0	REA15	REA14	REA13	REA12
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

REMAPADD は、リマップする領域を指定する特殊機能（SFR）レジスタです。
REMAPADD では、以下の 2 つのリマップ領域の指定ができます。

1. 0000H~0FFFH 番地（4KB）を、RES2～RES0 ビット、および REA15～REA12 ビットに指定したアドレスから同サイズ 4KB 内の領域にリマップする。
2. 0000H~03FFH 番地（1KB）を、RBTA ビットを使用することによって ISP ブート領域（FC00H~FDFFH 番地）にリマップが可能です。

BRK 命令によるソフトウェアリセットを実行すると（※CPU のみリセット）、CPU は REMAPADD に指定されたリマップ領域の先頭アドレスから命令を実行します。なお、リマップ機能では、すべてのベクタテーブル領域（リセットベクタ、ハードウェア割込みベクタおよびソフトウェア割込みベクタ領域）がリマップされます。
※BRK 命令については、『nX-U16/100 コア インストラクションマニュアル』を参照してください。

ビットの説明

- **REA15-12**（ビット 3～0）
  REA15-12 は、リマップしたい領域の先頭アドレスの上位 4 ビット（ビット 15～12）を設定するビットです。
  例) REA15～12 に”0BH “を設定し、BRK 命令を実行すると B000H～BFFFH の領域が 0000H～0FFFH にマッピングされます。

- **RES2-0**（ビット 6～4）
  RES2-0 は、リマップしたい領域のセグメントを設定するビットです。
  本 LSI ではセグメント 0,1 のみのため、0 または 1 を設定してください。

- **RBTA**（ビット 7）
  RBTA を”1”にセットすると、リマップする先頭アドレスの bit[11:10]を”11”b にします。REA15~12 を”F”h に設定することでリマップの先頭アドレスを”FC00”H にでき、ブート領域を ISP ブート領域（FC00H~FDFFH 番地）にリマップできます。
  また、外部端子（TEST0）を使って ISP ブート領域からブートさせる事も可能です。このハードウェアリマップの詳細は、「27.3.5 ハードウェアによるリマップ機能」を参照してください。

【注意】
ISP ブート領域からブートさせるには、ISP ブート領域（FC00H~FDFFH 番地）の FC00H～FDDFH 番地にあらかじめ ICE 等でブートプログラムを書き込んでおく必要があります。また、FDE0 ~FDFFH 番地には、必ず“0FFH”を書き込んでください。

27.3 動作説明

フラッシュメモリ制御レジスタによって、以下のことが行なえます。

1) データフラッシュの書換え
2) プログラムコードの書換え

プログラムコードの書換えを行なう場合、
セルフ書き換え機能を使用する際は、ブロック/セクタ消去、もしくは 1 ワード書き込みの対象となるアドレス以外のプログラム・コード領域に、予めセルフ書き換え用のプログラムを準備しておく必要があります。
セルフ書き換え機能には、4K ワード（8K バイト）単位で消去するブロック消去機能、512 ワード（1K バイト）単位で消去するセクタ消去機能、および 1 ワード（2 バイト）単位で書き込む 1 ワード書き込み機能があります。

フラッシュメモリの書き換え回数は下記の通り、アドレスに依存して異なります。

商品名	書き換えアドレス	書き換え回数
ML620Q503	0:0000h〜0:7FFFh*1	100
	7:0000h〜7:07FFh	10000
ML620Q504	0:0000h〜0:FFFFh*2	100
	7:0000h〜7:07FFh	10000

項　目	仕　様
セクタ消去時間	(Max.) 100ms
ブロック消去時間	(Max.) 100ms
1 ワード(2 バイト)書き込み	(Max.)　40μs

【注意】
*1: ML620Q503 : テストデータ領域(0:7C00h〜0:7FFFh)は除きます。
*2: ML620Q504 : テストデータ領域(0:FC00h〜0:FFFFh)は除きます。

また、フラッシュメモリの誤書き換えを防止するため、セルフ書き換え動作を制限するフラッシュセルフレジスタおよびフラッシュ書き換えアクセプタ機能を内蔵しています。フラッシュセルフレジスタでセルフ書き換えを有効にした後、フラッシュアクセプタ(FLASHACP) に“0FAH”、“0F5H”の順で書き込むと、ブロック/セクタ消去、もしくは 1 ワード書き込み機能が一度だけ有効になります。

注意事項：
・ フラッシュの書込み/消去時のシステムクロックについて
フラッシュの書込み/消去はシステムクロックが低速では、行えません。
システムクロックが低速クロックのとき、書込み/消去コマンドは無効です。
システムクロックは高速クロックを選択し、周波数が 384kHz-16MHz になるよう制御して下さい。

・ フラッシュ書換えプログラムのデバッグについて
uEASE 等を使用してフラッシュ書き換えプログラムのデバッグを行う場合、 フラッシュ書換えの”フラッシュアクセプタへの書込み〜フラッシュデータレジスタへの書込み”までのシーケンス内でブレークやステップ実行をしないで下さい。書換えができない場合があります。

27.3.1 消去時のアドレス設定

表 27-1 ブロック消去時のアドレス設定値

ブロック消去する領域		FLASHSEG			FLASHAH							
セグメント	アドレス	SEG 2	SEG 1	SEG 0	FA 15	FA 14	FA 13	FA 12	FA 11	FA 10	FA 9	FA 8
セグメント 0	0:0000H ～ 0:1FFFH	0	0	0	0	0	0	0	0	0	0	0
	0:2000H ～ 0:3FFFH	0	0	0	0	0	1	0	0	0	0	0
	0:4000H ～ 0:5FFFH	0	0	0	0	1	0	0	0	0	0	0
	0:6000H ～ 0:7FFFH	0	0	0	0	1	1	0	0	0	0	0
	0:8000H ～ 0:9FFFH	0	0	0	1	0	0	0	0	0	0	0
	0:A000H ～ 0:BFFFH	0	0	0	1	0	1	0	0	0	0	0
	0:C000H ～ 0:DFFFH	0	0	0	1	1	0	0	0	0	0	0
セグメント 7	7:0000H ～ 7:07FFH	1	1	1	0	0	0	0	0	0	0	0

表 27-2 セクタ消去時のアドレス設定値

セクタ消去する領域		FLASHSEG			FLASHAH							
セグメント	アドレス	SEG 2	SE G1	SEG 0	FA 15	FA 14	FA 13	FA 12	FA 11	FA 10	FA 9	FA 8
セグメント 0	0:0000H ～ 0:03FFH	0	0	0	0	0	0	0	0	0	0	0
	0:0400H ～ 0:07FFH	0	0	0	0	0	0	0	0	1	0	0
	0:0800H ～ 0:0BFFH	0	0	0	0	0	0	0	1	0	0	0
	： ：											
	0:F000H ～ 0:F3FFH	0	0	0	1	1	1	1	0	0	0	0
	0:F400H ～ 0:F7FFH	0	0	0	1	1	1	1	0	1	0	0
	0:F800H ～ 0:FBFFH	0	0	0	1	1	1	1	1	0	0	0
セグメント 7	7:0000H ～ 7:03FFH	1	1	1	0	0	0	0	0	0	0	0
	7:0400H ～ 7:07FFH	1	1	1	0	0	0	0	0	1	0	0

【注意】

ML620Q503 は

・0:6000H～0:7BFFH はセクタ消去のみ有効です。

・0:7E00H～0:7FFFH は消去できません。

・0:8000H～0:FFFFH は使用できません。

ML620Q504 は

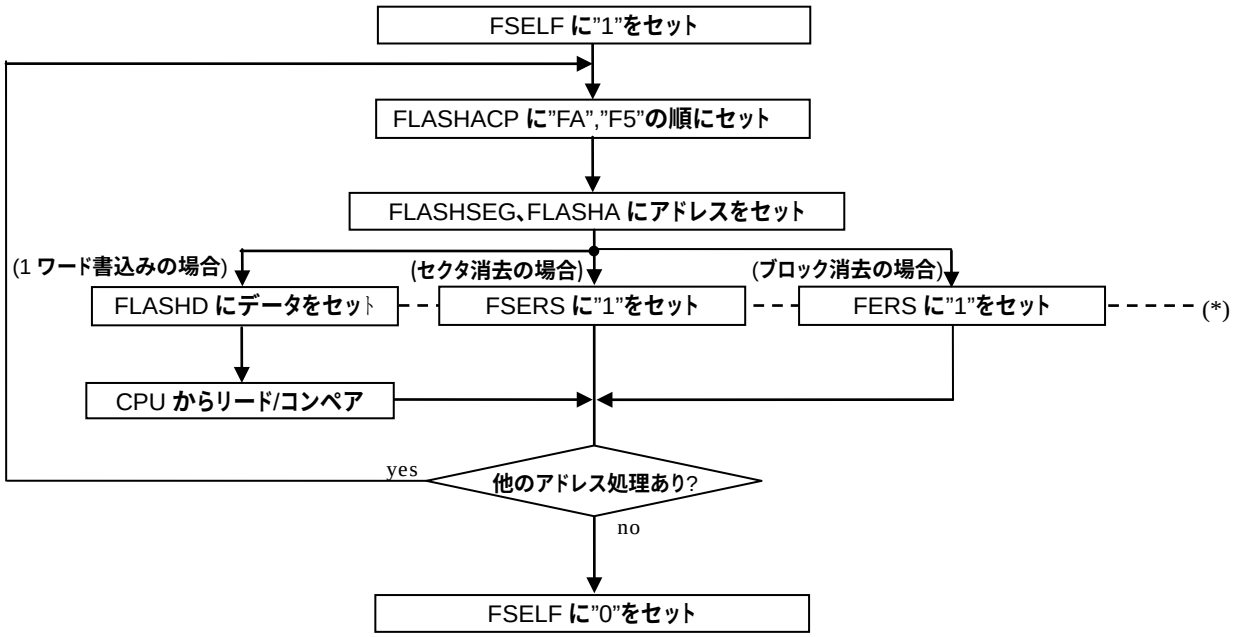
・0:E000H～0:FBFFH はセクタ消去のみ有効です。

・0:FE00H～0:FFFFH は消去できません。

27.3.2 データフラッシュの書換え

データフラッシュは 2KB(2 セクタ: 1KB/セクタ) 搭載しています。また、書換え回数は 10000 回です。
図 27-1 に 1 ワード書込み/セクタ消去/ブロック消去のシーケンスを示します。

1 つ目のセクタから順次書込みを行ない、2 つ目のセクタへの書込みが飽和したとき、1 つ目のセクタをセクタ消去して、次のデータを書き込むことで、書込みデータを 1 ワードとした場合、最大 1024*10000 回の書換えを実現できます。
消去後の初期値は”FFFFH”になっていますので、書込み位置は初期値とマッチするところをサーチします。



*: 書込み/消去の処理中は CPU が停止します。この処理の後は NOP 処理を 2 回して下さい。

図 27-1 データフラッシュ書換えシーケンス

27.3.3 プログラムメモリの書換え(ISP 機能)

ISP 機能により、ソフトウェアによるプログラムの書換えが可能です。ISP プログラムの実行方法は 2 種類あります。

1) ソフトウェアにより ISP プログラムのブート領域をリマップして実行する方法
2) LSI 起動時にハードウェアにより ISP ブート領域をリマップして実行する方法

上記により、ISP プログラムをブートして、データフラッシュの書換えと同じシーケンスでプログラムメモリを書換えます。
リマップ方法については、27.3.4「ソフトウェアによるブート領域リマップ機能」、27.3.5「ハードウェアによるリマップ機能」を参照してください。

27.3.4 ソフトウェアによるブート領域リマップ機能

0000H～0FFFH 番地（4KB）の領域を、REMAPADD レジスタで設定したアドレスから同サイズ4KB 内の領域にリマップする機能です。
REMAPADD レジスタにリマップしたい領域の先頭アドレスを設定し、BRK 命令実行によるソフトウェアリセット（※CPU のみリセット）を行なう事により、リマップ後の領域からプログラムを開始する事が可能です。BRK 命令については、『nX-U16/100 コア インストラクションマニュアル』を参照してください。
リマップ機能によりベクタテーブル領域（リセットベクタ、ハードウェア割込みベクタおよびソフトウェア割込みベクタ領域）もリマップされるため、リマップ領域内のプログラムで割込みを独自に管理する事が可能です。また、プログラムサイズが 4KB 以内であれば、メインプログラムとは独立したプログラムとして開発することも可能です。セルフ書換えプログラムなど、通常時の割込みとは別に割込みを制御したい場合などに最適です。
図 27-2 にリマップを行なう場合のプログラム例（リマップしたい先頭アドレスが F000H の場合）を示します。また、図 27-3 にリマップ前後のメモリマップを示します。

```
MOV     R0,     #00FH       ;
ST      R0,     0F0ECH      ; リマップしたい領域の先頭アドレスの上位 4bit を
                            ; REMAPADD レジスタ（0F0ECH）に設定
MOV     PSW, #02H           ; 割込みレベル (ELEVEL)を 2 に設定
BRK                         ; BRK 命令実行
                            ; リマップされた F000H にあるコードから実行開始されます。
```

図 27-2 リマップを行うプログラム例

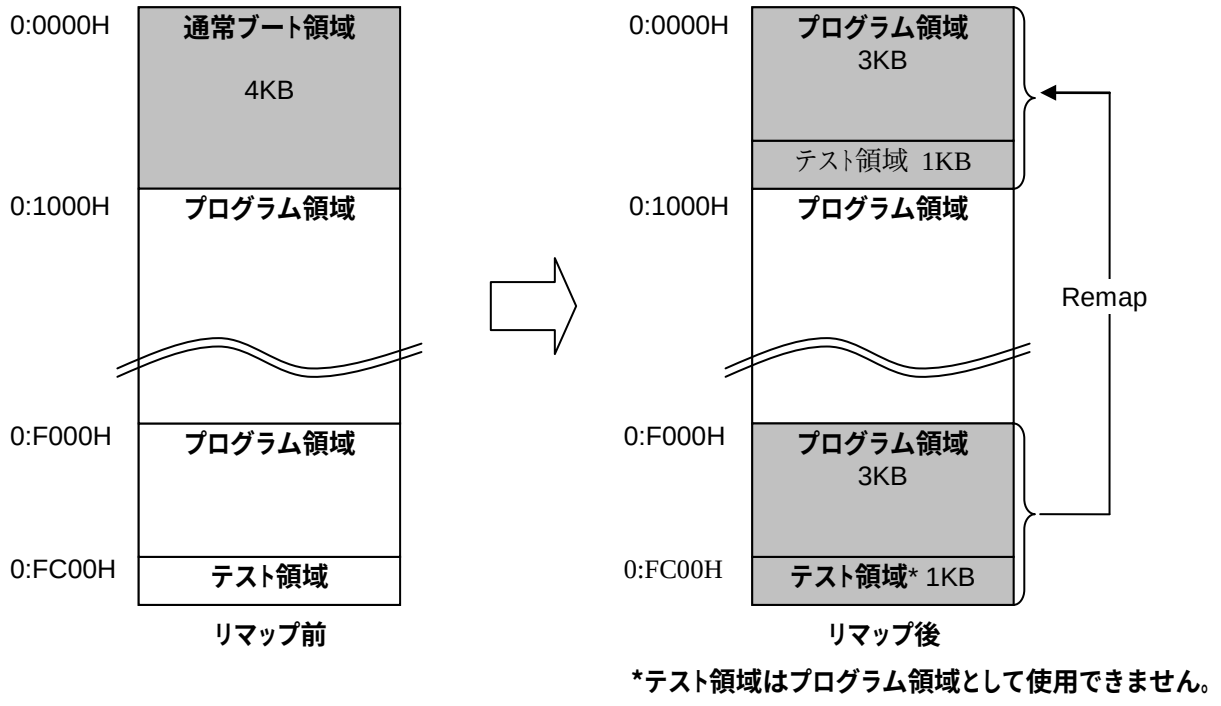


図 27-3 リマップ前後のメモリマップ

【注意】
リマップ後に、リマップ前の 0：0000H～0：1000H（4KB）領域を読み出す場合は、セグメント 8 から読み出してください。また、リマップ前の 0：0000H～0：1000H（4KB）領域に書き込む場合は、フラッシュアドレスレジスタ（FLASHA）にリマップ前のアドレス（0：0000H～0：1000H）を設定してください。FLASHA について、「27.2.2 フラッシュアドレスレジスタ（FLASHA）」を参照してください。

27.3.5 ハードウェアによるリマップ機能

外部端子（TEST0）を High にした状態で、電源投入によるパワーオンリセットまたは RESET_N 端子によるリセットを解除すると、ISP ブート領域* の 512B およびテスト領域 512B の計 1KB が 0:0000H～0:03FFH にリマップされ、ISP ブート領域のプログラムで起動（ブート）することができます。なお、0:0400H～0:0FFF にも、ISP ブート領域が繰り返しリマップされます。

ISP ブート領域には、予めブートプログラムを書き込んでおくことにより、以下の機能を実現することができます。

①通常ブートプログラムが置かれる FLASH のブロック 0（0000H から 16KB の領域）を書き換え中に電源断等で起動できなくなった場合、ISP ブート領域から起動（ブート）することで、復帰できなくなる状態を回避できます。

②ブートプログラムで、外部通信のできる UART などを使って LSI 内部のプログラムを書き換えることによって、Flash ライタ同等の機能を実現することができます。

*:ML620Q504 の ISP ブート領域は 0:FC00H～0:FDFFH になります。

図 27-4 にリマップ前後のメモリマップを示します。

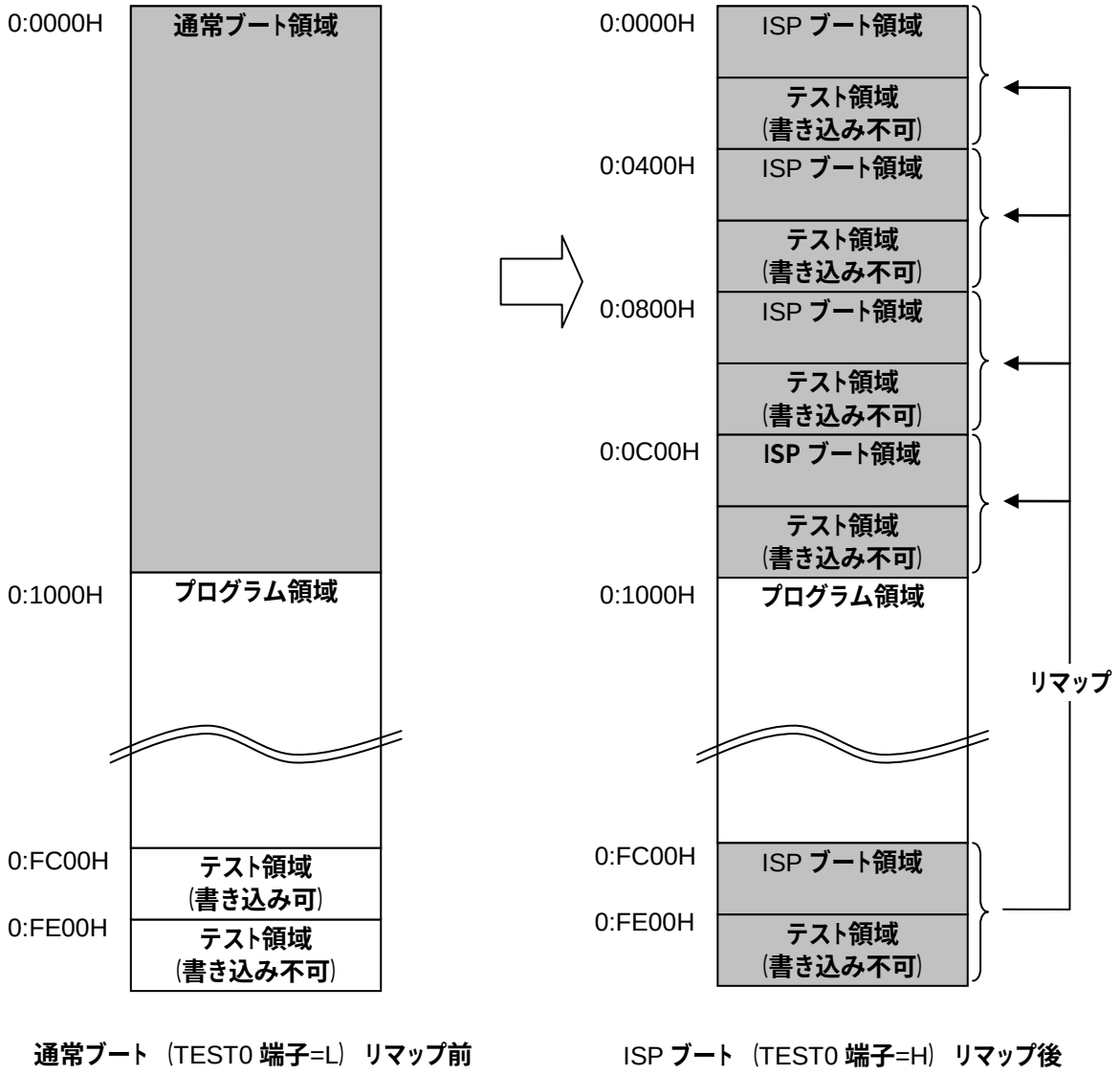


図 27-4 外部端子（TEST0）によるブート切り替え

【注意】

ISP ブート領域（FC00H~FDFFH 番地）の FC00H～FDDFH 番地にあらかじめオンチップ ICE 機能でブートプログラムを書き込んでください。FDE0~FDFFH 番地には、必ず“0FFH”を書き込んでください。

ハードウェアリマップのプログラム実行中は,TEST0 端子を”0”にしないで下さい。

27.3.6 リマップ後のプログラムの注意事項

リマップ後に実行されるプログラム*のスタートアップにて、リセットベクタが指す先頭で、ROM のアドレス 0000 番地をロードし、スタックポインタに設定して下さい。図 27-5 に設定方法を示します、

```
$$start_up:
        L       ER0,    0000H
        MOV     SP,     ER0
        BAL     $begin
        :
```

図 27-5 スタックポインタを設定するプログラム例

*:ISP プログラム、ローダープログラム、通常プログラムいずれも対象になります。
リマップ未使用時でも、本設定をすることを推奨します。

【注意】
ISP プログラムから通常プログラムにソフトウェアリマップした際に、ソフトウェアによるスタックポインタの設定が行われない場合、正常に動作しない場合があります。

27.3.7 プログラム例

以下にブロック消去/セクタ消去/1 ワード書込みのプログラム例を示します（フラッシュセグメントレジスタはすでに設定しているものとします）。

(1) ブロック消去/セクタ消去

```
        LEA     offset FLASHAH              ; EA←FLASHAH アドレス
        MOV     R0,     #0FAH               ; フラッシュアクセプタ許可データ
        MOV     R1,     #0F5H               ; フラッシュアクセプタ許可データ
        MOV     R2,     #01H  (#02H)        ; ブロック(セクタ)消去設定データ
        MOV     R4,     #(offset FLASHACP)&0FFH
        MOV     R5,     #(offset FLASHACP)>>8   ; ER4←FLASHACP アドレス
        MOV     R6,     #(offset FLASHCON)&0FFH
        MOV     R7,     #(offset FLASHCON)>>8   ; ER6←FLASHCON アドレス
        :
        (消去開始ブロックアドレスを R9 にセット)
MARK:
        SB      FSELF                       ; フラッシュ書込み/消去許可
LOOP:

        ST      R0,     [ER4]               ; フラッシュアクセプタ許可
        ST      R1,     [ER4]               ; フラッシュアクセプタ許可
        ST      R9,     [EA]                ; ブロック(セクタ)アドレス設定
        ST      R2,     [ER6]               ; ブロック(セクタ)消去開始
        NOP                                 ; ※必ず設定
        NOP                                 ; ※必ず設定

        RB      FSELF                       ; フラッシュ書込み/消去禁止
```

(2) 1 ワード書込み

```
        LEA     offset FLASHAH              ; EA←FLASHAH アドレス
        MOV     R0,     #0FAH               ; フラッシュアクセプタ許可データ
        MOV     R1,     #0F5H               ; フラッシュアクセプタ許可データ
        MOV     R2,     #02H                ; アドレスインクリメントデータ
        MOV     R3,     #00H
        MOV     R4,     #(offset FLASHACP)&0FFH
        MOV     R5,     #(offset FLASHACP)>>8   ; ER4←FLASHACP アドレス
        :
        (書き込み開始アドレスを ER8 にセット)
        (書き込み終了アドレスを ER12 にセット)
MARK:
        SB      FSELF                       ; フラッシュ書込み/消去許可

        ST      R0,     [ER4]               ; フラッシュアクセプタ許可
        ST      R1,     [ER4]               ; フラッシュアクセプタ許可
        ST      XR8,    [EA]                ; アドレス&データ設定、1 ワード書き込み開始
        NOP                                 ; ※必ず設定
        NOP                                 ; ※必ず設定

        L       ER14,   [ER8]               ; データ読み込み
        CMP     ER14,   ER10                ; データを確認
        BNE     ERROR                       ; エラー時はエラー処理ルーチンへ

        ADD     ER8,    ER2                 ; アドレスインクリメント
        CMP     ER8,    ER12
        BLE     MARK                        ; アドレス比較

        RB      FSELF                       ; フラッシュ書込み/消去禁止
```

図 27-6 書込み/消去を行うプログラム例

【注意】

・ プログラム実行中のデータの消去/書込みは、プログラムが誤動作する恐れがありますので、プログラム実行に関係のないアドレスへ書き込んでください。

・ ブロック消去開始命令/FLASHD への書き込み命令の次の命令には必ず NOP 命令を 2 回以上設定してください。

第 28 章　電圧レベル検出回路 (VLS)

28 電圧レベル検出回路 (VLS)

28.1 概要

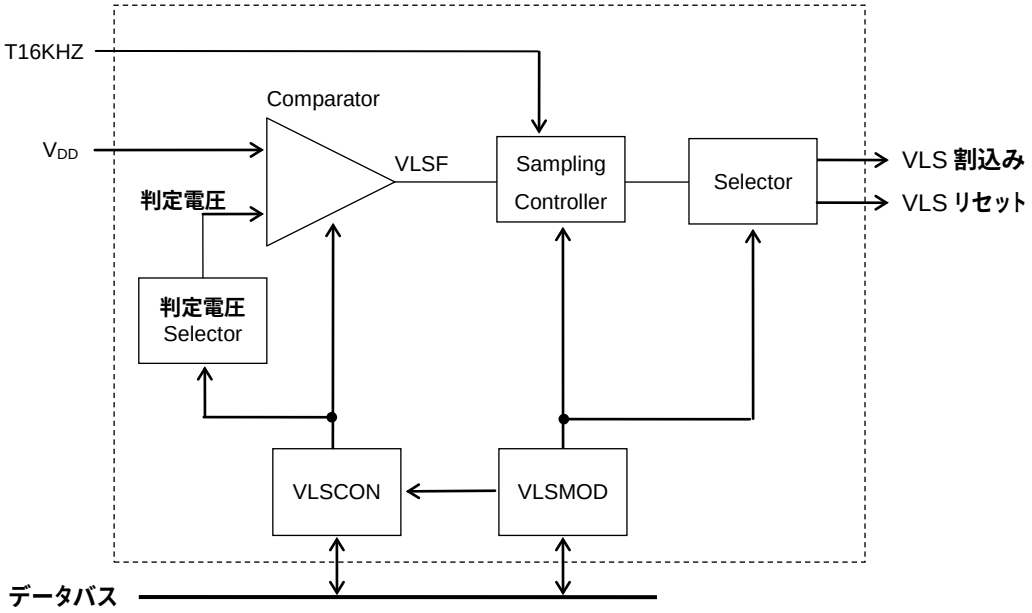
本 LSI は、電圧レベル検出回路 (VLS：Voltage Level Supervisor) を 1 チャンネル内蔵しています。
この機能を使用することで、V_{DD} の電圧レベルが設定した閾値電圧より低下したかどうかを判定出来ます。

28.1.1 特長

- 精度：±0.1V (Typ.)
- 判定電圧：9 値 (1.898V～3.068V) から選択可能
- 電圧レベル検出リセット (VLS リセット) として使用可能
- 電圧レベル検出割込み (VLS 割込み) として使用可能

28.1.2 構成

電圧レベル検出回路 (VLS) は、コンパレータおよび低電圧判定リセット制御回路から構成されています。
図 28-1 に VLS 電圧レベル検出回路の構成を示します。



VLSCON ：**電圧レベル検出回路コントロールレジスタ**
VLSMOD ：**電圧レベル検出回路モードレジスタ**

図 28-1 電圧レベル検出回路の構成

28.2 レジスタ説明

28.2.1 レジスター覧

アドレス [H]	名称	略称 (Byte)	略称 (Word)	R/W	サイズ	初期値 [H]
0F900	電圧レベル検出回路コントロールレジスタ	VLSCONL	VLSCON	R/W	8/16	00
0F901		VLSCONH		R/W	8	00
0F902	電圧レベル検出回路モードレジスタ	VLSMODL	VLSMOD	R/W	8/16	00
0F903		VLSMODH		R/W	8	00

28.2.2 電圧レベル検出回路コントロールレジスタ (VLSCON)

アドレス：0F900H
アクセス：R/W
アクセスサイズ：8/16 ビット
初期値：0000H

	7	6	5	4	3	2	1	0
VLSCONL	–	–	–	–	VLSLV3	VLSLV2	VLSLV1	VLSLV0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値*	0	0	0	0	0	0	0	0

	15	14	13	12	11	10	9	8
VLSCONH	–	–	–	–	–	VLSRF	VLSF	ENVLS
R/W	R/W	R/W	R/W	R/W	R/W	R	R	R/W
初期値*	0	0	0	0	0	0	0	0

*: VLS リセット発行時はリセットされません。

VLSCON は、電圧レベル検出回路を制御する特殊機能レジスタ (SFR) です。

ビットの説明

- **VLSLV3-0** （ビット 3～0）
  VLSLV3-0 は、VLS の降下時の判定電圧（V_{VLS}）を選択するビットです。また、VLS はヒステリシス特性(H_{VLS})があります。上昇時の判定電圧は $V_{VLS}+H_{VLS}$ になります。特性については付録 C の VLS の特性の項を参照してください。必ず VLS が OFF 状態（ENVLS=”0”）の時に設定をしてください。

VLSLV3	VLSLV2	VLSLV1	VLSLV0	**説明**
0	0	0	0	**使用禁止 （初期値）**
0	0	0	1	**使用禁止**
0	0	1	0	**使用禁止**
0	0	1	1	1.898±0.10V
0	1	0	0	2.000±0.10V
0	1	0	1	2.093±0.10V
0	1	1	0	2.196±0.10V
0	1	1	1	2.309±0.10V
1	0	0	0	2.409±0.10V
1	0	0	1	2.605±0.10V
1	0	1	0	2.800±0.10V
1	0	1	1	3.068±0.10V
1	1	*	*	**使用禁止**

- **ENVLS** （ビット 8）
  ENVLS は、VLS の ON/OFF を制御するビットです。ENVLS を“1”にすると VLS が ON、“0”にすると OFF します。VLS リセットが発行された場合、ON 状態を保持します。

ENVLS	**説明**
0	VLS ：OFF（**初期値**）
1	VLS ：ON

【注意】
VLSLV3-0 を”3”～”B”のいずれかに設定してから、ENVLS を”1”に設定して下さい。VLSLV3-0 がそれ以外の設定の場合、正常動作を保証できません。

・ **VLSF** （ビット 9）
VLSF は、電圧レベル検出フラグです。
判定電圧より電源電圧 (V_{DD}) が高い場合“0”、低い場合“1”になります。VLSF は VLS を ON（ENVLS=1）にしたときに 0 に初期化されます。

VLSF	説明
0	**判定電圧値より高い（初期値）**
1	**判定電圧値より低い**

・ **VLSRF** （ビット 10）
VLSRF は、電圧レベル検出結果が有効かどうかを示すフラグです。
判定電圧の値が有効(CPU より読出し可能)になると、”1”になります。

VLSRF	説明
0	VLS OFF **もしくは** VLS **判定中（初期値）**
1	VLS **判定結果有効**

【注意】
STOP モードに入れる際は、VLSRF ビットが”1”になっていることを確認してから STOP モードに移行させてください。

28.2.3 電圧レベル検出回路モードレジスタ (VLSMOD)

アドレス：0F902H
アクセス：R/W
アクセスサイズ：8/16 ビット
初期値：0000H

	7	6	5	4	3	2	1	0
VLSMODL	–	–	–	–	–	–	VLSSEL1	VLSSEL0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値*	0	0	0	0	0	0	0	0

	15	14	13	12	11	10	9	8
VLSMODH	–	–	–	–	–	VLSAMD1	VLSAMD0	VLSSM0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値*	0	0	0	0	0	0	0	0

＊: VLS リセット発行時はリセットされません。

VLSMOD は、電圧レベル検出機能を制御する特殊機能レジスタ (SFR) です。
本レジスタには、VLS が OFF 状態（ENVLS=”0”）の時に設定をしてください。

ビットの説明

- **VLSSEL1-0**（ビット 1～0）
  VLSSEL1-0 は、判定電圧値より低いときの VLS リセット/VLS 割込み要求機能の禁止/許可を制御するビットです。

VLSSEL1	VLSSEL0	**説明**
0	0	**リセット機能：禁止　割込み要求機能：禁止（初期値）**
0	1	**リセット機能：許可　割込み要求機能：禁止**
1	0	**リセット機能：禁止　割込み要求機能：許可**
1	1	**リセット機能：許可　割込み要求機能：禁止**

- **VLSSM0**（ビット 8）
  VLSSM0 は、VLS の検出のサンプリングの無し、有りを選択するビットです。

VLSSM0	**説明**
0	**サンプリング無しで検出（初期値）**
1	**サンプリング有りで検出**(T16KHZ 2**φ**)

【注意】
STOP モード時は、サンプリングクロックが停止しますので、VLSSM0 の値に関係なくサンプリング無しとなります。サンプリングは LSCLK の周波数に依存します。

・ **VLSAMD1-0（ビット 10～9）**
VLSAMD1-0 は、VLS の実行モードを設定します。

VLSAMD1	VLSAMD0	説明
0	0	**使用禁止（初期値）**
0	1	**使用禁止**
1	0	**スーパーバイザモード**
1	1	**スーパーバイザモード**

【注意】
VLSAMD1-0 を”2”もしくは”3”のいずれかに設定してから、ENVLS を”1”に設定して下さい。VLSAMD1-0 がそれ以外の設定の場合、正常動作を保証できません。

28.3 動作説明

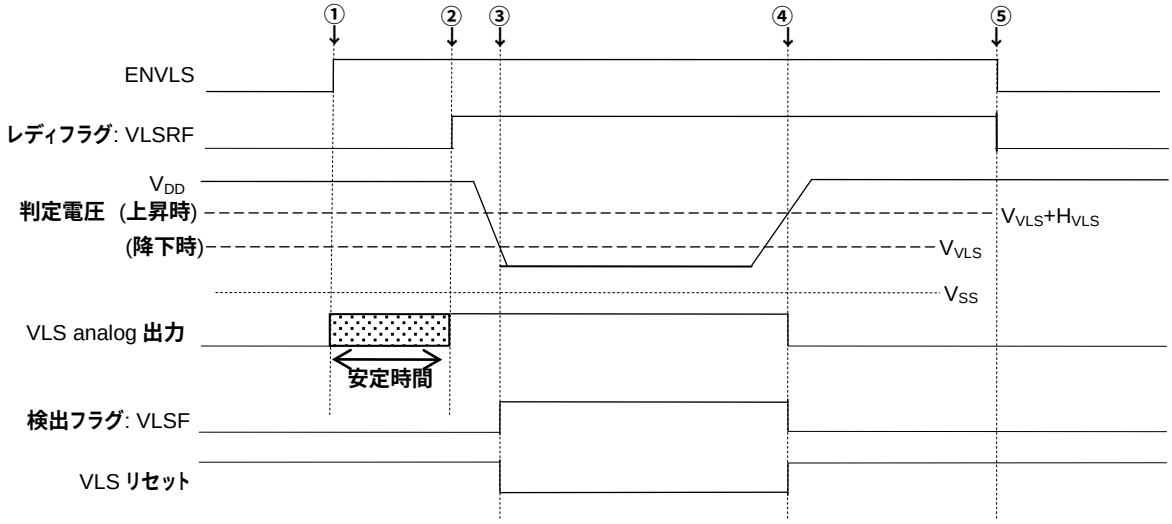
VLS は、CPU で V_{DD} が設定した判定電圧より低い/高いを SFR をリードすることで判別することのほか、V_{DD} が設定した判定電圧より低くなったときに VLS 割込みもしくは VLS リセットを発行することができます。
VLS はヒステリシス特性(H_{VLS})があります。上昇時の判定電圧は $V_{VLS}+H_{VLS}$ になります。特性については付録 C の VLS の特性の項を参照してください。
以下の動作モードを準備しています。

スーパーバイザモード:

ENVLS を”1”に設定することで、VLS を ON にして電圧判定を行い、判定結果が有効になった時点で VLSRF フラグで通知します。その後も判定を継続します。
VLS 割込みもしくは VLS リセットの発行設定をすることで、電源電圧を常時監視し、電源電圧が判定電圧より低くなった時点で割込みもしくはリセットの発行を行います。

28.3.1 スーパーバイザモード

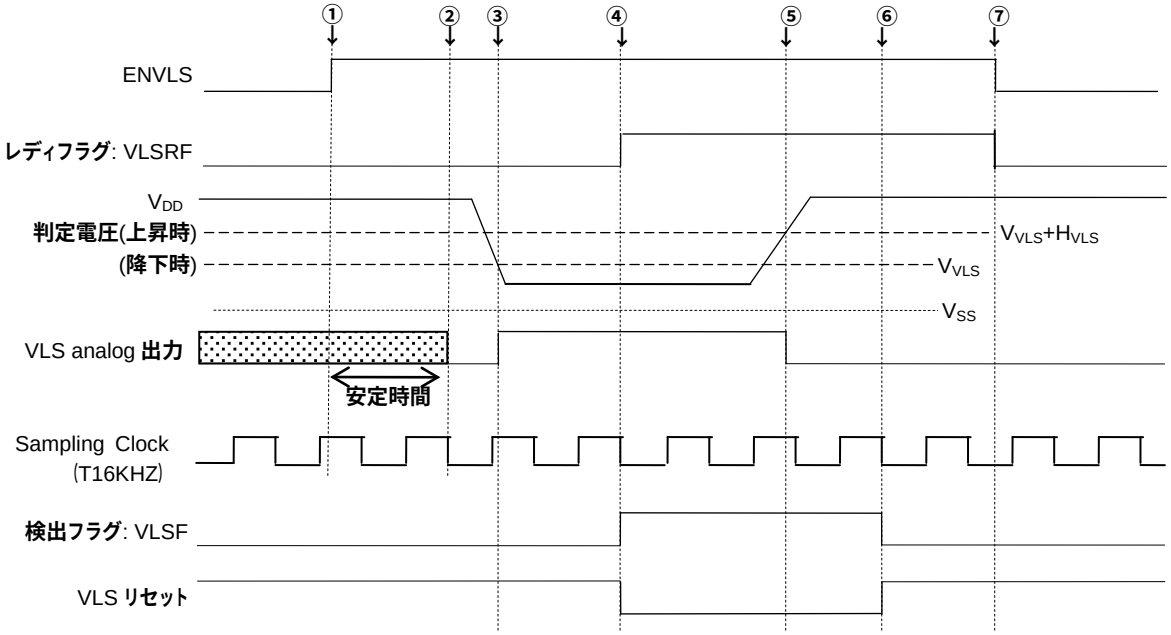
VLSAMD1-0 を”10”、あるいは”11”に設定して ENVLS をセットすると、スーパーバイザモードで動作します。
スーパーバイザモードは、常時 ON で低電圧検出の割込み/リセットを使用する場合に最適です。レディフラグがアサートされるまで検出フラグ（VLSF）/リセットはマスクされます。
VLS 割込みを使用する場合は、ENVLS のセットする前に設定して下さい。
ENVLS をセットしてから、T16KHZ 4φ(サンプリング有効時は+2φ)経過すると VLSRF(レディフラグ)がアサートされます。ソフトウェアは VLSRF=”1”になるのを待って、VLSF の値を読出して下さい。
また、VLS 割込みもしくは VLS リセットを許可している場合も、VLSRF がアサートされてから発行が許可されます。
V_{DD} が設定した判定電圧を下回ると、VLS 割込みもしくは VLS リセットが発行されます。
VLS 機能を OFF する場合はソフトウェアで ENVLS に”0”を設定して下さい。
図 28-2 にサンプリング無しで検出、VLS リセット発行を設定した場合の動作タイムチャート例を示します。



① CPU から ENVLS を“1”にし、VLS を ON 状態にします。
② VLS analog 出力が安定した時点でレディフラグ（VLSRF）を”1”に設定します。
③ V_{DD} が設定した閾値電圧（V_{VLS}）よりも低くなったため、電圧レベル検出フラグ (VLSF) を“1”に設定し、VLS リセットを発行します。
④ V_{DD} が設定した閾値電圧（$V_{VLS}+H_{VLS}$）よりも高くなったため、電圧レベル検出フラグ (VLSF) を“0”に設定し、VLS リセットを解除します。
⑤ CPU から ENVLS を“0”にし、VLS を OFF 状態にします。

図 28-2 サンプリング無しで検出、VLS リセット発行を設定した場合の動作タイムチャート

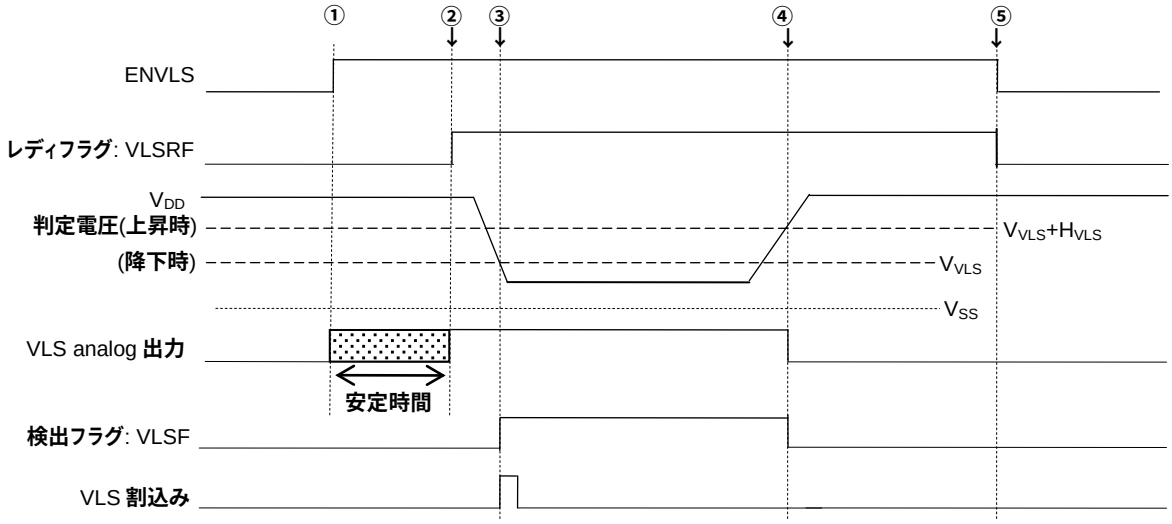
図 28-3 にサンプリング有りで検出、VLS リセット発行を設定した場合の動作タイムチャート例を示します。



① CPU から ENVLS を“1”にし、VLS を ON 状態にします。
② VLS analog 出力が安定します。
③ V_{DD} が設定した閾値電圧（V_{VLS}）よりも低い状態になります。
④ T16KHZ2φ後にレディフラグ（VLSRF）を”1”に設定します。同時に VLS analog 電圧が閾値電圧（V_{VLS}）よりも低いため電圧レベル検出フラグ (VLSF) を“1”に設定し、VLS リセットを発行します。
⑤ V_{DD} が設定した閾値電圧（V_{VLS} +H_{VLS}）よりも高い状態に戻ります。
⑥ T16KHZ で VLS analog 電圧をサンプリングして閾値電圧（V_{VLS} +H_{VLS}）よりも高いと判定したため、電圧レベル検出フラグ (VLSF) を“0”に設定し、VLS リセットを解除します。
⑦ CPU から ENVLS を“0”にし、VLS を OFF 状態にします。

図 28-3 サンプリング有りで検出、VLS リセット発行を設定した場合の動作タイムチャート

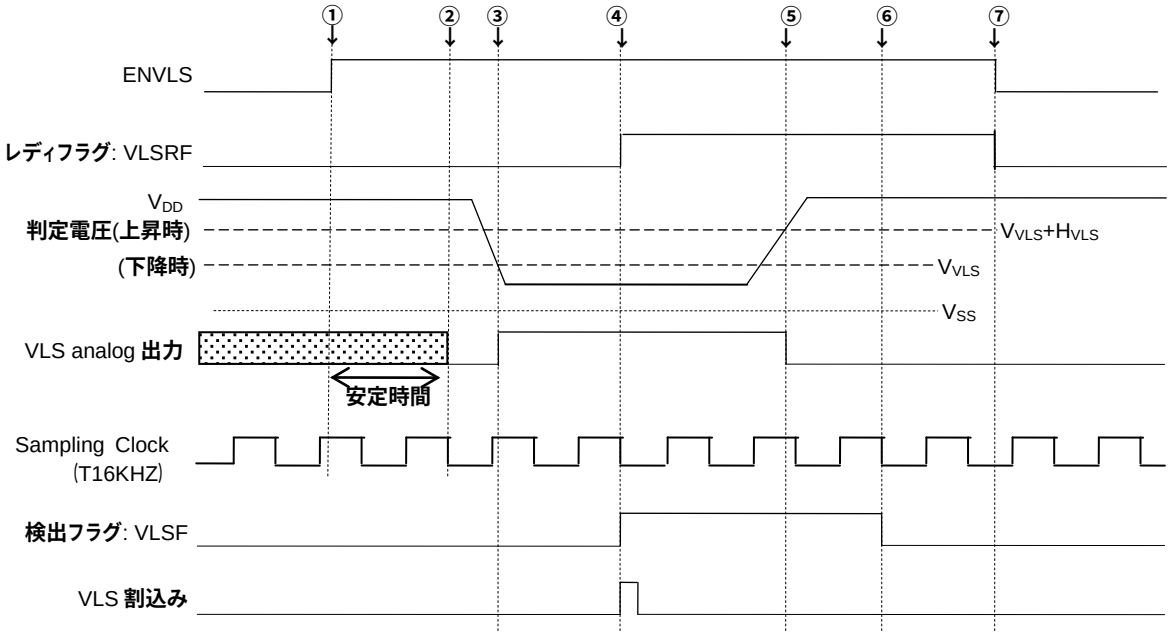
図 28-4 にサンプリング無しで検出、VLS 割込み発行を設定した場合の動作タイムチャート例を示します。



① CPU から ENVLS を“1”にし、VLS を ON 状態にします。
② VLS analog 出力が安定した時点でレディフラグ（VLSRF）を”1”に設定します。
③ V_{DD} が設定した閾値電圧（V_{VLS}）よりも低くなったため、電圧レベル検出フラグ (VLSF) を“1”に設定し、VLS 割込みを発行します。
④ V_{DD} が設定した閾値電圧（V_{VLS}+H_{VLS}）よりも高くなったため、電圧レベル検出フラグ (VLSF) を“0”に設定します。
⑤ CPU から ENVLS を“0”にし、VLS を OFF 状態にします。

図 28-4 サンプリング無しで検出、VLS 割込み発行を設定した場合の動作タイムチャート

図 28-5 にサンプリング有りで検出、VLS 割込み発行を設定した場合の動作タイムチャート例を示します。



① CPU から ENVLS を“1”にし、VLS を ON 状態にします。
② VLS analog 出力が安定します。
③ V_{DD} が設定した閾値電圧（V_{VLS}）よりも低い状態になります。
④ T16KHZ2φ後にレディフラグ（VLSRF）を”1”に設定します。同時に VLS analog 電圧が閾値電圧（V_{VLS}）よりも低いため電圧レベル検出フラグ (VLSF) を“1”に設定し、VLS 割込みを発行します。
⑤ V_{DD} が設定した閾値電圧（V_{VLS}+H_{VLS}）よりも高い状態に戻ります。
⑥ T16KHZ で VLS analog 電圧をサンプリングして閾値電圧（V_{VLS}+H_{VLS}）よりも高いと判定したため、電圧レベル検出フラグ (VLSF) を“0”に設定します。
⑦ CPU から ENVLS を“0”にし、VLS を OFF 状態にします。

図 28-5 サンプリング有りで検出、VLS 割込み発行を設定した場合の動作タイムチャート

第 29 章　LLD 回路

29 LLD 回路

29.1 概要

LLD (Low Level Detector) は、電源電圧を監視し、電源電圧が判定電圧より下がった場合にリセットを発行します。

29.1.1 特長

- 判定電圧: 1.8V±0.2V
- リセット発行
- LLD 有効/無効の選択が可能

29.2 レジスタ説明

LLD の有効/無効をレジスタにより設定することが可能です。
初期状態は、無効になっています。
LLD を有効にする場合は、ブロックコントロールレジスタ 45 (BLKCON45)の DLLD ビットを”0”にします。

29.3 動作説明

29.3.1 LLD 回路の動作

LLD 回路は、ブロックコントロールレジスタ 45 (BLKCON45)の DLLD ビットによって ON/OFF を制御し、判定電圧と電源電圧 V_{DD} を比較した結果、電源電圧 V_{DD} が判定電圧を下回っていた場合、リセットを発行します。
判定電圧については付録 C の LLD の特性の項を参照してください。

第 30 章　オンチップデバッグ機能

30 オンチップデバッグ機能

30.1 概要

本 LSI は、フラッシュメモリ書き換え機能を備えたオンチップデバッグ機能を内蔵しています。
本 LSI にオンチップデバッグエミュレータ (uEASE)を接続し使用します。
本 LSI は、nanoEASE に対応しています。

30.2 オンチップデバッグエミュレータとの接続方法

図 30-1 にオンチップデバッグエミュレータ(uEASE)との接続図を示します。
オンチップデバッグエミュレータについては、『uEASE ユーザーズマニュアル』を参照して下さい。

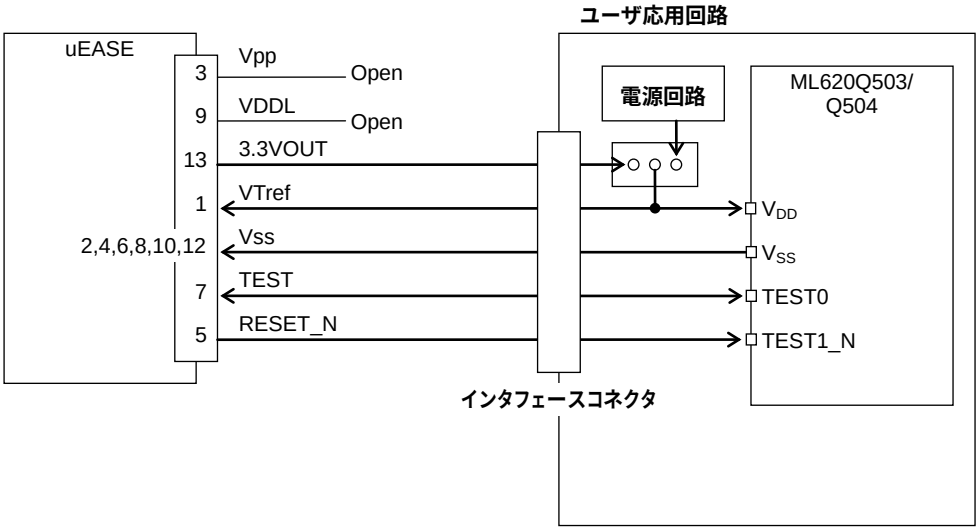


図 30-1 オンチップデバッグエミュレータ(uEASE)との接続図

【注意】
・デバッグに使用した LSI は量産品として使用しないで下さい。
・基板実装後にオンチップデバッグ機能、もしくはフラッシュ書き換え機能を使用する場合は、オンチップデバッグエミュレータとの接続に必要な 4 端子 (V_{DD}, V_{SS}, TEST1_N, TEST0) が接続できるように基板を設計して下さい。
・nanoEASE をご使用の場合、V_{DD} は 3.3V を供給する必要があります。

詳細に関しては、『uEASE ユーザーズマニュアル』や『uEASE ターゲット接続補足マニュアル』を参照して下さい。

30.3 フラッシュメモリ書き換え機能

オンチップデバッグエミュレータ (uEASE) からのコマンドにより、基板実装状態でフラッシュメモリの消去、書き込みが可能です。オンチップデバッグエミュレータの操作方法については、『uEASE ユーザーズマニュアル』を参照して下さい。
表 30-1 にフラッシュメモリ書き換え機能一覧を示します。

表 30-1 フラッシュメモリ書き換え機能一覧

機　能	条件	概　要
チップ消去	ML620Q503	16K ワード (全領域) の消去
	ML620Q504	32K ワード (全領域) の消去
ブロック消去	-	4K ワード(8K バイト)の消去
1 ワード書き込み	-	1 ワード(2 バイト)の書き込み
ランダム読み出し	-	入力したアドレスのデータの読み出し

付録

付録 A レジスター一覧

アドレス [H]	名称	略称 (Byte)	略称 (Word)	R/W	サイズ	初期値 [H]
0F000	データセグメントレジスタ	DSR	ー	R/W	8	00
0F002	周波数コントロールレジスタ 01	FCON0	FCON01	R/W	8/16	73
0F003		FCON1		R/W	8	03
0F004	周波数コントロールレジスタ 23	FCON2	FCON23	R/W	8/16	02
0F005		FCON3		R/W	8	00
0F008	ストップコードアクセプタ	STPACP	ー	W	8	-
0F009	スタンバイコントロールレジスタ	SBYCON	ー	W	8	00
0F00A	周波数ステータスレジスタ	FSTAT	ー	R	8	06
0F00C	リセットステータスレジスタ	RSTAT	ー	R/W	8	-
0F00E	ウォッチドッグタイマコントロールレジスタ	WDTCON	ー	R/W	8	00
0F00F	ウォッチドッグタイマモードレジスタ	WDTMOD	ー	R/W	8	82
0F010	割込み許可レジスタ 01	IE0	IE01	R/W	8/16	00
0F011		IE1		R/W	8	00
0F012	割込み許可レジスタ 23	IE2	IE23	R/W	8/16	00
0F013		IE3		R/W	8	00
0F014	割込み許可レジスタ 45	IE4	IE45	R/W	8/16	00
0F015		IE5		R/W	8	00
0F016	割込み許可レジスタ 67	IE6	IE67	R/W	8/16	00
0F017		IE7		R/W	8	00
0F018	割込み要求レジスタ 01	IRQ0	IRQ01	R/W	8/16	00
0F019		IRQ1		R/W	8	00
0F01A	割込み要求レジスタ 23	IRQ2	IRQ23	R/W	8/16	00
0F01B		IRQ3		R/W	8	00
0F01C	割込み要求レジスタ 45	IRQ4	IRQ45	R/W	8/16	00
0F01D		IRQ5		R/W	8	00
0F01E	割込み要求レジスタ 67	IRQ6	IRQ67	R/W	8/16	00
0F01F		IRQ7		R/W	8	00
0F020	割込みレベル制御イネーブルレジスタ	ILENL	ILEN	R/W	8/16	00
0F021		ILENH		R/W	8	00
0F022	現割込み要求レベルレジスタ	CILL	CIL	R/W	8/16	00
0F023		CILH		R/W	8	00
0F024	割込みレベル制御レジスタ 1	ILC1L	ILC1	R/W	8/16	00
0F025		ILC1H		R/W	8	00
0F026	割込みレベル制御レジスタ 2	ILC2L	ILC2	R/W	8/16	00
0F027		ILC2H		R/W	8	00
0F028	割込みレベル制御レジスタ 3	ILC3L	ILC3	R/W	8/16	00
0F029		ILC3H		R/W	8	00
0F02A	割込みレベル制御レジスタ 4	ILC4L	ILC4	R/W	8/16	00
0F02B		ILC4H		R/W	8	00
0F02C	割込みレベル制御レジスタ 5	ILC5L	ILC5	R/W	8/16	00
0F02D		ILC5H		R/W	8	00
0F02E	割込みレベル制御レジスタ 6	ILC6L	ILC6	R/W	8/16	00
0F02F		ILC6H		R/W	8	00
0F030	割込みレベル制御レジスタ 7	ILC7L	ILC7	R/W	8/16	00
0F031		ILC7H		R/W	8	00

アドレス [H]	名称	略称 (Byte)	略称 (Word)	R/W	サイズ	初期値 [H]
0F040	外部割込みコントロールレジスタ 01	EXICON0	EXICON01	R/W	8/16	00
0F041		EXICON1		R/W	8	00
0F042	外部割込みコントロールレジスタ 23	EXICON2	EXICON23	R/W	8/16	00
0F043		EXICON3		R/W	8	00
0F048	外部割込み 01 選択レジスタ	EXI0SEL	EXI01SEL	R/W	8/16	00
0F049		EXI1SEL		R/W	8	00
0F04A	外部割込み 23 選択レジスタ	EXI2SEL	EXI23SEL	R/W	8/16	00
0F04B		EXI3SEL		R/W	8	00
0F04C	外部割込み 45 選択レジスタ	EXI4SEL	EXI45SEL	R/W	8/16	00
0F04D		EXI5SEL		R/W	8	00
0F04E	外部割込み 67 選択レジスタ	EXI6SEL	EXI67SEL	R/W	8/16	00
0F04F		EXI7SEL		R/W	8	00
0F060	低速タイムベースカウンタレジスタ	LTBR	－	R/W	8	00
0F062	低速タイムベースカウンタ周波数補正レジスタ	LTBADJL	LTBADJ	R/W	8/16	00
0F063		LTBADJH		R/W	8	00
0F064	低速タイムベースカウンタ割込み選択レジスタ	LTBINTL	LTBINT	R/W	8/16	30
0F065		LTBINTH		R/W	8	06
0F068	ブロックコントロールレジスタ 01	BLKCON0	BLKCON01	R/W	8/16	00
0F069		BLKCON1		R/W	8	00
0F06A	ブロックコントロールレジスタ 23	BLKCON2	BLKCON23	R/W	8/16	00
0F06B		BLKCON3		R/W	8	00
0F06C	ブロックコントロールレジスタ 45	BLKCON4	BLKCON45	R/W	8/16	00
0F06D		BLKCON5		R/W	8	04
0F0E0	フラッシュアドレスレジスタ	FLASHAL	FLASHA	R/W	8/16	00
0F0E1		FLASHAH		R/W	8	00
0F0E2	フラッシュデータレジスタ	FLASHDL	FLASHD	R/W	8/16	00
0F0E3		FLASHDH		R/W	8	00
0F0E4	フラッシュコントロールレジスタ	FLASHCON	－	W	8	00
0F0E6	フラッシュアクセプタ	FLASHACP	－	W	8	00
0F0E8	フラッシュセグメントレジスタ	FLASHSEG	－	R/W	8	00
0F0EA	フラッシュセルフレジスタ	FLASHSLF	－	R/W	8	00
0F0EC	リマップアドレスレジスタ	REMAPADD	－	R/W	8	00
0F208	ポート XT データレジスタ	PXTD	－	R	8	-
0F209	ポート XT ディレクションレジスタ	PXTDIR	－	R/W	8	00
0F210	ポート 0 データレジスタ	P0D	－	R/W	8	00
0F211	ポート 0 ディレクションレジスタ	P0DIR	－	R/W	8	00
0F212	ポート 0 コントロールレジスタ	P0CON0	P0CON	R/W	8/16	00
0F213		P0CON1		R/W	8	00
0F214	ポート 0 モードレジスタ	P0MOD0	P0MOD	R/W	8/16	00
0F215		P0MOD1		R/W	8	00
0F218	ポート 1 データレジスタ	P1D	－	R/W	8	00
0F219	ポート 1 ディレクションレジスタ	P1DIR	－	R/W	8	00
0F21A	ポート 1 コントロールレジスタ	P1CON0	P1CON	R/W	8/16	00
0F21B		P1CON1		R/W	8	00
0F220	ポート 2 データレジスタ	P2D	－	R/W	8	00
0F221	ポート 2 ディレクションレジスタ	P2DIR	－	R/W	8	00
0F222	ポート 2 コントロールレジスタ	P2CON0	P2CON	R/W	8/16	00
0F223		P2CON1		R/W	8	00

アドレス [H]	名称	略称 (Byte)	略称 (Word)	R/W	サイズ	初期値 [H]
0F224	ポート 2 モードレジスタ	P2MOD0	P2MOD	R/W	8/16	00
0F225		P2MOD1		R/W	8	00
0F228	ポート 3 データレジスタ	P3D	ー	R/W	8	00
0F229	ポート 3 ディレクションレジスタ	P3DIR	ー	R/W	8	00
0F22A	ポート 3 コントロールレジスタ	P3CON0	P3CON	R/W	8/16	00
0F22B		P3CON1		R/W	8	00
0F22C	ポート 3 モードレジスタ	P3MOD0	P3MOD	R/W	8/16	00
0F22D		P3MOD1		R/W	8	00
0F230	ポート 4 データレジスタ	P4D	ー	R/W	8	00
0F231	ポート 4 ディレクションレジスタ	P4DIR	ー	R/W	8	00
0F232	ポート 4 コントロールレジスタ	P4CON0	P4CON	R/W	8/16	00
0F233		P4CON1		R/W	8	00
0F234	ポート 4 モードレジスタ	P4MOD0	P4MOD	R/W	8/16	00
0F235		P4MOD1		R/W	8	00
0F238	ポート 5 データレジスタ	P5D	ー	R/W	8	00
0F239	ポート 5 ディレクションレジスタ	P5DIR	ー	R/W	8	00
0F23A	ポート 5 コントロールレジスタ	P5CON0	P5CON	R/W	8/16	00
0F23B		P5CON1		R/W	8	00
0F23C	ポート 5 モードレジスタ	P5MOD0	P5MOD	R/W	8/16	00
0F23D		P5MOD1		R/W	8	00
0F300	タイマ 01 データレジスタ	TM0D	TM01D	R/W	8/16	FF
0F301		TM1D		R/W	8	FF
0F302	タイマ 23 データレジスタ	TM2D	TM23D	R/W	8/16	FF
0F303		TM3D		R/W	8	FF
0F304	タイマ 45 データレジスタ	TM4D	TM45D	R/W	8/16	FF
0F305		TM5D		R/W	8	FF
0F306	タイマ 67 データレジスタ	TM6D	TM67D	R/W	8/16	FF
0F307		TM7D		R/W	8	FF
0F310	タイマ 01 カウンタレジスタ	TM0C	TM01C	R/W	8/16	00
0F311		TM1C		R/W	8	00
0F312	タイマ 23 カウンタレジスタ	TM2C	TM23C	R/W	8/16	00
0F313		TM3C		R/W	8	00
0F314	タイマ 45 カウンタレジスタ	TM4C	TM45C	R/W	8/16	00
0F315		TM5C		R/W	8	00
0F316	タイマ 67 カウンタレジスタ	TM6C	TM67C	R/W	8/16	00
0F317		TM7C		R/W	8	00
0F320	タイマ 01 コントロールレジスタ	TM0CON	TM01CON	R/W	8/16	00
0F321		TM1CON		R/W	8	00
0F322	タイマ 23 コントロールレジスタ	TM2CON	TM23CON	R/W	8/16	00
0F323		TM3CON		R/W	8	00
0F324	タイマ 45 コントロールレジスタ	TM4CON	TM45CON	R/W	8/16	00
0F325		TM5CON		R/W	8	00
0F326	タイマ 67 コントロールレジスタ	TM6CON	TM67CON	R/W	8/16	00
0F327		TM7CON		R/W	8	00
0F330	タイマスタートレジスタ 0	TMSTR0	ー	W	8	00
0F332	タイマストップレジスタ 0	TMSTP0	ー	W	8	00
0F334	タイマステータスレジスタ 0	TMSTAT0	ー	R	8	00
0F400	FTM0 周期レジスタ	ー	FT0P	R/W	16	FFFF
0F402	FTM0 イベント A レジスタ	ー	FT0EA	R/W	16	0000

アドレス [H]	名称	略称 (Byte)	略称 (Word)	R/W	サイズ	初期値 [H]
0F404	FTM0 イベント B レジスタ	－	FT0EB	R/W	16	0000
0F406	FTM0 デッドタイムレジスタ	－	FT0DT	R/W	16	0000
0F408	FTM0 カウンタレジスタ	－	FT0C	R/W	16	0000
0F40A	FTM0 コントロールレジスタ 0	FT0CON0	－	R/W	8	00
0F40B	FTM0 コントロールレジスタ 1	FT0CON1		R/W	8	00
0F40C	FTM0 モードレジスタ	FT0MODL	FT0MOD	R/W	8/16	00
0F40D		FT0MODH		R/W	8	00
0F40E	FTM0 クロックレジスタ	FT0CLKL	FT0CLK	R/W	8/16	00
0F40F		FT0CLKH		R/W	8	00
0F410	FTM0 トリガレジスタ 0	FT0TRG0L	FT0TRG0	R/W	8/16	00
0F411		FT0TRG0H		R/W	8	00
0F412	FTM0 トリガレジスタ 1	FT0TRG1L	FT0TRG1	R/W	8/16	00
0F413		FT0TRG1H		R/W	8	00
0F418	FTM0 割込みイネーブルレジスタ	FT0INTEL	FT0INTE	R/W	8/16	00
0F419		FT0INTEH		R/W	8	00
0F41A	FTM0 割込みステータスレジスタ	FT0INTSL	FT0INTS	R	8/16	00
0F41B		FT0INTSH		R	8	00
0F41C	FTM0 割込みクリアレジスタ	FT0INTCL	FT0INTC	W	8/16	00
0F41D		FT0INTCH		W	8	00
0F420	FTM1 周期レジスタ	－	FT1P	R/W	16	FFFF
0F422	FTM1 イベント A レジスタ	－	FT1EA	R/W	16	0000
0F424	FTM1 イベント B レジスタ	－	FT1EB	R/W	16	0000
0F426	FTM1 デッドタイムレジスタ	－	FT1DT	R/W	16	0000
0F428	FTM1 カウンタレジスタ	－	FT1C	R/W	16	0000
0F42A	FTM1 コントロールレジスタ 0	FT1CON0	－	R/W	8	00
0F42B	FTM1 コントロールレジスタ 1	FT1CON1		R/W	8	00
0F42C	FTM1 モードレジスタ	FT1MODL	FT1MOD	R/W	8/16	00
0F42D		FT1MODH		R/W	8	00
0F42E	FTM1 クロックレジスタ	FT1CLKL	FT1CLK	R/W	8/16	00
0F42F		FT1CLKH		R/W	8	00
0F430	FTM1 トリガレジスタ 0	FT1TRG0L	FT1TRG0	R/W	8/16	00
0F431		FT1TRG0H		R/W	8	00
0F432	FTM1 トリガレジスタ 1	FT1TRG1L	FT1TRG1	R/W	8/16	00
0F433		FT1TRG1H		R/W	8	00
0F438	FTM1 割込みイネーブルレジスタ	FT1INTEL	FT1INTE	R/W	8/16	00
0F439		FT1INTEH		R/W	8	00
0F43A	FTM1 割込みステータスレジスタ	FT1INTSL	FT1INTS	R	8/16	00
0F43B		FT1INTSH		R	8	00
0F43C	FTM1 割込みクリアレジスタ	FT1INTCL	FT1INTC	W	8/16	00
0F43D		FT1INTCH		W	8	00
0F440	FTM2 周期レジスタ	－	FT2P	R/W	16	FFFF
0F442	FTM2 イベント A レジスタ	－	FT2EA	R/W	16	0000
0F444	FTM2 イベント B レジスタ	－	FT2EB	R/W	16	0000
0F446	FTM2 デッドタイムレジスタ	－	FT2DT	R/W	16	0000
0F448	FTM2 カウンタレジスタ	－	FT2C	R/W	16	0000
0F44A	FTM2 コントロールレジスタ 0	FT2CON0	－	R/W	8	00
0F44B	FTM2 コントロールレジスタ 1	FT2CON1		R/W	8	00
0F44C	FTM2 モードレジスタ	FT2MODL	FT2MOD	R/W	8/16	00
0F44D		FT2MODH		R/W	8	00

アドレス [H]	名称	略称 (Byte)	略称 (Word)	R/W	サイズ	初期値 [H]
0F44E	FTM2 クロックレジスタ	FT2CLKL	FT2CLK	R/W	8/16	00
0F44F		FT2CLKH		R/W	8	00
0F450	FTM2 トリガレジスタ 0	FT2TRG0L	FT2TRG0	R/W	8/16	00
0F451		FT2TRG0H		R/W	8	00
0F452	FTM2 トリガレジスタ 1	FT2TRG1L	FT2TRG1	R/W	8/16	00
0F453		FT2TRG1H		R/W	8	00
0F458	FTM2 割込みイネーブルレジスタ	FT2INTEL	FT2INTE	R/W	8/16	00
0F459		FT2INTEH		R/W	8	00
0F45A	FTM2 割込みステータスレジスタ	FT2INTSL	FT2INTS	R	8/16	00
0F45B		FT2INTSH		R	8	00
0F45C	FTM2 割込みクリアレジスタ	FT2INTCL	FT2INTC	W	8/16	00
0F45D		FT2INTCH		W	8	00
0F460	FTM3 周期レジスタ	－	FT3P	R/W	16	FFFF
0F462	FTM3 イベント A レジスタ	－	FT3EA	R/W	16	0000
0F464	FTM3 イベント B レジスタ	－	FT3EB	R/W	16	0000
0F466	FTM3 デッドタイムレジスタ	－	FT3DT	R/W	16	0000
0F468	FTM3 カウンタレジスタ	－	FT3C	R/W	16	0000
0F46A	FTM3 コントロールレジスタ 0	FT3CON0	－	R/W	8	00
0F46B	FTM3 コントロールレジスタ 1	FT3CON1		R/W	8	00
0F46C	FTM3 モードレジスタ	FT3MODL	FT3MOD	R/W	8/16	00
0F46D		FT3MODH		R/W	8	00
0F46E	FTM3 クロックレジスタ	FT3CLKL	FT3CLK	R/W	8/16	00
0F46F		FT3CLKH		R/W	8	00
0F470	FTM3 トリガレジスタ 0	FT3TRG0L	FT3TRG0	R/W	8/16	00
0F471		FT3TRG0H		R/W	8	00
0F472	FTM3 トリガレジスタ 1	FT3TRG1L	FT3TRG1	R/W	8/16	00
0F473		FT3TRG1H		R/W	8	00
0F478	FTM3 割込みイネーブルレジスタ	FT3INTEL	FT3INTE	R/W	8/16	00
0F479		FT3INTEH		R/W	8	00
0F47A	FTM3 割込みステータスレジスタ	FT3INTSL	FT3INTS	R	8/16	00
0F47B		FT3INTSH		R	8	00
0F47C	FTM3 割込みクリアレジスタ	FT3INTCL	FT3INTC	W	8/16	00
0F47D		FT3INTCH		W	8	00
0F480	FTM 出力 01 選択レジスタ	FTO0SL	FTO01SL	R/W	8/16	00
0F481		FTO1SL		R/W	8	00
0F482	FTM 出力 23 選択レジスタ	FTO2SL	FTO23SL	R/W	8/16	00
0F483		FTO3SL		R/W	8	00
0F484	FTM 出力 45 選択レジスタ	FTO4SL	FTO45SL	R/W	8/16	00
0F485		FTO5SL		R/W	8	00
0F486	FTM 出力 67 選択レジスタ	FTO6SL	FTO67SL	R/W	8/16	00
0F487		FTO7SL		R/W	8	00
0F488	FTM 出力 89 選択レジスタ	FTO8SL	FTO89SL	R/W	8/16	00
0F489		FTO9SL		R/W	8	00
0F48A	FTM 出力 AB 選択レジスタ	FTOASL	FTOABSL	R/W	8/16	00
0F48B		FTOBSL		R/W	8	00
0F48C	FTM 出力 CD 選択レジスタ	FTOCSL	FTOCDSL	R/W	8/16	00
0F48D		FTODSL		R/W	8	00
0F48E	FTM 出力 EF 選択レジスタ	FTOESL	FTOEFSL	R/W	8/16	00
0F48F		FTOFSL		R/W	8	00

アドレス [H]	名称	略称 (Byte)	略称 (Word)	R/W	サイズ	初期値 [H]
0F700	シリアルポート 0 送受信バッファ	SIO0BUFL	SIO0BUF	R/W	8/16	00
0F701		SIO0BUFH		R/W	8	00
0F702	シリアルポート 0 コントロールレジスタ	SIO0CON	ー	R/W	8	00
0F704	シリアルポート 0 モードレジスタ	SIO0MOD0	SIO0MOD	R/W	8/16	00
0F705		SIO0MOD1		R/W	8	00
0F710	UART0 受信バッファ	UA0BUF	ー	R/W	8	00
0F711	UART0 コントロールレジスタ	UA0CON	ー	R/W	8	00
0F712	UART0 モードレジスタ	UA0MOD0	UA0MOD	R/W	8/16	00
0F713		UA0MOD1		R/W	8	00
0F714	UART0 ボーレートレジスタ	UA0BRTL	UA0BRT	R/W	8/16	FF
0F715		UA0BRTH		R/W	8	0F
0F716	UART0 受信ステータスレジスタ	UA0STAT	ー	R/W	8	00
0F718	UART0 送信バッファ	UA1BUF	ー	R/W	8	00
0F719	UART0 送信モニタレジスタ	UA1CON	ー	R/W	8	00
0F71E	UART0 送信ステータスレジスタ	UA1STAT	ー	R/W	8	00
0F740	I^2C バス 0 受信データレジスタ	I2C0RD	ー	R	8	00
0F742	I^2C バス 0 スレーブアドレスレジスタ	I2C0SA	ー	R/W	8	00
0F744	I^2C バス 0 送信データレジスタ	I2C0TD	ー	R/W	8	00
0F746	I^2C バス 0 コントロールレジスタ	I2C0CON0	I2C0CON	R/W	8/16	00
0F747		I2C0CON1		R/W	8	00
0F748	I^2C バス 0 モードレジスタ	I2C0MODL	I2C0MOD	R/W	8/16	00
0F749		I2C0MODH		R/W	8	02
0F74A	I^2C バス 0 ステータスレジスタ	I2C0STAL	I2C0STA	R	8/16	00
0F74B		I2C0STAH		R	8	00
0F750	I^2C バス 1 受信データレジスタ	I2C1RD	ー	R	8	00
0F752	I^2C バス 1 スレーブアドレスレジスタ	I2C1SA	ー	R/W	8	00
0F754	I^2C バス 1 送信データレジスタ	I2C1TD	ー	R/W	8	00
0F756	I^2C バス 1 コントロールレジスタ	I2C1CON0	I2C1CON	R/W	8/16	00
0F757		I2C1CON1		R/W	8	00
0F758	I^2C バス 1 モードレジスタ	I2C1MODL	I2C1MOD	R/W	8/16	00
0F759		I2C1MODH		R/W	8	02
0F75A	I^2C バス 1 ステータスレジスタ	I2C1STAL	I2C1STA	R	8/16	00
0F75B		I2C1STAH		R	8	00
0F780	SIOF0 制御レジスタ	SF0CTRLL	SF0CTRL	R/W	8/16	00
0F781		SF0CTRLH		R/W	8	00
0F782	SIOF0 割込み制御レジスタ	SF0INTCL	SF0INTC	R/W	8/16	00
0F783		SF0INTCH		R/W	8	00
0F784	SIOF0 転送間隔制御レジスタ	ー	SF0TRAC	R/W	16	0002
0F786	SIOF0 ボーレートレジスタ	ー	SF0BRR	R/W	16	5002
0F788	SIOF0 状態レジスタ	SF0SRRL	SF0SRR	R	8/16	00
0F789		SF0SRRH		R	8	14
0F78A	SIOF0 状態クリアレジスタ	SF0SRCL	SF0SRC	W	8/16	00
0F78B		SF0SRCH		W	8	00
0F78C	SIOF0 FIFO ステータスレジスタ	SF0FSRL	SF0FSR	R	8/16	00
0F78D		SF0FSRH		R	8	00
0F78E	SIOF0 ライトデータレジスタ	SF0DWRL	SF0DWR	R/W	8/16	00
0F78F		SF0DWRH		R/W	8	00
0F790	SIOF0 リードデータレジスタ	SF0DRRL	SF0DRR	R	8/16	00
0F791		SF0DRRH		R	8	00

アドレス [H]	名称	略称 (Byte)	略称 (Word)	R/W	サイズ	初期値 [H]
0F7C0	UARTF0 送受信バッファ	UAF0BUFL	UAF0BUF	R/W	8/16	xx
0F7C1		UAF0BUFH		R/W	8	00
0F7C2	UARTF0 割込みイネーブルレジスタ	UAF0IERL	UAF0IER	R/W	8/16	00
0F7C3		UAF0IERH		R/W	8	00
0F7C4	UARTF0 割込みステータスレジスタ	UAF0IIRL	UAF0IIR	R	8/16	01
0F7C5		UAF0IIRH		R	8	00
0F7C6	UARTF0 モードレジスタ	UAF0MODL	UAF0MOD	R/W	8/16	00
0F7C7		UAF0MODH		R/W	8	00
0F7C8	UARTF0 ラインステータスレジスタ	UAF0LSRL	UAF0LSR	R	8/16	60
0F7C9		UAF0LSRH		R	8	00
0F7CA	UARTF0 クロック調整レジスタ	UAF0CAJL	UAF0CAJ	R/W	8/16	0D
0F7CB		UAF0CAJH		R/W	8	00
0F7CC	UARTF0 割込み要求レジスタ	UAF0IRQL	UAF0IRQ	W	8/16	00
0F7CD		UAF0IRQH		W	8	00
0F800	RC-ADC カウンタ A レジスタ 0	RADCA0L	RADCA0	R/W	8/16	00
0F801		RADCA0H		R/W	8	00
0F802	RC-ADC カウンタ A レジスタ 1	RADCA1L	RADCA1	R/W	8/16	00
0F803		RADCA1H		R/W	8	00
0F804	RC-ADC カウンタ B レジスタ 0	RADCB0L	RADCB0	R/W	8/16	00
0F805		RADCB0H		R/W	8	00
0F806	RC-ADC カウンタ B レジスタ 1	RADCB1L	RADCB1	R/W	8/16	00
0F807		RADCB1H		R/W	8	00
0F808	RC-ADC モードレジスタ	RADMODL	RADMOD	R/W	8/16	00
0F809		RADMODH		R/W	8	00
0F80A	RC-ADC コントロールレジスタ	RADCONL	RADCON	R/W	8/16	00
0F80B		RADCONH		R/W	8	00
0F820	SA-ADC リザルトレジスタ 0	SADR0L	SADR0	R	8/16	00
0F821		SADR0H		R	8	00
0F822	SA-ADC リザルトレジスタ 1	SADR1L	SADR1	R	8/16	00
0F823		SADR1H		R	8	00
0F824	SA-ADC リザルトレジスタ 2	SADR2L	SADR2	R	8/16	00
0F825		SADR2H		R	8	00
0F826	SA-ADC リザルトレジスタ 3	SADR3L	SADR3	R	8/16	00
0F827		SADR3H		R	8	00
0F828	SA-ADC リザルトレジスタ 4	SADR4L	SADR4	R	8/16	00
0F829		SADR4H		R	8	00
0F82A	SA-ADC リザルトレジスタ 5	SADR5L	SADR5	R	8/16	00
0F82B		SADR5H		R	8	00
0F82C	SA-ADC リザルトレジスタ 6	SADR6L	SADR6	R	8/16	00
0F82D		SADR6H		R	8	00
0F82E	SA-ADC リザルトレジスタ 7	SADR7L	SADR7	R	8/16	00
0F82F		SADR7H		R	8	00
0F830	SA-ADC リザルトレジスタ 8	SADR8L	SADR8	R	8/16	00
0F831		SADR8H		R	8	00
0F832	SA-ADC リザルトレジスタ 9	SADR9L	SADR9	R	8/16	00
0F833		SADR9H		R	8	00
0F834	SA-ADC リザルトレジスタ A	SADRAL	SADRA	R	8/16	00
0F835		SADRAH		R	8	00

アドレス [H]	名称	略称 (Byte)	略称 (Word)	R/W	サイズ	初期値 [H]
0F836	SA-ADC リザルトレジスタ B	SADRBL	SADRB	R	8/16	00
0F837		SADRBH		R	8	00
0F840	SA-ADC コントロールレジスタ 0	SADCON0	–	R/W	8	22
0F841	SA-ADC コントロールレジスタ 1	SADCON1		R/W	8	00
0F842	SA-ADC イネーブルレジスタ	SADENL	SADEN	R/W	8/16	00
0F843		SADENH		R/W	8	00
0F844	SA-ADC タッチセンサレジスタ	SADTCHL	SADTCH	R/W	8/16	00
0F845		SADTCHH		R/W	8	00
0F846	SA-ADC トリガレジスタ	SADTRGL	SADTRG	R/W	8/16	00
0F847		SADTRGH		R/W	8	00
0F848	SA-ADC 精度コントロールレジスタ	SADCVTL	SADCVT	R/W	8/16	FF
0F849		SADCVTH		R/W	8	FF
0F8C0	メロディ 0 コントロールレジスタ	MD0CON	–	R/W	8	00
0F8C1	メロディ 0 テンポコードレジスタ	MD0TMP	–	R/W	8	00
0F8C2	メロディ 0 音階/音長コードレジスタ	MD0TON	MD0TL	R/W	8/16	00
0F8C3		MD0LEN		R/W	8	00
0F900	電圧レベル検出回路コントロールレジスタ	VLSCONL	VLSCON	R/W	8/16	00
0F901		VLSCONH		R/W	8	00
0F902	電圧レベル検出回路モードレジスタ	VLSMODL	VLSMOD	R/W	8/16	00
0F903		VLSMODH		R/W	8	00
0F920	コンパレータ 0 コントロールレジスタ	CMP0CON	–	R/W	8	00
0F922	コンパレータ 0 モードレジスタ	CMP0MODL	CMP0MOD	R/W	8/16	00
0F923		CMP0MODH		R/W	8	00
0F928	コンパレータ 1 コントロールレジスタ	CMP1CON	–	R/W	8	00
0F92A	コンパレータ 1 モードレジスタ	CMP1MODL	CMP1MOD	R/W	8/16	00
0F92B		CMP1MODH		R/W	8	00

付録 B　パッケージ外形図

● ML620Q503/Q504

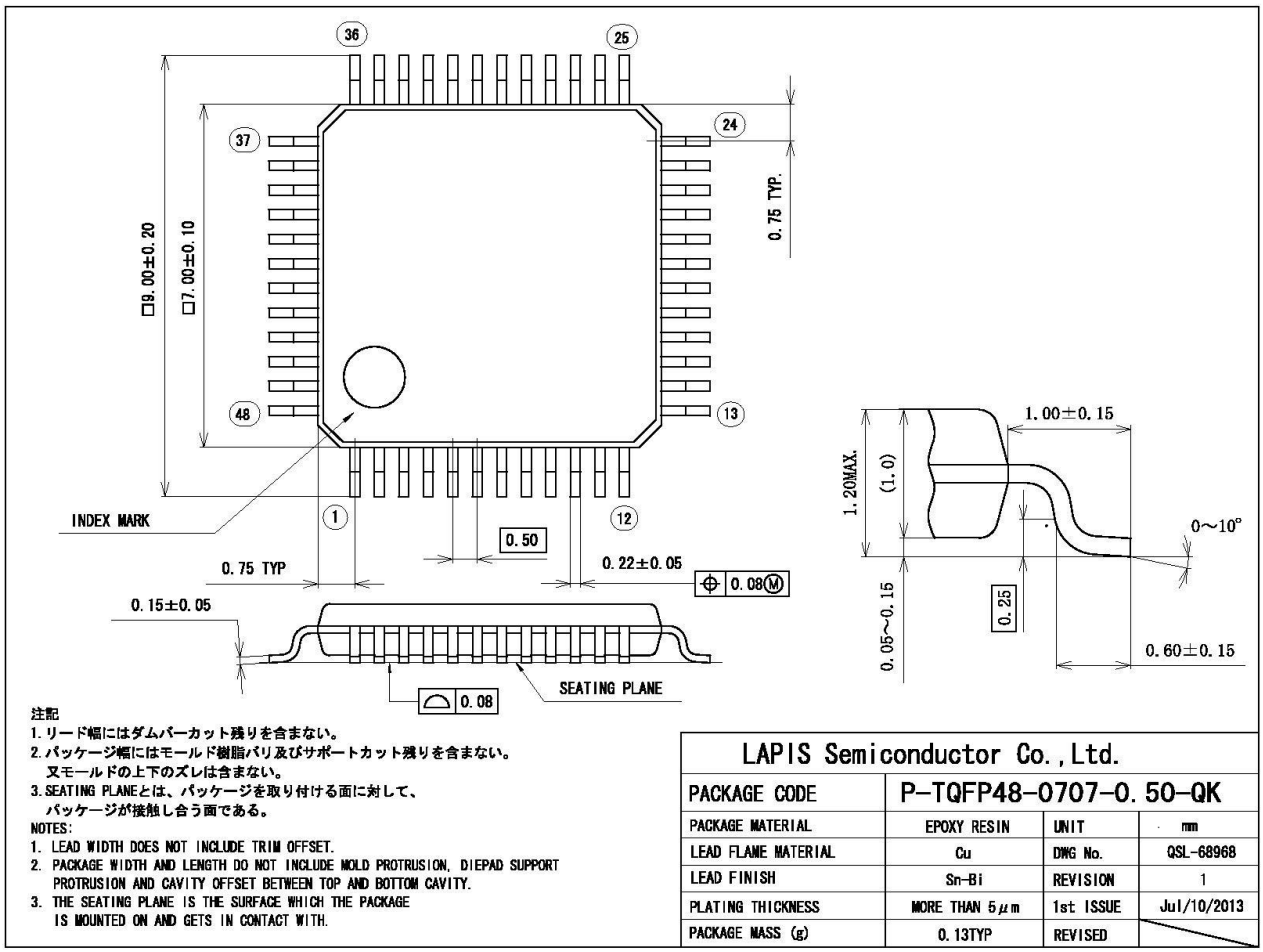


図 B-1　TQFP48

● 表面実装型パッケージ実装上のご注意

表面実装型パッケージは、リフロー実装時の熱や保管時のパッケージの吸湿量等に大変影響を受けやすいパッケージです。したがって、リフロー実装の実施を検討される際には、その製品名、パッケージ名、ピン数、パッケージコード及び希望されている実装条件（リフロー方法、温度、回数）、保管条件などをセールスオフィスまで必ずお問い合わせください。

付録 C 電気的特性

●絶対最大定格

(V_{SS}=0V)

項　目	記 号	条　件	定 格 値	単位
電源電圧 1	V_{DD}	Ta=25℃	-0.3～+4.6	V
電源電圧 2	V_{DDL}	Ta=25℃	-0.3～+2.0	V
電源電圧 3	V_{DDX}	Ta=25℃	-0.3～+2.0	V
入力電圧	V_{IN}	Ta=25℃	-0.3～V_{DD}+0.3	V
出力電圧	V_{OUT}	Ta=25℃	-0.3～V_{DD}+0.3	V
出力電流 1	I_{OUT1}	ポート 0～2 系 Ta=25℃	-12～+11	mA
出力電流 2	I_{OUT2}	ポート 3～5 系 Ta=25℃	-12～+20	mA
許容損失	PD	Ta=25℃	0.9	W
保存温度	T_{STG}	—	-55 ～ +150	℃

●推奨動作条件

(V_{SS}=0V)

項　目	記 号	条　件	範　囲	単位
動作温度 (周囲)	T_{OP}	—	-40～+85	℃
動作電圧	V_{DD}	—	1.8～3.6	V
リファレンス電圧	V_{REF}	—	1.8～V_{DD}	V
動作周波数 (CPU)	f_{OP}	—	30k ~ 16.8 M	Hz
低速外部クロック入力周波数	f_{EXTL}	—	30k ~ 36k	Hz
高速外部クロック入力周波数	f_{EXTH}	—	300k ~ 16M	Hz
低速水晶発振周波数	f_{XTL}	—	32.768k	Hz
低速水晶発振外付け容量 1	C_{DL}	VT-200-FL (SII 製) 使用時	6.8～12	pF
	C_{GL}		6.8～12	
低速水晶発振外付け容量 2	C_{DL}	DT-26 (大真空) 使用時	12～16	pF
	C_{GL}		12～16	
低速水晶発振[*1]外付け容量 3	C_{DL}	VT-200-F (SII 製) 使用時	12～22	pF
	C_{GL}		12～22	
高速水晶発振周波数セラミック発振周波数	f_{XTH}	—	16M	Hz
高速水晶発振外付け容量	C_{DH}	NX8045GB (日本電波工業製) 使用時	12～20	pF
	C_{GH}		12～20	
セラミック発振外付け容量	C_{DH}	CSTCE16M0V53 (村田製作所製) CL 内蔵タイプ	0～5	pF
	C_{GH}		0～5	
V_{DDL} 端子外付け容量[*2]	C_L	ESR≦500mΩ	2.2±30%	mF
V_{DDX} 端子外付け容量	C_X	—	0.33 ± 30%	mF

*1：この水晶での DEEPHALT を設定すると、動作しない可能性がありますので、設定は禁止致します。DEEPHALT 以外でご使用下さい。
その他の水晶振動子をご使用の場合はマッチング評価等で、特性をご確認の上ご使用ください。
*2：お客様のご使用環境で評価の上、必要に応じて C_{L0}=0.1uF を付けて下さい。

●フラッシュメモリ仕様

(V_{SS}= 0V)

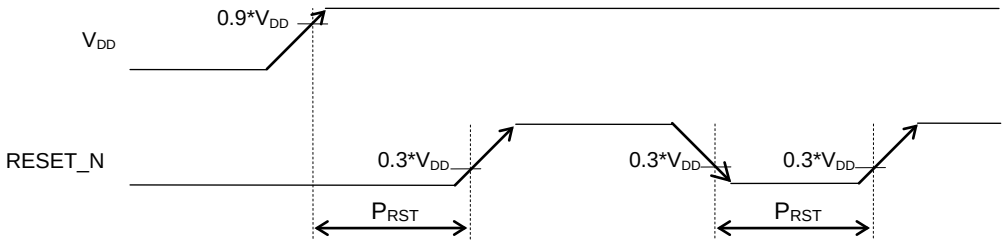
項　目	記 号	条　件		範　囲	単 位
動作温度 (周囲)	T_{OP}	データ領域：書き込み／消去時		-40～+85	℃
		プログラム領域：書き込み／消去時		0～+40	℃
動作電圧 書き換え回数	V_{DD}	書き込み／消去時		1.8～3.6	V
	C_{EPD}	データ領域(1,024B x 2)		10,000	回
	C_{EPP}	プログラム領域		100	回
消去単位	—	ブロック消去	プログラム領域	8	KB
			データ領域	2	
		セクタ消去		1	KB
消去時間 (最大)	—	ブロック消去 セクタ消去		100	ms
書込み単位	—	—		1 ワード(2 バイト)	—

●直流特性(発振、リセット)

(特に指定のない場合は、V_{DD}=1.8〜3.6V, V_{SS}=0V, Ta=-40〜+85℃)

項　目	記 号	条　件	規格値 Min.	規格値 Typ.	規格値 Max.	単位	測定回路
低速水晶発振開始時間	T_{XTL}	—	—	—	2	s	1
高速水晶発振開始時間	T_{XTH}	—	—	—	20	ms	
低速内蔵 RC 発振周波数*1*2	f_{LCR}	Ta=25℃	typ -1.5%	32.768	typ +1.5%	kHz	
		Ta=-40〜85℃	typ -5%	32.768	typ +5%		
高速内蔵 RC 発振周波数*1*2	f_{HCR}	Ta=25℃	typ -1%	16	typ +1%	MHz	
		Ta=-40〜85℃	typ -5%	16	typ +5%		
リセットパルス幅	P_{RST}	—	200	—	—	ns	
リセットノイズ除去パルス幅	P_{NRST}	—	—	—	0.3	ns	
パワーオンリセット発生電源立ち上がり時間	T_{POR}	—	—	—	10	ms	

*1: 1024 サイクルの平均値です。
*2: 出荷時の保証値です。



外部リセットシーケンス

パワーオンリセットシーケンス

●直流特性(IDD)

(特に指定のない場合は、V_{DD}=1.8〜3.6V, V_{SS}=0V, Ta=-40〜+85℃)

項　目	記 号	条　件		規 格 値*1			単位	測定回路
				Min.	Typ.	Max.		
消費電流 1	IDD1	CPU が STOP 状態 (低速/高速発振停止)	Ta=25℃	—	0.25	0.8	mA	1
			Ta=-40〜85℃	—	—	15		
消費電流 2	IDD2	DEEP HALT モード時 (LTBC 動作) 水晶 32.768kHz 発振動作、高速発振停止*3*5	Ta=25℃	—	0.45	1.3	mA	
			Ta=-40〜85℃	—	—	15		
消費電流 3	IDD3	HALT モード時 (LTBC 動作) 水晶 32.768kHz 発振動作、高速発振停止*3*5	Ta=25℃	—	2	2.7	mA	
			Ta=-40〜85℃	—	—	18		
消費電流 4	IDD4	CPU 低速クロック時 内蔵 32.768kHz 発振動作、高速発振停止*2*5	Ta=25℃	—	10	12	mA	
			Ta=-40〜85℃	—	—	25		
消費電流 5	IDD5	CPU 高速クロック時 (16MHz 選択) 内蔵 16MHz 発振動作*2*5	Ta=25℃	—	4	5.5	mA	
			Ta=-40〜85℃	—	—	6		
消費電流 6	IDD6	CPU 高速クロック時 (16MHz 選択) 水晶 16MHz 発振時*2*4*5	Ta=25℃	—	6	7.5	mA	
			Ta=-40〜85℃	—	—	8		

*1：Typ.規格は V_{DD}=3.0V のとき
*2：CPU 動作率 100%時 (HALT 状態なし)
*3 : 32.768KHz 水晶振動子 VT-200-FL (SII 製) 使用時 (C_{GL}/C_{DL}＝12pF)
32.768KHz 水晶振動子 DT-26 (大真空) 使用時 (C_{GL}/C_{DL}＝12pF)
*4 : NX8045GB (日本電波工業製) 使用時 (C_{GH}/C_{DH}＝16pF)
*5 : BLKCON0~BLKCON5 の有効ビット全て"1"

●直流特性(VLS)

(特に指定のない場合は、V_{DD}=1.8〜3.6V, V_{SS}=0V, Ta=-40〜+85℃)

項　目	記 号	条　件	規 格 値			単位	測定回路
			Min.	Typ.	Max.		
VLS 判定電圧 (V_{DD} 立ち下がり)	V_{VLS}	vlscon = 3H	1.798	1.898	1.998	V	1
		vlscon = 4H	1.900	2.000	2.100		
		vlscon = 5H	1.993	2.093	2.193		
		vlscon = 6H	2.096	2.196	2.296		
		vlscon = 7H	2.209	2.309	2.409		
		vlscon = 8H	2.309	2.409	2.509		
		vlscon = 9H	2.505	2.605	2.705		
		vlscon = AH	2.700	2.800	2.900		
		vlscon = BH	2.968	3.068	3.168		
V_{VLS} ヒステリシス幅 (V_{DD} 立ち上がり)	H_{VLS}	—	V_{VLS} x 1.8%	V_{VLS} x 3.8%	V_{VLS} x 6.3%	V	

●直流特性(LLD)

(特に指定のない場合は、V_{DD}=1.8〜3.6V, V_{SS}=0V, Ta=-40〜+85℃)

項　目	記 号	条　件	規 格 値			単位	測定回路
			Min.	Typ.	Max.		
LLD 判定電圧	VLLR	—	1.60	1.80	2.00	V	1

●直流特性(アナログコンパレータ)

(特に指定のない場合は、V_{DD}=1.8〜3.6V, V_{SS}=0V, Ta=-40〜+85℃)

項目	記号	条件	規 格 値			単位	測定回路
			Min.	Typ.	Max.		
同相入力範囲	V_{CMPIN}	—	0.2	—	VDD -0.2	V	1
入力オフセット電圧	V_{CMPOF}	—	-30	—	30	mV	
コンパレータ判定時間	T_{CMP}	CMPP- CMPM =40mV	—	—	2	ms	

●直流特性(VOHL、IOHL)

(特に指定のない場合は、V_{DD}=1.8～3.6V, V_{SS}=0V, Ta=-40～+85℃)

項　目	記 号	条　件	規 格 値			単位	測定回路
			Min.	Typ.	Max.		
出力電圧 1 (P00-P05, P10-P11 P20-P23, P30-P37 P40-P47, P50-P57)	VOH1	1.8V≦V_{DD}≦3.6V IOH=-1mA	V_{DD} -0.5	—	—	V	2
	VOL1	1.8V≦V_{DD}≦3.6V IOL=+0.5mA	—	—	0.4		
出力電圧 2 (P40, P41, P52, P53) (LED モード選択時)	VOL2	2.7V≦V_{DD}≦3.6V IOL=+5.0mA	—	—	0.6		
		1.8V≦V_{DD}＜2.7V IOL=+2.0mA	—	—	0.4		
出力電圧 3 (P30, P31, P34, P35, P40, P41, P44, P45, P50, P51, P54, P55) (I^2C モード選択時)	VOL3	IOL3= +3mA (I^2C 規格) (V_{DD}≧2V)	—	—	0.4		
出力電圧 4 (P30, P31, P34, P35, P40, P41, P44, P45, P50, P51, P54, P55) (I^2C モード選択時)	VOL4	IOL3= +2mA (I^2C 規格) (V_{DD}＜2V)	—	—	V_{DD} x 0.2		
出力リーク 1 (P00-P05, P20-P23, P30-P37, P40-P47, P50-P57)	IOOH1	VOH=V_{DD} (ハイインピーダンス時)	—	—	+1	mA	3
	IOOL1	VOL=V_{SS} (ハイインピーダンス時)	-1	—	—		
出力リーク 2 (P10-P11)	IOOH2	VOH=V_{DD} (ハイインピーダンス時)	—	—	+2		
	IOOL2	VOL=V_{SS} (ハイインピーダンス時)	-2	—	—		

●直流特性(IIHL)

(特に指定のない場合は、V_{DD}=1.8〜3.6V, V_{SS}=0V, Ta=-40〜+85℃)

項　目	記 号	条　件	規 格 値*1			単位	測定回路
			Min.	Typ.	Max.		
入力電流 1 (RESET_N, TEST1_N)	IIH1	VIH1=V_{DD}	—	—	1	mA	4
	IIL1	VIL1=V_{SS}	-900	-300	-20		
入力電流 2 (TEST0)	IIH2	VIH2=V_{DD}	20	300	900		
	IIL2	VIL2=V_{SS}	-1	—	—		
入力電流 3 (PXT0-PXT1, P00-P05, P20-P23, P30-P37, P40-P47, P50-P57)	IIH3	VIH3=V_{DD} (プルダウン時)	1	15	200		
	IIL3	VIL3=V_{SS} (プルアップ時)	-200	-15	-1		
	IIH3Z	VIH3=V_{DD} (ハイインピーダンス時)	—	—	1		
	IIL3Z	VIL3=V_{SS} (ハイインピーダンス時)	-1	—	—		
入力電流 4 (P10-P11)	IIH4	VIH4=V_{DD} (プルダウン時)	1	15	200		
	IIL4	VIL4=V_{SS} (プルアップ時)	-200	-15	-1		
	IIH4Z	VIH4=V_{DD} (ハイインピーダンス時)	—	—	2		
	IIL4Z	VIL4=V_{SS} (ハイインピーダンス時)	-2	—	—		

*1 : Typ.規格は Ta=25℃, V_{DD}=3.0V のとき

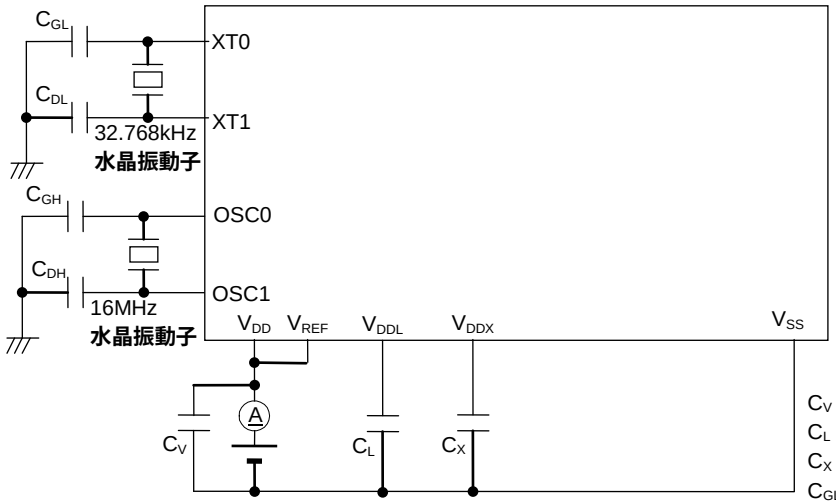
●直流特性(VIHL)

(特に指定のない場合は、V_{DD}=1.8〜3.6V, V_{SS}=0V, Ta=-40〜+85℃)

項　目	記 号	条　件	規 格 値			単位	測定回路
			Min.	Typ.	Max.		
入力電圧 1 (RESET_N, TEST0, TEST1_N, PXT0-PXT1, P00-P05, P10-P11, P20-P23, P30-P37, P40-P47, P50-P57)	VIH1	—	0.7 ×V_{DD}	—	V_{DD}	V	5
	VIL1	—	0	—	0.3 ×V_{DD}		
入力端子容量 (RESET_N, TEST0, TEST1_N, PXT0-PXT1, P00-P05, P10-P11, P20-P23, P30-P37, P40-P47, P50-P57)	CIN	f=10kHz V_{rms}=50mV Ta=25℃	—	—	10	pF	—

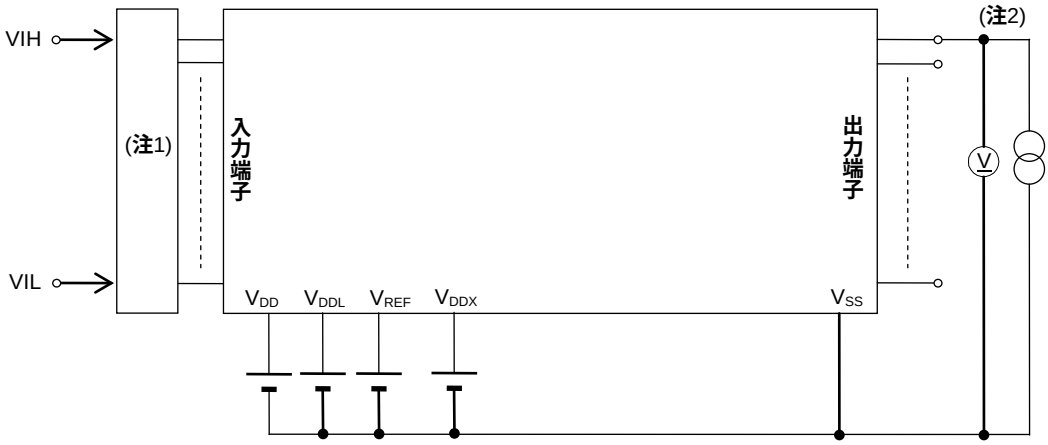
●測定回路

測定回路 1



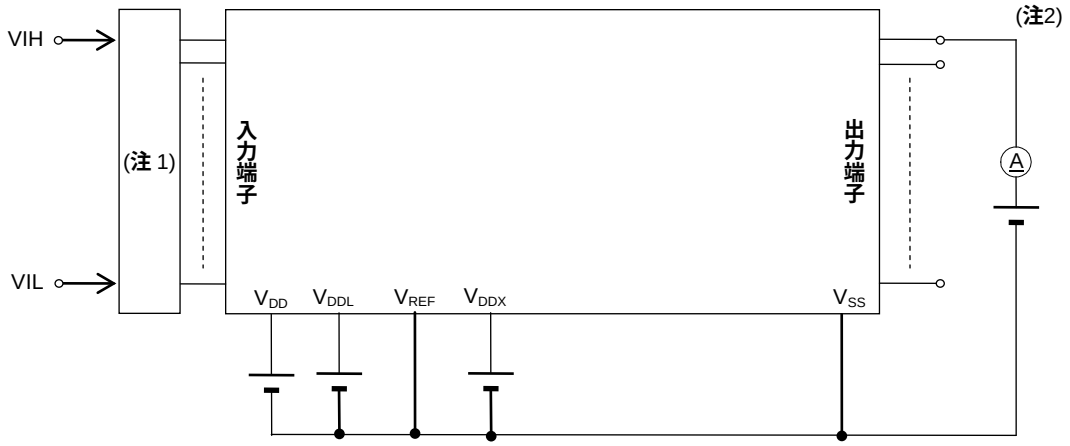
C_V ：1.0μF
C_L ：2.2μF
C_X ：0.33μF
C_{GL} ：12pF
C_{DL} ：12pF
32.768kHz **水晶振動子**
(DT-26 **大真空株式会社製**)
C_{GH} ：16pF
C_{DH} ：16pF
16MHz **水晶振動子**
(NX8045GB **日本電波工業製**)

測定回路 2



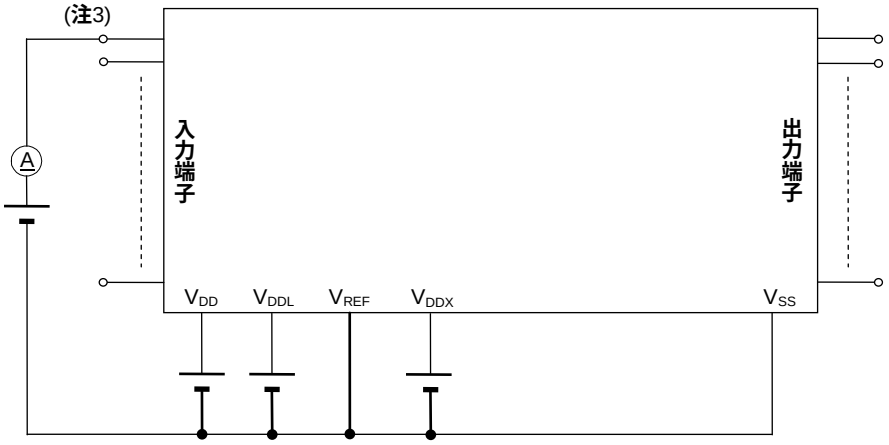
(注1) 指定の状態にする入力ロジック
(注2) 指定の出力端子について繰り返す

測定回路 3



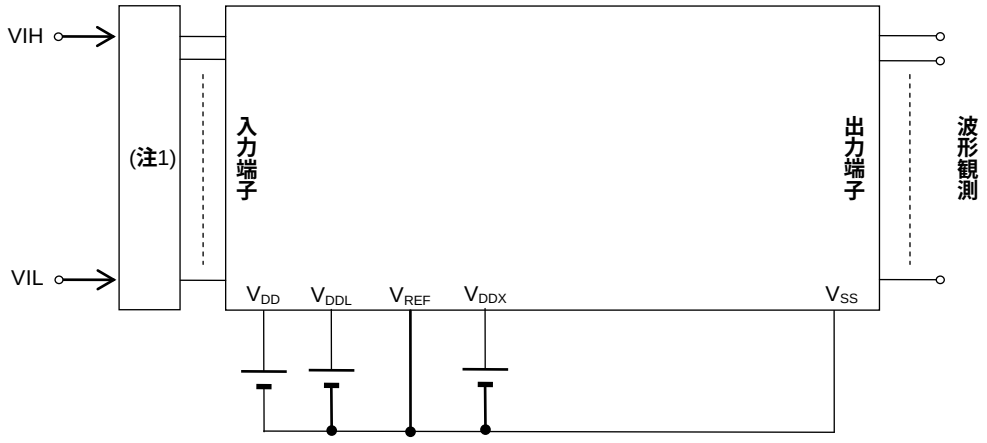
(注1) 指定の状態にする入力ロジック
(注2) 指定の出力端子について繰り返す

測定回路 4



(注3) 指定の入力端子について繰り返す

測定回路 5

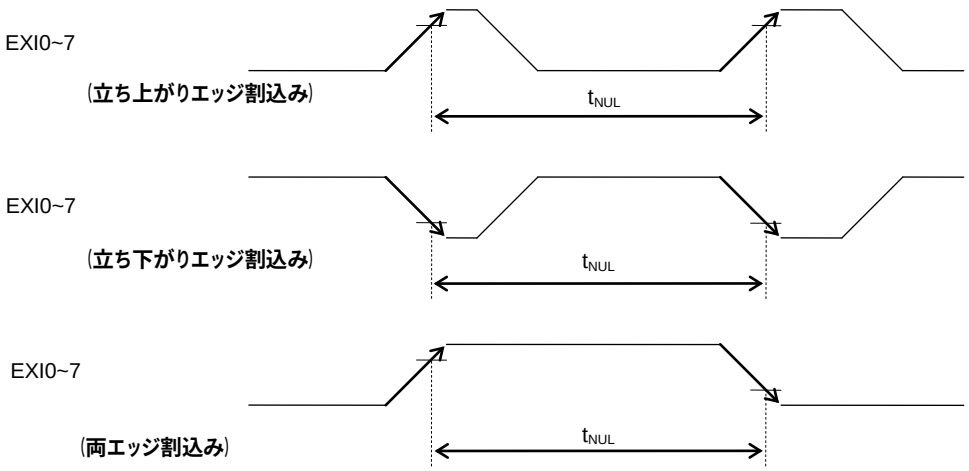


(注1) 指定の状態にする入力ロジック

●交流特性（外部割込み）

（特に指定のない場合は、V_{DD}=1.8〜3.6V, V_{SS}=0V, Ta=-40〜+85℃）

項　目	記 号	条　件	規 格 値			単位
			Min.	Typ.	Max.	
外部割込み無効期間	t_{NUL}	割込み許可 (MIE=1) CPU は NOP 動作	2.5 x sysclk	—	3.5 x sysclk	φ

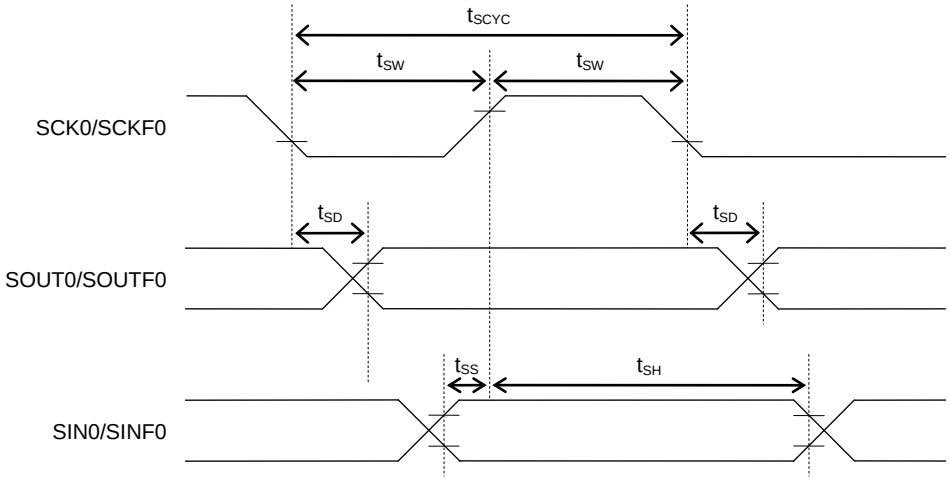


●交流特性（同期式シリアルポート）

（特に指定のない場合は、V_{DD}=1.8〜3.6V, V_{SS}=0V, Ta=-40〜+85℃）

項　目	記 号	条　件	規 格 値			単位
			Min.	Typ.	Max.	
SCK 入力サイクル（スレーブモード）	t_{SCYC}	高速発振停止時	10	—	—	μs
		高速発振時	500	—	—	ns
SCK 出力サイクル（マスタモード）	t_{SCYC}	—	—	SCK*1	—	s
SCK 入力パルス幅（スレーブモード）	t_{SW}	高速発振停止時	4	—	—	μs
		高速発振時	200	—	—	ns
SCK 出力パルス幅（マスタモード）	t_{SW}	—	t_{SCYC} ×0.4	t_{SCYC} ×0.5	t_{SCYC} ×0.6	s
SOUT 出力遅延時間（スレーブモード）	t_{SD}	—	—	—	180	ns
SOUT 出力遅延時間（マスタモード）	t_{SD}	—	—	—	80	ns
SIN 入力 セットアップ時間（スレーブモード）	t_{SS}	—	50	—	—	ns
SIN 入力 ホールド時間	t_{SH}	—	50	—	—	ns

*1：次のレジスタで選択されたクロック周期(最小 250ns，但し P02,P22 使用時は 500ns)
SSIO の場合，シリアルポート 0 モードレジスタ（SIO0MOD）の S0CK2-0
SSIOF の場合，SIOF0 ボーレートレジスタ(SF0BRR)の SF0BR9-0



●交流特性（I²C バスインタフェース：標準モード 100kHz）

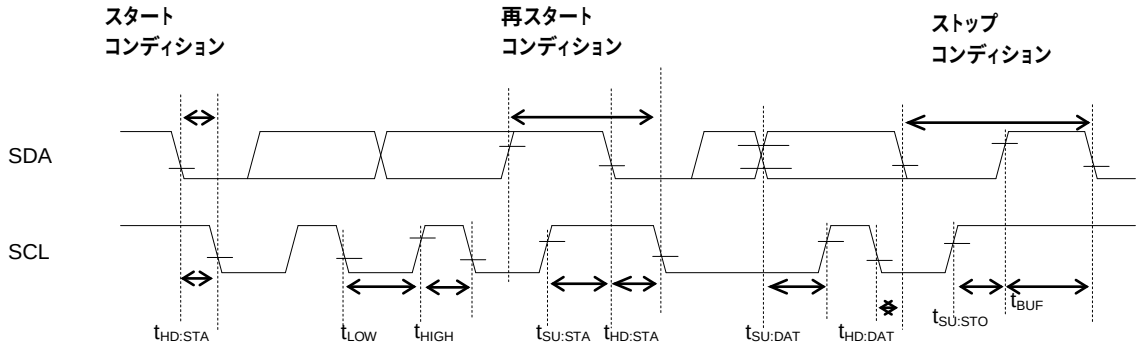
（特に指定のない場合は、V_{DD}=1.8〜3.6V, V_{SS}=0V, Ta=-40〜+85℃）

項　目	記 号	条　件	規 格 値			単位
			Min.	Typ.	Max.	
SCL クロック周波数	f_{SCL}	—	0	—	100	kHz
SCL ホールド時間（スタート/再スタートコンディション）	$t_{HD:STA}$	—	4.0	—	—	μs
SCL"L"レベル時間	t_{LOW}	—	4.7	—	—	μs
SCL"H"レベル時間	t_{HIGH}	—	4.0	—	—	μs
SCL セットアップ時間（再スタートコンディション）	$t_{SU:STA}$	—	4.7	—	—	μs
SDA ホールド時間	$t_{HD:DAT}$	—	0	—	3.45	μs
SDA セットアップ時間	$t_{SU:DAT}$	—	0.25	—	—	μs
SCL セットアップ時間（ストップコンディション）	$t_{SU:STO}$	—	4.0	—	—	μs
バスフリー時間	t_{BUF}	—	4.7	—	—	μs

●交流特性（I²C バスインタフェース：ファーストモード 400kHz）

（特に指定のない場合は、V_{DD}=1.8〜3.6V, V_{SS}=0V, Ta=-40〜+85℃）

項　目	記 号	条　件	規 格 値			単位
			Min.	Typ.	Max.	
SCL クロック周波数	f_{SCL}	—	0	—	400	kHz
SCL ホールド時間（スタート/再スタートコンディション）	$t_{HD:STA}$	—	0.6	—	—	μs
SCL"L"レベル時間	t_{LOW}	—	1.3	—	—	μs
SCL"H"レベル時間	t_{HIGH}	—	0.6	—	—	μs
SCL セットアップ時間（再スタートコンディション）	$t_{SU:STA}$	—	0.6	—	—	μs
SDA ホールド時間	$t_{HD:DAT}$	—	0	—	0.9	μs
SDA セットアップ時間	$t_{SU:DAT}$	—	0.1	—	—	μs
SCL セットアップ時間（ストップコンディション）	$t_{SU:STO}$	—	0.6	—	—	μs
バスフリー時間	t_{BUF}	—	1.3	—	—	μs



●交流特性（RC 発振方式 A/D コンバータ）

（特に指定のない場合は、V_{DD}=1.8〜3.6V, V_{SS}=0V, Ta=-40〜+85℃）

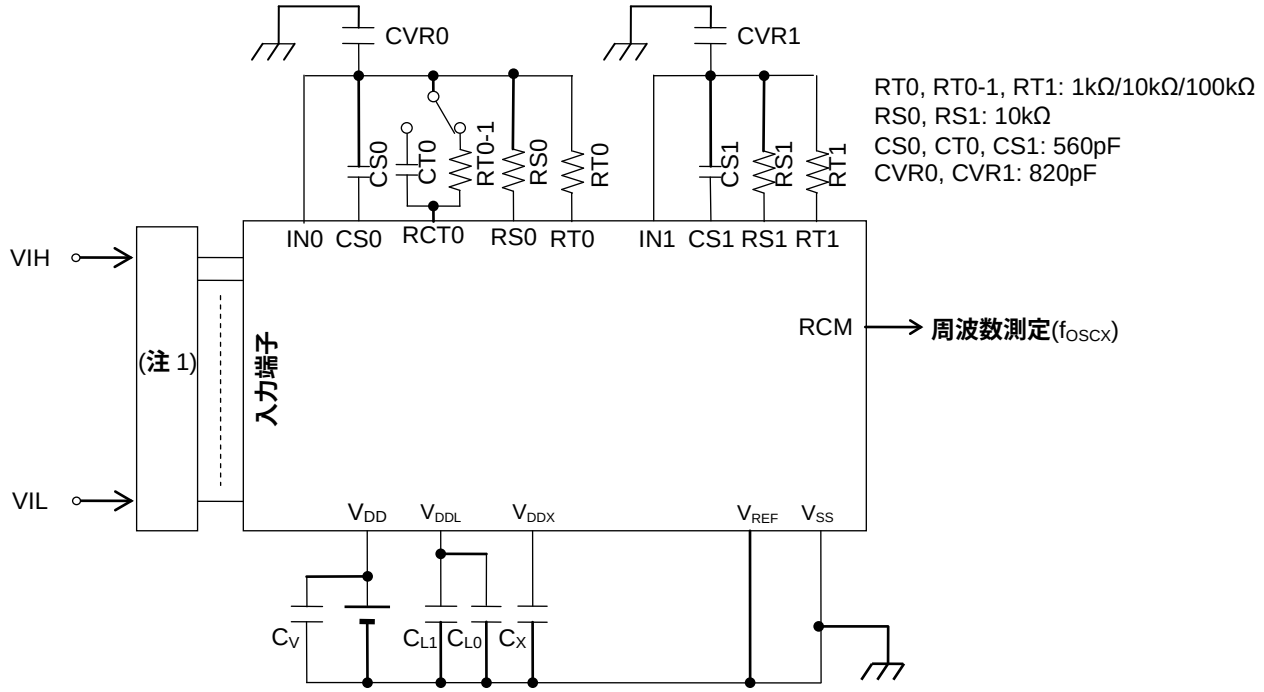
項　目	記 号	条 件	規 格 値			単位
			Min.	Typ.	Max.	
発振用抵抗	RS0,RS1,RT0 ,RT0-1,RT1	—	1	—	400	kΩ
発振周波数 V_{DD}=3.0V CVR=820pF CS=560pF	f_{OSC1_0}	発振用抵抗=1kΩ	—	528	—	kHz
	f_{OSC2_0}	発振用抵抗=10kΩ	—	59	—	kHz
	f_{OSC3_0}	発振用抵抗=100kΩ	—	5.9	—	kHz
RS・RT 発振周波数比*1 V_{DD}=3.0V CVR=820pF CS=560pF	Kf1_0	RT0, RT0-1, RT1=1kΩ	8.225	8.94	9.655	—
	Kf2_0	RT0, RT0-1, RT1=10kΩ	0.99	1	1.01	—
	Kf3_0	RT0, RT0-1, RT1=100kΩ	0.093	0.101	0.109	—

*1：Kfx は、同一条件におけるセンサ抵抗による発振周波数と基準抵抗による発振周波数の比

$$Kfx = \frac{f_{OSCx}(RT0-CS0\ 発振)}{f_{OSCx}(RS0-CS0\ 発振)}, \quad \frac{f_{OSCx}(RT0\text{-}1-CS0\ 発振)}{f_{OSCx}(RS0-CS0\ 発振)}, \quad \frac{f_{OSCx}(RT1-CS1\ 発振)}{f_{OSCx}(RS1-CS1\ 発振)}$$

(x = 1, 2, 3)

測定回路



(注1) 指定の状態にする入力ロジック

【注意】

・共通ノード（各外付けコンデンサや抵抗から IN0/IN1 端子に接続される配線パターン）は、CVR0/CVR1 を含めて LSI から最短になるようレイアウトしてください。特に IN0 と RS0、IN1 と RS1 間の長い配線は避けて下さい。配線間のカップリング容量で A/D 変換が誤動作する可能性があります。また、共通ノードの周辺にノイズ源となるような信号は配線しないでください。

・RT0/RT1 など（サーミスタなど）が配置場所の制限によって配線の引き回しが必要な信号は V_{SS}（GND）線でガードしてください。

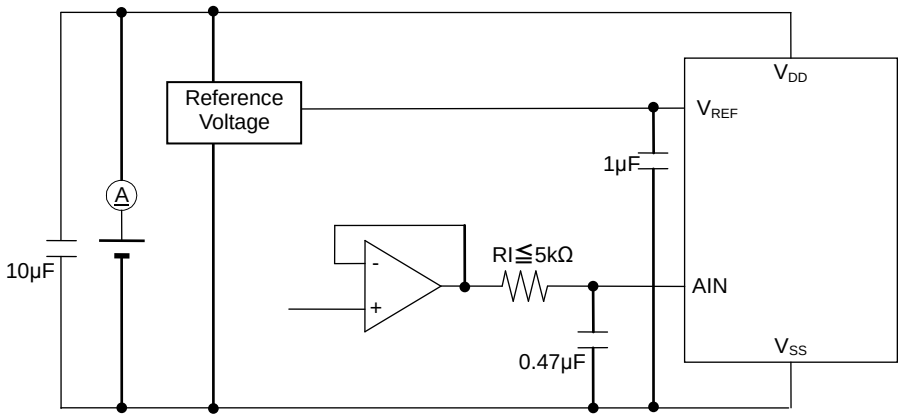
・目的の測定に必要な素子（コンデンサや抵抗など）のみ配線して下さい。予備の素子などを配線している場合、その素子からのノイズで A/D 変換動作に影響を与える可能性があります。

●逐次比較型 A/D コンバータの電気的特性

(特に指定のない場合は、V_{DD}=1.8〜3.6V, V_{SS}=0V, Ta=-40〜+85℃)

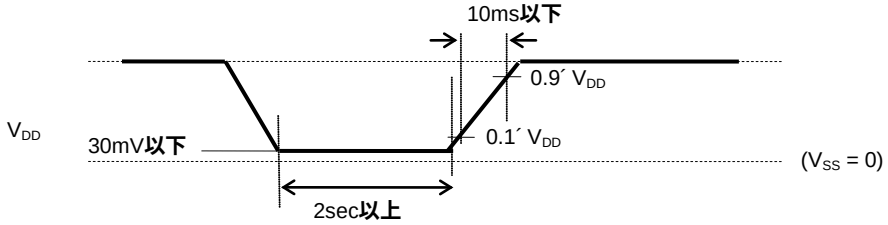
項　目	記 号	条　件	規 格 値			単位
			Min.	Typ.	Max.	
分解能	n	—	—	12	—	bit
積分非直線性誤差	INL	2.7V≦V_{REF}≦3.6V	-4	—	+4	LSB
		2.2V≦V_{REF}＜2.7V	-6	—	+6	
		1.8V≦V_{REF}＜2.2V (低速クロック使用時)	-10	—	+10	
微分非直線性誤差	DNL	2.7V≦V_{REF}≦3.6V	-3	—	+3	
		2.2V≦V_{REF}＜2.7V	-5	—	+5	
		1.8V≦V_{REF}＜2.2V (低速クロック使用時)	-9	—	+9	
ゼロスケール誤差	V_{OFF}	2.2V≦V_{REF}≦3.6V	-6	—	+6	
		1.8V≦V_{REF}＜2.2V (低速クロック使用時)	-10	—	+10	
フルスケール誤差	FSE	2.2V≦V_{REF}≦3.6V	-6	—	+6	
		1.8V≦V_{REF}＜2.2V (低速クロック使用時)	-10	—	+10	
入力インピーダンス	RI	—	—	—	5k	Ω
SA-ADC 基準電位	V_{REF}	—	1.8	—	V_{DD}	V
変換時間	t_{CONV}	高速クロック使用時(Max.4MHz)	—	170	—	clk
		低速クロック使用時	—	16	—	

測定回路

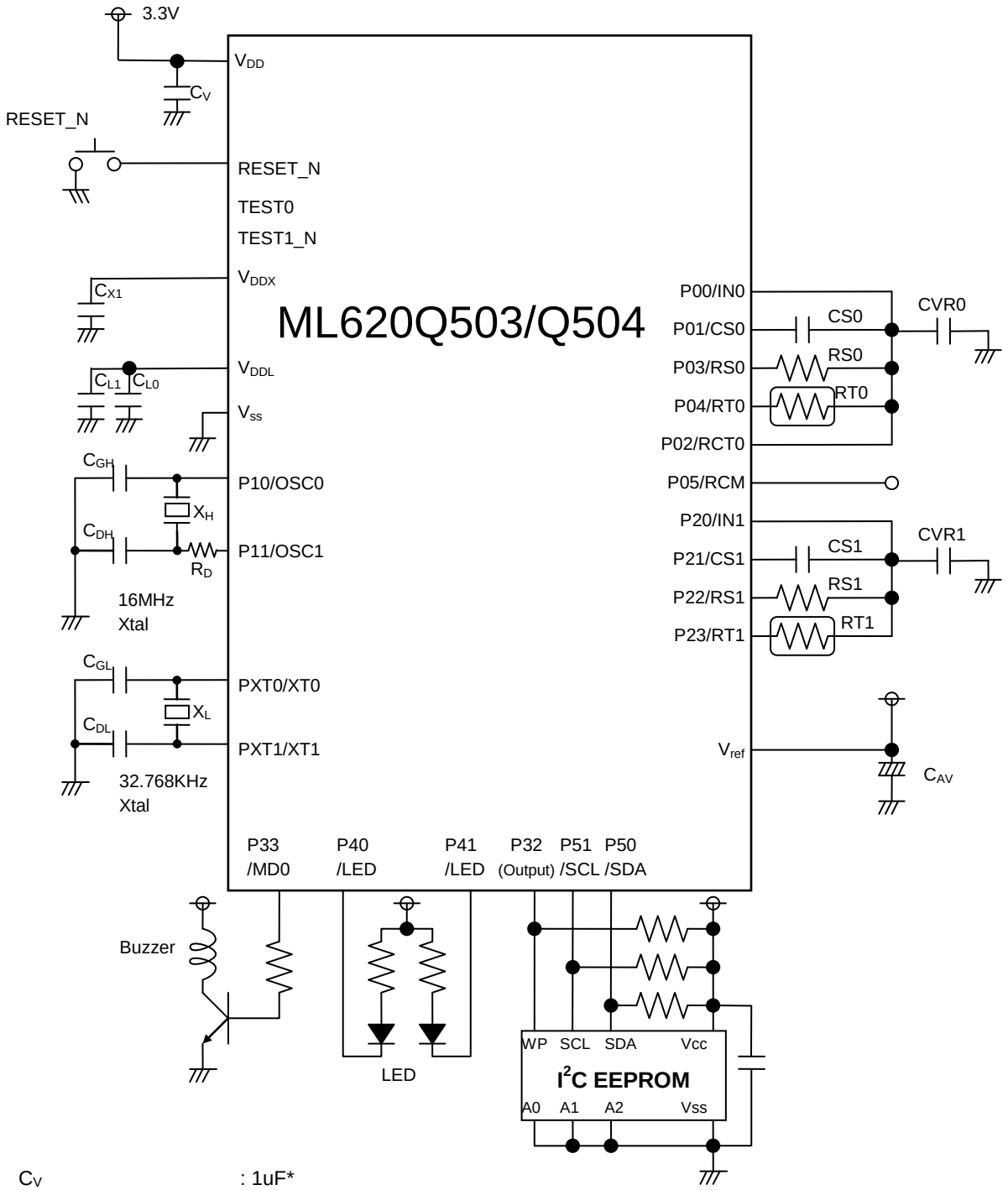


●電源の投入および遮断

V_{DD} の電源投入および遮断は、以下のタイミング制約を守ってください。



付録 D 応用回路例



C_V	: 1uF*		
C_{L1}	: 2.2uF	C_{L0}	: open*
C_{X1}	: 0.33uF		
C_{GL}	: 12～16pF*	C_{DL}	: 12～16pF*
C_{GH}	: 12～20pF*	C_{DH}	: 12～20pF*
R_D	: 0W*		
C_{AV}	: 1uF*	RS0, RS1	: 10 KW
CS0, CS1	: 560 pF	CVR0, CVR1	: 820 pF
RT0, RT1	: Thermistor (103AT/Semitec)		
X_H	: NX8045GB/16.000MHz, Nihon Denpa Kogyo)		
X_L	: DT-26, Daishinku		

*: お客様のご使用環境で評価の上、必要に応じて適切なものをご使用ください。

改版履歴

改版履歴

ドキュメント No.	発行日	ページ		変更内容
		改版前	改版後	
PJUL620Q504-01	2014.05.02	–	–	暫定初版発行
FJUL620Q504-01	2015.04.16	–	–	初版発行