**实验三 时序电路设计实验报告**

**姓名**：刘秉致  **学号**：1120220715

**班级**：070122011 **手机**：13051179979

1. **实验题目**

设计一个串行数据子序列检测器。当连续输入4个或4个以上的0时，输出为1，其他情况下输出为0 。

1. **电路设计**
   1. **规范化**

输入：二进制字符A

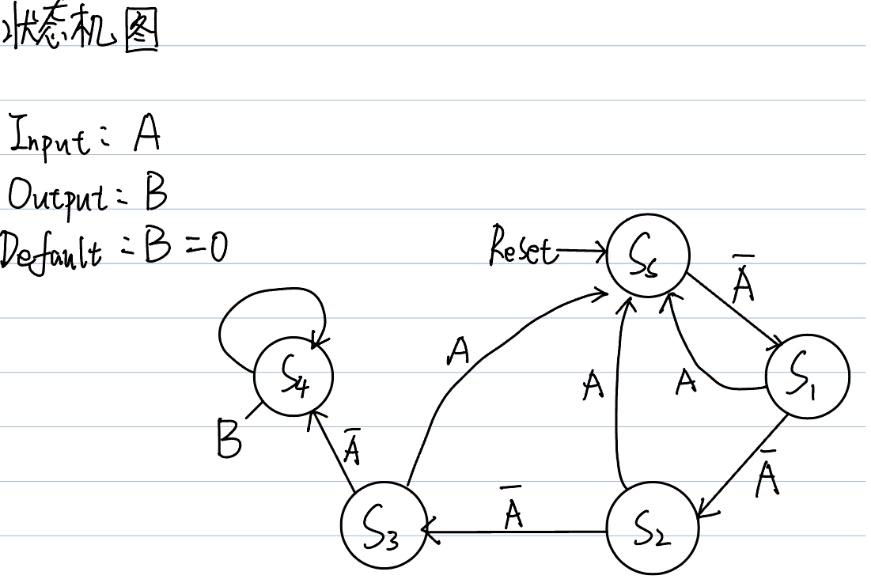
输出：二进制字符B

时序行为：当连续输入连续4个或4个以上的0时，输出1，其他情况下输出0 。

可能存在的状态：

* Ss:初始状态，输出0；
* S1:连续接收到第一个0，为未完成状态，输出0；
* S2:连续接收到第二个0，未完成状态，输出0；
* S3:连续接收到第三个0，为未完成状态，输出0；
* S4:连续接收到第四个0，为完成状态，输出1；
  1. **形式化**

状态机图绘制如下。

根据状态机图，可以绘制出如下状态表。

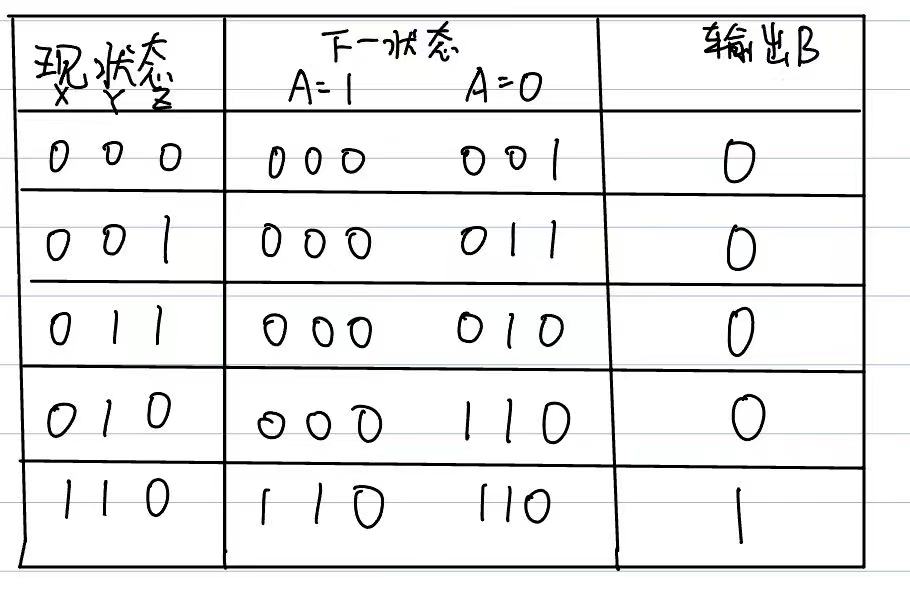


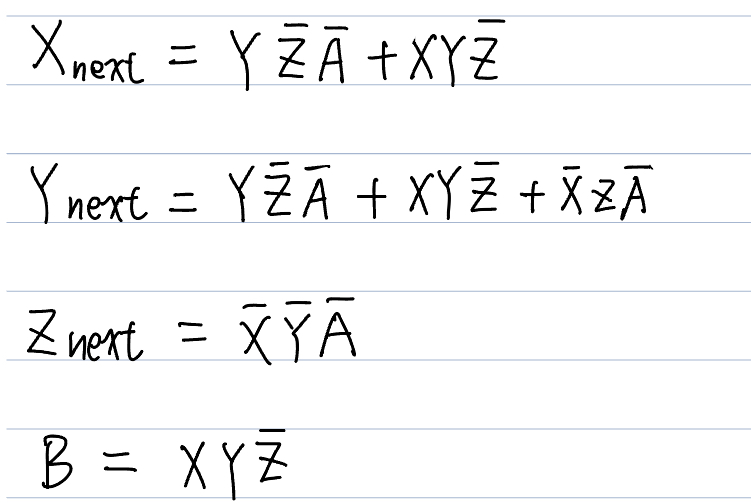
* 1. **状态分配**

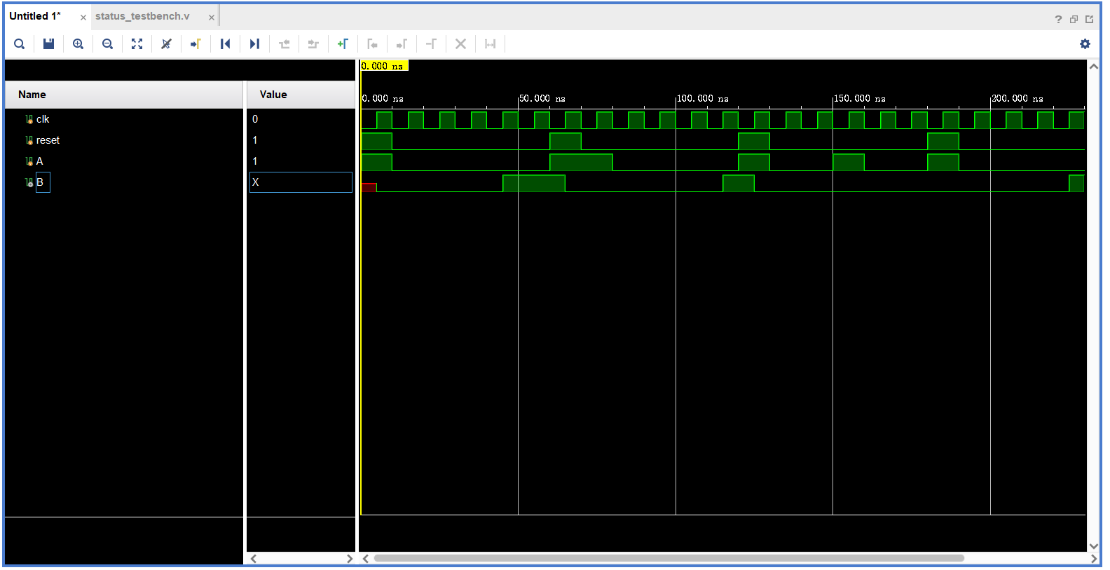
采用格雷码赋值方法，将状态一一赋值为：

* Ss:000
* S1:001
* S2:011
* S3:010
* S4: 110

因而电路需要采用三位寄存器X、Y、Z记录状态机状态。

获得如下真值表。

对应获得该状态机的函数为

1. **电路实现**
2. `timescale 1ns/1ps
3. module status(
4. input wire A,//输入
5. input wire clk,//时钟信号
6. input wire reset,//复位信号
7. output wire B//输出
8. );
9. reg X,Y,Z;//三个寄存器，储存状态机状态
10. assign B=X&&Y&&!Z;
11. always @(posedge clk) begin//时钟上沿触发
12. if(!reset)begin
13. X<=(Y&&!Z&&!A)||(X&&Y&&!Z);
14. Y<=(Y&&!Z&&!A)||(X&&Y&&!Z)||(!X&&Z&&!A);
15. Z<=!X&&!Y&&!A;
16. end
17. else begin
18. X<=0;
19. Y<=0;
20. Z<=0;
21. end
22. end
23. endmodule
24. **电路验证**
    1. **TestBench**
25. `timescale 1ns/1ps
26. module status\_testbench();
27. parameter PERIOD = 10;//时间周期
28. reg clk;//时钟信号，每5ns反转
29. initial begin
30. clk = 0 ;
31. forever begin
32. #(PERIOD/2) clk = ~clk;
33. end
34. end
35. reg reset;//复位信号
36. initial begin
37. reset=1;
38. forever begin
39. #(PERIOD) reset=0;
40. #(PERIOD\*5) reset=1;
41. end
42. end
44. reg A;
45. initial begin
46. //复位位置
47. A=1;
48. //测试串1：00000
49. #PERIOD A=0;
50. #PERIOD A=0;
51. #PERIOD A=0;
52. #PERIOD A=0;
53. #PERIOD A=0;
54. //复位位置
55. #PERIOD A=1;
56. //测试串2：10000
57. #PERIOD A=1;
58. #PERIOD A=0;
59. #PERIOD A=0;
60. #PERIOD A=0;
61. #PERIOD A=0;
62. //复位位置
63. #PERIOD A=1;
64. //测试串3：00100
65. #PERIOD A=0;
66. #PERIOD A=0;
67. #PERIOD A=1;
68. #PERIOD A=0;
69. #PERIOD A=0;
70. //复位位置
71. #PERIOD A=1;
72. //测试串4：00001
73. #PERIOD A=0;
74. #PERIOD A=0;
75. #PERIOD A=0;
76. #PERIOD A=0;
77. #PERIOD A=1;
78. //结束测试
79. $stop;
80. end
81. wire B;
82. //模块实例化
83. status status\_test(
84. .A(A),
85. .clk(clk),
86. .reset(reset),
87. .B(B)
88. );
89. endmodule
90. 1. **仿真结果**

根据波形，对几个测试字符串，输出结果都为正确结果。

1. **实验心得**

本实验中，实现了一个比较简单的时序电路，实验过程中出现的最大问题在于testbench编写时的语法问题。本人也是通过这一实验，了解了在initial语句块中不能包含always块，即过程块不能相互包含的语法规则。