

Universidad de Guadalajara  
Centro Universitario de Ciencias Exactas e Ingenierías



División de Electrónica y Computación  
Departamento de Ciencias Computacionales  
Licenciatura en Ingeniería en Computación

Arquitectura de computadoras

Clave: CC210 Sección: D02

19:00 – 20:55 Martes Jueves

Reporte Actividad 1.

Berrospe Barajas Héctor Eduardo

18-Febrero-2016

López Arce Delgado Jorge Ernesto

## Introducción

Se mostrara la tabla de verdad y el diagrama de un sumador de dos bits

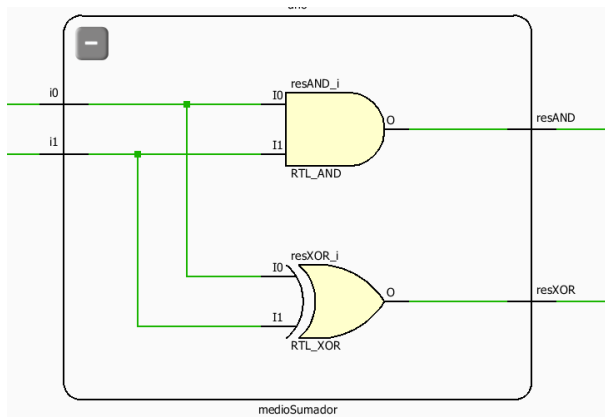
## Objetivos

Realizar un sumador de dos bits en VERILOG

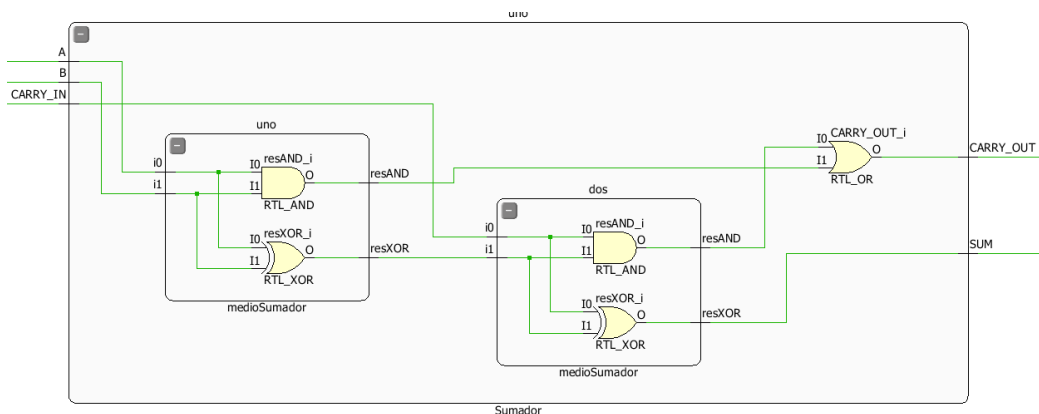
## Desarrollo

Para realizar un sumador de dos bits es necesario saber sus componentes, utilizamos Half Adder (medio sumador) , Full Adder (sumador completo) y por ultimo realizamos el sumador de dos bits

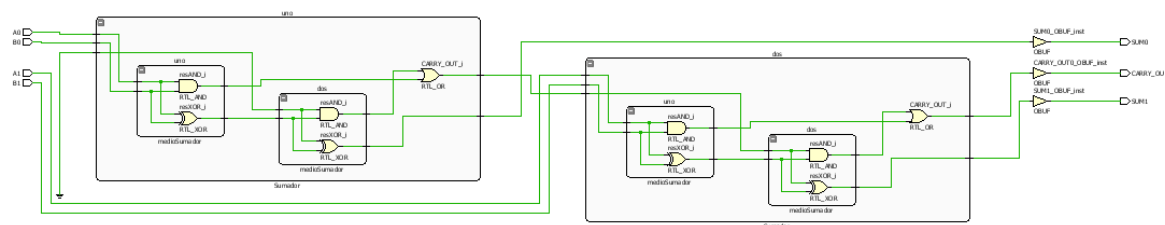
La imagen siguiente es un half adder , consta de dos entradas A, B en donde estas entradas realizan dos operaciones una es un AND entre A y B y la otra es un XOR entre las mismas variables, es decir A y B.



Un sumador completo esta compuesto por dos half adder , el sumador completo debe de llevar 3 entradas , A,B y C (Carry in) y 2 salidas, una de esas salidas representa la suma y la otra salida representa el acarreo que va salir, las variables de los acarreo sirven por que, al crear un sumador de dos bits se necesitan dos sumadores completos, y uno de los sumadores completos debe de recibir el acarreo si es que existe uno. En la figura siguiente se muestra el sumador completo



El sumador de dos bits consta de dos Full Adder, aquí se muestra en la figura lo que se explicó anteriormente sobre las variables de acarreo, muestra como en el primero de nuestros sumadores no tiene un valor definido, y en el segundo sumador entra el acarreo del primer sumador, enseguida de la figura se muestra el comportamiento de nuestro sumador de dos bits



#	A1	A0	B1	B0	C	S1	S0
0	0	0	0	0	0	0	0
1	0	0	0	1	0	0	1
2	0	0	1	0	0	1	0
3	0	0	1	1	0	1	1
4	0	1	0	0	0	0	1
5	0	1	0	1	0	1	0
6	0	1	1	0	0	1	1
7	0	1	1	1	1	0	0
8	1	0	0	0	0	1	0
9	1	0	0	1	0	1	1
10	1	0	1	0	1	0	0
11	1	0	1	1	1	0	1
12	1	1	0	0	0	1	1
13	1	1	0	1	1	0	0
14	1	1	1	0	1	0	1
15	1	1	1	1	1	1	0

Conclusiones