DIPARTIMENTO DI ELETTRONICA E TELECOMUNICAZIONI
Corso di Laurea Magistrale in Ingegneria Elettronica

Sistemi Elettronici a Basso Consumo
LABORATORIO 1

Power estimation
Probabilistic techniques

Prof. Maurizio Zamboni

25 marzo 2024
Gruppo 8
Laboratorio LED2

Bricco Letizia 328719
Caviasso Lorenzo 331706
Olivieri Vincenzo 324328

A.A. 2023/2024

Indice

1 Statistica di gate logici elementari **4**
1.1 Determinazione dei valori teorici 4
1.2 Simulazioni ModelSim 6

2 Statistica di un RCA **7**
2.1 Determinazione teorica della statistica di HA e FA 7
2.1.1 Half adder 7
2.1.2 Full adder 8
2.1.3 Ripple Carry Adder 9
2.2 Simulazione ModelSim di un RCA 10

3 Sintesi e analisi di potenza di un RCA **10**

4 Generazione e propagazione dei glitch in un mux **14**
4.1 Simulazione ModelSim di un multiplexer 2 to 1 14
4.2 Simulazione ModelSim di una semplice rete combinatoria 15

5 Statistica di un contatore sincrono **16**
5.1 Simulazione ModelSim di un contatore a 8 bit 16
5.2 Variazione del parallelismo e del periodo di clock 17
5.3 Simulazione ModelSim di un decoder 3 to 8 19

A Report ModelSim **31**
A.1 Porte NOT, AND, OR e XOR 31
A.1.1 Simulazione per 10 ns 31
A.1.2 Simulazione per 100 ns 31
A.1.3 Simulazione per 1 µs 32
A.1.4 Simulazione per 10 µs 33
A.1.5 Simulazione per 100 µs 33
A.2 Porte NAND, NOR, XNOR 34
A.2.1 Simulazione per 10 ns 34
A.2.2 Simulazione per 100 ns 34
A.2.3 Simulazione per 1 µs 35
A.2.4 Simulazione per 10 µs 36
A.2.5 Simulazione per 100 µs 36
A.3 Ripple Carry Adder 37
A.3.1 Simulazione per 10 ns 37
A.3.2 Simulazione per 100 ns 38
A.3.3 Simulazione per 1 µs 39
A.3.4 Simulazione per 10 µs 41
A.3.5 Simulazione per 100 µs 42
A.4 Synchronous counter 43
A.4.1 Simulazione con periodo di clock pari a 2 ns 43
A.4.2 Simulazione con periodo di clock pari a 0.8 ns 44

B Report Synopsys **46**
B.1 Report timing . . . 46
B.2 Report power . . . 47
B.3 Hierarchical report power . . . 48
B.4 Report power FAI1 . . . 49
B.5 Report power FAI8 . . . 50
B.6 Cell report power FAI1 . . . 51
B.7 Cell report power FAI8 . . . 51
B.8 Net verbose report power FAI1 . . . 52
B.9 Net verbose report power RCA . . . 54

C Descrizione dell'hardware **56**
C.1 Gate elementari . . . 56
C.1.1 Porte NOT, AND, OR e XOR . . . 56
C.1.2 Porte NAND, NOR e XNOR . . . 57
C.2 Sommatore . . . 58
C.2.1 Full adder . . . 58
C.2.2 Ripple carry adder . . . 59
C.2.3 Testbench . . . 60
C.3 Catena di porte AND . . . 61
C.4 Albero di porte AND . . . 62
C.5 Decoder 3 to 8 . . . 63
C.5.1 D flip-flop . . . 63
C.5.2 Decoder 1 to 2 . . . 63
C.5.3 Decoder 3 to 8 . . . 64
C.5.4 Testbench . . . 65

D Codice C++ per il calcolo dell'attività di un RCA **67**
D.1 Classe FullAdder . . . 67
D.2 Main . . . 68

Sommario

Questa esperienza di laboratorio si propone di stimare i consumi di potenza dinamica di alcuni semplici blocchi logici, con l'ausilio del *metodo probabilistico*.

Secondo tale tecnica, la statistica delle uscite di un circuito è calcolabile applicando le regole basilari della teoria delle probabilità, note la statistica degli ingressi e la funzione logica implementata all'interno del circuito stesso.

Attraverso opportuni tool di analisi, è possibile studiare nel dettaglio il comportamento dei nodi interni, determinando la loro attività e, di conseguenza, la potenza media dissipata, che risulta ad essa proporzionale.

Come è facile intuire, il metodo probabilistico ha diversi svantaggi:

- È implementabile solo su circuiti semplici ed ha una complessità computazionale molto elevata, che che lo rende eccessivamente oneroso per l'analisi di architetture complesse;
- Adotta un modello a ritardo nullo che ignora completamente l'attività di glitching, dunque la *switching activity* ottenuta non è altro che un *lower bound*; a causa delle commutazioni spurie, infatti, i consumi effettivi potrebbero essere decisamente maggiori di quanto preventivato;
- Mal si adatta ai circuiti sequenziali: infatti, per fare l'analisi di potenza di una FSM è necessario conoscere le probabilità dei segnali in ingresso ma, dal momento che esse dipendono anche dall'evoluzione di stato, si dovrebbe conoscere a priori anche la storia precedente della macchina, il che è possibile solo conducendo delle campagne di simulazioni.

Ciononostante, il metodo probabilistico può essere utile dal punto di vista didattico, per acquisire dimestichezza con le nozioni di ***switching activity*** e **consumo di potenza dinamico**.

In altre parole, l'obiettivo di questo laboratorio è apprendere i concetti di base da applicare, con tecniche più efficaci di quella probabilistica, ad architetture complesse in cui lo studio dettagliato dell'attività dei singoli nodi non è fattibile.

Il report è articolato in cinque parti distinte:

1. Nella Sezione 1, si è studiata la statistica di alcuni gate logici elementari dal punto di vista sia teorico sia simulativo.
2. Nella Sezione 2, lo stesso tipo di analisi è stato condotto su un sommatore *ripple carry adder* con ingressi codificati su 8 bit.
3. Nella Sezione 3, lo stesso sommatore è stato sintetizzato con una libreria di celle a 45 nm per analizzarne più in dettaglio i consumi di potenza e confrontarli con i risultati della simulazione.
4. Nella Sezione 4, sono stati analizzati alcuni semplici circuiti combinatori (un multiplexer a due vie e una porta AND a quattro ingressi) per valutare l'impatto dei glitch sull'attività e sui consumi di potenza.
5. Infine, nella Sezione 5 si è studiato l'effetto dei ritardi sui valori di conteggio calcolati da un contatore sincrono al variare del periodo di clock e del parallelismo del contatore.

L'esperienza è stata condotta in ambiente Unix sul server `led-x3850-2.polito.it`, su cui è presente il sistema operativo CentOS 7.

Le simulazioni sono state effettuate con il software Questa Sim by Menthor Graphics che, contrariamente alla versione di ModelSim in uso agli studenti, consente di analizzare l'hardware dal punto di vista dell'attività e del rate di commutazione dei segnali.

Le operazioni di sintesi, invece, sono state condotte con il tool Synopsys Design Compiler e l'interfaccia grafica Synopsys Design Vision.

Inoltre, alcuni dei risultati sono stati verificati, per completezza, con un semplice script in linguaggio C++.

1 Statistica di gate logici elementari

Il primo esercizio dell'esperienza di laboratorio si articola in due parti:

- Valutare la statistica di alcuni gate logici elementari dal punto di vista teorico, implementando le tecniche del metodo probabilistico;
- Verificare la correttezza dei calcoli svolti mediante una simulazione ModelSim e analizzare i *power report* generati durante quest'ultima.

1.1 Determinazione dei valori teorici

Prima di procedere ai calcoli veri e propri, è doverosa una breve introduzione teorica. Si consideri un segnale stocastico $[0, +\infty) \ni t \mapsto g(t) \in \{0, 1\}$ che può assumere solo i valori booleani '0' e '1'; il suo valor medio $\mathbb{E}[g]$ si definisce come segue:

$$\mathbb{E}[g] := \lim_{T \to +\infty} \frac{1}{2T} \int_{-T}^{+T} g(t)\, \mathrm{d}t. \tag{1.1}$$

Dal momento che g è una variabile booleana, il valor medio del segnale coincide con la **probabilità** che esso assuma il valore logico '1'; la (1.1) è dunque il punto di partenza per la valutazione della statistica di un circuito:

$$\mathbb{E}[g] \equiv \mathbb{P}(g). \tag{1.2}$$

Analogamente, l'**attività** o ***switching activity*** di g in un periodo T, che si denota con $\mathcal{A}(g)$ o $E_{\mathrm{sw}}(g)$, si definisce come segue:

$$\mathcal{A}(g) \equiv E_{\mathrm{sw}}(g) := \lim_{T \to +\infty} \frac{n_g(T)}{T}, \tag{1.3}$$

dove $n_g(T)$ è il numero di transizioni che g subisce in un intervallo di ampiezza T. In altre parole, $\mathcal{A}(g)$ rappresenta il la probabilità di commutazione di g nell'unità di tempo o, nel caso di un sistema sincrono, in un periodo di clock.

Le Equazioni (1.1) e (1.3) possono apparire molto astratte: per questo motivo, a livello pratico, la statistica dei circuiti si valuta di volta in volta ricorrendo alle regole basilari del calcolo delle probabilità. In particolare, per la *switching activity* può essere utile la seguente formula:

$$\mathcal{A}(g) := \mathbb{P}(g)\,\mathbb{P}(\bar{g}) + \mathbb{P}(\bar{g})\,\mathbb{P}(g) = 2\mathbb{P}(g)\,\mathbb{P}(\bar{g}) = 2\mathbb{P}(g)\Big(1 - \mathbb{P}(g)\Big). \tag{1.4}$$

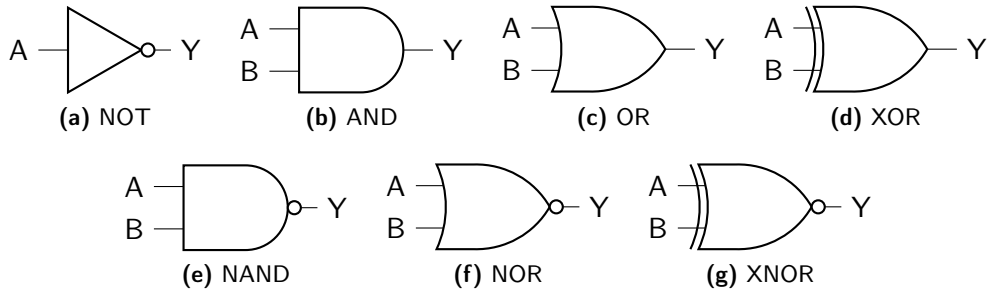
A titolo di esempio, nel seguito sono riportati i calcoli delle probabilità delle uscite delle porte logiche riportate in Figura 1.1, nell'ipotesi che gli ingressi siano *incorrelati* ed *equiprobabili*, i.e., $\mathbb{P}(\mathrm{A}) = \mathbb{P}(\mathrm{B}) = 0.5$:

Porta NOT (inverter). $\mathrm{Y} = \bar{\mathrm{A}}$:

$$\mathbb{P}(\mathrm{Y}) = \mathbb{P}(\bar{\mathrm{A}}) = 1 - \mathbb{P}(\mathrm{A}) = \frac{1}{2}. \tag{1.5}$$

Porta AND. $\mathrm{Y} = \mathrm{AB}$:

$$\mathbb{P}(\mathrm{Y}) = \mathbb{P}(\mathrm{AB}) \equiv \mathbb{P}(\mathrm{A} \cap \mathrm{B}) = \mathbb{P}(\mathrm{A})\,\mathbb{P}(\mathrm{B}) = \frac{1}{4}. \tag{1.6}$$



(a) NOT **(b)** AND **(c)** OR **(d)** XOR

(e) NAND **(f)** NOR **(g)** XNOR

Figura 1.1: Gate logici elementari.

Porta OR. $Y = A + B$:

$$\mathbb{P}(Y) = \mathbb{P}(A + B) \equiv \mathbb{P}(A \cup B) = \mathbb{P}(A) + \mathbb{P}(B) - \mathbb{P}(A \cap B) = \frac{3}{4}. \tag{1.7}$$

Porta XOR. $Y = A \oplus B$:

$$\begin{aligned}\mathbb{P}(Y) = \mathbb{P}(A \oplus B) = \mathbb{P}\left(A\bar{B} + \bar{A}B\right) = \mathbb{P}\left(A\bar{B}\right) + \mathbb{P}\left(\bar{A}B\right) - \underbrace{\mathbb{P}\left(A\bar{B} \cap \bar{A}B\right)}_{=0} = \\ = \mathbb{P}\left(A\bar{B}\right) + \mathbb{P}\left(\bar{A}B\right) = \mathbb{P}(A)\,\mathbb{P}\left(\bar{B}\right) + \mathbb{P}\left(\bar{A}\right)\mathbb{P}(B) = \\ = \mathbb{P}(A) + \mathbb{P}(B) - 2\mathbb{P}(A)\,\mathbb{P}(B) = \frac{1}{2}.\end{aligned} \tag{1.8}$$

Porta NAND. $Y = \overline{AB}$:

$$\mathbb{P}(Y) = \mathbb{P}\left(\overline{AB}\right) = 1 - \mathbb{P}(AB) = \frac{3}{4}. \tag{1.9}$$

Porta NOR. $Y = \overline{A + B}$:

$$\mathbb{P}(Y) = \mathbb{P}\left(\overline{A + B}\right) = 1 - \mathbb{P}(A + B) = \frac{1}{4}. \tag{1.10}$$

Porta XNOR. $Y = \overline{A \oplus B}$:

$$\mathbb{P}(Y) = \mathbb{P}\left(\overline{A \oplus B}\right) = 1 - \mathbb{P}(A \oplus B) = \frac{1}{2}. \tag{1.11}$$

Le corrispondenti attività sono ricavabili dall'Equazione (1.4):

$$\mathcal{A}\left(\bar{A}\right) = \frac{1}{2}, \tag{1.12a}$$

$$\mathcal{A}(AB) \equiv \mathcal{A}\left(\overline{AB}\right) = \frac{3}{8}, \tag{1.12b}$$

$$\mathcal{A}(A + B) \equiv \mathcal{A}\left(\overline{A + B}\right) = \frac{3}{8}, \tag{1.12c}$$

$$\mathcal{A}(A \oplus B) \equiv \mathcal{A}\left(\overline{A \oplus B}\right) = \frac{1}{2}. \tag{1.12d}$$

Tabella 1.1: Attività porte NOT, AND, OR e XOR.

	$t_{sim} = 10\,ns$		$t_{sim} = 100\,ns$		$t_{sim} = 1\,\mu s$		$t_{sim} = 10\,\mu s$		$t_{sim} = 100\,\mu s$	
Porta	T_c	$\mathcal{A}$	T_c	$\mathcal{A}$	T_c	$\mathcal{A}$	T_c	$\mathcal{A}$	T_c	$\mathcal{A}$
NOT	1	0.1	43	0.43	533	0.533	4916	0.4916	49 967	0.499 67
AND	0	0.0	40	0.40	418	0.418	3606	0.3606	37 384	0.373 84
OR	4	0.4	42	0.42	352	0.352	3784	0.3784	37 541	0.375 41
XOR	4	0.4	44	0.44	470	0.470	4876	0.4876	49 939	0.499 39

Tabella 1.2: Attività porte NAND, NOR e XNOR.

	$t_{sim} = 10\,ns$		$t_{sim} = 100\,ns$		$t_{sim} = 1\,\mu s$		$t_{sim} = 10\,\mu s$		$t_{sim} = 100\,\mu s$	
Porta	T_c	$\mathcal{A}$	T_c	$\mathcal{A}$	T_c	$\mathcal{A}$	T_c	$\mathcal{A}$	T_c	$\mathcal{A}$
NAND	0	0.0	40	0.40	418	0.418	3606	0.3606	37 384	0.373 84
NOR	4	0.4	42	0.42	352	0.352	3784	0.3784	37 541	0.375 41
XNOR	4	0.4	44	0.44	470	0.470	4876	0.4876	49 939	0.499 39

1.2 Simulazioni ModelSim

Alla luce dei calcoli esposti nel paragrafo precedente, è stata eseguita una simulazione ModelSim delle porte logiche di interesse con l'obiettivo di ottenere un riscontro pratico dei valori determinati teoricamente.

In particolare, sono state utilizzate due testbench:

- La prima, fornita prima dell'esercitazione di laboratorio e riportata in Appendice C.1.1, contiene la descrizione delle porte NOT, AND, OR e XOR; gli ingressi sono numeri pseudo casuali generati da un LFSR (*linear feedback shift register*) a 16 bit;
- La seconda è stata ottenuta direttamente dalla prima apportando delle minime modifiche ed è riportata in Appendice C.1.2: contiene la descrizione delle porte logiche NAND, NOR e XNOR con ingressi forniti dal LFSR.

Ognuna delle due testbench è stata eseguita allungando progressivamente il tempo di simulazione, da $t_{sim} = 10\,ns$ a $t_{sim} = 100\,\mu s$. Per estrarre i dati sulla potenza da ModelSim, è stato necessario utilizzare qualche comando aggiuntivo:

- `power add *` (prima di eseguire la simulazione): abilita il calcolo dell'attività e della probabilità di tutti i segnali della simulazione.
- `power report` (dopo aver eseguito la simulazione): restituisce un report che contiene quante commutazioni ha subito ogni segnale (T_c) e quanto tempo ogni segnale è stato ai valori logici '1' o '0'. È possibile salvare questo report in un file estendendo il comando in questo modo:

```
power report -file <filename>
```

Inserendo i comandi sopracitati in un semplice script, da eseguire nella shell di ModelSim con il comando

```
do <scriptname>
```

sono stati ottenuti i *power report* osservabili nelle Appendici A.1 e A.2.

I valori di T_c e dell'attività dei nodi di uscita di tutte le porte sono riassunti nelle tabelle 1.2 e 1.1. In particolare, le attività sono state ottenute usando la formula

$$\mathcal{A} = \frac{T_c}{N_{ck}} = 2\,\frac{T_c}{T_c(\mathrm{CLK})}, \tag{1.13}$$

dove $N_{ck} = T_c(\mathrm{CLK})/2$ è il numero di cicli di clock che definisce la durata della simulazione.

Si può osservare che i risultati ottenuti dai calcoli teorici sono praticamente coincidenti con i risultati simulativi. In particolare, all'aumentare del tempo di simulazione, i risultati di questa tendono ai valori calcolati a mano.

2 Statistica di un RCA

In questa parte dell'esperienza, è richiesto di studiare nel dettaglio la statistica di un *ripple carry adder* (RCA) adottando il metodo probabilistico. In particolare, l'esercizio è costituito dai seguenti punti:

- Inizialmente, è necessario calcolare teoricamente la statistica dei blocchi costituenti il RCA, i.e., l'*half adder* (HA) e il *full adder* (FA), usando le stesse tecniche implementate nel paragrafo 1.1;
- In seguito, si deve simulare il RCA con ModelSim, analizzare i *power report* e determinare l'attività complessiva del sommatore al variare dei ritardi di computazione della somma e del carry.

2.1 Determinazione teorica della statistica di HA e FA

2.1.1 Half adder

Si consideri un HA con ingressi A e B e siano

$$a := \mathbb{P}(\mathrm{A}), \quad b := \mathbb{P}(\mathrm{B}) \tag{2.1}$$

le rispettive probabilità. La tabella di verità delle uscite S (somma) e C (carry) è la seguente:

A	B	$\mathrm{S} = \mathrm{A} \oplus \mathrm{B}$	$\mathrm{C} = \mathrm{AB}$
0	0	0	0
0	1	1	0
1	0	1	0
1	1	0	1

Assumendo che A e B siano incorrelati ed utilizzando le regole basilari del calcolo probabilistico, si ricavano immediatamente le probabilità delle uscite:

$$\mathbb{P}(\mathrm{S}) = \mathbb{P}(\mathrm{A} \oplus \mathrm{B}) = \mathbb{P}(\mathrm{A}) + \mathbb{P}(\mathrm{B}) - 2\mathbb{P}(\mathrm{A})\,\mathbb{P}(\mathrm{B}) = a + b - 2ab, \tag{2.2}$$

$$\mathbb{P}(\mathrm{C}) = \mathbb{P}(\mathrm{AB}) = \mathbb{P}(\mathrm{A})\,\mathbb{P}(\mathrm{B}) = ab. \tag{2.3}$$

Le attività, invece, si ricavano direttamente dalla definizione ((1.4)). Nel caso particolare di ingressi *incorrelati* ed *equiprobabili* si ottengono i seguenti valori:

$$\begin{cases} \mathbb{P}(\mathrm{S}) = \dfrac{1}{2} \\ \mathcal{A}(\mathrm{S}) = \dfrac{1}{2} \end{cases} \qquad \begin{cases} \mathbb{P}(\mathrm{C}) = \dfrac{1}{4} \\ \mathcal{A}(\mathrm{C}) = \dfrac{3}{8} \end{cases} \tag{2.4}$$

2.1.2 Full adder

Si consideri ora un FA con ingressi A, B e $\mathrm{C_{in}}$, la cui descrizione VHDL è riportata in Appendice C.2.1, e siano

$$a := \mathbb{P}(\mathrm{A}), \quad b := \mathbb{P}(\mathrm{B}), \quad c := \mathbb{P}(\mathrm{C_{in}}) \tag{2.5}$$

le rispettive probabilità. La tabella di verità delle uscite S (somma) e $\mathrm{C_{out}}$ (carry out) è la seguente:

A	B	$\mathrm{C_{in}}$	$\mathrm{S = A \oplus B \oplus C_{in}}$	$\mathrm{C_{out} = AB + AC_{in} + BC_{in}}$
0	0	0	0	0
0	0	1	1	0
0	1	0	1	0
0	1	1	0	1
1	0	0	1	0
1	0	1	0	1
1	1	0	0	1
1	1	1	1	1

Nelle equazioni seguenti è riportata la derivazione formale della probabilità delle uscite, ottenuta mediante l'applicazione delle regole basilari del calcolo delle probabilità:

$$\begin{aligned} \mathbb{P}(\mathrm{S}) &= \mathbb{P}(\mathrm{A} \oplus \mathrm{B} \oplus \mathrm{C_{in}}) = \mathbb{P}((\mathrm{A} \oplus \mathrm{B}) \oplus \mathrm{C_{in}}) = \\ &= \mathbb{P}(\mathrm{A} \oplus \mathrm{B}) + \mathbb{P}(\mathrm{C_{in}}) - 2\mathbb{P}(\mathrm{A} \oplus \mathrm{B})\,\mathbb{P}(\mathrm{C_{in}}) = \\ &= (1-2c)(a+b-2ab) + c \end{aligned} \tag{2.6}$$

$$\begin{aligned} \mathbb{P}(\mathrm{C_{out}}) &= \mathbb{P}(\mathrm{AB} + \mathrm{AC_{in}} + \mathrm{BC_{in}}) = \\ &= \mathbb{P}(\mathrm{AB}) + \mathbb{P}(\mathrm{AC_{in}}) + \mathbb{P}(\mathrm{BC_{in}}) - 2\mathbb{P}(\mathrm{ABC_{in}}) = \\ &= ab + c(a+b-2ab). \end{aligned} \tag{2.7}$$

Allo stesso risultato si poteva giungere, in maniera più semplice, semplicemente osservando la tabella di verità:

$$\begin{aligned} \mathbb{P}(\mathrm{S}) &= \mathbb{P}\left(\bar{\mathrm{A}}\bar{\mathrm{B}}\mathrm{C_{in}}\right) + \mathbb{P}\left(\bar{\mathrm{A}}\mathrm{B}\bar{\mathrm{C}}_{\mathrm{in}}\right) + \mathbb{P}\left(\mathrm{A}\bar{\mathrm{B}}\bar{\mathrm{C}}_{\mathrm{in}}\right) + \mathbb{P}(\mathrm{ABC_{in}}) = \\ &= (1-a)(1-b)c + (1-a)(1-c)b + (1-b)(1-c)a + abc = \\ &= a + b + c - 2ab - 2bc - 2ac + 4abc = \\ &= (1-2c)(a+b-2ab) + c \end{aligned} \tag{2.8}$$

$$\begin{aligned} \mathbb{P}(\mathrm{C_{out}}) &= \mathbb{P}\left(\bar{\mathrm{A}}\mathrm{BC_{in}}\right) + \mathbb{P}\left(\mathrm{A}\bar{\mathrm{B}}\mathrm{C_{in}}\right) + \mathbb{P}\left(\mathrm{AB}\bar{\mathrm{C}}_{\mathrm{in}}\right) + \mathbb{P}(\mathrm{ABC_{in}}) = \\ &= (1-a)bc + (1-b)ac + (1-c)ab + abc = \end{aligned}$$

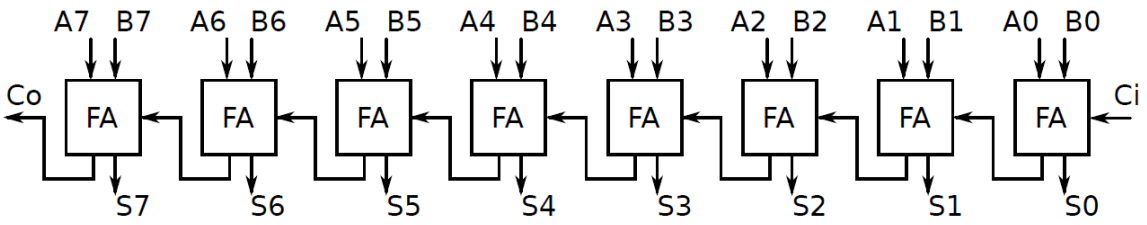


Figura 2.1: Schema circuitale di un RCA a 8 bit.

$$= ab + c(a + b - 2ab) \tag{2.9}$$

Utilizzando le formule appena derivate, calcoliamo probabilità e attività di $\mathcal{S}$ e $\mathrm{C_{out}}$ nei seguenti casi particolari:

1. Ingressi incorrelati ed equiprobabili: $a = b = 0.5$, $c \in [0, 1]$:

$$\begin{cases} \mathbb{P}(\mathrm{S}) = \dfrac{1}{2} \ \forall c \in [0,1] \\ \mathcal{A}(\mathrm{S}) = \dfrac{1}{2} \ \forall c \in [0,1] \end{cases} \quad \begin{cases} \mathbb{P}(\mathrm{C_{out}}) = \dfrac{1+2c}{4} \\ \mathcal{A}(\mathrm{C_{out}}) = \dfrac{(1+2c)(3-2c)}{8} \end{cases} \tag{2.10}$$

2. Ingressi incorrelati ma non equiprobabili: $a = 0.4$, $b = 0.6$, $c \in [0, 1]$:

$$\begin{cases} \mathbb{P}(\mathrm{S}) = \dfrac{13-c}{25} \\ \mathcal{A}(\mathrm{S}) = \dfrac{2(13-c)(12+c)}{625} \end{cases} \quad \begin{cases} \mathbb{P}(\mathrm{C_{out}}) = \dfrac{6+13c}{25} \\ \mathcal{A}(\mathrm{C_{out}}) = \dfrac{2(6+13c)(19-13c)}{625} \end{cases} \tag{2.11}$$

2.1.3 Ripple Carry Adder

Una volta analizzati l'HA e il FA, è possibile studiare il sommatore completo. Si consideri a tale scopo il RCA a 8 bit riportato in Figura 2.1 e descritto in VHDL in Appendice C.2.2; si assuma che tutti gli ingressi siano equiprobabili e che valga

$$\mathbb{P}(\mathrm{A}_i) = \mathbb{P}(\mathrm{B}_i) = \mathbb{P}(\mathrm{Ci}) = \frac{1}{2} \quad \forall i = 0, \dots, 7. \tag{2.12}$$

Sono verificate le ipotesi necessarie all'applicazione delle formule riportate in (2.10); pertanto, si può affermare che

$$\mathbb{P}(\mathrm{S}_i) = \mathbb{P}(\mathrm{C_{out},}_i) = \frac{1}{2}, \quad \mathcal{A}(\mathrm{S}_i) \equiv \mathcal{A}(\mathrm{C_{out},}_i) = \frac{1}{2} \quad \forall i = 0, \dots, 7, \tag{2.13}$$

da cui segue immediatamente che

$$\mathcal{A}(\mathrm{S}) = \sum_{i=0}^{7} \mathcal{A}(\mathrm{S}_i) = 8 \times \frac{1}{2} = 4 \tag{2.14a}$$

$$\mathcal{A}(\mathrm{Co}) \equiv \mathcal{A}(\mathrm{C_{out,7}}) = \frac{1}{2} \tag{2.14b}$$

I risultati qui riportati sono confermati da un semplice script realizzato in linguaggio C++ e riportato nell'Appendice D.

2.2 Simulazione ModelSim di un RCA

A questo punto, il *ripple carry adder* descritto nel paragrafo precedente è stato simulato con ModelSim utilizzando la testbench riportata in Appendice C.2.3. Per tenere conto dei ritardi di propagazione dei segnali, nella descrizione VHDL sono stati inseriti due opportuni parametri:

- **DRCAS**: ritardo di propagazione del bit di somma del singolo full adder, fissato a 0.025 ns;
- **DRCAC**: ritardo di propagazione del bit di carry di uscita del singolo full adder.

Sono state effettuate tre simulazioni ponendo, rispettivamente, DRCAC = 0 ns, DRCAC = 0.025 ns e DRCAC = 0.030 ns. I power report completi delle simulazioni sono riportati in Appendice A.3, mentre i risultati più significativi sono riassunti nelle Tabelle 2.1, 2.2, 2.3, 2.4, 2.5.

Si può notare che, nel caso DRCAC = 0 ns, i risultati di simulazione coincidono con i calcoli teorici; infatti, tutti i bit di somma hanno attività dell'ordine 0.5, mentre l'attività totale è circa 4. Ovviamente, l'approssimazione diventa migliore allungando il tempo di simulazione.

Questo risultato si spiega osservando che il bit di somma di un full adder non pilota nessun altra porta, quindi il fatto che ci sia o meno un ritardo sul segnale somma non cambia l'attività del RCA, a patto che i segnali di carry non abbiano ritardo: in questo caso tutti gli ingressi di tutti i full adder cambiano istantaneamente e quindi tutti i bit di somma cambiano contemporaneamente, con un ritardo di 0.025 ns rispetto al fronte del clock.

Nel caso DRCAC = 0.025 ns, si ottengono risultati diversi da quelli teorici: il bit di somma del primo full adder (S_0) mantiene un'attività pari a 0.5, ma i bit di somma successivi hanno attività crescenti e l'ultimo full adder (S_7) ha attività 1.2, praticamente più che raddoppiata rispetto al caso ideale. Anche l'attività totale è raddoppiata e il sommatore con DRCAC = 0.025 ns ha un overhead di circa 4 rispetto al sommatore senza ritardo sui carry.

Questi risultati sono dovuti al fatto che il segnale carry out di un full adder pilota il full adder successivo ma, poichè il carry out cambia con un ritardo rispetto ai due bit di ingresso A e B, il bit di somma può avere dei glitch.

I glitch non possono verificarsi nel primo full adder, perché, in simulazione, il suo carry di ingresso è stato fissato a 0, quindi è corretto che la sua attività coincida con quella teorica. Invece i full adder successivi risentono del ritardo accumulato sul percorso dei carry, quindi la probabilità che ci siano dei glitch è maggiore per l'ultimo full adder.

Osserviamo che il solo fatto di non lavorare con delle porte logiche ideali, ma con un circuito reale in cui possono esserci commutazioni spurie, porta a un raddoppio del consumo di potenza rispetto a ciò che è stato stimato con semplici calcoli probabilistici.

Non si osservano differenze nei power report e nelle simulazioni con DRCAC = 0.030 ns rispetto al caso DRCAC = 0.025 ns perché la differenza tra i due ritardi è troppo piccola per produrre variazioni apprezzabili.

3 Sintesi e analisi di potenza di un RCA

Il ripple carry adder analizzato nel punto precedente è stato sintetizzato con una libreria di celle 45 nm usando il software Synopsys, che permette di condurre un'analisi più accurata del consumo di potenza. Tutti i risultati ottenuti con Synopsys sono riportati in appendice B.

Per prima cosa è stata fatta un'analisi del timing, che calcola i ritardi lungo i percorsi combinatori: il percorso critico è risultato quello che parte dal carry di ingresso del sommatore e termina al carry di uscita, con un tempo di propagazione pari a 0.78 ns; conseguentemente è stato scelto

Tabella 2.1: $t_{\text{sim}} = 10\,\text{ns}$, $T_c(\text{CK}) = 20$

	DRCAC = 0		DRCAC = 0.025 ns		DRCAC = 0.03 ns	
Nodo	T_c	$\mathcal{A}$	T_c	$\mathcal{A}$	T_c	$\mathcal{A}$
S_7	3	0.3	3	0.3	3	0.3
S_6	4	0.4	4	0.4	4	0.4
S_5	3	0.3	3	0.3	3	0.3
S_4	1	0.1	1	0.1	1	0.1
S_3	3	0.3	3	0.3	3	0.3
S_2	3	0.3	3	0.3	3	0.3
S_1	2	0.2	2	0.2	2	0.2
S_0	4	0.4	4	0.4	4	0.4
Co	0	0	0	0	0	0
$\mathcal{A}(\text{S})$		2.3		2.3		2.3
$\Delta\mathcal{A}(\text{S})$		0		0		0
$\mathcal{A}(\text{Co})$		0		0		0
$\Delta\mathcal{A}(\text{Co})$		0		0		0

Tabella 2.2: $t_{\text{sim}} = 100\,\text{ns}$, $T_c(\text{CK}) = 200$

	DRCAC = 0		DRCAC = 0.025 ns		DRCAC = 0.03 ns	
Nodo	T_c	$\mathcal{A}$	T_c	$\mathcal{A}$	T_c	$\mathcal{A}$
S_7	40	0.40	112	1.12	112	1.12
S_6	51	0.51	101	1.01	101	1.01
S_5	52	0.52	92	0.92	92	0.92
S_4	43	0.43	85	0.85	85	0.85
S_3	47	0.47	99	0.99	99	0.99
S_2	52	0.52	96	0.96	96	0.96
S_1	51	0.51	95	0.95	95	0.95
S_0	44	0.44	44	0.44	44	0.44
Co	52	0.52	52	0.52	52	0.52
$\mathcal{A}(\text{S})$		3.80		7.24		7.24
$\Delta\mathcal{A}(\text{S})$		0		3.44		3.44
$\mathcal{A}(\text{Co})$		0.52		0.52		0.52
$\Delta\mathcal{A}(\text{Co})$		0		0		0

Tabella 2.3: $t_{\text{sim}} = 1\,\mu\text{s}$, $T_c(\text{CK}) = 2000$

	DRCAC = 0		DRCAC = 0.025 ns		DRCAC = 0.03 ns	
Nodo	T_c	$\mathcal{A}$	T_c	$\mathcal{A}$	T_c	$\mathcal{A}$
S_7	481	0.481	1243	1.243	1243	1.243
S_6	485	0.485	1179	1.179	1179	1.179
S_5	500	0.500	1076	1.076	1076	1.076
S_4	458	0.458	1070	1.070	1070	1.070
S_3	479	0.479	1111	1.111	1111	1.111
S_2	500	0.500	1060	1.060	1060	1.060
S_1	492	0.492	922	0.922	922	0.922
S_0	470	0.470	470	0.470	470	0.470
Co	638	0.638	638	0.638	638	0.638
$\mathcal{A}$ (S)		3.865		8.131		8.131
$\Delta\mathcal{A}$ (S)		0		4.266		4.266
$\mathcal{A}$ (Co)		0.638		0.638		0.638
$\Delta\mathcal{A}$ (Co)		0		0		0

Tabella 2.4: $t_{\text{sim}} = 10\,\mu\text{s}$, $T_c(\text{CK}) = 20\,000$

	DRCAC = 0		DRCAC = 0.025 ns		DRCAC = 0.03 ns	
Nodo	T_c	$\mathcal{A}$	T_c	$\mathcal{A}$	T_c	$\mathcal{A}$
S_7	4958	0.4958	11 884	1.1884	11 884	1.1884
S_6	4948	0.4948	11 546	1.1546	11 546	1.1546
S_5	5007	0.5007	10 537	1.0537	10 537	1.0537
S_4	4794	0.4794	10 954	1.0954	10 954	1.0954
S_3	4979	0.4979	10 825	1.0825	10 825	1.0825
S_2	5022	0.5022	10 454	1.0454	10 454	1.0454
S_1	5000	0.5000	8576	0.8576	8576	0.8576
S_0	4876	0.4876	4876	0.4876	4876	0.4876
Co	6107	0.6107	6107	0.6107	6107	0.6107
$\mathcal{A}$ (S)		3.9584		7.9652		7.9652
$\Delta\mathcal{A}$ (S)		0		4.0068		4.0068
$\mathcal{A}$ (Co)		0.6107		0.6107		6107
$\Delta\mathcal{A}$ (Co)		0		0		0

Tabella 2.5: $t_{\text{sim}} = 100\,\mu\text{s}$, $T_c(\text{CK}) = 200\,000$

	DRCAC = 0		DRCAC = 0.025 ns		DRCAC = 0.03 ns	
Nodo	T_c	$\mathcal{A}$	T_c	$\mathcal{A}$	T_c	$\mathcal{A}$
S_7	49 926	0.499 26	118 828	1.188 28	118 828	1.188 28
S_6	49 804	0.498 04	115 360	1.153 60	115 360	1.153 60
S_5	50 088	0.500 88	105 496	1.054 96	105 496	1.054 96
S_4	49 131	0.491 31	110 879	1.108 79	110 879	1.108 79
S_3	50 062	0.500 62	109 322	1.093 22	109 322	1.093 22
S_2	50 007	0.500 07	106 199	1.061 99	106 199	1.061 99
S_1	49 924	0.499 24	87 310	0.873 10	87 310	0.873 10
S_0	49 939	0.499 39	49 939	0.499 39	49 939	0.499 39
Co	61 633	0.616 33	61 633	0.616 33	61 633	0.616 33
$\mathcal{A}$ (S)		3.988 81		8.033 33		8.033 33
$\Delta\mathcal{A}$ (S)		0		4.044 52		4.044 52
$\mathcal{A}$ (Co)		0.616 33		0.616 33		61 633
$\Delta\mathcal{A}$ (Co)		0		0		0

un periodo di clock di 1 ns. A questo punto sono state fatte le analisi del consumo a diversi livelli di gerarchia.

Con il comando `report_power`, il software mostra la potenza consumata complessivamente dal sommatore, organizzata nei seguenti contributi:

- *leakage power*, il consumo statico dovuto alla conduzione sottosoglia dei transistor;
- *dynamic power*, la potenza consumata durante le commutazioni, a sua volta divisa in
  - *internal power*, potenza consumata all'interno di una cella, legata alle correnti di corto circuito e alla carica/scarica delle capacità interne;
  - *switching power*, potenza consumata da una cella per caricare e scaricare le capacità di carico in uscita.

Il ripple carry adder considerato ha un consumo complessivo di circa 27.43 µW, di cui solo 0.953 µW sono dovuti al leakage, mentre i restanti 26.48 µW sono potenza dinamica. Circa due terzi della potenza dinamica sono dati dal consumo interno (16.7 µW), solo un terzo è legato alle capacità di carico (9.7 µW).

Il comando

```
report_power -hier
```

permette di vedere il consumo dei blocchi interni all'architettura sintetizzata; nel caso del sommatore vengono mostrate *switching power*, *internal power* e *leakage power* di ogni full adder.

Ciò che è interessante notare in questo report è che i full adder hanno contributi simili, intorno al 12% della potenza totale, ma l'ultimo full adder ha una *switching power* minore degli altri (0.84 µW contro la media di 1.26 µW). Questo risultato si spiega osservando che l'ultimo full adder, a differenza degli altri, non ha nessuna porta logica di carico sul segnale di carry out, quindi la potenza di switching è ridotta.

Un'analisi più accurata può essere fatta guardando i consumi delle celle standard all'interno dei singoli full adder. Per fare questo ci si sposta all'interno di un full adder con il comando

```
current instance FAIx
```

dove `FAIx` è il nome del FA di interesse, e si richiede un power report aggiungendo l'opzione `-cell`.

Ogni full adder ha quattro celle, U1, U2, U3, U4, che sono descritte e caratterizzate nella libreria usata dal software per fare la sintesi. Per ogni cella vengono mostrati i tre contributi di potenza. Notare che la cella U2, che genera il segnale carry out di ogni full adder, consuma circa 5 volte meno potenza di switching nell'ultimo full adder (FAI8) rispetto al primo (FAI1), coerentemente con quanto osservato nel report precedente. Ovviamente la somma dei consumi delle quattro porte coincide, per ogni full adder, con il consumo ottenuto nell'analisi gerarchica (opzione `-hier`).

Se si esegue il comando

```
report power -net -verbose
```

vengono riportate informazioni dettagliate legate alla sola potenza di switching. Questa analisi è stata fatta sia all'interno di un full adder (FAI1), sia su tutto il ripple carry adder.

I report mostrano come le capacità di carico sulle reti dei carry (Co all'interno di un full adder, CTMP nel report su tutto il RCA) siano molto più grandi rispetto alle capacità di carico sui segnali di somma (S): circa 4.5 fF contro 0.3 fF, perchè i bit di somma dei full adder non pilotano nessuna porta logica. Di conseguenza i contributi alla *net switching power* delle reti S sono quasi nulli.

Infine, nei report viene comparata la potenza di switching alla potenza dinamica totale: la switching power è circa un terzo (30%) della potenza dinamica; chiaramente, tale risultato è uguale a quello ottenuto con la prima analisi.

4 Generazione e propagazione dei glitch in un mux

In questa parte del laboratorio è richiesto di studiare la generazione dei glitch in semplici circuiti combinatori. Si parte da un semplice multiplexer a due vie, il cui schema circuitale è riportato in Figura 4.1.

4.1 Simulazione ModelSim di un multiplexer 2 to 1

Il multiplexer è stato simulato nella condizione in cui i suoi ingressi sono lasciati fissi a 1 e il segnale di selezione viene cambiato da 1 a 0. Teoricamente non dovremmo vedere alcun cambiamento nel segnale Y, perchè gli ingressi A e B restano uguali.

Tuttavia, nella simulazione (tbmux21) si vede che il segnale Y ha una transizione in discesa a 1.0 ns e poi una in salita a 1.1 ns. Ciò accade perchè nella descrizione VHDL del multiplexer è stato inserito un ritardo di propagazione dell'inverter pari a 0.1 ns.

Teoricamente i segnali Z e X dovrebbero fare contemporaneamente una transizione in discesa e una in salita, rispettivamente, mantenendo a 1 l'uscita della porta OR; tuttavia, il tempo di propagazione da S a X è maggiore del tempo di propagazione da S a Z a causa dell'inverter, questo fa sì che ci sia un intervallo di 0.1 ns in cui sia Z sia X sono a 0, mandando momentaneamente a 0 anche l'uscita della porta *OR* e generando un glitch statico sul segnale Y.

I glitch sono un problema per il consumo di potenza, perchè sono transizioni inutili che comunque provocano la carica/scarica di capacità parassite o di carico. Poiché per caricare o scaricare una capacità a tensione V_{DD} è necessario fornire un'energia pari a

$$\mathcal{E} = \frac{1}{2} C V_{DD}^2 \tag{4.1}$$

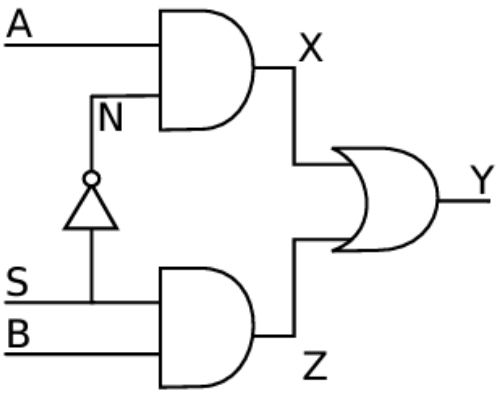


Figura 4.1: Schema circuitale di un multiplexer a due vie.

e un glitch statico è composto da due transizioni, l'energia sprecata a causa di un glitch è

$$\mathcal{E}_{\text{tot}} = 2\mathcal{E} = CV_{\text{DD}}^2, \tag{4.2}$$

dove C è la capacità associata al nodo dove il glitch si verifica.

4.2 Simulazione ModelSim di una semplice rete combinatoria

In Figura 4.2a è riportato un altro esempio di circuito combinatorio in cui possono verificarsi glitch. Si tratta di una semplice AND a quattro ingressi, realizzata con una **catena di porte AND a due ingressi**. Ipotizzando che A e B subiscano una transizione in salita e C e D una in discesa, ci si aspetterebbe di non vedere cambiamenti sul nodo di uscita X_3.

Invece, simulando il circuito (tb_glitch_chain) e assegnando dei ritardi di propagazione alle porte AND, si vede che l'uscita X_3 e il nodo interno X_2 sono entrambi affetti da un **glitch statico**.

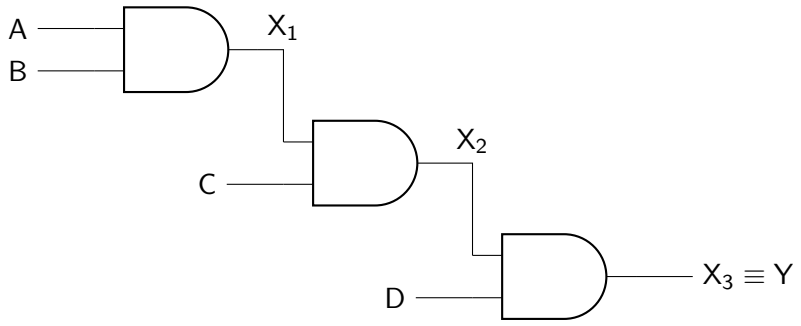
Il problema è lo stesso già riscontrato nel multiplexer: i ritardi di propagazione dai quattro ingressi all'uscita sono tutti diversi, ad eccezione di A e B, il che spiega perché su X_1 non appaiano glitch.

Vista la semplicità di questo circuito, ci aspettiamo che reti più complesse, con percorsi combinatori più lunghi, presentino una quantità molto maggiore di glitch, magari anche dinamici oltre che statici.

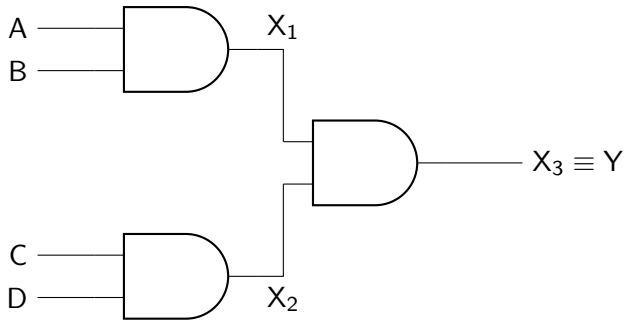
Il consumo di potenza legato ai glitch non deve, dunque, essere trascurato. In generale per ridurre i glitch in una rete combinatoria bisogna:

- ridurre la profondità degli stadi di logica, dividendo un percorso combinatorio con registri di pipeline;
- modificare la topologia, passando da configurazioni di tipo catena a quelle ad albero;
- rendere simili i ritardi di propagazione di tutti i percorsi combinatori;
- nella sintesi con mappe di Karnaugh, raggruppare in implicanti più grandi gli 1 adiacenti, evitando di avere due implicanti che si intersecano;

La figura 4.2b riporta un circuito che realizza la stessa funzione logica, ma con solo due stadi di logica. In questo esempio, utilizzando una **configurazione ad albero** invece che una catena, si eliminano i glitch sui nodi X_2 e X_3, ovviamente solo a patto che *tutte le porte AND abbiano lo stesso ritardo di propagazione* (tb_glitch_tree).



(a) Configurazione a catena



(b) Configurazione ad albero

Figura 4.2: Differenti implementazioni della funzione logica Y = ABCD.

Ricordiamo che le topologie ad albero fanno aumentare la *switching activity* dei nodi interni, quindi le considerazioni sui vantaggi e sugli svantaggi delle due configurazioni non sono assolute e la soluzione migliore dipende dal particolare circuito da realizzare.

Questo semplice esempio, tuttavia, mostra tutte le limitazioni del metodo probabilistico, che utilizza un modello di ritardo *zero-delay* e, quindi, non prevede l'esistenza di glitch portando, nella maggior parte dei casi, ad una significativa sottostima della potenza consumata.

5 Statistica di un contatore sincrono

L'ultimo punto del laboratorio riguarda lo studio dell'attività di un contatore sincrono. Il contatore è realizzato con una cascata di half adder, con il bit di somma campionato da un D flip flop e il carry che diventa un addendo dell'half adder successivo, secondo lo schema in Figura 5.1b.

Dal timing diagram 5.2 si vede che il bit di somma di ogni half adder commuta tutte le volte che il segnale B è campionato a 1 sul fronte di clock.

Il timing diagram 5.3 dimostra che il circuito nello schema si comporta effettivamente come un contatore. Il carry di ingresso del primo half adder agisce da *count enable*, mentre il carry di uscita dell'ultimo full adder è il bit di overflow del contatore.

5.1 Simulazione ModelSim di un contatore a 8 bit

É possibile calcolare la switching activity dei bit del contatore in un ciclo di conteggio: se n è il numero di bit del contatore, il bit i-esimo commuta $2^{n-i} - 1$ volte. Quindi, nel contatore a 8 bit considerato, ci aspettiamo che $S0$ commuti 255 volte, $S1$ commuti 127 volte e così via

Tabella 5.1: Numero di commutazioni dei segnali del contatore a 8 bit con $T_{ck} = 2\,\text{ns}$.

Segnale	T_c teorico	T_c simulazione	
		sincrono	asincrono
Clock	256	300	-
S0	255	297	298
S1	127	148	445
S2	63	74	370
S3	31	37	259
S4	15	18	164
S5	7	9	99
S6	3	4	54
S7	1	2	30
Co	1	-	16

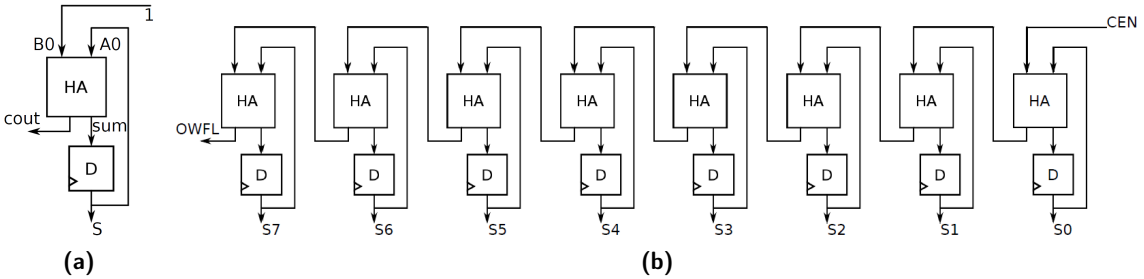


Figura 5.1: Schema circuitale di un synchronous counter.

(tabella 5.1). Il bit di overflow teoricamente dovrebbe andare da 0 a 1 una sola volta per ciclo di conteggio, ovvero quando il contatore è al numero 11111111.

Il circuito è stato simulato con ModelSim (risultati in appendice A), con un periodo di clock pari a 2 ns, per 300 periodi di clock (poco più di un ciclo di conteggio). Dalla simulazione emerge che i segnali in uscita dai flip flop (sincroni) hanno una switching activity uguale a quella calcolata matematicamente, ma i segnali in ingresso ai flip flop (asincroni) fanno molte più commutazioni. Solamente S_0 ha lo stesso numero di commutazioni all'ingresso e all'uscita del flip flop.

Il problema che emerge è lo stesso che si aveva nel sommatore: gli half adder successivi al primo risentono dei ritardi di propagazione sulla catena dei carry, i ritardi causano glitch sui nodi che non sono filtrati da un flip flop. Infatti il bit di overflow Co, che non passa attraverso alcun flip flop, ha ben 16 commutazioni, quindi va a 1 anche quando il contatore non è nella configurazione 11111111. Questo potrebbe essere un problema nel caso in cui si volesse usare il bit Co come segnale di fine conteggio.

Per mitigare questo problema, si potrebbe pensare di spezzare i percorsi combinatori della rete di half adder mediante il **pipelining**: in questo modo si eliminano i glitch intermedi, ma il contatore non inizierà a contare da subito, bensì dopo n cicli di clock a partire dall'asserimento dell'enable, dove n è il numero di stadi di pipeline utilizzati.

5.2 Variazione del parallelismo e del periodo di clock

È stata eseguita una seconda simulazione, cambiando il periodo di clock in 0.8 ns. Guardando le forme d'onda, ci si accorge che il contatore commette degli errori: nell'esempio riportato

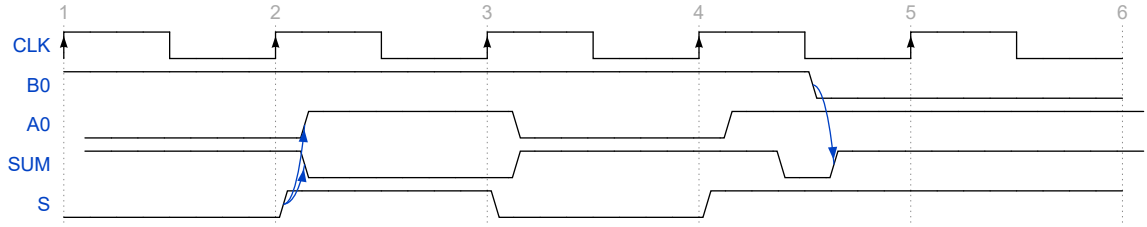


Figura 5.2: Timing diagram di una singola cella del synchronous counter.

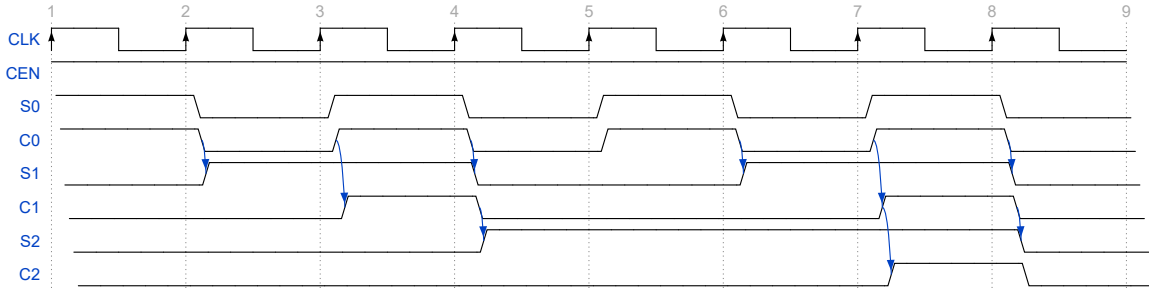


Figura 5.3: Timing diagram del synchronous counter.

(testcount), il conteggio passa da 14 a 31 e poi a 16. Simili errori si verificano anche intorno ai conteggi 32, 48, 64, 80, ecc, praticamente in ogni multiplo di 16.

Si può facilmente verificare che per tutti questi conteggi è prevista la propagazione di un carry per più di quattro half adder, come nel caso della transizione $15 \to 16$ ($00001111 \to 00010000$), dove il carry deve propagarsi fino al quinto half adder.

Gli errori del contatore si spiegano guardando la sua descrizione VHDL: ogni half adder ha un ritardo di propagazione di $t_{\text{pd}} = 0.2\,\text{ns}$ sul carry; poiché il percorso dei carry non è diviso da alcun flip flop, il percorso critico ha un tempo di propagazione pari a $8 \cdot t_{\text{pd}} = 1.6\,\text{ns}$.

Questo significa che, in simulazione, abbiamo scelto un periodo di clock troppo piccolo che non consente la completa propagazione dei segnali nel circuito. Notare che 0.8 ns è un tempo sufficiente per far propagare i segnali in massimo 4 half adder: questo spiega il pattern con cui gli errori si presentano.

Per confermare questa tesi, il circuito è stato simulato cambiando il periodo di clock in 1.6 ns ed effettivamente in questa simulazione non ci sono stati errori di conteggio.

Effettuando altre simulazioni con differenti periodi di clock sono state ricavate sperimentalmente delle semplici equazioni per calcolare il numero di errori di un contatore con parallelismo generico. Indicando con n il numero di bit del contatore, affinché non vi siano errori nel conteggio deve valere

$$n \cdot t_{\text{pd}} \leq T_{\text{ck}}, \tag{5.1}$$

da cui segue che il parallelismo massimo del contatore, ovvero il massimo numero di half adder, è dato da

$$n_{\text{max}} = \frac{T_{\text{ck}}}{t_{\text{pd}}}. \tag{5.2}$$

Definendo $x := n - n_{\text{max}}$, il numero di errori commessi da un contatore con $n \geq n_{\text{max}}$ è calcolabile come segue:

$$y := \#\text{ di punti in cui si verificano errori} = 2^x, \tag{5.3a}$$

$$z := \#\text{ di errori complessivi} = xy = x2^x. \tag{5.3b}$$

Tabella 5.2: Numero di errori commessi dal contatore al variare del periodo di clock.

T_{ck} [ns]	n_{max}	x	y	z	Numero errori @ posizione	
2	10	1	2	2	1 @ 1024	1 @ 2048
1.8	9	2	4	8	1 @ 512	1 @ 1536
					3 @ 1024	3 @ 2048
1.6	8	3	8	24	1 @ 256	1 @ 1280
					3 @ 512	3 @ 1536
					1 @ 768	1 @ 1792
					7 @ 1024	7 @ 2048
1.4	7	4	16	64	1 @ 128	1 @ 1152
					3 @ 256	3 @ 1280
					1 @ 384	1 @ 1408
					7 @ 512	7 @ 1536
					1 @ 640	1 @ 1664
					3 @ 768	3 @ 1792
					1 @ 896	1 @ 1920
					15 @ 1024	15 @ 2048

Infatti, con riferimento al contatore con $T_{ck} = 0.8\,\text{ns}$, gli errori si verificano ogni multiplo di 16 e $\frac{256}{16} = 16 = 2^4$, dove 4 è proprio il numero di half adder in eccesso rispetto al massimo tempo di propagazione consentito dal periodo di clock.

L'Equazione (5.3b) si riferisce al fatto che il contatore in alcuni punti sbaglia più di un numero di fila, quindi il numero complessivo di errori in un ciclo di conteggio è diverso dal numero di punti della dinamica in cui gli errori si verificano, come dimostrato dalla Tabella 5.2.

Le equazioni trovate mostrano che il circuito ha problemi di scalabilità: anche considerando $T_{ck} = 2\,\text{ns}$, il contatore non potrebbe avere più di 10 bit, perché se si superano i 10 half adder il percorso critico avrebbe un ritardo maggiore del periodo di clock; in questo caso bisognerebbe necessariamente ridurre la frequenza di funzionamento.

Per validare tutte le analisi fatte, è stata modificata la descrizione VHDL del contatore aumentando il parallelismo da 8 a 11 bit ed è stata eseguita una nuova simulazione con $T_{ck} = 1.8\,\text{ns}$ (testcount_11).

Come previsto, il contatore sbaglia 4 volte, intorno ai numeri 512, 1024, 1536 e 2048 (transizione $2047 \rightarrow 0$), che comportano, nel conteggio, la propagazione del carry per più di 9 half adder ($9 \cdot t_{pd} = 1.8\,\text{ns}$).

5.3 Simulazione ModelSim di un decoder 3 to 8

Un circuito combinatorio che presenta un problema di scalabilità simile a quello rilevato nel contatore è un decoder. Infatti, un decoder n to 2^n è realizzato con n layer di decoder 1 to 2, dove ogni layer fa la decodifica di un bit e le uscite diventano i segnali di abilitazione dei decoder nel layer successivo.

Il percorso critico ha un tempo di propagazione pari a n volte il ritardo di un decoder 1 to 2. Ogni volta che si aggiunge un bit al numero da decodificare, bisogna raddoppiare i decoder in parallelo in ogni layer e aggiungere un decoder a monte che abbia come ingresso il bit più significativo: dunque anche il decoder segue l'Equazione (5.2).

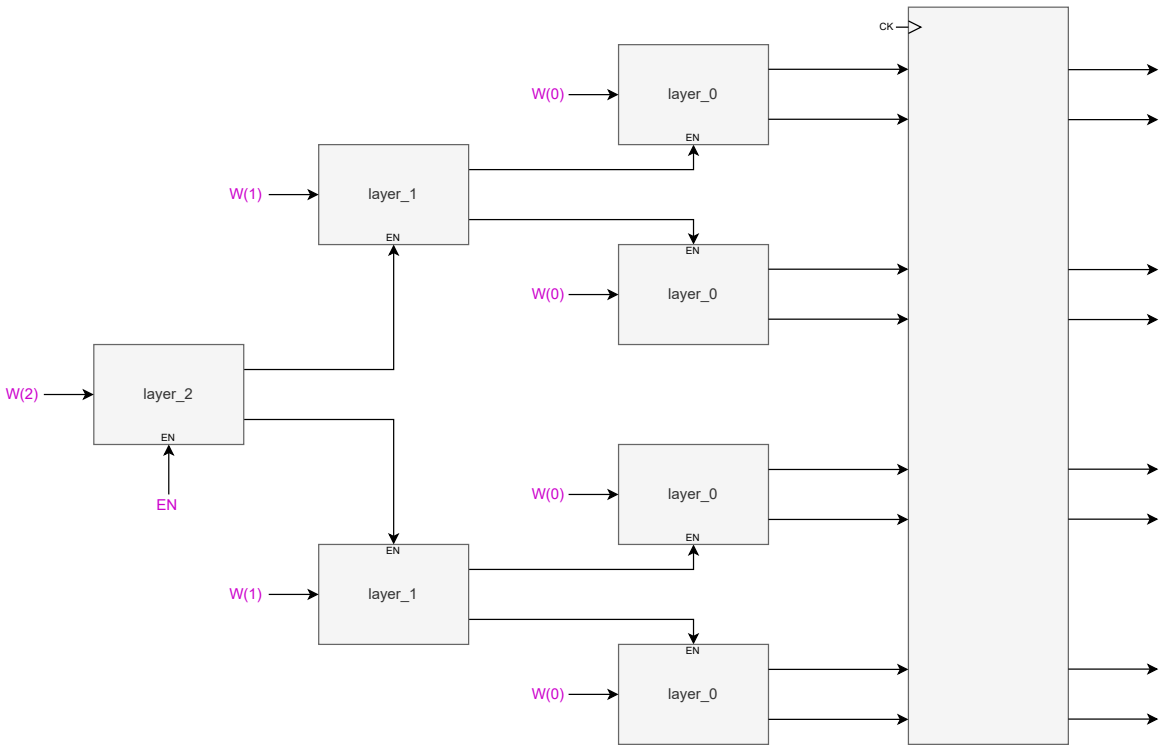


Figura 5.4: Schema circuitale di un decoder 3 to 8.

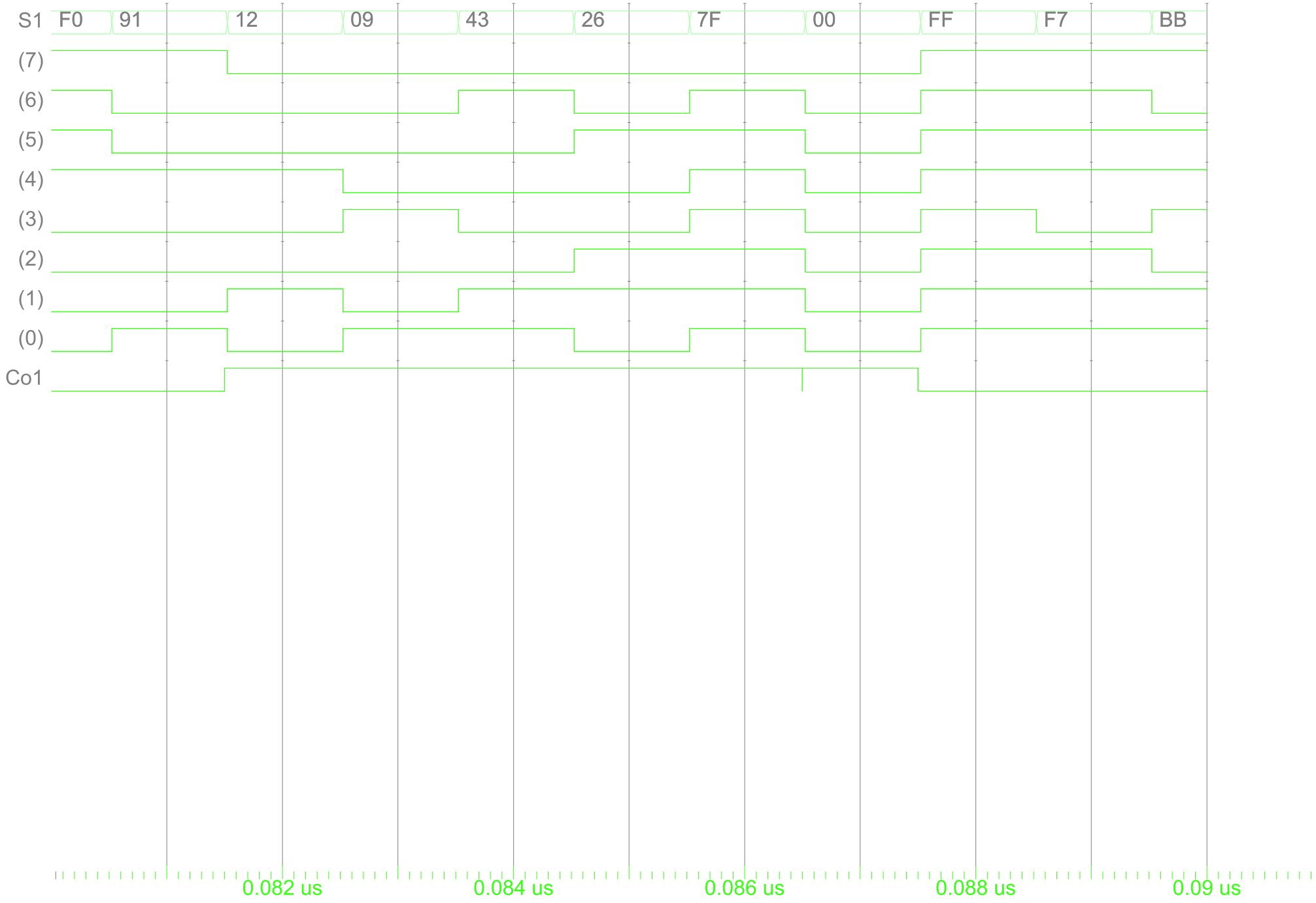
In Figura 5.4 è riportato, a titolo di esempio, un decoder 3 to 8. Come per il contatore e il ripple carry adder, anche i nodi interni e le uscite del decoder sono affetti da glitch, dovuti al fatto che i ritardi di propagazione dai bit di ingresso W_0, W_1, W_2 all'uscita sono diversi.

Ad esempio, se $W_2W_1W_0$ cambia da 010 a 001, l'uscita del decoder ha un glitch dinamico 00000100 $\rightarrow$ 00001000 $\rightarrow$ 00000010, perché la transizione di W_0 raggiunge l'uscita prima di quella di W_1. Se non si usa una frequenza di clock che rispetti l'Equazione (5.2), il registro campiona i glitch, fornendo risultati di decodifica sbagliati.

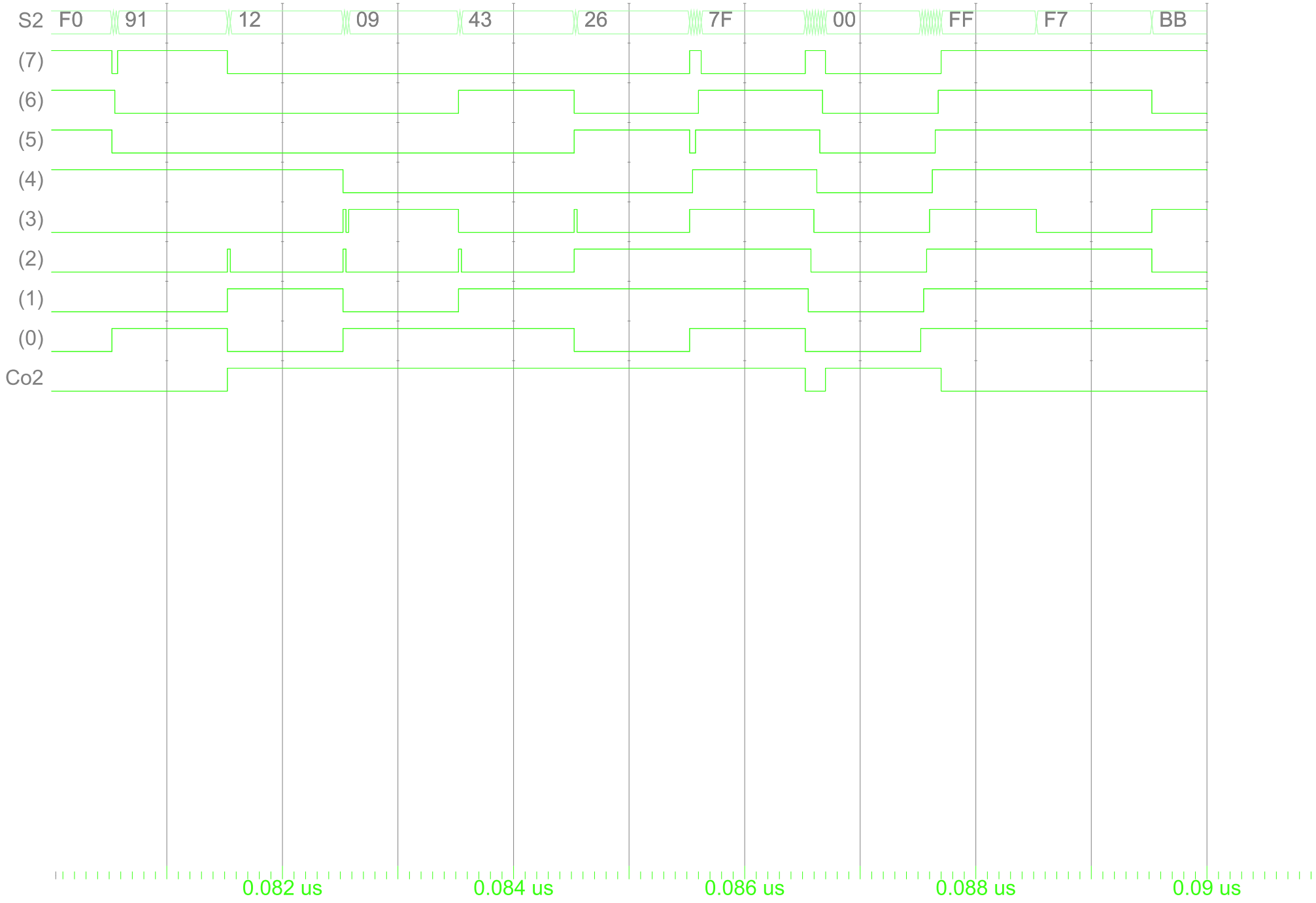
Il decoder 3 to 8 è stato descritto in VHDL (Appendice C) e, successivamente, simulato con ModelSim (tb_decoder3to8), con un ritardo di propagazione del decoder elementare 1 to 2 pari a 0.2 ns e un periodo di clock di 0.5 ns, sufficiente a far propagare i segnali in massimo due layer di decoder (su tre layer totali).

La simulazione conferma che la decodifica avviene correttamente quando il bit W_2 non cambia, ad esempio nel passaggio 001 $\rightarrow$ 011, invece viene commesso un errore se W_2 (bit connesso al decoder più lontano dall'uscita) commuta.

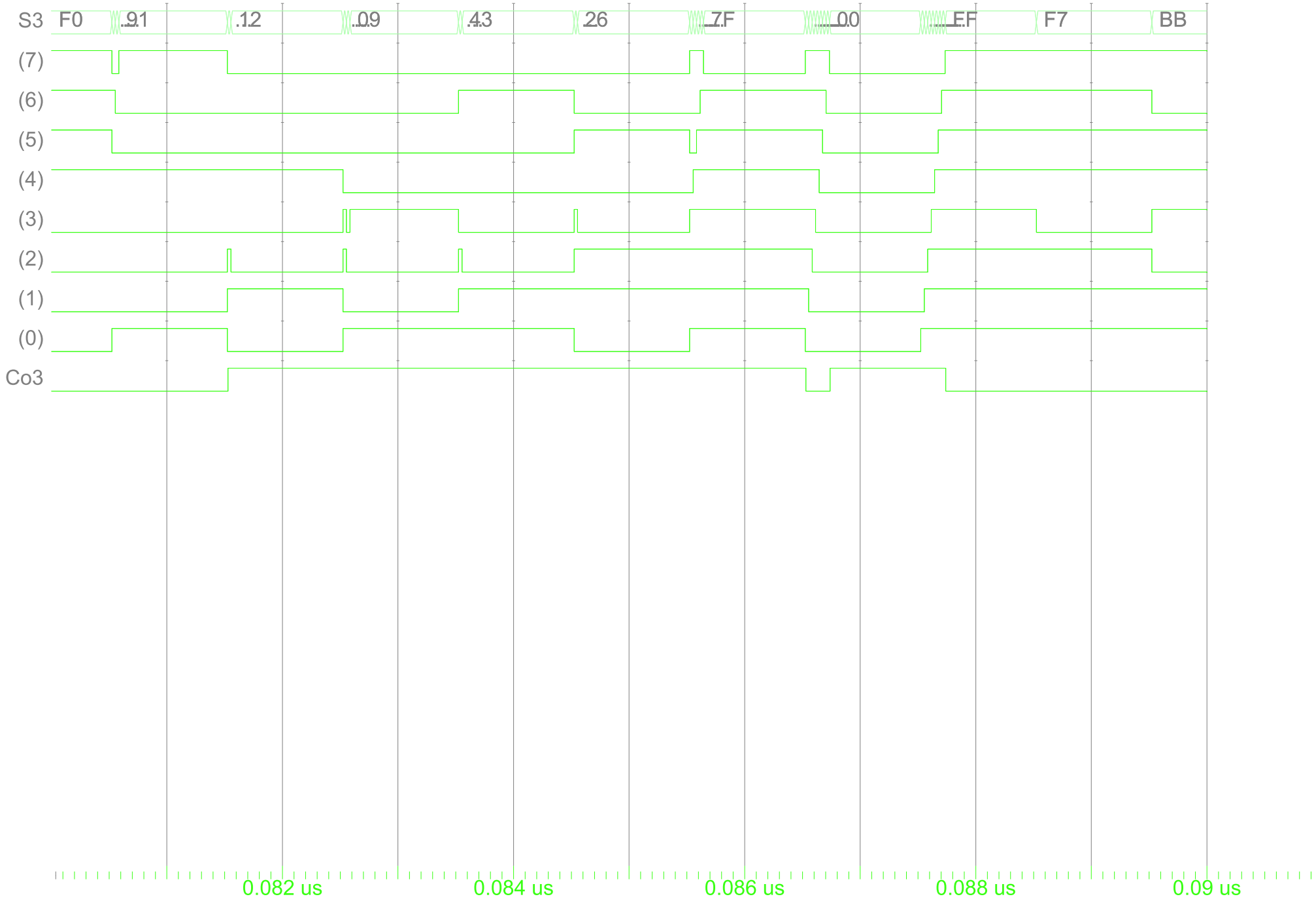
Si può notare che, dopo la commutazione di ingresso 001 $\rightarrow$ 111, l'uscita diventa corretta dopo 2 periodi di clock (00000010 $\rightarrow$ 00001000 $\rightarrow$ 10000000), perché il registro ha campionato un numero affetto da glitch dinamico.



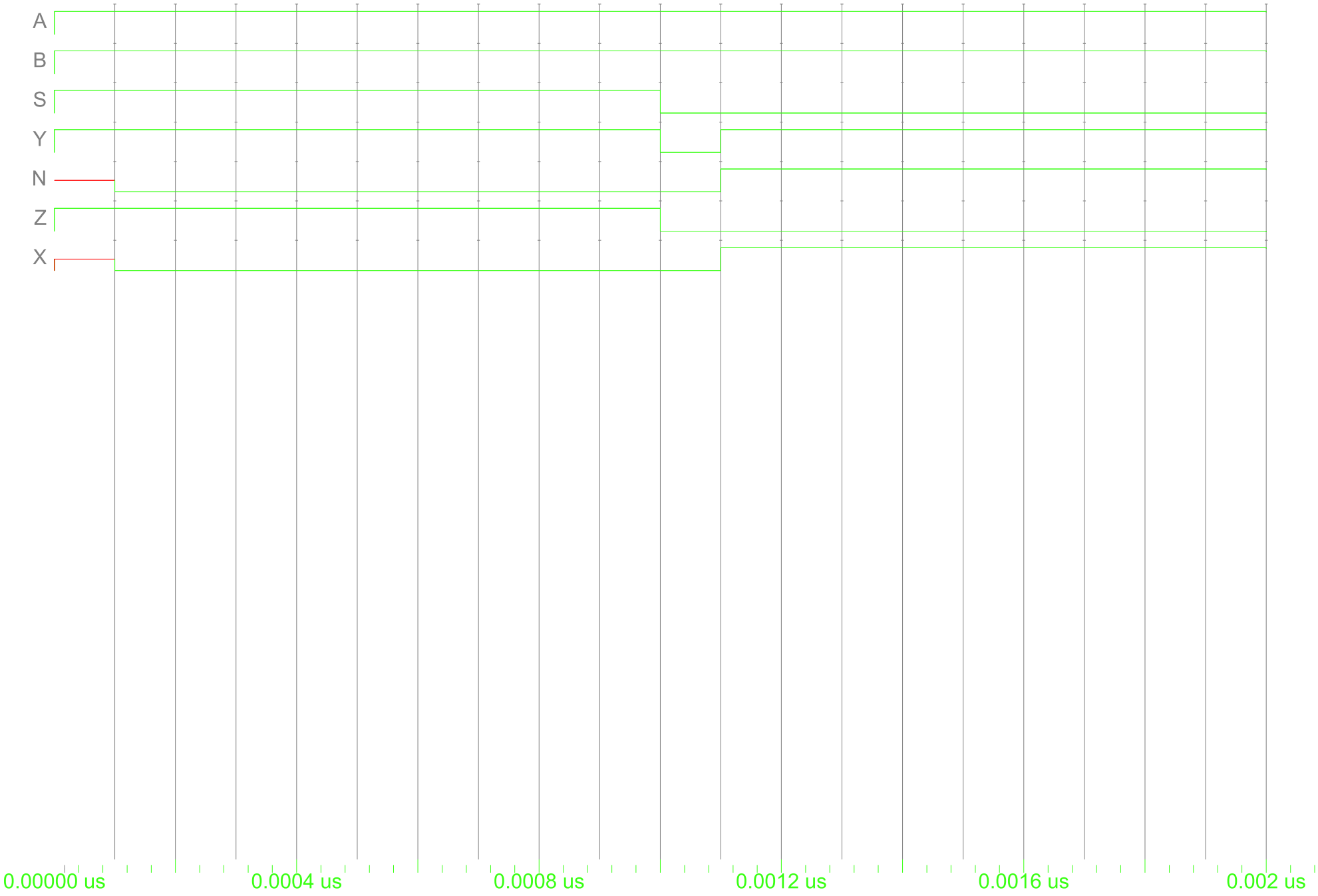
Entity:tbrca Architecture:test Date: Wed Apr 03 14:27:51 CEST 2024 Row: 1 Page: 1



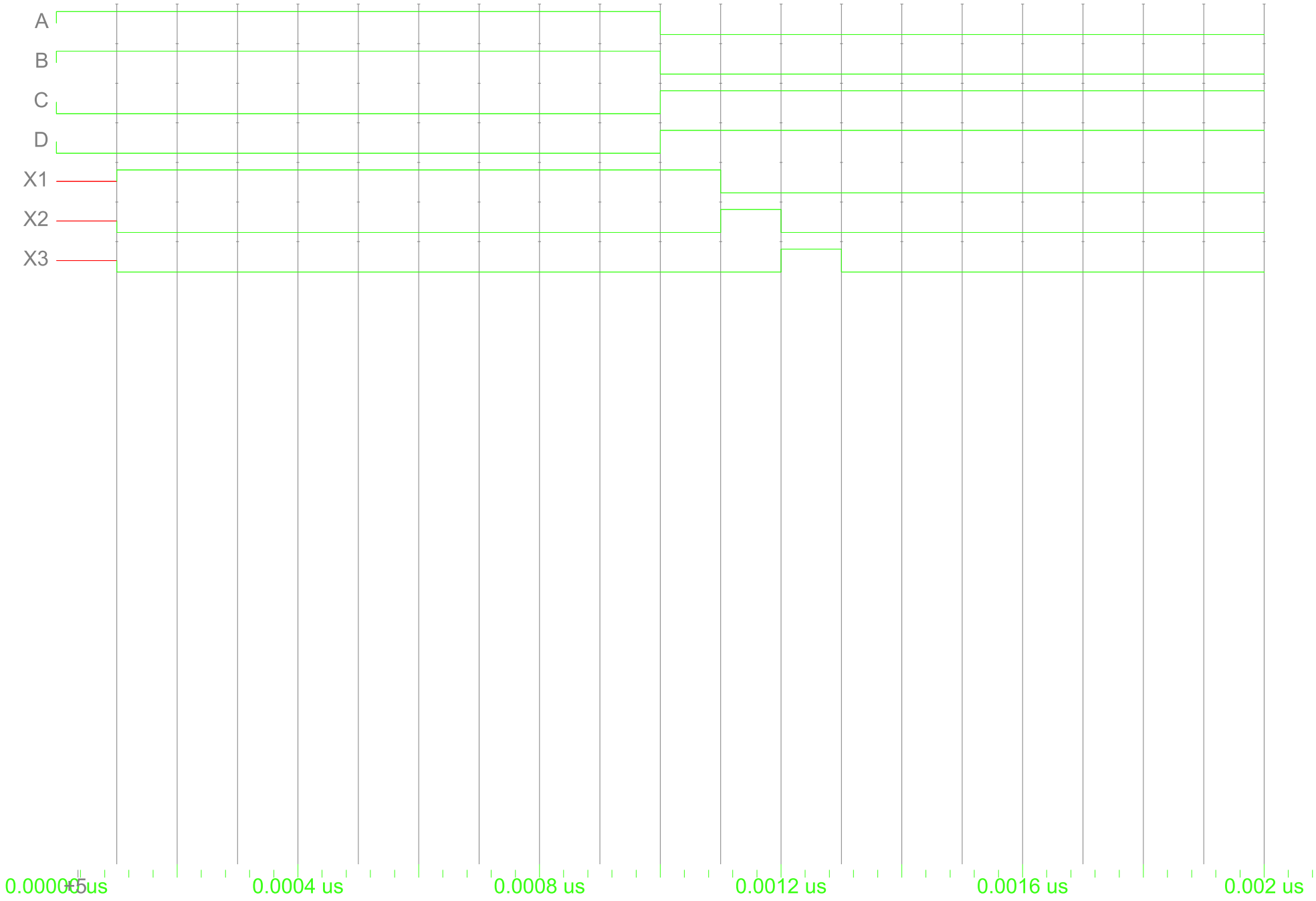
Entity:tbrca Architecture:test Date: Wed Apr 03 14:29:41 CEST 2024 Row: 1 Page: 1



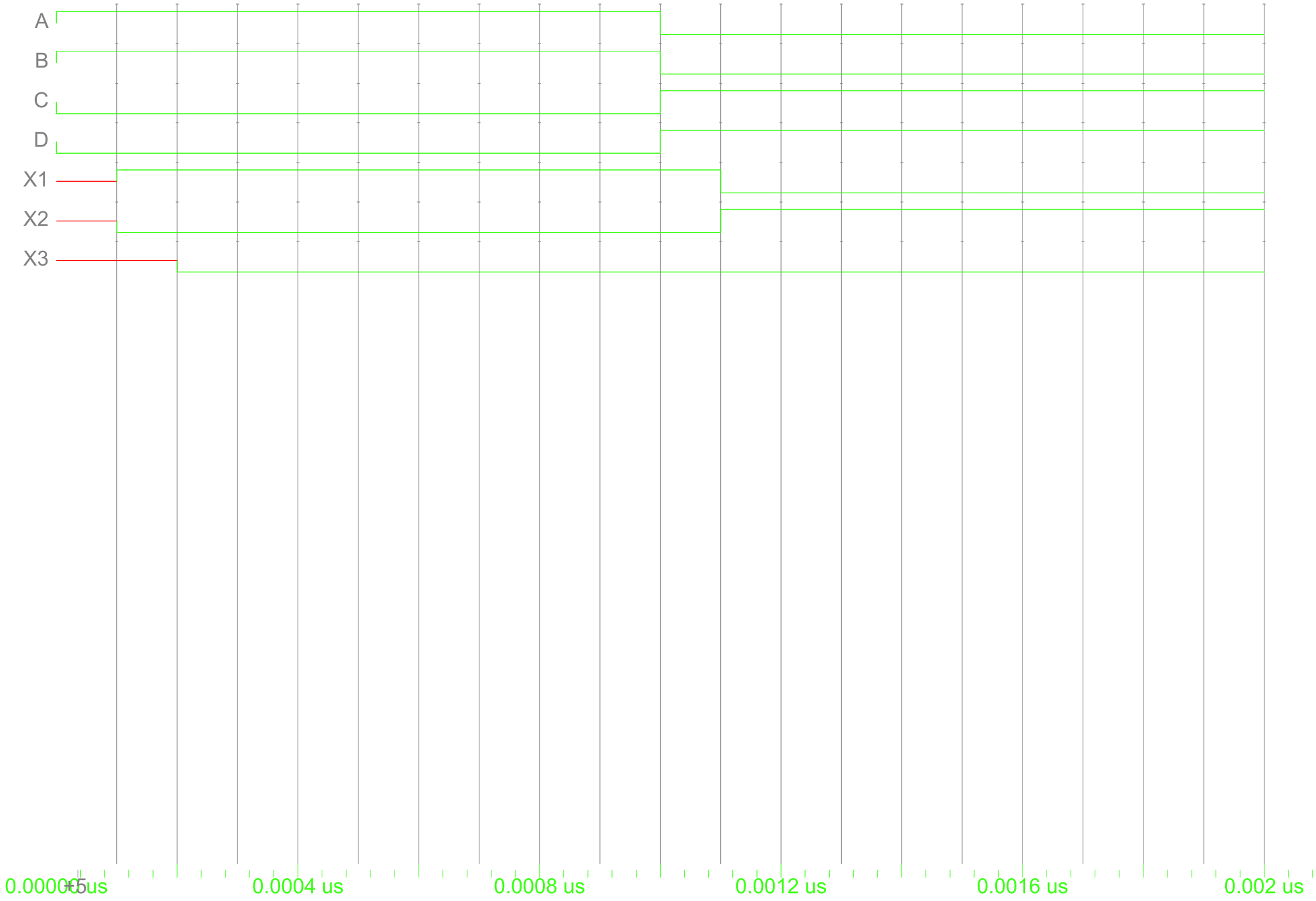
Entity:tbrca Architecture:test Date: Wed Apr 03 14:29:25 CEST 2024 Row: 1 Page: 1



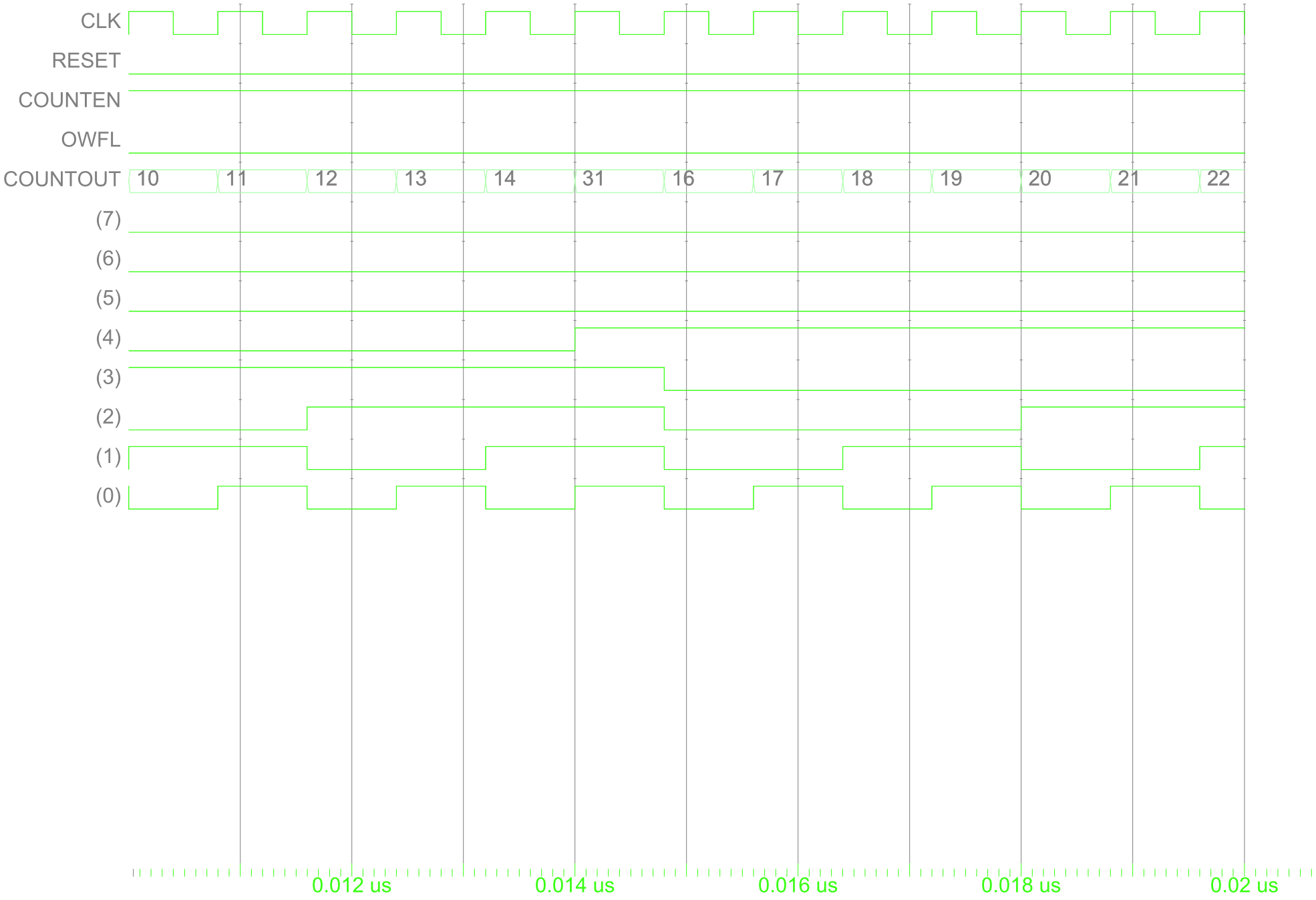
Entity:tbmux21bis Architecture:test Date: Wed Apr 03 15:43:34 CEST 2024 Row: 1 Page: 1



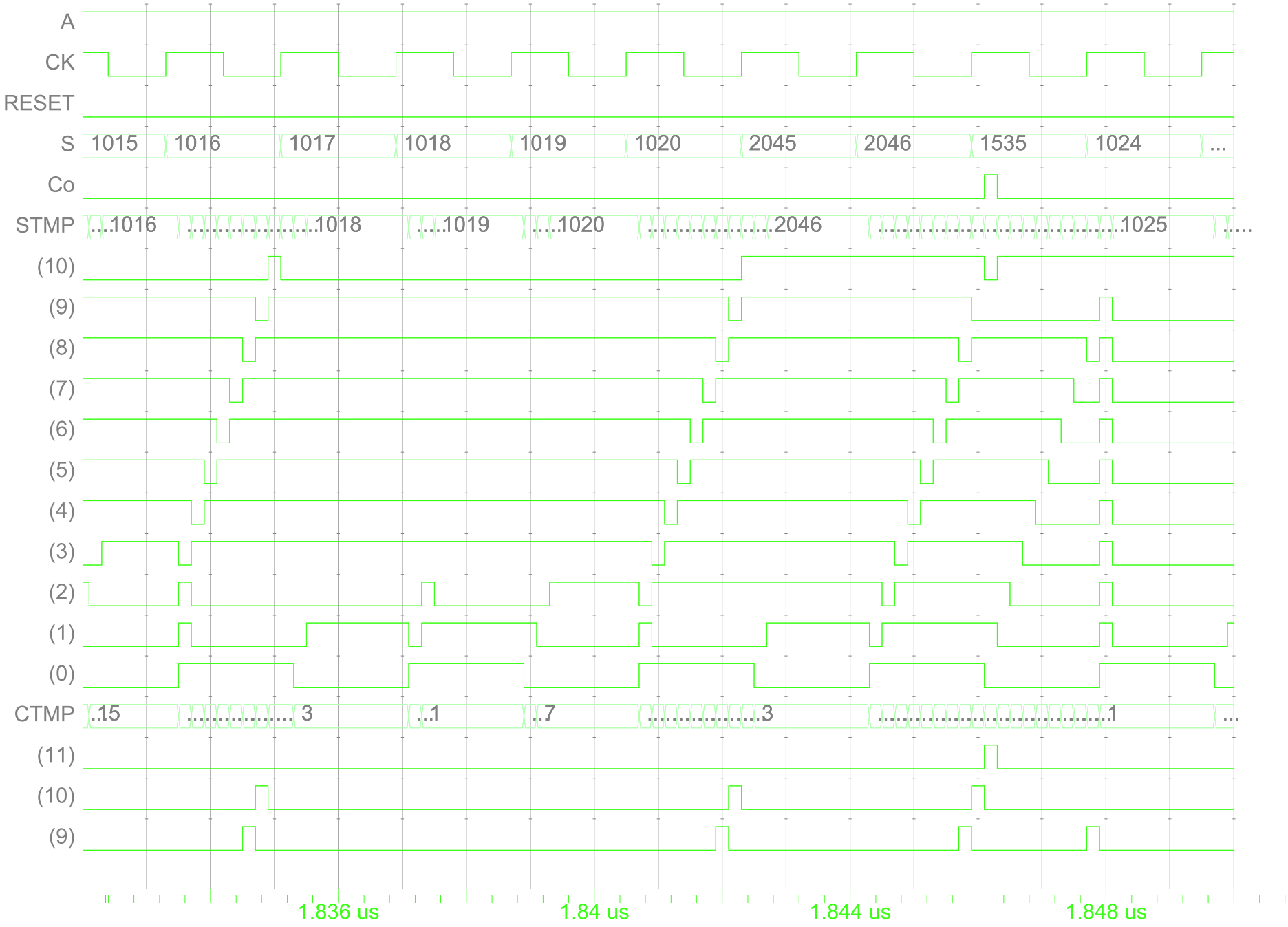
Entity:tb_glitch_chain Architecture:structure Date: Wed Apr 03 15:48:27 CEST 2024 Row: 1 Page: 1



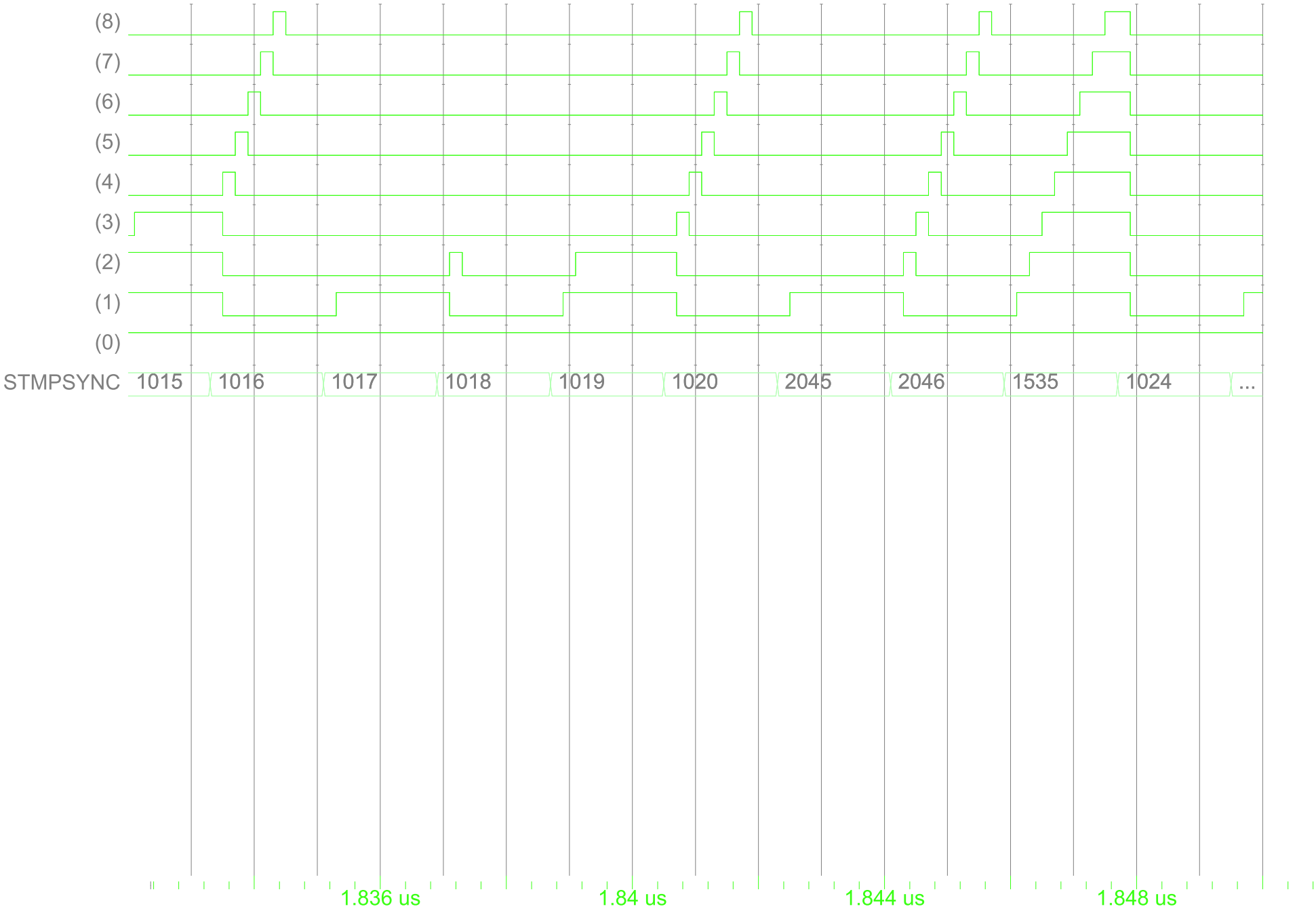
Entity:tb_glitch_tree Architecture:structure Date: Wed Apr 03 15:49:28 CEST 2024 Row: 1 Page: 1



Entity:testcount Architecture:test Date: Wed Apr 03 16:02:07 CEST 2024 Row: 1 Page: 1



Entity:testcount_11 Architecture:test Date: Wed Apr 03 17:04:27 CEST 2024 Row: 1 Page: 1



Entity:testcount_11 Architecture:test Date: Wed Apr 03 17:04:27 CEST 2024 Row: 1 Page: 2

Entity:tb_decoder3to8 Architecture:test Date: Sat Apr 06 14:31:41 CEST 2024 Row: 1 Page: 1

A Report ModelSim

A.1 Porte NOT, AND, OR e XOR

A.1.1 Simulazione per 10 ns

```
Power Report Interval
10000 ps

Power Report              Node     Tc     Ti    Time At 1    Time At 0    Time At X
--------------------------------------------------------------------------------
                    /tbprob/CLK     20      0      5000 ps      5000 ps         0 ps
                  /tbprob/RESET      1      0      1000 ps      9000 ps         0 ps
                     /tbprob/LD      1      0      2000 ps      8000 ps         0 ps
               /tbprob/DOUT(15)      5      0      5500 ps      4500 ps         0 ps
               /tbprob/DOUT(14)      4      0      5000 ps      5000 ps         0 ps
               /tbprob/DOUT(13)      3      0      4500 ps      5500 ps         0 ps
               /tbprob/DOUT(12)      3      0      3500 ps      6500 ps         0 ps
               /tbprob/DOUT(11)      3      0      2500 ps      7500 ps         0 ps
               /tbprob/DOUT(10)      3      0      1500 ps      8500 ps         0 ps
                /tbprob/DOUT(9)      2      0      1000 ps      9000 ps         0 ps
                /tbprob/DOUT(8)      1      0       500 ps      9500 ps         0 ps
                /tbprob/DOUT(0)      1      0      2500 ps      7500 ps         0 ps
                    /tbprob/IVA      1      0      2500 ps      7500 ps         0 ps
                    /tbprob/IVY      1      0      7400 ps      2500 ps       100 ps
                   /tbprob/ANDA      1      0      2500 ps      7500 ps         0 ps
                   /tbprob/ANDB      5      0      5500 ps      4500 ps         0 ps
                    /tbprob/ORA      1      0      2500 ps      7500 ps         0 ps
                    /tbprob/ORB      5      0      5500 ps      4500 ps         0 ps
                    /tbprob/ORY      4      0      7900 ps      2000 ps       100 ps
                     /tbprob/XA      1      0      2500 ps      7500 ps         0 ps
                     /tbprob/XB      5      0      5500 ps      4500 ps         0 ps
                     /tbprob/XY      4      0      7900 ps      2000 ps       100 ps
--------------------------------------------------------------------------------
```

A.1.2 Simulazione per 100 ns

```
Power Report Interval
100000 ps

Power Report              Node     Tc     Ti    Time At 1    Time At 0    Time At X
--------------------------------------------------------------------------------
                    /tbprob/CLK    200      0     50000 ps     50000 ps         0 ps
                  /tbprob/RESET      1      0      1000 ps     99000 ps         0 ps
                     /tbprob/LD      1      0      2000 ps     98000 ps         0 ps
               /tbprob/DOUT(15)     51      0     50500 ps     49500 ps         0 ps
               /tbprob/DOUT(14)     50      0     50000 ps     50000 ps         0 ps
               /tbprob/DOUT(13)     49      0     49500 ps     50500 ps         0 ps
               /tbprob/DOUT(12)     48      0     49000 ps     51000 ps         0 ps
               /tbprob/DOUT(11)     47      0     48500 ps     51500 ps         0 ps
               /tbprob/DOUT(10)     46      0     48000 ps     52000 ps         0 ps
                /tbprob/DOUT(9)     46      0     48000 ps     52000 ps         0 ps
                /tbprob/DOUT(8)     46      0     48000 ps     52000 ps         0 ps
                /tbprob/DOUT(7)     45      0     47500 ps     52500 ps         0 ps
                /tbprob/DOUT(6)     45      0     46500 ps     53500 ps         0 ps
                /tbprob/DOUT(5)     44      0     46000 ps     54000 ps         0 ps
```

```
                /tbprob/DOUT(4)     44      0     46000 ps     54000 ps         0 ps
                /tbprob/DOUT(3)     44      0     46000 ps     54000 ps         0 ps
                /tbprob/DOUT(2)     43      0     45500 ps     54500 ps         0 ps
                /tbprob/DOUT(1)     42      0     45000 ps     55000 ps         0 ps
                /tbprob/DOUT(0)     43      0     47500 ps     52500 ps         0 ps
                    /tbprob/IVA     43      0     47500 ps     52500 ps         0 ps
                    /tbprob/IVY     43      0     52400 ps     47500 ps       100 ps
                   /tbprob/ANDA     43      0     47500 ps     52500 ps         0 ps
                   /tbprob/ANDB     51      0     50500 ps     49500 ps         0 ps
                   /tbprob/ANDY     40      0     26000 ps     73900 ps       100 ps
                    /tbprob/ORA     43      0     47500 ps     52500 ps         0 ps
                    /tbprob/ORB     51      0     50500 ps     49500 ps         0 ps
                    /tbprob/ORY     42      0     71900 ps     28000 ps       100 ps
                     /tbprob/XA     43      0     47500 ps     52500 ps         0 ps
                     /tbprob/XB     51      0     50500 ps     49500 ps         0 ps
                     /tbprob/XY     44      0     45900 ps     54000 ps       100 ps
--------------------------------------------------------------------------------
```

A.1.3 Simulazione per 1 µs

```
Power Report Interval
1000000 ps

Power Report              Node     Tc     Ti    Time At 1    Time At 0    Time At X
--------------------------------------------------------------------------------
                    /tbprob/CLK   2000      0    500000 ps    500000 ps         0 ps
                  /tbprob/RESET      1      0      1000 ps    999000 ps         0 ps
                     /tbprob/LD      1      0      2000 ps    998000 ps         0 ps
               /tbprob/DOUT(15)    539      0    534500 ps    465500 ps         0 ps
               /tbprob/DOUT(14)    539      0    533500 ps    466500 ps         0 ps
               /tbprob/DOUT(13)    539      0    532500 ps    467500 ps         0 ps
               /tbprob/DOUT(12)    538      0    532000 ps    468000 ps         0 ps
               /tbprob/DOUT(11)    538      0    532000 ps    468000 ps         0 ps
               /tbprob/DOUT(10)    538      0    532000 ps    468000 ps         0 ps
                /tbprob/DOUT(9)    537      0    531500 ps    468500 ps         0 ps
                /tbprob/DOUT(8)    536      0    531000 ps    469000 ps         0 ps
                /tbprob/DOUT(7)    536      0    531000 ps    469000 ps         0 ps
                /tbprob/DOUT(6)    535      0    530500 ps    469500 ps         0 ps
                /tbprob/DOUT(5)    535      0    529500 ps    470500 ps         0 ps
                /tbprob/DOUT(4)    534      0    529000 ps    471000 ps         0 ps
                /tbprob/DOUT(3)    533      0    528500 ps    471500 ps         0 ps
                /tbprob/DOUT(2)    533      0    527500 ps    472500 ps         0 ps
                /tbprob/DOUT(1)    532      0    527000 ps    473000 ps         0 ps
                /tbprob/DOUT(0)    533      0    529500 ps    470500 ps         0 ps
                    /tbprob/IVA    533      0    529500 ps    470500 ps         0 ps
                    /tbprob/IVY    533      0    470400 ps    529500 ps       100 ps
                   /tbprob/ANDA    533      0    529500 ps    470500 ps         0 ps
                   /tbprob/ANDB    539      0    534500 ps    465500 ps         0 ps
                   /tbprob/ANDY    418      0    277000 ps    722900 ps       100 ps
                    /tbprob/ORA    533      0    529500 ps    470500 ps         0 ps
                    /tbprob/ORB    539      0    534500 ps    465500 ps         0 ps
                    /tbprob/ORY    352      0    786900 ps    213000 ps       100 ps
                     /tbprob/XA    533      0    529500 ps    470500 ps         0 ps
                     /tbprob/XB    539      0    534500 ps    465500 ps         0 ps
                     /tbprob/XY    470      0    509900 ps    490000 ps       100 ps
--------------------------------------------------------------------------------
```

A.1.4 Simulazione per 10 µs

```
Power Report Interval
10000000 ps

Power Report              Node     Tc     Ti    Time At 1    Time At 0    Time At X
-------------------------------------------------------------------------------------
                    /tbprob/CLK  20000      0   5000000 ps   5000000 ps         0 ps
                  /tbprob/RESET      1      0      1000 ps   9999000 ps         0 ps
                     /tbprob/LD      1      0      2000 ps   9998000 ps         0 ps
               /tbprob/DOUT(15)   4924      0   4929000 ps   5071000 ps         0 ps
               /tbprob/DOUT(14)   4923      0   4928500 ps   5071500 ps         0 ps
               /tbprob/DOUT(13)   4922      0   4928000 ps   5072000 ps         0 ps
               /tbprob/DOUT(12)   4922      0   4928000 ps   5072000 ps         0 ps
               /tbprob/DOUT(11)   4921      0   4927500 ps   5072500 ps         0 ps
               /tbprob/DOUT(10)   4921      0   4926500 ps   5073500 ps         0 ps
                /tbprob/DOUT(9)   4921      0   4925500 ps   5074500 ps         0 ps
                /tbprob/DOUT(8)   4921      0   4924500 ps   5075500 ps         0 ps
                /tbprob/DOUT(7)   4920      0   4924000 ps   5076000 ps         0 ps
                /tbprob/DOUT(6)   4919      0   4923500 ps   5076500 ps         0 ps
                /tbprob/DOUT(5)   4918      0   4923000 ps   5077000 ps         0 ps
                /tbprob/DOUT(4)   4917      0   4922500 ps   5077500 ps         0 ps
                /tbprob/DOUT(3)   4917      0   4921500 ps   5078500 ps         0 ps
                /tbprob/DOUT(2)   4916      0   4921000 ps   5079000 ps         0 ps
                /tbprob/DOUT(1)   4915      0   4920500 ps   5079500 ps         0 ps
                /tbprob/DOUT(0)   4916      0   4922000 ps   5078000 ps         0 ps
                    /tbprob/IVA   4916      0   4922000 ps   5078000 ps         0 ps
                    /tbprob/IVY   4916      0   5078000 ps   4921900 ps       100 ps
                   /tbprob/ANDA   4916      0   4922000 ps   5078000 ps         0 ps
                   /tbprob/ANDB   4924      0   4929000 ps   5071000 ps         0 ps
                   /tbprob/ANDY   3606      0   2448000 ps   7551900 ps       100 ps
                    /tbprob/ORA   4916      0   4922000 ps   5078000 ps         0 ps
                    /tbprob/ORB   4924      0   4929000 ps   5071000 ps         0 ps
                    /tbprob/ORY   3784      0   7402900 ps   2597000 ps       100 ps
                     /tbprob/XA   4916      0   4922000 ps   5078000 ps         0 ps
                     /tbprob/XB   4924      0   4929000 ps   5071000 ps         0 ps
                     /tbprob/XY   4876      0   4954900 ps   5045000 ps       100 ps
-------------------------------------------------------------------------------------
```

A.1.5 Simulazione per 100 µs

```
Power Report Interval
100000000 ps

Power Report              Node     Tc     Ti    Time At 1    Time At 0    Time At X
-------------------------------------------------------------------------------------
                    /tbprob/CLK 200000      0  50000000 ps  50000000 ps         0 ps
                  /tbprob/RESET      1      0      1000 ps  99999000 ps         0 ps
                     /tbprob/LD      3      0      4000 ps  99996000 ps         0 ps
               /tbprob/DOUT(15)  49976      0  49965000 ps  50035000 ps         0 ps
               /tbprob/DOUT(14)  49976      0  49965000 ps  50035000 ps         0 ps
               /tbprob/DOUT(13)  49975      0  49964500 ps  50035500 ps         0 ps
               /tbprob/DOUT(12)  49974      0  49964000 ps  50036000 ps         0 ps
               /tbprob/DOUT(11)  49974      0  49964000 ps  50036000 ps         0 ps
               /tbprob/DOUT(10)  49971      0  49962500 ps  50037500 ps         0 ps
                /tbprob/DOUT(9)  49971      0  49961500 ps  50038500 ps         0 ps
                /tbprob/DOUT(8)  49970      0  49961000 ps  50039000 ps         0 ps
```

```
                /tbprob/DOUT(7)  49970      0  49960000 ps  50040000 ps         0 ps
                /tbprob/DOUT(6)  49967      0  49958500 ps  50041500 ps         0 ps
                /tbprob/DOUT(5)  49967      0  49957500 ps  50042500 ps         0 ps
                /tbprob/DOUT(4)  49967      0  49956500 ps  50043500 ps         0 ps
                /tbprob/DOUT(3)  49967      0  49955500 ps  50044500 ps         0 ps
                /tbprob/DOUT(2)  49967      0  49954500 ps  50045500 ps         0 ps
                /tbprob/DOUT(1)  49967      0  49953500 ps  50046500 ps         0 ps
                /tbprob/DOUT(0)  49967      0  49956500 ps  50043500 ps         0 ps
                    /tbprob/IVA  49967      0  49956500 ps  50043500 ps         0 ps
                    /tbprob/IVY  49967      0  50043400 ps  49956500 ps       100 ps
                   /tbprob/ANDA  49967      0  49956500 ps  50043500 ps         0 ps
                   /tbprob/ANDB  49976      0  49965000 ps  50035000 ps         0 ps
                   /tbprob/ANDY  37384      0  24976000 ps  75023900 ps       100 ps
                    /tbprob/ORA  49967      0  49956500 ps  50043500 ps         0 ps
                    /tbprob/ORB  49976      0  49965000 ps  50035000 ps         0 ps
                    /tbprob/ORY  37541      0  74945500 ps  25054400 ps       100 ps
                     /tbprob/XA  49967      0  49956500 ps  50043500 ps         0 ps
                     /tbprob/XB  49976      0  49965000 ps  50035000 ps         0 ps
                     /tbprob/XY  49939      0  49969500 ps  50030400 ps       100 ps
--------------------------------------------------------------------------------
```

A.2 Porte NAND, NOR, XNOR

A.2.1 Simulazione per 10 ns

```
Power Report Interval
10000 ps

Power Report              Node     Tc     Ti    Time At 1    Time At 0    Time At X
--------------------------------------------------------------------------------
                /tbprobnot/CLK     20      0      5000 ps      5000 ps         0 ps
               /tbprobnot/RESET      1      0      1000 ps      9000 ps         0 ps
                  /tbprobnot/LD      1      0      2000 ps      8000 ps         0 ps
            /tbprobnot/DOUT(15)      5      0      5500 ps      4500 ps         0 ps
            /tbprobnot/DOUT(14)      4      0      5000 ps      5000 ps         0 ps
            /tbprobnot/DOUT(13)      3      0      4500 ps      5500 ps         0 ps
            /tbprobnot/DOUT(12)      3      0      3500 ps      6500 ps         0 ps
            /tbprobnot/DOUT(11)      3      0      2500 ps      7500 ps         0 ps
            /tbprobnot/DOUT(10)      3      0      1500 ps      8500 ps         0 ps
             /tbprobnot/DOUT(9)      2      0      1000 ps      9000 ps         0 ps
             /tbprobnot/DOUT(8)      1      0       500 ps      9500 ps         0 ps
             /tbprobnot/DOUT(0)      1      0      2500 ps      7500 ps         0 ps
                /tbprobnot/ANDA      1      0      2500 ps      7500 ps         0 ps
                /tbprobnot/ANDB      5      0      5500 ps      4500 ps         0 ps
                 /tbprobnot/ORA      1      0      2500 ps      7500 ps         0 ps
                 /tbprobnot/ORB      5      0      5500 ps      4500 ps         0 ps
                 /tbprobnot/ORY      4      0      2000 ps      7900 ps       100 ps
                  /tbprobnot/XA      1      0      2500 ps      7500 ps         0 ps
                  /tbprobnot/XB      5      0      5500 ps      4500 ps         0 ps
                  /tbprobnot/XY      4      0      2000 ps      7900 ps       100 ps
--------------------------------------------------------------------------------
```

A.2.2 Simulazione per 100 ns

```
Power Report Interval
100000 ps
```

```

Power Report              Node     Tc     Ti    Time At 1    Time At 0    Time At X
--------------------------------------------------------------------------------
                /tbprobnot/CLK    200      0     50000 ps     50000 ps         0 ps
               /tbprobnot/RESET      1      0      1000 ps     99000 ps         0 ps
                  /tbprobnot/LD      1      0      2000 ps     98000 ps         0 ps
            /tbprobnot/DOUT(15)     51      0     50500 ps     49500 ps         0 ps
            /tbprobnot/DOUT(14)     50      0     50000 ps     50000 ps         0 ps
            /tbprobnot/DOUT(13)     49      0     49500 ps     50500 ps         0 ps
            /tbprobnot/DOUT(12)     48      0     49000 ps     51000 ps         0 ps
            /tbprobnot/DOUT(11)     47      0     48500 ps     51500 ps         0 ps
            /tbprobnot/DOUT(10)     46      0     48000 ps     52000 ps         0 ps
             /tbprobnot/DOUT(9)     46      0     48000 ps     52000 ps         0 ps
             /tbprobnot/DOUT(8)     46      0     48000 ps     52000 ps         0 ps
             /tbprobnot/DOUT(7)     45      0     47500 ps     52500 ps         0 ps
             /tbprobnot/DOUT(6)     45      0     46500 ps     53500 ps         0 ps
             /tbprobnot/DOUT(5)     44      0     46000 ps     54000 ps         0 ps
             /tbprobnot/DOUT(4)     44      0     46000 ps     54000 ps         0 ps
             /tbprobnot/DOUT(3)     44      0     46000 ps     54000 ps         0 ps
             /tbprobnot/DOUT(2)     43      0     45500 ps     54500 ps         0 ps
             /tbprobnot/DOUT(1)     42      0     45000 ps     55000 ps         0 ps
             /tbprobnot/DOUT(0)     43      0     47500 ps     52500 ps         0 ps
                /tbprobnot/ANDA     43      0     47500 ps     52500 ps         0 ps
                /tbprobnot/ANDB     51      0     50500 ps     49500 ps         0 ps
                /tbprobnot/ANDY     40      0     73900 ps     26000 ps       100 ps
                 /tbprobnot/ORA     43      0     47500 ps     52500 ps         0 ps
                 /tbprobnot/ORB     51      0     50500 ps     49500 ps         0 ps
                 /tbprobnot/ORY     42      0     28000 ps     71900 ps       100 ps
                  /tbprobnot/XA     43      0     47500 ps     52500 ps         0 ps
                  /tbprobnot/XB     51      0     50500 ps     49500 ps         0 ps
                  /tbprobnot/XY     44      0     54000 ps     45900 ps       100 ps
--------------------------------------------------------------------------------
```

A.2.3 Simulazione per 1 µs

```
Power Report Interval
1000000 ps

Power Report              Node     Tc     Ti    Time At 1    Time At 0    Time At X
--------------------------------------------------------------------------------
                /tbprobnot/CLK   2000      0    500000 ps    500000 ps         0 ps
               /tbprobnot/RESET      1      0      1000 ps    999000 ps         0 ps
                  /tbprobnot/LD      1      0      2000 ps    998000 ps         0 ps
            /tbprobnot/DOUT(15)    539      0    534500 ps    465500 ps         0 ps
            /tbprobnot/DOUT(14)    539      0    533500 ps    466500 ps         0 ps
            /tbprobnot/DOUT(13)    539      0    532500 ps    467500 ps         0 ps
            /tbprobnot/DOUT(12)    538      0    532000 ps    468000 ps         0 ps
            /tbprobnot/DOUT(11)    538      0    532000 ps    468000 ps         0 ps
            /tbprobnot/DOUT(10)    538      0    532000 ps    468000 ps         0 ps
             /tbprobnot/DOUT(9)    537      0    531500 ps    468500 ps         0 ps
             /tbprobnot/DOUT(8)    536      0    531000 ps    469000 ps         0 ps
             /tbprobnot/DOUT(7)    536      0    531000 ps    469000 ps         0 ps
             /tbprobnot/DOUT(6)    535      0    530500 ps    469500 ps         0 ps
             /tbprobnot/DOUT(5)    535      0    529500 ps    470500 ps         0 ps
             /tbprobnot/DOUT(4)    534      0    529000 ps    471000 ps         0 ps
             /tbprobnot/DOUT(3)    533      0    528500 ps    471500 ps         0 ps
             /tbprobnot/DOUT(2)    533      0    527500 ps    472500 ps         0 ps
```

```
            /tbprobnot/DOUT(1)    532      0    527000 ps    473000 ps         0 ps
            /tbprobnot/DOUT(0)    533      0    529500 ps    470500 ps         0 ps
               /tbprobnot/ANDA    533      0    529500 ps    470500 ps         0 ps
               /tbprobnot/ANDB    539      0    534500 ps    465500 ps         0 ps
               /tbprobnot/ANDY    418      0    722900 ps    277000 ps       100 ps
                /tbprobnot/ORA    533      0    529500 ps    470500 ps         0 ps
                /tbprobnot/ORB    539      0    534500 ps    465500 ps         0 ps
                /tbprobnot/ORY    352      0    213000 ps    786900 ps       100 ps
                 /tbprobnot/XA    533      0    529500 ps    470500 ps         0 ps
                 /tbprobnot/XB    539      0    534500 ps    465500 ps         0 ps
                 /tbprobnot/XY    470      0    490000 ps    509900 ps       100 ps
--------------------------------------------------------------------------------
```

A.2.4 Simulazione per 10 µs

```
Power Report Interval
10000000 ps

Power Report              Node     Tc     Ti    Time At 1    Time At 0    Time At X
--------------------------------------------------------------------------------
                /tbprobnot/CLK  20000      0   5000000 ps   5000000 ps         0 ps
              /tbprobnot/RESET      1      0      1000 ps   9999000 ps         0 ps
                 /tbprobnot/LD      1      0      2000 ps   9998000 ps         0 ps
           /tbprobnot/DOUT(15)   4924      0   4929000 ps   5071000 ps         0 ps
           /tbprobnot/DOUT(14)   4923      0   4928500 ps   5071500 ps         0 ps
           /tbprobnot/DOUT(13)   4922      0   4928000 ps   5072000 ps         0 ps
           /tbprobnot/DOUT(12)   4922      0   4928000 ps   5072000 ps         0 ps
           /tbprobnot/DOUT(11)   4921      0   4927500 ps   5072500 ps         0 ps
           /tbprobnot/DOUT(10)   4921      0   4926500 ps   5073500 ps         0 ps
            /tbprobnot/DOUT(9)   4921      0   4925500 ps   5074500 ps         0 ps
            /tbprobnot/DOUT(8)   4921      0   4924500 ps   5075500 ps         0 ps
            /tbprobnot/DOUT(7)   4920      0   4924000 ps   5076000 ps         0 ps
            /tbprobnot/DOUT(6)   4919      0   4923500 ps   5076500 ps         0 ps
            /tbprobnot/DOUT(5)   4918      0   4923000 ps   5077000 ps         0 ps
            /tbprobnot/DOUT(4)   4917      0   4922500 ps   5077500 ps         0 ps
            /tbprobnot/DOUT(3)   4917      0   4921500 ps   5078500 ps         0 ps
            /tbprobnot/DOUT(2)   4916      0   4921000 ps   5079000 ps         0 ps
            /tbprobnot/DOUT(1)   4915      0   4920500 ps   5079500 ps         0 ps
            /tbprobnot/DOUT(0)   4916      0   4922000 ps   5078000 ps         0 ps
               /tbprobnot/ANDA   4916      0   4922000 ps   5078000 ps         0 ps
               /tbprobnot/ANDB   4924      0   4929000 ps   5071000 ps         0 ps
               /tbprobnot/ANDY   3606      0   7551900 ps   2448000 ps       100 ps
                /tbprobnot/ORA   4916      0   4922000 ps   5078000 ps         0 ps
                /tbprobnot/ORB   4924      0   4929000 ps   5071000 ps         0 ps
                /tbprobnot/ORY   3784      0   2597000 ps   7402900 ps       100 ps
                 /tbprobnot/XA   4916      0   4922000 ps   5078000 ps         0 ps
                 /tbprobnot/XB   4924      0   4929000 ps   5071000 ps         0 ps
                 /tbprobnot/XY   4876      0   5045000 ps   4954900 ps       100 ps
--------------------------------------------------------------------------------
```

A.2.5 Simulazione per 100 µs

```
Power Report Interval
100000000 ps

Power Report              Node     Tc     Ti    Time At 1    Time At 0    Time At X
```

```
--------------------------------------------------------------------------------
                 /tbprobnot/CLK 200000      0  50000000 ps  50000000 ps         0 ps
                /tbprobnot/RESET      1      0      1000 ps  99999000 ps         0 ps
                  /tbprobnot/LD      3      0      4000 ps  99996000 ps         0 ps
            /tbprobnot/DOUT(15)  49976      0  49965000 ps  50035000 ps         0 ps
            /tbprobnot/DOUT(14)  49976      0  49965000 ps  50035000 ps         0 ps
            /tbprobnot/DOUT(13)  49975      0  49964500 ps  50035500 ps         0 ps
            /tbprobnot/DOUT(12)  49974      0  49964000 ps  50036000 ps         0 ps
            /tbprobnot/DOUT(11)  49974      0  49964000 ps  50036000 ps         0 ps
            /tbprobnot/DOUT(10)  49971      0  49962500 ps  50037500 ps         0 ps
             /tbprobnot/DOUT(9)  49971      0  49961500 ps  50038500 ps         0 ps
             /tbprobnot/DOUT(8)  49970      0  49961000 ps  50039000 ps         0 ps
             /tbprobnot/DOUT(7)  49970      0  49960000 ps  50040000 ps         0 ps
             /tbprobnot/DOUT(6)  49967      0  49958500 ps  50041500 ps         0 ps
             /tbprobnot/DOUT(5)  49967      0  49957500 ps  50042500 ps         0 ps
             /tbprobnot/DOUT(4)  49967      0  49956500 ps  50043500 ps         0 ps
             /tbprobnot/DOUT(3)  49967      0  49955500 ps  50044500 ps         0 ps
             /tbprobnot/DOUT(2)  49967      0  49954500 ps  50045500 ps         0 ps
             /tbprobnot/DOUT(1)  49967      0  49953500 ps  50046500 ps         0 ps
             /tbprobnot/DOUT(0)  49967      0  49956500 ps  50043500 ps         0 ps
                /tbprobnot/ANDA  49967      0  49956500 ps  50043500 ps         0 ps
                /tbprobnot/ANDB  49976      0  49965000 ps  50035000 ps         0 ps
                /tbprobnot/ANDY  37384      0  75023900 ps  24976000 ps       100 ps
                 /tbprobnot/ORA  49967      0  49956500 ps  50043500 ps         0 ps
                 /tbprobnot/ORB  49976      0  49965000 ps  50035000 ps         0 ps
                 /tbprobnot/ORY  37541      0  25054400 ps  74945500 ps       100 ps
                  /tbprobnot/XA  49967      0  49956500 ps  50043500 ps         0 ps
                  /tbprobnot/XB  49976      0  49965000 ps  50035000 ps         0 ps
                  /tbprobnot/XY  49939      0  50030400 ps  49969500 ps       100 ps
--------------------------------------------------------------------------------
```

A.3 Ripple Carry Adder

A.3.1 Simulazione per 10 ns

```
Power Report Interval
10000 ps

Power Report              Node     Tc     Ti    Time At 1    Time At 0    Time At X
--------------------------------------------------------------------------------
                     /tbrca/CLK     20      0      5000 ps      5000 ps         0 ps
                   /tbrca/RESET      1      0      1000 ps      9000 ps         0 ps
                      /tbrca/LD      1      0      2000 ps      8000 ps         0 ps
                 /tbrca/PRN(15)      5      0      5500 ps      4500 ps         0 ps
                 /tbrca/PRN(14)      4      0      5000 ps      5000 ps         0 ps
                 /tbrca/PRN(13)      3      0      4500 ps      5500 ps         0 ps
                 /tbrca/PRN(12)      3      0      3500 ps      6500 ps         0 ps
                 /tbrca/PRN(11)      3      0      2500 ps      7500 ps         0 ps
                 /tbrca/PRN(10)      3      0      1500 ps      8500 ps         0 ps
                  /tbrca/PRN(9)      2      0      1000 ps      9000 ps         0 ps
                  /tbrca/PRN(8)      1      0       500 ps      9500 ps         0 ps
                  /tbrca/PRN(0)      1      0      2500 ps      7500 ps         0 ps
                    /tbrca/A(7)      3      0      3500 ps      6500 ps         0 ps
                    /tbrca/A(6)      4      0      5000 ps      5000 ps         0 ps
                    /tbrca/A(4)      1      0       500 ps      9500 ps         0 ps
                    /tbrca/A(2)      3      0      1500 ps      8500 ps         0 ps
                    /tbrca/A(0)      1      0      2500 ps      7500 ps         0 ps
```

```
                    /tbrca/B(5)      3      0      4500 ps      5500 ps         0 ps
                    /tbrca/B(3)      3      0      2500 ps      7500 ps         0 ps
                    /tbrca/B(1)      2      0      1000 ps      9000 ps         0 ps
                    /tbrca/B(0)      5      0      5500 ps      4500 ps         0 ps
                   /tbrca/S1(7)      3      0      3470 ps      6500 ps        30 ps
                   /tbrca/S1(6)      4      0      5000 ps      4970 ps        30 ps
                   /tbrca/S1(5)      3      0      4470 ps      5500 ps        30 ps
                   /tbrca/S1(4)      1      0       470 ps      9500 ps        30 ps
                   /tbrca/S1(3)      3      0      2470 ps      7500 ps        30 ps
                   /tbrca/S1(2)      3      0      1470 ps      8500 ps        30 ps
                   /tbrca/S1(1)      2      0      1000 ps      8970 ps        30 ps
                   /tbrca/S1(0)      4      0      7970 ps      2000 ps        30 ps
                   /tbrca/S2(7)      3      0      3470 ps      6470 ps        60 ps
                   /tbrca/S2(6)      4      0      5000 ps      4940 ps        60 ps
                   /tbrca/S2(5)      3      0      4470 ps      5470 ps        60 ps
                   /tbrca/S2(4)      1      0       470 ps      9470 ps        60 ps
                   /tbrca/S2(3)      3      0      2470 ps      7470 ps        60 ps
                   /tbrca/S2(2)      3      0      1470 ps      8470 ps        60 ps
                   /tbrca/S2(1)      2      0      1000 ps      8940 ps        60 ps
                   /tbrca/S2(0)      4      0      7970 ps      2000 ps        30 ps
                   /tbrca/S3(7)      3      0      3470 ps      6470 ps        60 ps
                   /tbrca/S3(6)      4      0      5000 ps      4940 ps        60 ps
                   /tbrca/S3(5)      3      0      4470 ps      5470 ps        60 ps
                   /tbrca/S3(4)      1      0       470 ps      9470 ps        60 ps
                   /tbrca/S3(3)      3      0      2470 ps      7470 ps        60 ps
                   /tbrca/S3(2)      3      0      1470 ps      8470 ps        60 ps
                   /tbrca/S3(1)      2      0      1000 ps      8940 ps        60 ps
                   /tbrca/S3(0)      4      0      7970 ps      2000 ps        30 ps
--------------------------------------------------------------------------------
```

A.3.2 Simulazione per 100 ns

```
Power Report Interval
100000 ps

Power Report              Node     Tc     Ti    Time At 1    Time At 0    Time At X
--------------------------------------------------------------------------------
                     /tbrca/CLK    200      0     50000 ps     50000 ps         0 ps
                   /tbrca/RESET      1      0      1000 ps     99000 ps         0 ps
                      /tbrca/LD      1      0      2000 ps     98000 ps         0 ps
                 /tbrca/PRN(15)     51      0     50500 ps     49500 ps         0 ps
                 /tbrca/PRN(14)     50      0     50000 ps     50000 ps         0 ps
                 /tbrca/PRN(13)     49      0     49500 ps     50500 ps         0 ps
                 /tbrca/PRN(12)     48      0     49000 ps     51000 ps         0 ps
                 /tbrca/PRN(11)     47      0     48500 ps     51500 ps         0 ps
                 /tbrca/PRN(10)     46      0     48000 ps     52000 ps         0 ps
                  /tbrca/PRN(9)     46      0     48000 ps     52000 ps         0 ps
                  /tbrca/PRN(8)     46      0     48000 ps     52000 ps         0 ps
                  /tbrca/PRN(7)     45      0     47500 ps     52500 ps         0 ps
                  /tbrca/PRN(6)     45      0     46500 ps     53500 ps         0 ps
                  /tbrca/PRN(5)     44      0     46000 ps     54000 ps         0 ps
                  /tbrca/PRN(4)     44      0     46000 ps     54000 ps         0 ps
                  /tbrca/PRN(3)     44      0     46000 ps     54000 ps         0 ps
                  /tbrca/PRN(2)     43      0     45500 ps     54500 ps         0 ps
                  /tbrca/PRN(1)     42      0     45000 ps     55000 ps         0 ps
                  /tbrca/PRN(0)     43      0     47500 ps     52500 ps         0 ps
                    /tbrca/A(7)     48      0     49000 ps     51000 ps         0 ps
```

```
                    /tbrca/A(6)     50      0     50000 ps     50000 ps         0 ps
                    /tbrca/A(5)     43      0     45500 ps     54500 ps         0 ps
                    /tbrca/A(4)     46      0     48000 ps     52000 ps         0 ps
                    /tbrca/A(3)     44      0     46000 ps     54000 ps         0 ps
                    /tbrca/A(2)     46      0     48000 ps     52000 ps         0 ps
                    /tbrca/A(1)     45      0     46500 ps     53500 ps         0 ps
                    /tbrca/A(0)     43      0     47500 ps     52500 ps         0 ps
                    /tbrca/B(7)     42      0     45000 ps     55000 ps         0 ps
                    /tbrca/B(6)     44      0     46000 ps     54000 ps         0 ps
                    /tbrca/B(5)     49      0     49500 ps     50500 ps         0 ps
                    /tbrca/B(4)     45      0     47500 ps     52500 ps         0 ps
                    /tbrca/B(3)     47      0     48500 ps     51500 ps         0 ps
                    /tbrca/B(2)     44      0     46000 ps     54000 ps         0 ps
                    /tbrca/B(1)     46      0     48000 ps     52000 ps         0 ps
                    /tbrca/B(0)     51      0     50500 ps     49500 ps         0 ps
                   /tbrca/S1(7)     40      0     48000 ps     51970 ps        30 ps
                   /tbrca/S1(6)     51      0     46470 ps     53500 ps        30 ps
                   /tbrca/S1(5)     52      0     52000 ps     47970 ps        30 ps
                   /tbrca/S1(4)     43      0     55470 ps     44500 ps        30 ps
                   /tbrca/S1(3)     47      0     50470 ps     49500 ps        30 ps
                   /tbrca/S1(2)     52      0     43000 ps     56970 ps        30 ps
                   /tbrca/S1(1)     51      0     46470 ps     53500 ps        30 ps
                   /tbrca/S1(0)     44      0     45970 ps     54000 ps        30 ps
                   /tbrca/S2(7)    112      0     47580 ps     52360 ps        60 ps
                   /tbrca/S2(6)    101      0     46110 ps     53830 ps        60 ps
                   /tbrca/S2(5)     92      0     52000 ps     47940 ps        60 ps
                   /tbrca/S2(4)     85      0     55170 ps     44770 ps        60 ps
                   /tbrca/S2(3)     99      0     50620 ps     49320 ps        60 ps
                   /tbrca/S2(2)     96      0     43420 ps     56520 ps        60 ps
                   /tbrca/S2(1)     95      0     46470 ps     53470 ps        60 ps
                   /tbrca/S2(0)     44      0     45970 ps     54000 ps        30 ps
                   /tbrca/S3(7)    112      0     47580 ps     52360 ps        60 ps
                   /tbrca/S3(6)    101      0     46110 ps     53830 ps        60 ps
                   /tbrca/S3(5)     92      0     52000 ps     47940 ps        60 ps
                   /tbrca/S3(4)     85      0     55170 ps     44770 ps        60 ps
                   /tbrca/S3(3)     99      0     50620 ps     49320 ps        60 ps
                   /tbrca/S3(2)     96      0     43420 ps     56520 ps        60 ps
                   /tbrca/S3(1)     95      0     46470 ps     53470 ps        60 ps
                   /tbrca/S3(0)     44      0     45970 ps     54000 ps        30 ps
                     /tbrca/Co1     52      0     46000 ps     54000 ps         0 ps
                     /tbrca/Co2     52      0     46300 ps     53670 ps        30 ps
                     /tbrca/Co3     52      0     46300 ps     53670 ps        30 ps
--------------------------------------------------------------------------------------
```

A.3.3 Simulazione per 1 µs

```
Power Report Interval
1000000 ps

Power Report              Node     Tc     Ti    Time At 1    Time At 0    Time At X
--------------------------------------------------------------------------------------
                    /tbrca/CLK   2000      0    500000 ps    500000 ps         0 ps
                  /tbrca/RESET      1      0      1000 ps    999000 ps         0 ps
                     /tbrca/LD      1      0      2000 ps    998000 ps         0 ps
                /tbrca/PRN(15)    539      0    534500 ps    465500 ps         0 ps
                /tbrca/PRN(14)    539      0    533500 ps    466500 ps         0 ps
                /tbrca/PRN(13)    539      0    532500 ps    467500 ps         0 ps
```

```
                 /tbrca/PRN(12)    538      0    532000 ps    468000 ps         0 ps
                 /tbrca/PRN(11)    538      0    532000 ps    468000 ps         0 ps
                 /tbrca/PRN(10)    538      0    532000 ps    468000 ps         0 ps
                  /tbrca/PRN(9)    537      0    531500 ps    468500 ps         0 ps
                  /tbrca/PRN(8)    536      0    531000 ps    469000 ps         0 ps
                  /tbrca/PRN(7)    536      0    531000 ps    469000 ps         0 ps
                  /tbrca/PRN(6)    535      0    530500 ps    469500 ps         0 ps
                  /tbrca/PRN(5)    535      0    529500 ps    470500 ps         0 ps
                  /tbrca/PRN(4)    534      0    529000 ps    471000 ps         0 ps
                  /tbrca/PRN(3)    533      0    528500 ps    471500 ps         0 ps
                  /tbrca/PRN(2)    533      0    527500 ps    472500 ps         0 ps
                  /tbrca/PRN(1)    532      0    527000 ps    473000 ps         0 ps
                  /tbrca/PRN(0)    533      0    529500 ps    470500 ps         0 ps
                    /tbrca/A(7)    538      0    532000 ps    468000 ps         0 ps
                    /tbrca/A(6)    539      0    533500 ps    466500 ps         0 ps
                    /tbrca/A(5)    533      0    527500 ps    472500 ps         0 ps
                    /tbrca/A(4)    536      0    531000 ps    469000 ps         0 ps
                    /tbrca/A(3)    534      0    529000 ps    471000 ps         0 ps
                    /tbrca/A(2)    538      0    532000 ps    468000 ps         0 ps
                    /tbrca/A(1)    535      0    530500 ps    469500 ps         0 ps
                    /tbrca/A(0)    533      0    529500 ps    470500 ps         0 ps
                    /tbrca/B(7)    532      0    527000 ps    473000 ps         0 ps
                    /tbrca/B(6)    533      0    528500 ps    471500 ps         0 ps
                    /tbrca/B(5)    539      0    532500 ps    467500 ps         0 ps
                    /tbrca/B(4)    536      0    531000 ps    469000 ps         0 ps
                    /tbrca/B(3)    538      0    532000 ps    468000 ps         0 ps
                    /tbrca/B(2)    535      0    529500 ps    470500 ps         0 ps
                    /tbrca/B(1)    537      0    531500 ps    468500 ps         0 ps
                    /tbrca/B(0)    539      0    534500 ps    465500 ps         0 ps
                   /tbrca/S1(7)    481      0    498470 ps    501500 ps        30 ps
                   /tbrca/S1(6)    485      0    517470 ps    482500 ps        30 ps
                   /tbrca/S1(5)    500      0    510000 ps    489970 ps        30 ps
                   /tbrca/S1(4)    458      0    499000 ps    500970 ps        30 ps
                   /tbrca/S1(3)    479      0    535470 ps    464500 ps        30 ps
                   /tbrca/S1(2)    500      0    498000 ps    501970 ps        30 ps
                   /tbrca/S1(1)    492      0    512000 ps    487970 ps        30 ps
                   /tbrca/S1(0)    470      0    509970 ps    490000 ps        30 ps
                   /tbrca/S2(7)   1243      0    496760 ps    503180 ps        60 ps
                   /tbrca/S2(6)   1179      0    517770 ps    482170 ps        60 ps
                   /tbrca/S2(5)   1076      0    508950 ps    490990 ps        60 ps
                   /tbrca/S2(4)   1070      0    500020 ps    499920 ps        60 ps
                   /tbrca/S2(3)   1111      0    534390 ps    465550 ps        60 ps
                   /tbrca/S2(2)   1060      0    499110 ps    500830 ps        60 ps
                   /tbrca/S2(1)    922      0    512000 ps    487940 ps        60 ps
                   /tbrca/S2(0)    470      0    509970 ps    490000 ps        30 ps
                   /tbrca/S3(7)   1243      0    496760 ps    503180 ps        60 ps
                   /tbrca/S3(6)   1179      0    517770 ps    482170 ps        60 ps
                   /tbrca/S3(5)   1076      0    508950 ps    490990 ps        60 ps
                   /tbrca/S3(4)   1070      0    500020 ps    499920 ps        60 ps
                   /tbrca/S3(3)   1111      0    534390 ps    465550 ps        60 ps
                   /tbrca/S3(2)   1060      0    499110 ps    500830 ps        60 ps
                   /tbrca/S3(1)    922      0    512000 ps    487940 ps        60 ps
                   /tbrca/S3(0)    470      0    509970 ps    490000 ps        30 ps
                     /tbrca/Co1    638      0    552000 ps    448000 ps         0 ps
                     /tbrca/Co2    638      0    552840 ps    447130 ps        30 ps
                     /tbrca/Co3    638      0    552840 ps    447130 ps        30 ps
--------------------------------------------------------------------------------
```

A.3.4 Simulazione per 10 µs

```
Power Report Interval
10000000 ps

Power Report              Node     Tc     Ti    Time At 1    Time At 0    Time At X
-------------------------------------------------------------------------------------
                     /tbrca/CLK  20000      0   5000000 ps   5000000 ps         0 ps
                   /tbrca/RESET      1      0      1000 ps   9999000 ps         0 ps
                      /tbrca/LD      1      0      2000 ps   9998000 ps         0 ps
                 /tbrca/PRN(15)   4924      0   4929000 ps   5071000 ps         0 ps
                 /tbrca/PRN(14)   4923      0   4928500 ps   5071500 ps         0 ps
                 /tbrca/PRN(13)   4922      0   4928000 ps   5072000 ps         0 ps
                 /tbrca/PRN(12)   4922      0   4928000 ps   5072000 ps         0 ps
                 /tbrca/PRN(11)   4921      0   4927500 ps   5072500 ps         0 ps
                 /tbrca/PRN(10)   4921      0   4926500 ps   5073500 ps         0 ps
                  /tbrca/PRN(9)   4921      0   4925500 ps   5074500 ps         0 ps
                  /tbrca/PRN(8)   4921      0   4924500 ps   5075500 ps         0 ps
                  /tbrca/PRN(7)   4920      0   4924000 ps   5076000 ps         0 ps
                  /tbrca/PRN(6)   4919      0   4923500 ps   5076500 ps         0 ps
                  /tbrca/PRN(5)   4918      0   4923000 ps   5077000 ps         0 ps
                  /tbrca/PRN(4)   4917      0   4922500 ps   5077500 ps         0 ps
                  /tbrca/PRN(3)   4917      0   4921500 ps   5078500 ps         0 ps
                  /tbrca/PRN(2)   4916      0   4921000 ps   5079000 ps         0 ps
                  /tbrca/PRN(1)   4915      0   4920500 ps   5079500 ps         0 ps
                  /tbrca/PRN(0)   4916      0   4922000 ps   5078000 ps         0 ps
                    /tbrca/A(7)   4922      0   4928000 ps   5072000 ps         0 ps
                    /tbrca/A(6)   4923      0   4928500 ps   5071500 ps         0 ps
                    /tbrca/A(5)   4916      0   4921000 ps   5079000 ps         0 ps
                    /tbrca/A(4)   4921      0   4924500 ps   5075500 ps         0 ps
                    /tbrca/A(3)   4917      0   4922500 ps   5077500 ps         0 ps
                    /tbrca/A(2)   4921      0   4926500 ps   5073500 ps         0 ps
                    /tbrca/A(1)   4919      0   4923500 ps   5076500 ps         0 ps
                    /tbrca/A(0)   4916      0   4922000 ps   5078000 ps         0 ps
                    /tbrca/B(7)   4915      0   4920500 ps   5079500 ps         0 ps
                    /tbrca/B(6)   4917      0   4921500 ps   5078500 ps         0 ps
                    /tbrca/B(5)   4922      0   4928000 ps   5072000 ps         0 ps
                    /tbrca/B(4)   4920      0   4924000 ps   5076000 ps         0 ps
                    /tbrca/B(3)   4921      0   4927500 ps   5072500 ps         0 ps
                    /tbrca/B(2)   4918      0   4923000 ps   5077000 ps         0 ps
                    /tbrca/B(1)   4921      0   4925500 ps   5074500 ps         0 ps
                    /tbrca/B(0)   4924      0   4929000 ps   5071000 ps         0 ps
                   /tbrca/S1(7)   4958      0   4924000 ps   5075970 ps        30 ps
                   /tbrca/S1(6)   4948      0   5057000 ps   4942970 ps        30 ps
                   /tbrca/S1(5)   5007      0   4970470 ps   5029500 ps        30 ps
                   /tbrca/S1(4)   4794      0   4957000 ps   5042970 ps        30 ps
                   /tbrca/S1(3)   4979      0   4943470 ps   5056500 ps        30 ps
                   /tbrca/S1(2)   5022      0   5028000 ps   4971970 ps        30 ps
                   /tbrca/S1(1)   5000      0   5026000 ps   4973970 ps        30 ps
                   /tbrca/S1(0)   4876      0   4954970 ps   5045000 ps        30 ps
                   /tbrca/S2(7)  11884      0   4929460 ps   5070480 ps        60 ps
                   /tbrca/S2(6)  11546      0   5051120 ps   4948820 ps        60 ps
                   /tbrca/S2(5)  10537      0   4971490 ps   5028450 ps        60 ps
                   /tbrca/S2(4)  10954      0   4954240 ps   5045700 ps        60 ps
                   /tbrca/S2(3)  10825      0   4944280 ps   5055660 ps        60 ps
                   /tbrca/S2(2)  10454      0   5025960 ps   4973980 ps        60 ps
                   /tbrca/S2(1)   8576      0   5025940 ps   4974000 ps        60 ps
                   /tbrca/S2(0)   4876      0   4954970 ps   5045000 ps        30 ps
```

```
                  /tbrca/S3(7)  11884      0   4929460 ps   5070480 ps        60 ps
                  /tbrca/S3(6)  11546      0   5051120 ps   4948820 ps        60 ps
                  /tbrca/S3(5)  10537      0   4971490 ps   5028450 ps        60 ps
                  /tbrca/S3(4)  10954      0   4954240 ps   5045700 ps        60 ps
                  /tbrca/S3(3)  10825      0   4944280 ps   5055660 ps        60 ps
                  /tbrca/S3(2)  10454      0   5025960 ps   4973980 ps        60 ps
                  /tbrca/S3(1)   8576      0   5025940 ps   4974000 ps        60 ps
                  /tbrca/S3(0)   4876      0   4954970 ps   5045000 ps        30 ps
                    /tbrca/Co1   6107      0   4861500 ps   5138500 ps         0 ps
                    /tbrca/Co2   6107      0   4860240 ps   5139730 ps        30 ps
                    /tbrca/Co3   6107      0   4860240 ps   5139730 ps        30 ps
--------------------------------------------------------------------------------
```

A.3.5 Simulazione per 100 µs

```
Power Report Interval
100000000 ps

Power Report              Node     Tc     Ti    Time At 1    Time At 0    Time At X
--------------------------------------------------------------------------------
                    /tbrca/CLK 200000      0  50000000 ps  50000000 ps         0 ps
                  /tbrca/RESET      1      0      1000 ps  99999000 ps         0 ps
                     /tbrca/LD      3      0      4000 ps  99996000 ps         0 ps
                /tbrca/PRN(15)  49976      0  49965000 ps  50035000 ps         0 ps
                /tbrca/PRN(14)  49976      0  49965000 ps  50035000 ps         0 ps
                /tbrca/PRN(13)  49975      0  49964500 ps  50035500 ps         0 ps
                /tbrca/PRN(12)  49974      0  49964000 ps  50036000 ps         0 ps
                /tbrca/PRN(11)  49974      0  49964000 ps  50036000 ps         0 ps
                /tbrca/PRN(10)  49971      0  49962500 ps  50037500 ps         0 ps
                 /tbrca/PRN(9)  49971      0  49961500 ps  50038500 ps         0 ps
                 /tbrca/PRN(8)  49970      0  49961000 ps  50039000 ps         0 ps
                 /tbrca/PRN(7)  49970      0  49960000 ps  50040000 ps         0 ps
                 /tbrca/PRN(6)  49967      0  49958500 ps  50041500 ps         0 ps
                 /tbrca/PRN(5)  49967      0  49957500 ps  50042500 ps         0 ps
                 /tbrca/PRN(4)  49967      0  49956500 ps  50043500 ps         0 ps
                 /tbrca/PRN(3)  49967      0  49955500 ps  50044500 ps         0 ps
                 /tbrca/PRN(2)  49967      0  49954500 ps  50045500 ps         0 ps
                 /tbrca/PRN(1)  49967      0  49953500 ps  50046500 ps         0 ps
                 /tbrca/PRN(0)  49967      0  49956500 ps  50043500 ps         0 ps
                   /tbrca/A(7)  49974      0  49964000 ps  50036000 ps         0 ps
                   /tbrca/A(6)  49976      0  49965000 ps  50035000 ps         0 ps
                   /tbrca/A(5)  49967      0  49954500 ps  50045500 ps         0 ps
                   /tbrca/A(4)  49970      0  49961000 ps  50039000 ps         0 ps
                   /tbrca/A(3)  49967      0  49956500 ps  50043500 ps         0 ps
                   /tbrca/A(2)  49971      0  49962500 ps  50037500 ps         0 ps
                   /tbrca/A(1)  49967      0  49958500 ps  50041500 ps         0 ps
                   /tbrca/A(0)  49967      0  49956500 ps  50043500 ps         0 ps
                   /tbrca/B(7)  49967      0  49953500 ps  50046500 ps         0 ps
                   /tbrca/B(6)  49967      0  49955500 ps  50044500 ps         0 ps
                   /tbrca/B(5)  49975      0  49964500 ps  50035500 ps         0 ps
                   /tbrca/B(4)  49970      0  49960000 ps  50040000 ps         0 ps
                   /tbrca/B(3)  49974      0  49964000 ps  50036000 ps         0 ps
                   /tbrca/B(2)  49967      0  49957500 ps  50042500 ps         0 ps
                   /tbrca/B(1)  49971      0  49961500 ps  50038500 ps         0 ps
                   /tbrca/B(0)  49976      0  49965000 ps  50035000 ps         0 ps
                  /tbrca/S1(7)  49926      0  49952000 ps  50047970 ps        30 ps
                  /tbrca/S1(6)  49804      0  50049000 ps  49950970 ps        30 ps
```

```
                    /tbrca/S1(5)  50088      0  49925000 ps  50074970 ps        30 ps
                    /tbrca/S1(4)  49131      0  49966470 ps  50033500 ps        30 ps
                    /tbrca/S1(3)  50062      0  50019000 ps  49980970 ps        30 ps
                    /tbrca/S1(2)  50007      0  49919470 ps  50080500 ps        30 ps
                    /tbrca/S1(1)  49924      0  50043000 ps  49956970 ps        30 ps
                    /tbrca/S1(0)  49939      0  49969500 ps  50030470 ps        30 ps
                    /tbrca/S2(7) 118828      0  49971800 ps  50028140 ps        60 ps
                    /tbrca/S2(6) 115360      0  50042580 ps  49957360 ps        60 ps
                    /tbrca/S2(5) 105496      0  49923440 ps  50076500 ps        60 ps
                    /tbrca/S2(4) 110879      0  49962000 ps  50037940 ps        60 ps
                    /tbrca/S2(3) 109322      0  50020500 ps  49979440 ps        60 ps
                    /tbrca/S2(2) 106199      0  49927120 ps  50072820 ps        60 ps
                    /tbrca/S2(1)  87310      0  50038800 ps  49961140 ps        60 ps
                    /tbrca/S2(0)  49939      0  49969500 ps  50030470 ps        30 ps
                    /tbrca/S3(7) 118828      0  49971800 ps  50028140 ps        60 ps
                    /tbrca/S3(6) 115360      0  50042580 ps  49957360 ps        60 ps
                    /tbrca/S3(5) 105496      0  49923440 ps  50076500 ps        60 ps
                    /tbrca/S3(4) 110879      0  49962000 ps  50037940 ps        60 ps
                    /tbrca/S3(3) 109322      0  50020500 ps  49979440 ps        60 ps
                    /tbrca/S3(2) 106199      0  49927120 ps  50072820 ps        60 ps
                    /tbrca/S3(1)  87310      0  50038800 ps  49961140 ps        60 ps
                    /tbrca/S3(0)  49939      0  49969500 ps  50030470 ps        30 ps
                      /tbrca/Co1  61633      0  49747500 ps  50252500 ps         0 ps
                      /tbrca/Co2  61633      0  49739490 ps  50260480 ps        30 ps
                      /tbrca/Co3  61633      0  49739490 ps  50260480 ps        30 ps
--------------------------------------------------------------------------------
```

A.4 Synchronous counter

A.4.1 Simulazione con periodo di clock pari a 2 ns

```
Power Report Interval
600000 ps

Power Report                Node     Tc     Ti    Time At 1    Time At 0    Time At X
--------------------------------------------------------------------------------
          /testcount/UCOUNTER1/A      1      0       594000         6000            0
         /testcount/UCOUNTER1/CK    600      0       300000       300000            0
      /testcount/UCOUNTER1/RESET      1      0         2000       598000            0
       /testcount/UCOUNTER1/S(7)      2      0       256000       344000            0
       /testcount/UCOUNTER1/S(6)      4      0       256000       344000            0
       /testcount/UCOUNTER1/S(5)      9      0       275000       325000            0
       /testcount/UCOUNTER1/S(4)     18      0       288000       312000            0
       /testcount/UCOUNTER1/S(3)     37      0       291000       309000            0
       /testcount/UCOUNTER1/S(2)     74      0       296000       304000            0
       /testcount/UCOUNTER1/S(1)    148      0       296000       304000            0
       /testcount/UCOUNTER1/S(0)    297      0       297000       303000            0
         /testcount/UCOUNTER1/Co     16      0         2000       597800          200
    /testcount/UCOUNTER1/STMP(7)     30      0       256000       343600          400
    /testcount/UCOUNTER1/STMP(6)     54      0       256200       343400          400
    /testcount/UCOUNTER1/STMP(5)     99      0       276400       323200          400
    /testcount/UCOUNTER1/STMP(4)    164      0       288200       311400          400
    /testcount/UCOUNTER1/STMP(3)    259      0       292400       307200          400
    /testcount/UCOUNTER1/STMP(2)    370      0       296000       303600          400
    /testcount/UCOUNTER1/STMP(1)    445      0       296600       303000          400
    /testcount/UCOUNTER1/STMP(0)    298      0       297000       302800          200
    /testcount/UCOUNTER1/CTMP(8)     16      0         2000       597800          200
```

```
    /testcount/UCOUNTER1/CTMP(7)     28      0        4000       595800          200
    /testcount/UCOUNTER1/CTMP(6)     50      0        8200       591600          200
    /testcount/UCOUNTER1/CTMP(5)     90      0       18000       581800          200
    /testcount/UCOUNTER1/CTMP(4)    146      0       36200       563600          200
    /testcount/UCOUNTER1/CTMP(3)    222      0       74000       525800          200
    /testcount/UCOUNTER1/CTMP(2)    296      0      148000       451800          200
    /testcount/UCOUNTER1/CTMP(1)    297      0      296800       303000          200
    /testcount/UCOUNTER1/CTMP(0)      1      0      594000         6000            0
/testcount/UCOUNTER1/STMPSYNC(7)      2      0      256000       344000            0
/testcount/UCOUNTER1/STMPSYNC(6)      4      0      256000       344000            0
/testcount/UCOUNTER1/STMPSYNC(5)      9      0      275000       325000            0
/testcount/UCOUNTER1/STMPSYNC(4)     18      0      288000       312000            0
/testcount/UCOUNTER1/STMPSYNC(3)     37      0      291000       309000            0
/testcount/UCOUNTER1/STMPSYNC(2)     74      0      296000       304000            0
/testcount/UCOUNTER1/STMPSYNC(1)    148      0      296000       304000            0
/testcount/UCOUNTER1/STMPSYNC(0)    297      0      297000       303000            0
-------------------------------------------------------------------------------------
```

A.4.2 Simulazione con periodo di clock pari a 0.8 ns

```
Power Report Interval
600000 ps

Power Report                Node     Tc     Ti    Time At 1    Time At 0    Time At X
-------------------------------------------------------------------------------------
          /testcount/UCOUNTER1/A      1      0       597600         2400            0
         /testcount/UCOUNTER1/CK   1500      0       300000       300000            0
      /testcount/UCOUNTER1/RESET      1      0          800       599200            0
       /testcount/UCOUNTER1/S(7)      5      0       302800       297200            0
       /testcount/UCOUNTER1/S(6)     11      0       296400       303600            0
       /testcount/UCOUNTER1/S(5)     23      0       293200       306800            0
       /testcount/UCOUNTER1/S(4)     46      0       294400       305600            0
       /testcount/UCOUNTER1/S(3)     93      0       297200       302800            0
       /testcount/UCOUNTER1/S(2)    186      0       297600       302400            0
       /testcount/UCOUNTER1/S(1)    373      0       298800       301200            0
       /testcount/UCOUNTER1/S(0)    747      0       298800       301200            0
         /testcount/UCOUNTER1/Co     22      0         2200       597600          200
    /testcount/UCOUNTER1/STMP(7)     39      0       302600       297000          400
    /testcount/UCOUNTER1/STMP(6)     79      0       296400       303200          400
    /testcount/UCOUNTER1/STMP(5)    161      0       293400       306200          400
    /testcount/UCOUNTER1/STMP(4)    324      0       294600       305000          400
    /testcount/UCOUNTER1/STMP(3)    651      0       297400       302200          400
    /testcount/UCOUNTER1/STMP(2)    932      0       297800       301800          400
    /testcount/UCOUNTER1/STMP(1)   1120      0       299000       300600          400
    /testcount/UCOUNTER1/STMP(0)    748      0       298800       301000          200
    /testcount/UCOUNTER1/CTMP(8)     22      0         2200       597600          200
    /testcount/UCOUNTER1/CTMP(7)     44      0         4400       595400          200
    /testcount/UCOUNTER1/CTMP(6)     90      0         9000       590800          200
    /testcount/UCOUNTER1/CTMP(5)    184      0        18400       581400          200
    /testcount/UCOUNTER1/CTMP(4)    370      0        37000       562800          200
    /testcount/UCOUNTER1/CTMP(3)    558      0        74400       525400          200
    /testcount/UCOUNTER1/CTMP(2)    747      0       149000       450800          200
    /testcount/UCOUNTER1/CTMP(1)    747      0       298600       301200          200
    /testcount/UCOUNTER1/CTMP(0)      1      0       597600         2400            0
/testcount/UCOUNTER1/STMPSYNC(7)      5      0       302800       297200            0
/testcount/UCOUNTER1/STMPSYNC(6)     11      0       296400       303600            0
/testcount/UCOUNTER1/STMPSYNC(5)     23      0       293200       306800            0
```

```
/testcount/UCOUNTER1/STMPSYNC(4)     46      0       294400       305600            0
/testcount/UCOUNTER1/STMPSYNC(3)     93      0       297200       302800            0
/testcount/UCOUNTER1/STMPSYNC(2)    186      0       297600       302400            0
/testcount/UCOUNTER1/STMPSYNC(1)    373      0       298800       301200            0
/testcount/UCOUNTER1/STMPSYNC(0)    747      0       298800       301200            0
--------------------------------------------------------------------------------------
```

B Report Synopsys

B.1 Report timing

```
****************************************
Report : timing
        -path full
        -delay max
        -max_paths 1
Design : RCA
Version: S-2021.06-SP4
Date   : Mon Mar 25 16:40:43 2024
****************************************

Operating Conditions: typical   Library: NangateOpenCellLibrary
Wire Load Model Mode: top

  Startpoint: B[0] (input port)
  Endpoint: Co (output port)
  Path Group: (none)
  Path Type: max

  Des/Clust/Port     Wire Load Model       Library
  ------------------------------------------------
  RCA                5K_hvratio_1_1        NangateOpenCellLibrary

  Point                                    Incr       Path
  -----------------------------------------------------------
  input external delay                     0.00       0.00 f
  B[0] (in)                                0.00       0.00 f
  FAI_1/B (FA_0)                           0.00       0.00 f
  FAI_1/U4/Z (XOR2_X1)                     0.08       0.08 f
  FAI_1/U3/ZN (AOI22_X1)                   0.06       0.13 r
  FAI_1/U2/ZN (INV_X1)                     0.03       0.16 f
  FAI_1/Co (FA_0)                          0.00       0.16 f
  FAI_2/Ci (FA_7)                          0.00       0.16 f
  FAI_2/U3/ZN (AOI22_X1)                   0.06       0.22 r
  FAI_2/U2/ZN (INV_X1)                     0.03       0.25 f
  FAI_2/Co (FA_7)                          0.00       0.25 f
  FAI_3/Ci (FA_6)                          0.00       0.25 f
  FAI_3/U3/ZN (AOI22_X1)                   0.06       0.31 r
  FAI_3/U2/ZN (INV_X1)                     0.03       0.34 f
  FAI_3/Co (FA_6)                          0.00       0.34 f
  FAI_4/Ci (FA_5)                          0.00       0.34 f
  FAI_4/U3/ZN (AOI22_X1)                   0.06       0.40 r
  FAI_4/U2/ZN (INV_X1)                     0.03       0.43 f
  FAI_4/Co (FA_5)                          0.00       0.43 f
  FAI_5/Ci (FA_4)                          0.00       0.43 f
  FAI_5/U3/ZN (AOI22_X1)                   0.06       0.49 r
  FAI_5/U2/ZN (INV_X1)                     0.03       0.52 f
  FAI_5/Co (FA_4)                          0.00       0.52 f
  FAI_6/Ci (FA_3)                          0.00       0.52 f
  FAI_6/U3/ZN (AOI22_X1)                   0.06       0.58 r
  FAI_6/U2/ZN (INV_X1)                     0.03       0.61 f
  FAI_6/Co (FA_3)                          0.00       0.61 f
  FAI_7/Ci (FA_2)                          0.00       0.61 f
  FAI_7/U3/ZN (AOI22_X1)                   0.06       0.67 r
  FAI_7/U2/ZN (INV_X1)                     0.03       0.70 f
```

```
  FAI_7/Co (FA_2)                          0.00       0.70 f
  FAI_8/Ci (FA_1)                          0.00       0.70 f
  FAI_8/U3/ZN (AOI22_X1)                   0.06       0.76 r
  FAI_8/U2/ZN (INV_X1)                     0.02       0.77 f
  FAI_8/Co (FA_1)                          0.00       0.77 f
  Co (out)                                 0.00       0.78 f
  data arrival time                                   0.78
  -------------------------------------------------------------
  (Path is unconstrained)
```

B.2 Report power

```
****************************************
Report : power
        -analysis_effort low
Design : RCA
Version: S-2021.06-SP4
Date   : Mon Mar 25 16:44:40 2024
****************************************


Library(s) Used:

    NangateOpenCellLibrary (File:
    ↪  /home/mg.lowpower/do/libnangate/NangateOpenCellLibrary_typical_ecsm.db)


Operating Conditions: typical   Library: NangateOpenCellLibrary
Wire Load Model Mode: top

Design        Wire Load Model            Library
------------------------------------------------
RCA                    5K_hvratio_1_1    NangateOpenCellLibrary


Global Operating Voltage = 1.1
Power-specific unit information :
    Voltage Units = 1V
    Capacitance Units = 1.000000ff
    Time Units = 1ns
    Dynamic Power Units = 1uW    (derived from V,C,T units)
    Leakage Power Units = 1nW


  Cell Internal Power  =  16.7407 uW   (63%)
  Net Switching Power  =   9.7406 uW   (37%)
                         ---------
Total Dynamic Power    =  26.4813 uW  (100%)

Cell Leakage Power     = 953.4835 nW

Information: report_power power group summary does not include estimated clock tree
↪  power. (PWR-789)

                  Internal      Switching     Leakage        Total
Power Group       Power         Power         Power          Power      (   %   )  Attrs
--------------------------------------------------------------------------------------
```

```
io_pad              0.0000       0.0000          0.0000        0.0000    (  0.00%)
memory              0.0000       0.0000          0.0000        0.0000    (  0.00%)
black_box           0.0000       0.0000          0.0000        0.0000    (  0.00%)
clock_network       0.0000       0.0000          0.0000        0.0000    (  0.00%)
register            0.0000       0.0000          0.0000        0.0000    (  0.00%)
sequential          0.0000       0.0000          0.0000        0.0000    (  0.00%)
combinational      16.7407       9.7406        953.4835       27.4348    (100.00%)
--------------------------------------------------------------------------------------
Total              16.7407 uW    9.7406 uW     953.4835 nW    27.4348 uW
```

B.3 Hierarchical report power

```
****************************************
Report : power
        -hier
        -analysis_effort low
Design : RCA
Version: S-2021.06-SP4
Date   : Mon Mar 25 16:50:42 2024
****************************************


Library(s) Used:

    NangateOpenCellLibrary (File:
    ↪  /home/mg.lowpower/do/libnangate/NangateOpenCellLibrary_typical_ecsm.db)


Operating Conditions: typical   Library: NangateOpenCellLibrary
Wire Load Model Mode: top

Design        Wire Load Model            Library
------------------------------------------------
RCA                    5K_hvratio_1_1    NangateOpenCellLibrary


Global Operating Voltage = 1.1
Power-specific unit information :
    Voltage Units = 1V
    Capacitance Units = 1.000000ff
    Time Units = 1ns
    Dynamic Power Units = 1uW    (derived from V,C,T units)
    Leakage Power Units = 1nW


--------------------------------------------------------------------------------
                                       Switch   Int      Leak     Total
Hierarchy                              Power    Power    Power    Power    %
--------------------------------------------------------------------------------
RCA                                       9.741   16.741  953.483   27.435 100.0
  FAI_8 (FA_1)                            0.848    2.154  119.291    3.121  11.4
  FAI_7 (FA_2)                            1.293    2.150  118.962    3.562  13.0
  FAI_6 (FA_3)                            1.332    2.191  119.340    3.642  13.3
  FAI_5 (FA_4)                            1.328    2.171  119.110    3.617  13.2
  FAI_4 (FA_5)                            1.278    2.101  119.294    3.498  12.7
  FAI_3 (FA_6)                            1.263    2.089  118.979    3.471  12.7
  FAI_2 (FA_7)                            1.229    2.002  119.508    3.350  12.2
  FAI_1 (FA_0)                            1.171    1.884  118.999    3.175  11.6
```

B.4 Report power FAI1

```
****************************************
Report : power
        -analysis_effort low
Design : RCA/FAI_1 (FA_0)
Version: S-2021.06-SP4
Date   : Mon Mar 25 16:59:19 2024
****************************************


Library(s) Used:

    NangateOpenCellLibrary (File:
    ↪  /home/mg.lowpower/do/libnangate/NangateOpenCellLibrary_typical_ecsm.db)


Operating Conditions: typical   Library: NangateOpenCellLibrary
Wire Load Model Mode: top

Design        Wire Load Model            Library
------------------------------------------------
RCA                    5K_hvratio_1_1    NangateOpenCellLibrary


Global Operating Voltage = 1.1
Power-specific unit information :
    Voltage Units = 1V
    Capacitance Units = 1.000000ff
    Time Units = 1ns
    Dynamic Power Units = 1uW    (derived from V,C,T units)
    Leakage Power Units = 1nW


  Cell Internal Power  =   1.8842 uW   (62%)
  Net Switching Power  =   1.1714 uW   (38%)
                         ---------
Total Dynamic Power    =   3.0555 uW  (100%)

Cell Leakage Power     = 118.9995 nW

Information: report_power power group summary does not include estimated clock tree
↪  power. (PWR-789)

                 Internal      Switching        Leakage         Total
Power Group      Power         Power            Power           Power   (   %   )  Attrs
--------------------------------------------------------------------------------------
io_pad             0.0000         0.0000         0.0000         0.0000  (  0.00%)
memory             0.0000         0.0000         0.0000         0.0000  (  0.00%)
black_box          0.0000         0.0000         0.0000         0.0000  (  0.00%)
clock_network      0.0000         0.0000         0.0000         0.0000  (  0.00%)
register           0.0000         0.0000         0.0000         0.0000  (  0.00%)
sequential         0.0000         0.0000         0.0000         0.0000  (  0.00%)
combinational     16.7407         9.7406       953.4835        27.4348  (100.00%)
--------------------------------------------------------------------------------------
Total             16.7407 uW      9.7406 uW    953.4835 nW     27.4348 uW
```

B.5 Report power FAI8

```
****************************************
Report : power
        -analysis_effort low
Design : RCA/FAI_8 (FA_1)
Version: S-2021.06-SP4
Date   : Mon Mar 25 17:06:24 2024
****************************************


Library(s) Used:

    NangateOpenCellLibrary (File:
    ↪  /home/mg.lowpower/do/libnangate/NangateOpenCellLibrary_typical_ecsm.db)


Operating Conditions: typical   Library: NangateOpenCellLibrary
Wire Load Model Mode: top

Design        Wire Load Model            Library
------------------------------------------------
RCA                    5K_hvratio_1_1    NangateOpenCellLibrary


Global Operating Voltage = 1.1
Power-specific unit information :
    Voltage Units = 1V
    Capacitance Units = 1.000000ff
    Time Units = 1ns
    Dynamic Power Units = 1uW    (derived from V,C,T units)
    Leakage Power Units = 1nW


  Cell Internal Power  =   2.1539 uW   (72%)
  Net Switching Power  = 847.5642 nW   (28%)
                         ---------
Total Dynamic Power    =   3.0015 uW  (100%)

Cell Leakage Power     = 119.2907 nW

Information: report_power power group summary does not include estimated clock tree
↪  power. (PWR-789)

                 Internal      Switching        Leakage         Total
Power Group      Power         Power            Power           Power   (   %   )  Attrs
--------------------------------------------------------------------------------------
io_pad             0.0000         0.0000         0.0000         0.0000  (  0.00%)
memory             0.0000         0.0000         0.0000         0.0000  (  0.00%)
black_box          0.0000         0.0000         0.0000         0.0000  (  0.00%)
clock_network      0.0000         0.0000         0.0000         0.0000  (  0.00%)
register           0.0000         0.0000         0.0000         0.0000  (  0.00%)
sequential         0.0000         0.0000         0.0000         0.0000  (  0.00%)
combinational     16.7407         9.7406       953.4835        27.4348  (100.00%)
--------------------------------------------------------------------------------------
Total             16.7407 uW      9.7406 uW    953.4835 nW     27.4348 uW
```

B.6 Cell report power FAI1

```
****************************************
Report : power
        -cell
        -analysis_effort low
        -sort_mode cell_internal_power
Design : RCA/FAI_1 (FA_0)
Version: S-2021.06-SP4
Date   : Mon Mar 25 16:59:34 2024
****************************************


Library(s) Used:

    NangateOpenCellLibrary (File:
    ↪  /home/mg.lowpower/do/libnangate/NangateOpenCellLibrary_typical_ecsm.db)


Operating Conditions: typical   Library: NangateOpenCellLibrary
Wire Load Model Mode: top

Design        Wire Load Model            Library
------------------------------------------------
RCA                    5K_hvratio_1_1    NangateOpenCellLibrary


Global Operating Voltage = 1.1
Power-specific unit information :
    Voltage Units = 1V
    Capacitance Units = 1.000000ff
    Time Units = 1ns
    Dynamic Power Units = 1uW    (derived from V,C,T units)
    Leakage Power Units = 1nW



  Attributes
  ----------
      h  -  Hierarchical cell

                         Cell      Driven Net  Tot Dynamic      Cell
                         Internal  Switching   Power            Leakage
Cell                     Power     Power       (% Cell/Tot)     Power      Attrs
--------------------------------------------------------------------------------
U1                          0.8205    0.0512      0.872 (94%)     36.0111
U4                          0.5889    0.5488      1.138 (52%)     36.1637
U3                          0.3374    0.1749      0.512 (66%)     32.5747
U2                          0.1374    0.3964      0.534 (26%)     14.2499
--------------------------------------------------------------------------------
Totals (4 cells)            1.884uW   1.171uW     3.056uW (62%)  118.999nW
```

B.7 Cell report power FAI8

```
****************************************
Report : power
        -cell
```

```
        -analysis_effort low
        -sort_mode cell_internal_power
Design : RCA/FAI_8 (FA_1)
Version: S-2021.06-SP4
Date   : Mon Mar 25 17:06:09 2024
****************************************


Library(s) Used:

    NangateOpenCellLibrary (File:
    ↪  /home/mg.lowpower/do/libnangate/NangateOpenCellLibrary_typical_ecsm.db)


Operating Conditions: typical   Library: NangateOpenCellLibrary
Wire Load Model Mode: top

Design        Wire Load Model            Library
------------------------------------------------
RCA                    5K_hvratio_1_1    NangateOpenCellLibrary


Global Operating Voltage = 1.1
Power-specific unit information :
    Voltage Units = 1V
    Capacitance Units = 1.000000ff
    Time Units = 1ns
    Dynamic Power Units = 1uW    (derived from V,C,T units)
    Leakage Power Units = 1nW



  Attributes
  ----------
      h  -  Hierarchical cell

                        Cell      Driven Net  Tot Dynamic      Cell
                        Internal  Switching   Power            Leakage
Cell                    Power     Power       (% Cell/Tot)     Power      Attrs
--------------------------------------------------------------------------------
U1                         0.9734    0.0624      1.036 (94%)     36.1631
U4                         0.5757    0.5365      1.112 (52%)     36.1637
U3                         0.4278    0.2155      0.643 (67%)     32.7466
U2                         0.1771    0.0332      0.210 (84%)     14.2174
--------------------------------------------------------------------------------
Totals (4 cells)           2.154uW 847.564nW     3.001uW (72%)  119.291nW
```

B.8 Net verbose report power FAI1

```
****************************************
Report : power
        -net
        -analysis_effort low
        -verbose
        -sort_mode net_switching_power
Design : RCA/FAI_1 (FA_0)
Version: S-2021.06-SP4
```

```
Date   : Mon Mar 25 17:20:43 2024
****************************************


Library(s) Used:

    NangateOpenCellLibrary (File:
    ↪  /home/mg.lowpower/do/libnangate/NangateOpenCellLibrary_typical_ecsm.db)


Operating Conditions: typical   Library: NangateOpenCellLibrary
Wire Load Model Mode: top

Design        Wire Load Model            Library
------------------------------------------------
RCA                    5K_hvratio_1_1    NangateOpenCellLibrary


Global Operating Voltage = 1.1
Power-specific unit information :
    Voltage Units = 1V
    Capacitance Units = 1.000000ff
    Time Units = 1ns
    Dynamic Power Units = 1uW    (derived from V,C,T units)
    Leakage Power Units = 1nW


  Attributes
  ----------
      a  -  Switching activity information annotated on net
      d  -  Default switching activity information on net

                              Total      Static   Toggle   Switching
Net                           Net Load   Prob.    Rate     Power      Attrs
--------------------------------------------------------------------------------
n1                              4.694    0.493    0.1932      0.5488
Co                              4.554    0.512    0.1439      0.3964
n2                              2.010    0.488    0.1439      0.1749
S                               0.310    0.507    0.2735      0.0512
--------------------------------------------------------------------------------
Total (4 nets)                                                1.1714 uW


  Attributes
  ----------
      a  -  Switching activity information annotated on net
      d  -  Default switching activity information on net
      m  -  Multiply-driven net

                            Net         Driver     Tot Dynamic     Driver
                            Switching   Internal   Power           Leakage
Net                         Power       Power      (% Net/Tot)     Power    Attrs
--------------------------------------------------------------------------------
n1                             0.5488     0.5889     1.138 (48%)    36.1637
Co                             0.3964     0.1374     0.534 (74%)    14.2499
n2                             0.1749     0.3374     0.512 (34%)    32.5747
S                              0.0512     0.8205     0.872 (6%)     36.0111
--------------------------------------------------------------------------------
Totals (4 nets)                1.171uW    1.884uW    3.056uW (38%) 118.999nW
```

B.9 Net verbose report power RCA

```
****************************************
Report : power
        -net
        -analysis_effort low
        -verbose
        -sort_mode net_switching_power
Design : RCA
Version: S-2021.06-SP4
Date   : Mon Mar 25 17:24:40 2024
****************************************


Library(s) Used:

    NangateOpenCellLibrary (File:
    ↪  /home/mg.lowpower/do/libnangate/NangateOpenCellLibrary_typical_ecsm.db)


Operating Conditions: typical   Library: NangateOpenCellLibrary
Wire Load Model Mode: top

Design        Wire Load Model            Library
------------------------------------------------
RCA                    5K_hvratio_1_1    NangateOpenCellLibrary


Global Operating Voltage = 1.1
Power-specific unit information :
    Voltage Units = 1V
    Capacitance Units = 1.000000ff
    Time Units = 1ns
    Dynamic Power Units = 1uW    (derived from V,C,T units)
    Leakage Power Units = 1nW


  Attributes
  ----------
      a  -  Switching activity information annotated on net
      d  -  Default switching activity information on net

                              Total      Static   Toggle   Switching
Net                           Net Load   Prob.    Rate     Power      Attrs
--------------------------------------------------------------------------------
CTMP[6]                         4.554    0.504    0.1822      0.5020
CTMP[5]                         4.554    0.505    0.1807      0.4978
CTMP[7]                         4.554    0.507    0.1759      0.4846
CTMP[4]                         4.554    0.493    0.1717      0.4730
CTMP[3]                         4.554    0.500    0.1670      0.4601
CTMP[2]                         4.554    0.498    0.1594      0.4392
CTMP[1]                         4.554    0.512    0.1439      0.3964
S[5]                            0.310    0.500    0.3387      0.0635
S[6]                            0.310    0.496    0.3353      0.0628
S[7]                            0.310    0.497    0.3328      0.0624
S[4]                            0.310    0.493    0.3314      0.0621
S[3]                            0.310    0.506    0.3232      0.0606
S[2]                            0.310    0.494    0.3226      0.0605
```

```
S[1]                            0.310    0.504    0.3045      0.0571
S[0]                            0.310    0.507    0.2735      0.0512
Co                              0.310    0.516    0.1772      0.0332
--------------------------------------------------------------------------------
Total (16 nets)                                                 3.7664 uW


  Attributes
  ----------
      a  -  Switching activity information annotated on net
      d  -  Default switching activity information on net
      m  -  Multiply-driven net

                           Net         Driver     Tot Dynamic     Driver
                           Switching   Internal   Power           Leakage
Net                        Power       Power      (% Net/Tot)     Power    Attrs
--------------------------------------------------------------------------------
CTMP[6]                       0.5020     0.1740     0.676 (74%)    14.3223
CTMP[5]                       0.4978     0.1726     0.670 (74%)    14.3131
CTMP[7]                       0.4846     0.1680     0.653 (74%)    14.2968
CTMP[4]                       0.4730     0.1640     0.637 (74%)    14.4166
CTMP[3]                       0.4601     0.1595     0.620 (74%)    14.3492
CTMP[2]                       0.4392     0.1523     0.592 (74%)    14.3724
CTMP[1]                       0.3964     0.1374     0.534 (74%)    14.2499
S[5]                          0.0635     0.9916     1.055 (6%)     36.1498
S[6]                          0.0628     0.9869     1.050 (6%)     35.8838
S[7]                          0.0624     0.9734     1.036 (6%)     36.1631
S[4]                          0.0621     0.9748     1.037 (6%)     36.1707
S[3]                          0.0606     0.9492     1.010 (6%)     36.1063
S[2]                          0.0605     0.9522     1.013 (6%)     35.9520
S[1]                          0.0571     0.8921     0.949 (6%)     36.1233
S[0]                          0.0512     0.8205     0.872 (6%)     36.0111
Co                            0.0332     0.1771     0.210 (16%)    14.2174
--------------------------------------------------------------------------------
Totals (16 nets)              3.766uW    8.845uW   12.612uW (30%) 403.098nW
```

C Descrizione dell'hardware

C.1 Gate elementari

C.1.1 Porte NOT, AND, OR e XOR

```
library ieee;
use ieee.std_logic_1164.all;
use ieee.numeric_std.all; -- we need a conversion to unsigned
use ieee.std_logic_arith.all;

entity TBPROB is
end TBPROB;

architecture TEST of TBPROB is

  component LFSR16
    port (
      CLK, RESET, LD, EN : in std_logic;
      DIN                : in std_logic_vector(15 downto 0);
      PRN                : out std_logic_vector(15 downto 0);
      ZERO_D             : out std_logic);
  end component;
  constant Period : time := 1 ns; -- Clock period (1 GHz)

  signal CLK                   : std_logic := '0';
  signal RESET, LD, EN, ZERO_D : std_logic;
  signal DIN, DOUT             : std_logic_vector(15 downto 0);

  signal IVA, IVY, ANDA, ANDB, ANDY, ORA, ORB, ORY, XA, XB, XY : std_logic;

begin

  -- Define the Inverter gate
  -- input
  IVA <= DOUT(0);
  -- ouput
  IVY <= not(IVA) after 0.1 ns;

  -- Define the And gate
  -- inputs
  ANDA <= DOUT(0);
  ANDB <= DOUT(15);
  -- ouput
  ANDY <= ANDA and ANDB after 0.1 ns;

  -- Define the Or gate
  -- inputs
  ORA <= DOUT(0);
  ORB <= DOUT(15);
  -- ouput
  ORY <= ORA or ORB after 0.1 ns;
  -- Define the Xor gate
  -- inputs
  XA <= DOUT(0);
  XB <= DOUT(15);
  -- ouput
  XY <= XA xor XB after 0.1 ns;
```

```

  -- Instanciate the LFSR
  ULFSR : LFSR16 port map(
    CLK => CLK, RESET => RESET, LD => LD, EN => EN,
    DIN => DIN, PRN => DOUT, ZERO_D => ZERO_D);
  -- Create the permanent Clock and the Reset pulse
  CLK   <= not CLK after Period/2;
  RESET <= '1', '0' after Period;
  -- Open file, make a load, and wait for a timeout in case of design error.
  STIMULUS1 : process
  begin
    DIN <= "0000000000000001";
    EN  <= '1';
    LD  <= '1';
    wait for 2 * PERIOD;
    LD <= '0';
    wait for (65600 * PERIOD);
    -- we should never reach this timeout (LFSR should cycle before)
    --    report "LFSR Error : failed to cycle !" severity failure;
  end process STIMULUS1;

end TEST;
```

C.1.2 Porte NAND, NOR e XNOR

```
library ieee;
use ieee.std_logic_1164.all;
use ieee.numeric_std.all; -- we need a conversion to unsigned
use ieee.std_logic_arith.all;

entity TBPROBNOT is
end TBPROBNOT;

architecture TEST of TBPROBNOT is

  component LFSR16
    port (
      CLK, RESET, LD, EN : in std_logic;
      DIN                : in std_logic_vector(15 downto 0);
      PRN                : out std_logic_vector(15 downto 0);
      ZERO_D             : out std_logic);
  end component;
  constant Period : time := 1 ns; -- Clock period (1 GHz)

  signal CLK                   : std_logic := '0';
  signal RESET, LD, EN, ZERO_D : std_logic;
  signal DIN, DOUT             : std_logic_vector(15 downto 0);

  signal ANDA, ANDB, ANDY, ORA, ORB, ORY, XA, XB, XY : std_logic;

begin

  -- Define the Nand gate
  -- inputs
  ANDA <= DOUT(0);
  ANDB <= DOUT(15);
  -- ouput
```

```
  ANDY <= not (ANDA and ANDB) after 0.1 ns;

  -- Define the Nor gate
  -- inputs
  ORA <= DOUT(0);
  ORB <= DOUT(15);
  -- ouput
  ORY <= not (ORA or ORB) after 0.1 ns;
  -- Define the Xnor gate
  -- inputs
  XA <= DOUT(0);
  XB <= DOUT(15);
  -- ouput
  XY <= not (XA xor XB) after 0.1 ns;

  -- Instanciate the LFSR
  ULFSR : LFSR16 port map(
    CLK => CLK, RESET => RESET, LD => LD, EN => EN,
    DIN => DIN, PRN => DOUT, ZERO_D => ZERO_D);
  -- Create the permanent Clock and the Reset pulse
  CLK   <= not CLK after Period/2;
  RESET <= '1', '0' after Period;
  -- Open file, make a load, and wait for a timeout in case of design error.
  STIMULUS1 : process
  begin
    DIN <= "0000000000000001";
    EN  <= '1';
    LD  <= '1';
    wait for 2 * PERIOD;
    LD <= '0';
    wait for (65600 * PERIOD);
    -- we should never reach this timeout (LFSR should cycle before)
    -- report "LFSR Error : failed to cycle !" severity failure;
  end process STIMULUS1;

end TEST;
```

C.2 Sommatore

C.2.1 Full adder

```
library ieee;
use ieee.std_logic_1164.all;

entity FA is
        generic ( DFAS: time := 0 ns;
      DFAC: time := 0 ns);
  Port (  A:  In  std_logic;
    B:  In  std_logic;
    Ci:  In  std_logic;
    S:  Out  std_logic;
    Co:  Out  std_logic);
end FA;

architecture BEHAVIORAL of FA is

begin
```

```
  S <= A xor B xor Ci after DFAS;
  Co <= (A and B) or (B and Ci) or (A and Ci) after DFAC;
  -- Co <= (A and B) or (B and Ci) or (A and Ci);

end BEHAVIORAL;

configuration CFG_FA_BEHAVIORAL of FA is
  for BEHAVIORAL
  end for;
end CFG_FA_BEHAVIORAL;
```

C.2.2 Ripple carry adder

```
library ieee;
use ieee.std_logic_1164.all;

entity RCA is
  generic (
    DRCAS : time := 0 ns;
    DRCAC : time := 0 ns);
  port (
    A  : in std_logic_vector(7 downto 0);
    B  : in std_logic_vector(7 downto 0);
    Ci : in std_logic;
    S  : out std_logic_vector(7 downto 0);
    Co : out std_logic);
end RCA;

architecture STRUCTURAL of RCA is

  signal STMP : std_logic_vector(7 downto 0);
  signal CTMP : std_logic_vector(8 downto 0);

  component FA
    generic (
      DFAS : time := 0 ns;
      DFAC : time := 0 ns);
    port (
      A  : in std_logic;
      B  : in std_logic;
      Ci : in std_logic;
      S  : out std_logic;
      Co : out std_logic);
  end component;

begin
  CTMP(0) <= Ci;
  S       <= STMP;
  Co      <= CTMP(8);

  ADDER1 : for I in 1 to 8 generate
    FAI : FA generic map(DFAS => DRCAS, DFAC => DRCAC) port map(A(I - 1), B(I - 1),
    CTMP(I - 1), STMP(I - 1), CTMP(I));
  end generate;

end STRUCTURAL;
```

```
configuration CFG_RCA_STRUCTURAL of RCA is
  for STRUCTURAL
    for ADDER1
      for all : FA
        use configuration WORK.CFG_FA_BEHAVIORAL;
      end for;
    end for;
  end for;
end CFG_RCA_STRUCTURAL;
```

C.2.3 Testbench

```
library ieee;
use ieee.std_logic_1164.all;
use ieee.numeric_std.all;

entity TBRCA is
end TBRCA;

architecture TEST of TBRCA is

  component LFSR16
    port (
      CLK, RESET, LD, EN : in std_logic;
      DIN                : in std_logic_vector(15 downto 0);
      PRN                : out std_logic_vector(15 downto 0);
      ZERO_D             : out std_logic);
  end component;

  component RCA
    generic (
      DRCAS : time := 0 ns;
      DRCAC : time := 0 ns);
    port (
      A  : in std_logic_vector(7 downto 0);
      B  : in std_logic_vector(7 downto 0);
      Ci : in std_logic;
      S  : out std_logic_vector(7 downto 0);
      Co : out std_logic);
  end component;
  constant Period              : time      := 1 ns; -- Clock period (1 GHz)
  signal CLK                   : std_logic := '0';
  signal RESET, LD, EN, ZERO_D : std_logic;
  signal DIN, PRN              : std_logic_vector(15 downto 0);

  signal A, B, S1, S2, S3  : std_logic_vector(7 downto 0);
  signal Ci, Co1, Co2, Co3 : std_logic;

begin

  -- Instanciate the ADDER without delay
  UADDER1 : RCA generic map(DRCAS => 0.025 ns, DRCAC => 0 ns) port map(A, B, Ci, S1,
  Co1);

  -- Instanciate the ADDER with delay
  UADDER2 : RCA generic map(DRCAS => 0.025 ns, DRCAC => 0.025 ns) port map(A, B, Ci, S2,
  Co2);
```

```

  -- Instanciate the ADDER with delay
  UADDER3 : RCA generic map(DRCAS => 0.025 ns, DRCAC => 0.03 ns) port map(A, B, Ci, S3,
  Co3);

  Ci   <= '0';
  A(0) <= PRN(0);
  A(5) <= PRN(2);
  A(3) <= PRN(4);
  A(1) <= PRN(6);
  A(4) <= PRN(8);
  A(2) <= PRN(10);
  A(7) <= PRN(12);
  A(6) <= PRN(14);

  B(0) <= PRN(15);
  B(5) <= PRN(13);
  B(3) <= PRN(11);
  B(1) <= PRN(9);
  B(4) <= PRN(7);
  B(2) <= PRN(5);
  B(6) <= PRN(3);
  B(7) <= PRN(1);

  -- Instanciate the Unit Under Test (UUT)
  UUT : LFSR16 port map(
    CLK => CLK, RESET => RESET, LD => LD, EN => EN,
    DIN => DIN, PRN => PRN, ZERO_D => ZERO_D);
  -- Create the permanent Clock and the Reset pulse
  CLK   <= not CLK after Period/2;
  RESET <= '1', '0' after Period;
  -- Open file, make a load, and wait for a timeout in case of design error.
  STIMULUS1 : process
  begin
    DIN <= "0000000000000001";
    EN  <= '1';
    LD  <= '1';
    wait for 2 * PERIOD;
    LD <= '0';
    wait for (65600 * PERIOD);
    -- we should never reach this timeout (LFSR should cycle before)
    -- report "LFSR Error : failed to cycle !" severity failure;
  end process STIMULUS1;

end TEST;
```

C.3 Catena di porte AND

```
library ieee;
use ieee.std_logic_1164.all;

entity tb_glitch_chain is
end entity tb_glitch_chain;

architecture structure of tb_glitch_chain is

    signal A  : std_logic;
```

```
    signal B  : std_logic;
    signal C  : std_logic;
    signal D  : std_logic;
    signal X1 : std_logic;
    signal X2 : std_logic;
    signal X3 : std_logic;

begin

    A <= '1', '0' after 1 ns;
    B <= '1', '0' after 1 ns;
    C <= '0', '1' after 1 ns;
    D <= '0', '1' after 1 ns;

    X1P : process (A, B)
    begin
        X1 <= A and B after 0.1 ns;
    end process X1P;

    X2P : process (X1, C)
    begin
        X2 <= X1 and C after 0.1 ns;
    end process X2P;

    X3P : process (X2, D)
    begin
        X3 <= X2 and D after 0.1 ns;
    end process X3P;

end architecture structure;
```

C.4 Albero di porte AND

```
library ieee;
use ieee.std_logic_1164.all;

entity tb_glitch_tree is
end entity tb_glitch_tree;

architecture structure of tb_glitch_tree is

    signal A  : std_logic;
    signal B  : std_logic;
    signal C  : std_logic;
    signal D  : std_logic;
    signal X1 : std_logic;
    signal X2 : std_logic;
    signal X3 : std_logic;

begin

    A <= '1', '0' after 1 ns;
    B <= '1', '0' after 1 ns;
    C <= '0', '1' after 1 ns;
    D <= '0', '1' after 1 ns;

    X1P : process (A, B)
```

```
    begin
        X1 <= A and B after 0.1 ns;
    end process X1P;

    X2P : process (C, D)
    begin
        X2 <= C and D after 0.1 ns;
    end process X2P;

    X3P : process (X1, X2)
    begin
        X3 <= X1 and X2 after 0.1 ns;
    end process X3P;

end architecture structure;
```

C.5 Decoder 3 to 8

C.5.1 D flip-flop

```
library ieee;
use ieee.std_logic_1164.all;

entity D_FF is
    port (
        D   : in std_logic;
        clk : in std_logic;
        Q   : out std_logic
    );
end entity D_FF;

architecture behavioral of D_FF is
begin

    process (clk)
    begin
        if rising_edge(clk) then
            Q <= D;
        end if;
    end process;

end behavioral;
```

C.5.2 Decoder 1 to 2

```
library ieee;
use ieee.std_logic_1164.all;

entity decoder1to2 is
  generic (decDelay : time := 0 ns);
  port (
    w  : in std_logic;
    en : in std_logic;
    y1 : out std_logic;
    y0 : out std_logic
  );
```

```
end decoder1to2;

architecture structural of decoder1to2 is

begin

  y1 <= w and en after decDelay;
  y0 <= (not w) and en after decDelay;

end structural;
```

C.5.3 Decoder 3 to 8

```
library ieee;
use ieee.std_logic_1164.all;
use ieee.numeric_std.all;

entity decoder3to8 is
  generic (decDelay : time := 0 ns);
  port (
    w   : in std_logic_vector(2 downto 0);
    en  : in std_logic;
    clk : in std_logic;
    y   : out std_logic_vector(7 downto 0));
end decoder3to8;

architecture structural of decoder3to8 is

  component decoder1to2
    generic (decDelay : time := 0 ns);
    port (
      w  : in std_logic;
      en : in std_logic;
      y1 : out std_logic;
      y0 : out std_logic
    );
  end component;

  component D_FF
    port (
      D   : in std_logic;
      clk : in std_logic;
      Q   : out std_logic
    );
  end component;

  signal y_asynch  : std_logic_vector(7 downto 0);
  signal en_layer0 : std_logic_vector(3 downto 0);
  signal en_layer1 : std_logic_vector(1 downto 0);

begin
  layer0 : for i in 0 to 3 generate
    dec_lay0 : decoder1to2 generic map(decDelay => decDelay)
    port map(w => w(0), en => en_layer0(i), y1 => y_asynch(2 * i + 1), y0 => y_asynch(2
    * i));
    FF_lay0_1 : D_FF port map(D => y_asynch(2 * i + 1), clk => clk, Q => y(2 * i + 1));
    FF_lay0_0 : D_FF port map(D => y_asynch(2 * i), clk => clk, Q => y(2 * i));
```

```
  end generate layer0;

  layer1 : for i in 0 to 1 generate
    dec_lay1 : decoder1to2 generic map(decDelay => decDelay)
    port map(w => w(1), en => en_layer1(i), y1 => en_layer0(2 * i + 1), y0 =>
    en_layer0(2 * i));
  end generate layer1;

  -- layer2
  dec_lay2 : decoder1to2 generic map(decDelay => decDelay)
  port map(w => w(2), en => en, y1 => en_layer1(1), y0 => en_layer1(0));
end structural;
```

C.5.4 Testbench

```
library ieee;
use ieee.std_logic_1164.all;

entity tb_decoder3to8 is
end tb_decoder3to8;

architecture test of tb_decoder3to8 is

  component decoder3to8
    generic (decDelay : time := 0 ns);
    port (
      w   : in std_logic_vector(2 downto 0);
      en  : in std_logic;
      clk : in std_logic;
      y   : out std_logic_vector(7 downto 0));
  end component;

  constant delay  : time := 0.2 ns;
  constant period : time := 0.5 ns;

  signal w_test : std_logic_vector(2 downto 0);
  signal y_test : std_logic_vector(7 downto 0);
  signal clk    : std_logic;

begin

  DUT : decoder3to8 generic map(decDelay => delay)
  port map(w => w_test, en => '1', clk => clk, y => y_test);

  clk_gen : process
  begin
    clk <= '0', '1' after period/2;
    wait for period;
  end process;

  testing : process
  begin
    wait for period * 2;
    wait until rising_edge(clk);
    w_test <= "000",
      "001" after period,
      "011" after 2 * period,
```

```
43        "101" after 3 * period,
44        "010" after 4 * period,
45        "001" after 5 * period,
46        "111" after 6 * period;
47      wait for 7 * period;
48    end process;
49  end test;
```

D Codice C++ per il calcolo dell'attività di un RCA

D.1 Classe FullAdder

```cpp
#include "FullAdder.h"
#include <iostream>

FullAdder::FullAdder() {}

FullAdder::FullAdder(float pa, float pb, float pci)
{
    PA = pa;
    PB = pb;
    PCi = pci;
    PA_n = 1 - pa;
    PB_n = 1 - pb;
    PCi_n = 1 - pci;
}

// calcola probabilità somma
float FullAdder::PS()
{
    return (PA_n * PB_n * PCi) + (PA_n * PB * PCi_n) + (PA * PB_n * PCi_n) + (PA * PB *
    ↪  PCi);
}

// calcola probabilità carry out
float FullAdder::PCo()
{
    return (PA_n * PB * PCi) + (PA * PB_n * PCi) + (PA * PB * PCi_n) + (PA * PB * PCi);
}

// calcola attività somma
float FullAdder::EswS()
{
    return 2 * PS() * (1 - PS());
}

// calcola attività carry out
float FullAdder::EswCo()
{
    return 2 * PCo() * (1 - PCo());
}
```

```cpp
#ifndef FULLADDER_H
#define FULLADDER_H

class FullAdder
{
public:
    float PA, PB, PCi;
    float EswA, EswB, EswCi;
    FullAdder();
    FullAdder(float pa, float pb, float pci);
    float PS();
    float PCo();
    float EswS();
```

```
    float EswCo();

private:
    float PA_n, PB_n, PCi_n;
};

#endif
```

D.2 Main

```
#include "FullAdder.h"
#include <iostream>
#include <array>
#include <cstdlib>
#include <iomanip>

int main(int argc, char *argv[])
{
    using namespace std;

    const int Nbit = 8;
    float PA = atof(argv[1]);
    float PB = atof(argv[2]);
    float PCi = atof(argv[3]);
    array<FullAdder, Nbit> RCA;

    for (int i = 0; i < Nbit; i++)
    {
        if (i == 0)
        {
            FullAdder tmp(PA, PB, PCi);
            RCA[i] = tmp;
        }
        else
        {
            FullAdder tmp(PA, PB, RCA[i - 1].PCo());
            RCA[i] = tmp;
        }
    }
    cout << setw(7) << "P" << setw(12) << "Esw" << '\n';
    for (int i = Nbit - 1; i >= 0; i--)
    {
        cout << "S" << setw(5) << left << i << setw(10) << left << RCA[i].PS() << RCA[i].EswS() << '\n';
        cout << "Co" << setw(4) << left << i << setw(10) << left << RCA[i].PCo() << RCA[i].EswCo() << '\n';
    }

    return 0;
}
```

DIPARTIMENTO DI ELETTRONICA E TELECOMUNICAZIONI
Corso di Laurea Magistrale in Ingegneria Elettronica

Sistemi Elettronici a Basso Consumo
LABORATORIO 2

FSM assignments
and VHDL synthesis

Prof. Maurizio Zamboni

8 aprile 2024
Gruppo 8
Laboratorio LED2

Bricco Letizia 328719
Caviasso Lorenzo 331706
Olivieri Vincenzo 324328

A.A. 2023/2024

Indice

1 FSM design **3**
1.1 *Case 1*: sommatore a sei ingressi . . . 4
1.2 *Case 2*: sommatore a otto ingressi . . . 7

2 Sintesi in VHDL **9**
2.1 *Case 1*: sommatore a sei ingressi . . . 9
2.1.1 Analisi dell'occupazione d'area . . . 10
2.1.2 Analisi della FSM . . . 10
2.1.3 Analisi del timing . . . 10
2.1.4 Analisi dei consumi di potenza . . . 11
2.1.5 Constraint sul design . . . 12
2.2 *Case 2*: sommatore a otto ingressi . . . 13

3 Scripting **13**
3.1 Automatizzazione della sintesi . . . 13
3.2 Implementazione *worst case* del sommatore a sei ingressi . . . 14

A Report Synopsys **22**
A.1 *Case 1*: sommatore a sei ingressi . . . 22
A.1.1 Report area . . . 22
A.1.2 Report timing (critical path) . . . 22
A.1.3 Report timing (10 percorsi peggiori) . . . 23
A.1.4 Report power . . . 25
A.1.5 Hierarchical report power . . . 26
A.1.6 Net verbose report power . . . 26
A.1.7 Net report power FSM . . . 28
A.1.8 Cell report power FSM . . . 29
A.1.9 Report timing con periodo di clock pari a 2 ns . . . 30
A.1.10 Report power con periodo di clock pari a 2 ns . . . 32
A.2 *Case 2*: sommatore a otto ingressi . . . 34
A.2.1 Report area . . . 34
A.2.2 Report timing (critical path) . . . 34
A.2.3 Report timing (10 percorsi peggiori) . . . 35
A.2.4 Report power . . . 37
A.2.5 Hierarchical report power . . . 38
A.2.6 Net verbose report power . . . 38
A.2.7 Net report power FSM . . . 40
A.2.8 Cell report power FSM . . . 41
A.2.9 Report timing con periodo di clock pari a 2 ns . . . 42
A.2.10 Report power con periodo di clock pari a 2 ns . . . 44
A.3 *Case 3*: implementazione *worst case* sel sommatore a sei ingressi . . . 45
A.3.1 Report power . . . 45
A.3.2 Net verbose report power . . . 45

B Scripting **48**
B.1 *Case 1*: sommatore a sei ingressi 48
B.2 *Case 2*: sommatore a otto ingressi 48
B.3 *Case 3*: implementazione *worst case* sel sommatore a sei ingressi 49

C Descrizione dell'hardware **50**
C.1 *Case 1*: sommatore a sei ingressi 50
C.1.1 Execution unit 50
C.1.2 Control Unit 51
C.1.3 Top level 53
C.1.4 Testbench 54
C.2 *Case 2*: sommatore a otto ingressi 56
C.2.1 Execution unit 56
C.2.2 Control Unit 58
C.2.3 Top level 60
C.2.4 Testbench 62
C.3 *Case 3*: implementazione *worst case* sel sommatore a sei ingressi 63
C.3.1 Execution unit 63
C.3.2 Control Unit 65
C.3.3 Top level 67
C.3.4 Testbench 68

Sommario

Questa esperienza di laboratorio si propone di studiare alcune semplici macchine a stati finiti (*Finite State Machine*, FSM) e di modificare l'assegnazione degli stati al fine di minimizzare i consumi di potenza.

A tale scopo, anziché procedere in modo rigoroso alla minimizzazione della funzione di costo del sistema, sono stati utilizzati metodi euristici basati sull'osservazione della codifica degli stati e sull'individuazione di analogie tra i bit delle reti di uscita e di stato futuro, che minimizzano la complessità delle funzioni logiche.

Il report è articolato in tre parti distinte:

1. Nella Sezione 1, si è studiata la codifica degli stati che minimizza o, quantomeno, riduce fortemente, i consumi di potenza di un sommatore a sei e otto ingressi.
2. Nella Sezione 2, i due sommatori sono stati sintetizzati con una libreria di celle a 45 nm per analizzarne in dettaglio i consumi di potenza, l'occupazione d'area e il timing.
3. Nella Sezione 3, la procedura di sintesi è stata automatizzata con opportuni script ed è stata messa a punto una codifica degli stati che, contrariamente alle parti precedenti, *massimizza* il consumo energetico del sommatore a sei ingressi.

L'esperienza è stata condotta in ambiente Unix sul server `led-x3850-2.polito.it`, su cui è presente il sistema operativo CentOS 7.

Le simulazioni sono state effettuate con il software Questa Sim by Menthor Graphics che, contrariamente alla versione di ModelSim in uso agli studenti, consente di analizzare l'hardware dal punto di vista dell'attività e del rate di commutazione dei segnali.

Le operazioni di sintesi, invece, sono state condotte con il tool Synopsys Design Compiler e l'interfaccia grafica Synopsys Design Vision.

1 FSM design

Nella prima parte dell'esperienza di laboratorio, è richiesto di elaborare ed implementare in VHDL due FSM per calcolare, rispettivamente, le somme di 6 e 8 numeri su 16 bit.

Gli algoritmi elaborati hanno lo scopo di ridurre il più possibile il consumo di potenza delle reti di stato futuro e di uscita; l'intero progetto è condizionato dal vincolo di poter utilizzare un unico sommatore all'interno del datapath.

Una volta messa a punto la struttura della FSM, gli algoritmi ottenuti sono stati descritti in VHDL e simulati su ModelSim con una semplice testbench; data la semplicità della struttura, la simulazione è stata effettuata utilizzando un'unica combinazione di ingressi e verificando che il risultato fosse coerente con il valore atteso.

Prima di procedere con l'implementazione, è doverosa una breve introduzione teorica: si consideri una macchina a stati finiti e sia

$$V = \{ S_1, \dots, S_N \}, \quad N \in \mathbb{N} \tag{1.1}$$

l'insieme degli N stati che costituiscono l'algoritmo. Si definiscano, inoltre, le seguenti quantità:

- **Distanza di Hamming** $\mathcal{H}(S_i, S_j)$: numero di bit che commutano durante la transizione dallo stato S_i allo stato S_j;
- **Probabilità di transizione** $\mathbb{P}(S_i, S_j)$: probabilità di transizione tra gli stati S_i e S_j.

L'architettura è **ottimizzata** se si minimizza la **funzione di costo**

$$\gamma = \sum_{S_i, S_j \in V} \mathbb{P}(S_i, S_j)\, \mathcal{H}(S_i, S_j). \tag{1.2}$$

Dal momento che gli algoritmi da implementare per i due sommatori sono estremamente semplici, non è necessario ricorrere ad alcun calcolo matematico, ma è sufficiente ragionare "ad occhio" sull'architettura e sulla codifica degli stati.

In generale, tuttavia, la minimizzazione della funzione di costo potrebbe essere molto complicata ed esistono diversi metodi di ottimizzazione a seconda che γ abbia un solo minimo globale (*metodo del gradiente*) o tanti minimi locali (*metodo del simulated annealing*).

Per semplificare il lavoro del progettista, esistono diversi tool che implementano automaticamente i metodi sopracitati, impedendo tuttavia di controllare il processo di simulazione.

1.1 *Case 1*: sommatore a sei ingressi

Il flusso di design del sommatore a sei ingressi (case 1) si è articolato in queste fasi:

- assegnazione ottimale degli ingressi dei multiplexer;
- scelta della codifica degli stati;
- ottimizzazione della rete di uscita;
- ottimizzazione della rete di stato futuro.

Per fare un'addizione di sei termini ($S = A + B + C + D + E + F$) sono necessari non meno di cinque stati, evitando di includere uno stato di idle:

$$X = A + B \tag{1.3a}$$
$$X = X + C \tag{1.3b}$$
$$X = X + D \tag{1.3c}$$
$$X = X + E \tag{1.3d}$$
$$X = X + F \tag{1.3e}$$

Poiché il sommatore ha multiplexer con sole quattro vie sugli ingressi, è necessario connettere il registro di uscita a un ingresso di ciascun multiplexer per eseguire tutte le addizioni. Quindi i sei numeri da sommare devono essere divisi equamente tra i due lati del sommatore.

A partire da queste considerazioni, si è cercata l'**assegnazione ottimale degli ingressi**. Per ridurre al minimo il numero di commutazioni di S_1S_0 e S_3S_2, conviene adottare una sequenza di Gray e utilizzare lo stesso multiplexer per più periodi di clock consecutivi per connettere l'uscita del registro al sommatore.

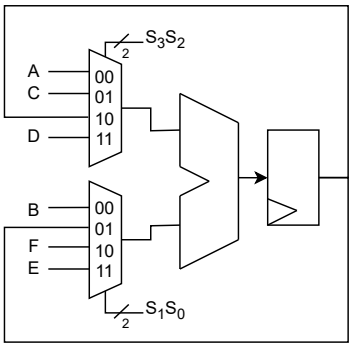
Per S_1S_0 è stata usata la sequenza $00 \rightarrow 01 \rightarrow 11 \rightarrow 10 \rightarrow\rightarrow 10$, per S_3S_2 la sequenza $00 \rightarrow 01 \rightarrow 01 \rightarrow 11 \rightarrow\rightarrow 10$. La conseguente assegnazione degli ingressi è riportata in Figura 1.1a.

A questo punto, è stata scelta la **codifica degli stati**: per descrivere 5 stati, servono almeno 3 bit; purtroppo, in questo caso non è possibile usare una sequenza di Gray perché il numero di stati da codificare è dispari, quindi si avrà sempre almeno una transizione di stato in cui cambiano due bit.

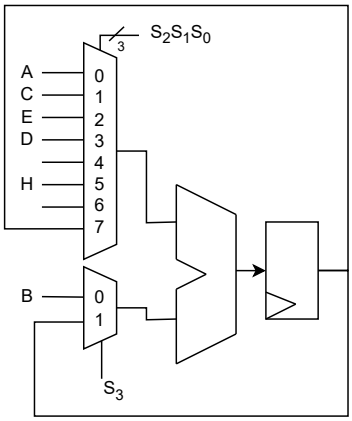
Inoltre, è necessario considerare la **complessità della rete di uscita**. Infatti, più la rete combinatoria che calcola $S_3S_2S_1S_0$ è semplice, minore è la probabilità che si verifichino dei glitch.

Per questo motivo è stata scelta una codifica che permette di ricavare direttamente tre dei quattro bit di selezione e mantenere al minimo la distanza di Hamming: $000 \rightarrow 011 \rightarrow 111 \rightarrow 101 \rightarrow 100$. Il diagramma degli stati è riportato in Figura 1.1c.

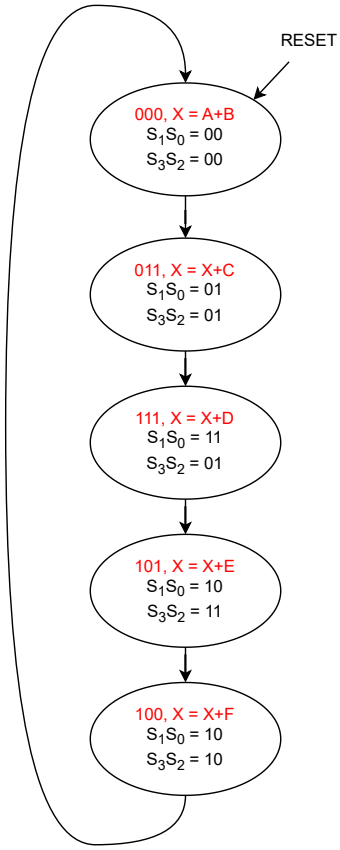
Solamente nel passaggio tra gli stati $X = A + B$ e $X = X + C$ ci sono due commutazioni nei bit di stato $W_2W_1W_0$, mentre nelle altre transizioni c'è una sola commutazione.



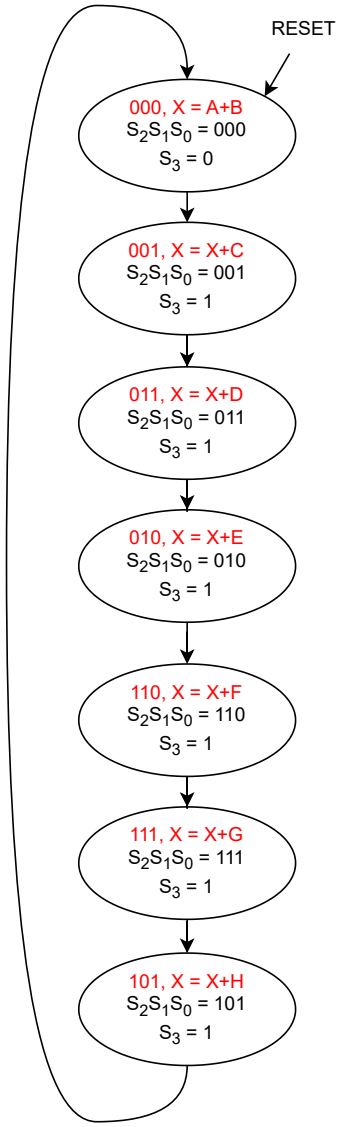
(a) Datapath, 6 ingressi



(b) Datapath, 8 ingressi



(c) ASM, 6 ingressi



(d) ASM, 8 ingressi

Figura 1.1: Datapath e diagramma degli stati dei sommatori a sei (a)-(c) e otto ingressi (b)-(d).

W_2 \ W_1W_0	00	01	11	10
0	1	-	1	-
1	0	0	1	-

(a) W_0

W_2 \ W_1W_0	00	01	11	10
0	0	-	0	-
1	1	1	0	-

(b) S_3

Figura 1.2: Mappe di Karnaugh, *case 1*.

A questo punto sono state ricavate le funzioni logiche delle reti di uscita e di stato futuro; le mappe di Karnaugh per le funzioni più complesse sono riportate in Figura 1.2.

PS			NS		
W_2	W_1	W_0	W_2	W_1	W_0
0	0	0	0	1	1
0	1	1	1	1	1
1	1	1	1	0	1
1	0	1	1	0	0
1	0	0	0	0	0

- Rete di stato futuro:

$$(W_0)_{NS} = W_1 + \overline{W_2} \tag{1.4a}$$
$$(W_1)_{NS} = \overline{W_2} \tag{1.4b}$$
$$(W_2)_{NS} = W_0 \tag{1.4c}$$

- Rete di uscita:

$$S_0 = W_1 \tag{1.5a}$$
$$S_1 = W_2 \tag{1.5b}$$
$$S_2 = W_0 \tag{1.5c}$$
$$S_3 = \overline{W_1}W_2 \tag{1.5d}$$

È importante sottolineare che, per implementare la funzione logica di $(W_0)_{NS}$ (Equazione (1.4a)), si è deciso di coprire i due implicanti colorati in rosso e verde in Figura 1.2a per minimizzare la complessità della rete.

Dal momento che due celle (3 e 2) sono coperte da entrambi gli implicanti, è necessario tenere conto della loro sovrapposizione per il calcolo della switching activity perché potrebbero verificarsi delle commutazioni inutili che aumentano il consumo di energia.

Di conseguenza, nota la probabilità degli ingressi, si dovrà valutare se tale soluzione è effettivamente conveniente dal punto di vista dei consumi o se è meglio evitare la sovrapposizione degli implicanti scegliendo, ad esempio, la funzione logica

$$(W_0)_{NS} = W_1 + \overline{W_1W_2}. \tag{1.6}$$

Le scelte di design fatte portano a reti combinatorie estremamente semplici; il calcolo di S_0, S_1, S_2 e W_2 non necessita di alcuna porta, per ricavare W_1 è sufficiente un inverter, mentre W_0 e S_3 richiedono una sola porta logica CMOS (più inversione degli ingressi).

Di conseguenza, solo W_0 e S_3 possono essere affetti da glitch, ma il numero di nodi su cui possono verificarsi transizioni spurie che aumentano il consumo è estremamente limitato.

L'architettura del sommatore è stata descritta in VHDL in maniera gerarchica, inserendo la execution unit e la control unit in due file distinti e richiamando entrambe in una *top level entity* sottoforma di *component*. Tutti i listati sono riportati in Appendice C.1; il datapath è stato fornito prima dell'esercitazione di laboratorio, mentre la FSM e la top entity sono state realizzate in fase di progetto.

In particolare, all'interno della FSM è necessario imporre la codifica degli stati voluta; a tale scopo, la dichiarazione degli stati è stata accompagnata dal comando `attribute`.

Il corretto funzionamento del circuito è stato testato con una semplice testbench, il cui risultato è riportato in Appendice (tb_sum6).

1.2 *Case 2*: sommatore a otto ingressi

Lo stesso approccio usato per il *case 1* è stato adottato anche per progettare il sommatore con 8 ingressi.

Per poter fare le otto addizioni ($S = A + B + C + D + E + F + G + H$) è necessario modificare il datapath, perché due multiplexer a quattro vie non sono sufficienti: si è scelto di usare un multiplexer a otto vie su un ingresso del sommatore e un multiplexer a due vie sull'altro. Questa soluzione permette di aumentare il numero di ingressi del sommatore mantenendo invariato il numero di segnali di selezione, evitando di peggiorare il consumo della rete di uscita della macchina a stati.

Come nel caso precedente, il registro di uscita viene connesso a entrambi i lati del sommatore: in questo modo, si può eseguire $A + B$ come prima operazione ed evitare di aggiungere uno stato per il reset del risultato.

Anche in questo caso sono state prima assegnate le sequenze dei bit di selezione e poi si è cercata una codifica degli stati che semplificasse al massimo la rete di uscita della FSM (datapath in Figura 1.1b, diagramma degli stati in Figura 1.1d).

Per i bit $S_2S_1S_0$ la sequenza scelta è $000 \rightarrow 001 \rightarrow 011 \rightarrow 010 \rightarrow 110 \rightarrow 111 \rightarrow 101$, mentre il bit S_3 ha una sola commutazione $0 \rightarrow 1$ nel passaggio dal primo al secondo stato.

Il numero minimo di stati per eseguire otto somme è sette e sono stati codificati con la stessa sequenza dei bit $S_2S_1S_0$. Notare che, in tale sequenza, tutti i codici hanno distanza di Hamming pari a 1, tranne $101 \rightarrow 000$, ma questo è inevitabile perché, come prima, il numero di stati è dispari.

Si possono ora ricavare le funzioni logiche che descrivono le reti di stato futuro e di uscita, le cui mappe di Karnaugh sono riportate, nei casi meno banali, in Figura 1.3.

PS			NS		
W_2	W_1	W_0	W_2	W_1	W_0
0	0	0	0	0	1
0	0	1	0	1	1
0	1	1	0	1	0
0	1	0	1	1	0
1	1	0	1	1	1
1	1	1	1	0	1
1	0	1	0	0	0

W_2 \ W_1W_0	00	01	11	10
0	0	0	0	1
1	-	0	1	1

(a) W_2

W_2 \ W_1W_0	00	01	11	10
0	0	1	1	1
1	-	0	0	1

(b) W_1

W_2 \ W_1W_0	00	01	11	10
0	1	1	0	0
1	-	0	1	1

(c) W_0

Figura 1.3: Mappe di Karnaugh, *case 2*.

- Rete di stato futuro:

$$(W_0)_{NS} = \overline{W_0}W_1 + W_0W_1W_2 \tag{1.7a}$$
$$(W_1)_{NS} = \overline{W_0}W_1 + W_0\overline{W_2} \tag{1.7b}$$
$$(W_2)_{NS} = W_1W_2 + \overline{W_1 + W_2} \tag{1.7c}$$

- Rete di uscita:

$$S_0 = W_0 \tag{1.8a}$$
$$S_1 = W_1 \tag{1.8b}$$
$$S_2 = W_2 \tag{1.8c}$$
$$S_3 = W_0 + W_1 \tag{1.8d}$$

Per costruzione, la rete di uscita è semplice e richiede una sola porta AND per ricavare S_3. La rete di stato futuro è più complessa di quella realizzata nel *case 1*, infatti sono necessari due stadi di logica per calcolare tutti e tre i bit di stato.

Di conseguenza, rispetto al sommatore a sei ingressi, aumentano le possibilità che ci siano dei glitch e quindi potrebbe crescere la potenza consumata dalla rete di stato futuro. Non è stato possibile fare ottimizzazioni perché, come si vede dalle mappe di Karnaugh (figura 1.3), non ci sono *don't care* che possono essere usati per raggruppare implicanti più grandi.

Questo è dovuto al fatto che il numero di stati è aumentato e si devono utilizzare quasi tutti i codici disponibili su 3 bit, con il vincolo aggiuntivo di minimizzare il numero di commutazioni.

Anche in questo caso, in Appendice (tb_sum8) sono riportate le forme d'onda ottenute con ModelSim, che testimoniano la correttezza della descrizione del sommatore.

2 Sintesi in VHDL

Una volta ottimizzate le rispettive macchine a stati, è richiesto di sintetizzare i due sommatori con **Synopsys**.

Attraverso la sintesi, si può ottenere un riscontro del lavoro svolto durante il design del circuito, riscontro necessario per capire quali parti è possibile ottimizzare.

L'operazione di sintesi prevede 4 fasi:

1. **Analisi**: in questa fase si importano i file dell'architettura che si intende sintetizzare in ordine gerarchico di compilazione (dapprima i singoli component e, poi, la *top level entity*). Qui il codice viene controllato e vengono mostrati eventuali errori.

2. **Elaborazione**: viene eseguita solo sulla *top level entity*; il compilatore crea una vista interna del circuito e la mappa virtualmente per generare i gate. È possibile vedere il risultato dell'elaborazione grazie allo schematico creato.

3. **Creazione del clock** mediante l'utility

   ```
   create_clock -name "CLK" -period n {****}
   ```

   dove `{****}` corrisponde al nome del pin assegnato al clock nella *top level entity*. Questo statement imposta il periodo di clock a n unità di tempo, la cui durata cambia in base alla libreria di celle usata nella sintesi. Nel caso in esame, l'unità di tempo della libreria è 1 ns, quindi il periodo di clock sarà pari a $n \times 10$ ns.

4. **Sintesi**: è ultima fase, in cui Synopsys mappa il design con le porte della libreria scelta mediante il comando

   ```
   compile -exact_map
   ```

Sottolineiamo che, in questa parte dell'esperienza, tutte le operazioni sono state svolte a mano per prendere dimestichezza con i singoli comandi; una volta compreso il significato delle direttive, il processo di sintesi è stato automatizzato mediante uno script la cui struttura generale è descritta nella Sezione 3.

Il design ottenuto con i passi sopra elencati può essere salvato in un file con estensione `.ddc`; in questo modo, se si volesse eseguire nuovamente la simulazione non sarebbe necessario ripetere da capo i passi precedentemente elencati.

Una volta sintetizzata l'architettura, si può procedere con la generazione e l'analisi dei report relativi ai parametri di interesse.

Tutti i report sono riportati in Appendice A; sempre in Appendice, sono riportati gli schematici delle macchine a stati sintetizzate da Synopsys nei tre casi (*case 1*, *case 2* e *case 3*).

2.1 *Case 1*: sommatore a sei ingressi

Questo paragrafo ha il duplice scopo di

- illustrare lo scopo dei comandi che, attraverso il terminale interno di Synopsys, permettono di analizzare l'occupazione d'area, le prestazioni e i consumi di un circuito;

- Analizzare i risultati ottenuti per la prima delle architetture in esame, i.e., il sommatore a sei ingressi.

2.1.1 Analisi dell'occupazione d'area

Per analizzare l'occupazione d'area del circuito sintetizzato, si usa il comando

```
report_area
```

Con l'operatore di *I/O redirection* >, lo standard output del comando può essere rediretto su un file anziché essere stampato a video:

```
report_area > filename
```

Il report ottenuto è consultabile in Appendice A.1.1).

2.1.2 Analisi della FSM

Per visualizzare il modo in cui Synopsys ha codificato gli stati della FSM, si usa il comando

```
report_fsm
```

Il risultato ottenuto per il sommatore a sei ingressi è il seguente:

```
AB          : 000
XC          : 011
XD          : 111
XE          : 101
XF          : 100
```

coerentemente con l'assegnazione ricavata nella Sezione 1.1 e fissata nella descrizione VHDL. In alternativa, è possibile imporre una particolare codifica degli stati al sintetizzatore direttamente dal terminale di Synopsys, tramite lo statement

```
set_fsm_encoding_style ****
```

dove `****` rappresenta la codifica da usare, e.g., `gray` o `one_hot`; l'elenco completo è reperibile sul manuale del comando `set_fsm_encoding_style`, consultabile da terminale:

```
man set_fsm_encoding_style
```

2.1.3 Analisi del timing

Sapere qual è il percorso critico dell'architettura è fondamentale per stabilire le massime prestazioni ottenibili in termini di frequenza operativa. A tale scopo, Synopsys consente di analizzare il timing con il comando

```
report_timing
```

Nel report, consultabile in Appendice A.1.2, sono riportati non solo i punti di partenza e di arrivo del *critical path*, ma anche i seguenti parametri di timing:

- **Data required time** (T_{req}): tempo, in ns, che il dato ha a disposizione per percorrere il *critical path*, pari alla differenza tra un periodo di clock e il tempo di setup del registro di arrivo, che per la libreria di celle utilizzata è pari a $t_{\text{s}} = 0.03\,\text{ns}$; dal momento che $T_{\text{ck}} = 10\,\text{ns}$, si ha
$$T_{\text{req}} = T_{\text{ck}} - t_{\text{s}} = 9.97\,\text{ns}. \tag{2.1}$$

- **Data arrival time** (T_{arr}): tempo effettivo, in ns, impiegato dal dato per percorrere il *critical path*:
$$T_{\text{arr}} = 1.99\,\text{ns}. \tag{2.2}$$

- ***Slack*** (T_{slack}): differenza, in ns, tra il tempo impiegato e il tempo massimo a disposizione. In sostanza, è il tempo in cui il sistema è "fermo" perché ha terminato le operazioni previste nel colpo di clock corrente ed è in attesa del fronte di salita per iniziare un nuovo ciclo di operazioni. In questo caso, si ha
$$T_{\text{slack}} = T_{\text{req}} - T_{\text{arr}} = 7.98\,\text{ns} > 0, \tag{2.3}$$
quindi i criteri di timing sono ampiamente rispettati, come testimonia il messaggio `MET` scritto tra parentesi.

È possibile ottenere informazioni anche su percorsi diversi dal *critical path*. Ad esempio, con il comando

```
report_timing -nworst 10
```

si ottengono informazioni sui 10 percorsi più critici.

2.1.4 Analisi dei consumi di potenza

Per analizzare la potenza consumata dall'architettura, esiste il comando

```
report_power
```

con il quale si ottengono le seguenti informazioni, riassunte nel report riportato in Appendice A.1.4:

- Ripartizione della potenza tra la logica (`Cell Internal Power`, 28.43 µW, 73% del totale) e le interconnessioni (`Net Switching Power`, 10.75 µW, 27% del totale);
- Consumo di potenza dinamica complessivo (`Total Dynamic Power`), dato dalla somma tra i due contributi sopra citati e pari a 39.18 µW;
- Contributo del *leakage* (`Cell Leakage Power`) che, come ci aspettiamo da un'architettura sintetizzata con una libreria di celle a 45 nm, è decisamente inferiore rispetto alla potenza dinamica (5.61 µW) ma non trascurabile;
- Potenza totale (`Total Power`), pari a 44.79 µW.

Per ottenere dati aggiuntivi sui consumi del circuito sintetizzato, sono disponibili diverse opzioni:

- Contributo di ogni cella della *top level entity* considerata separatamente dalle altre (nel caso in esame il datapath e la FSM):
```
report_power -hier
```
- Switching activity, capacità di carico e probabilità statica di tutti i nodi della rete:
```
report_power -net
```

Per ogni comando, è possibile aggiungere anche l'opzione `-verbose`, che restituisce un report più dettagliato.

L'analisi di potenza condotta fino a questo punto riguarda l'intera *top level entity*; tuttavia, Synopsys consente anche di analizzare i consumi dei singoli blocchi, modificando il target dei report generati.

Per vedere quali sono dei blocchi disponibili - nel caso in esame Top Level, Datapath e FSM - si usa il comando

```
list_designs
```

che restituisce l'elenco dei label attribuiti ai diversi component nella descrizione VHDL del sistema. Per scendere all'interno di uno di essi è sufficiente scrivere

```
current_instance ****
```

dove `****` è il nome del blocco di interesse. Ad esempio, spostandosi all'interno della FSM del sommatore con il comando

```
current_instance FSM_adder6
```

sono stati ottenuti i report power sulle interconnessioni e sulle celle riportati nelle Appendici A.1.7 e A.1.8: come si può notare, la macchina a stati contribuisce ai consumi dell'architettura all'incirca per il 10%. Una volta terminata l'analisi del blocco interno, per tornare alla *top level entity* si ripete il comando `current_istance` senza alcun parametro aggiuntivo.

2.1.5 Constraint sul design

L'analisi dei report relativi al circuito sintetizzato può essere utile per individuare dei parametri da modificare ai fini dell'ottimizzazione.

Ad esempio, dall'analisi del timing svolta nella Sezione 2.1.3, è emerso che i dati necessitano solo di $T_{\text{arr}} = 1.99\,\text{ns}$ per propagarsi lungo il percorso critico: pertanto, con un periodo di clock di 10 ns, il circuito è fermo per l'80% del tempo!

Per far lavorare il circuito al massimo delle prestazioni si può abbassare il periodo di clock in modo che ogni ciclo abbia la stessa durata del percorso critico, a meno del tempo di setup del registro di arrivo.

Infatti, impostando il periodo di clock a

$$T'_{\text{ck}} = T_{\text{arr}} + t_{\text{s}} = 2.02\,\text{ns} \tag{2.4}$$

e ripetendo la procedura di sintesi, si ottiene $T_{\text{slack}} = 0$. Tuttavia, come testimonia il power report in Appendice A.1.10, i consumi sono quasi quintuplicati: infatti, la potenza totale è pari a circa $200\,\mu\text{W}$.

In conclusione, avere **slack positivo** permette di agire in due modi:

- alzare la frequenza di funzionamento per migliorare le prestazioni a scapito dei consumi;
- sfruttare il tempo aggiuntivo a disposizione per abbassare la frequenza di funzionamento o la tensione di alimentazione ottenendo per ridurre i consumi del sistema.

2.2 *Case 2*: sommatore a otto ingressi

L'architettura del sommatore a otto ingressi (*case 2*) è stata sintetizzata ed analizzata mediante uno script, la cui struttura è illustrata in dettaglio nella Sezione 3; in questo modo, sono stati ottenuti diversi report riguardanti l'area, il timing e i consumi. Dall'analisi dei risultati, riportati in Appendice A.2, è possibile fare le seguenti considerazioni:

- Nel *case 2*, l'occupazione d'area è maggiore rispetto al *case 1* (332.5 μm^2 vs 298.45 μm^2);
- Nel *case 2* il critical path è leggermente più lungo rispetto al *case 1* (2.04 ns vs 1.99 ns);
- Il *case 2* e il *case 1* hanno dei consumi di potenza praticamente identici e, anzi, il *case 2* consuma leggermente meno (44.1562 µW vs 44.7940 µW).

3 Scripting

L'obiettivo dell'ultima parte dell'esperienza è duplice:

1. Automatizzare il processo di sintesi dei sommatori a sei e otto ingressi mediante uno script, richiamabile mediante linea di comando;
2. Continuare l'analisi del sommatore a tre ingressi mettendo a punto l'assegnazione degli stati che *massimizza* la funzione di costo e, quindi, i consumi dell'architettura.

3.1 Automatizzazione della sintesi

Una volta compreso il significato dei comandi necessari alla sintesi e all'analisi della mappatura, spiegati in dettaglio nella Sezione 2, è possibile velocizzare il processo utilizzando opportuni script.

Tutti gli script realizzati per questa esperienza di laboratorio sono riportati nelle Appendici B.1 (*case 1*, sommatora a sei ingressi), B.2 (*case 2*, sommatore a otto ingressi) e B.3 (*case 3*, implementazione *worst case* del sommatore a sei ingressi).

Si tratta di sequenze di comandi molto semplici, che hanno il duplice scopo di **implementare la sintesi** ed **estrarre i report** relativi a potenza, timing ed occupazione d'area, salvando ognuno di essi in un file di testo; la loro struttura generale è, molto simile.

Prima di inserire gli statement per l'estrazione dei report sono necessarie alcune righe di comando preliminari, che finora erano sempre state sostituite dall'utilizzo della GUI interna al tool di sintesi:

1. Richiamare la shell e creare la cartella di lavoro `WORK`, utilizzando il comando

```
sh mkdir WORK
```

2. Impostare la directory appena creata come *design library*, all'interno della quale verranno salvati tutti i file binari necessari allo svolgimento della sintesi; a tale scopo, è necessario l'uso della seguente riga di codice:

```
define_design_lib WORK -path ./WORK
```

3. Importare i file contenenti la descrizione VHDL dell'architettura (in ordine gerarchico):

```
analyze -library WORK -format vhdl { <file1> ... <fileN> }
```

4. Elaborare l'architettura della *top level entity* mediante lo statement

```
elaborate <entName> -architecture <archName> -library WORK
```

   dove `<entName>` indica il nome della *top level entity*, mentre `<archName>` indica il nome dell'architecture corrispondente. È opportuno sottolineare che, qualora la descrizione VHDL contenga una sola architecture, l'opzione `-architecture <archName>` può essere omessa.

   Con tale comando, il compilatore crea una sorta di "mappatura virtuale" del circuito e genera i gate con i quali verrà sintetizzata l'architettura.

5. Sintetizare il circuito mediante l'utility già presentata nella Sezione 3:

```
compile -exact_map
```

A questo punto, lo script può essere arricchito a piacere con i comandi necessari a generare i report, salvarli su file e, eventualmente, cambiare istanza o modificare alcuni parametri del circuito, e.g., il clock.

Per eseguire i comandi è ora sufficiente richiamare lo script dalla linea di comando di Synopsys scrivendo

```
source "scriptname.scr"
```

dove `scriptname.scr` è il nome scelto per il file.

3.2 Implementazione *worst case* del sommatore a sei ingressi

Per verificare l'efficacia delle tecniche adottate per la riduzione del consumo delle macchine a stati, il sommatore a sei ingressi (*case 1*) è stato riprogettato con l'obiettivo di massimizzare il numero di commutazioni (Figure 3.1a e 3.1b).

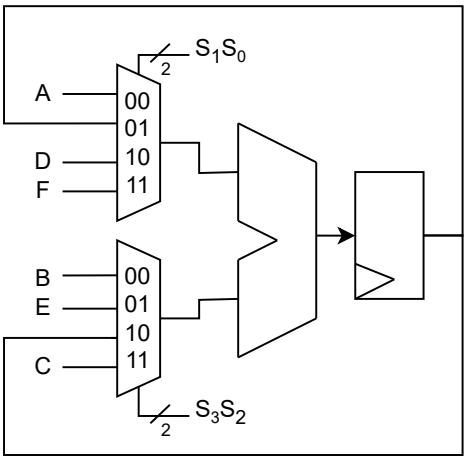
A questo scopo, per gli stati è stata scelta una codifica *one hot* (su cinque bit, il confronto con il *case 1* è fatto a parità di numero di stati), mentre gli ingressi sono stati assegnati in modo da far commutare i bit di selezione più del necessario: in ogni stato, l'uscita del registro viene connessa all'ingresso da una diverso multiplexer, forzando S_3S_2 e S_1S_0 a cambiare inutilmente.

La codifica one hot, sebbene possa essere usata per realizzare macchine a stati veloci, è la peggiore dal punto di vista del consumo perchè ad ogni cambiamento di stato ci sono sempre due transizioni, una in discesa e una in salita.

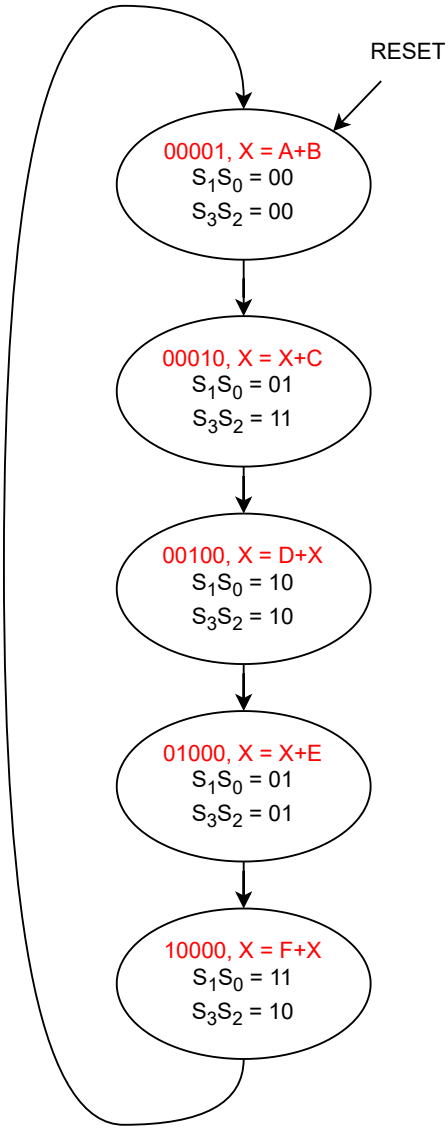
Il circuito progettato è stato descritto in VHDL (codici in Appendice C), simulato con ModelSim (tb_case3) ed è stata condotta l'analisi di potenza con gli stessi passaggi descritti in precedenza.

Le simulazioni confermano le previsioni teoriche: i power report in Appendice A.3 mostrano che il nuovo circuito consuma 52.1 µW, contro i 44.8 µW del *case 1*.

La potenza è aumentata del 16%, dimostrando che una scelta appropriata della codifica degli stati e delle uscite può impattare sul consumo di una unità di controllo.

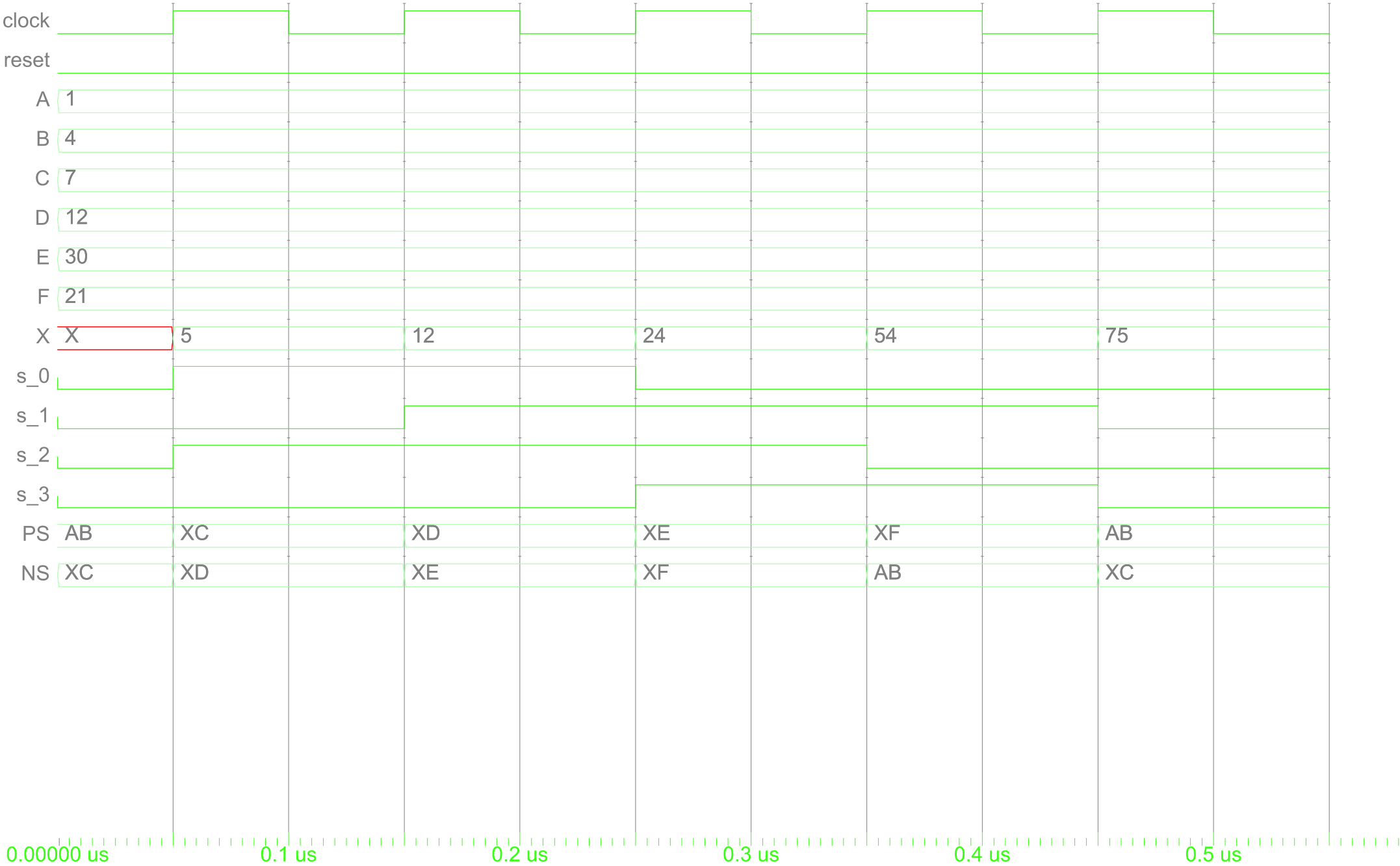


(a) Datapath

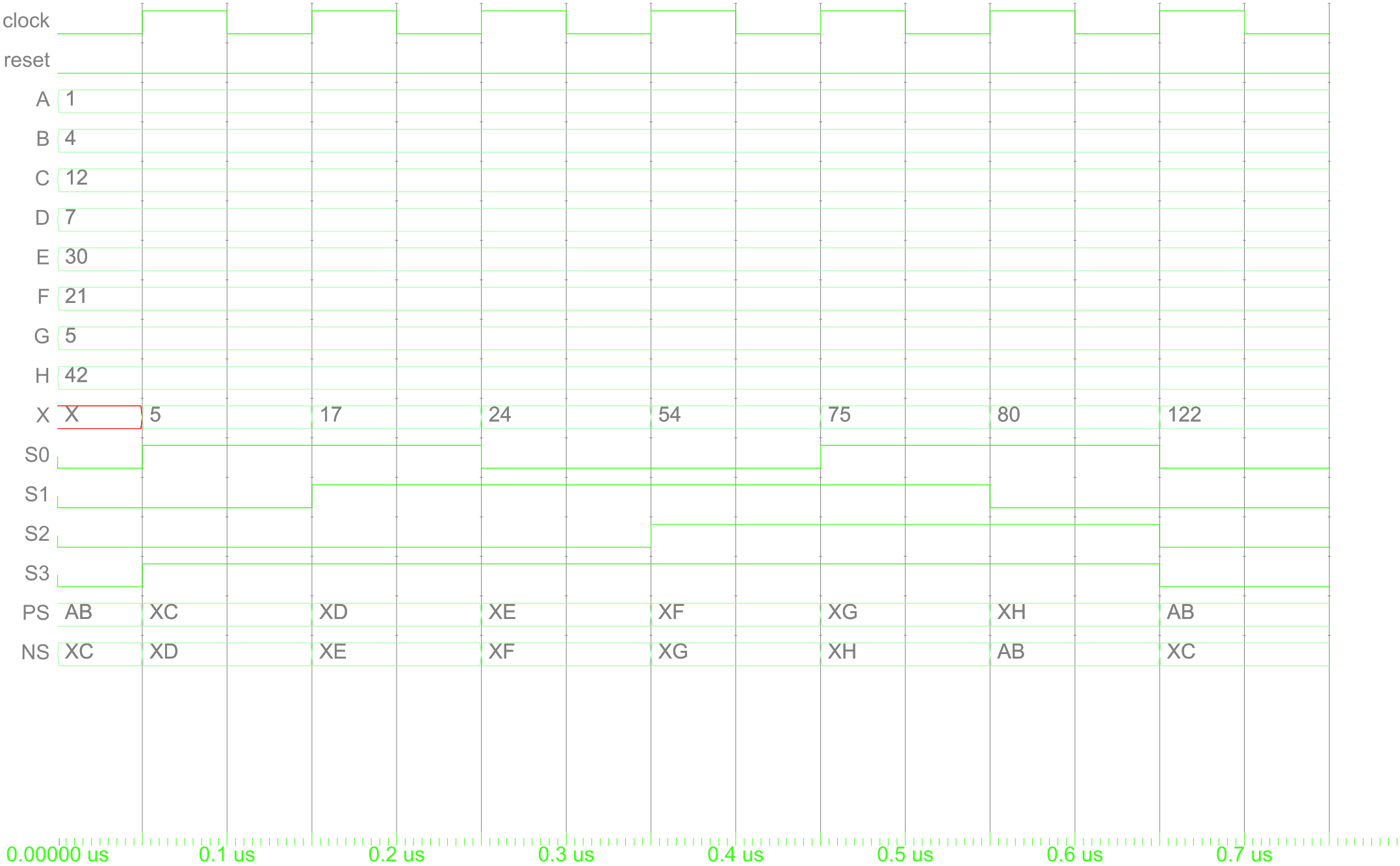


(b) ASM

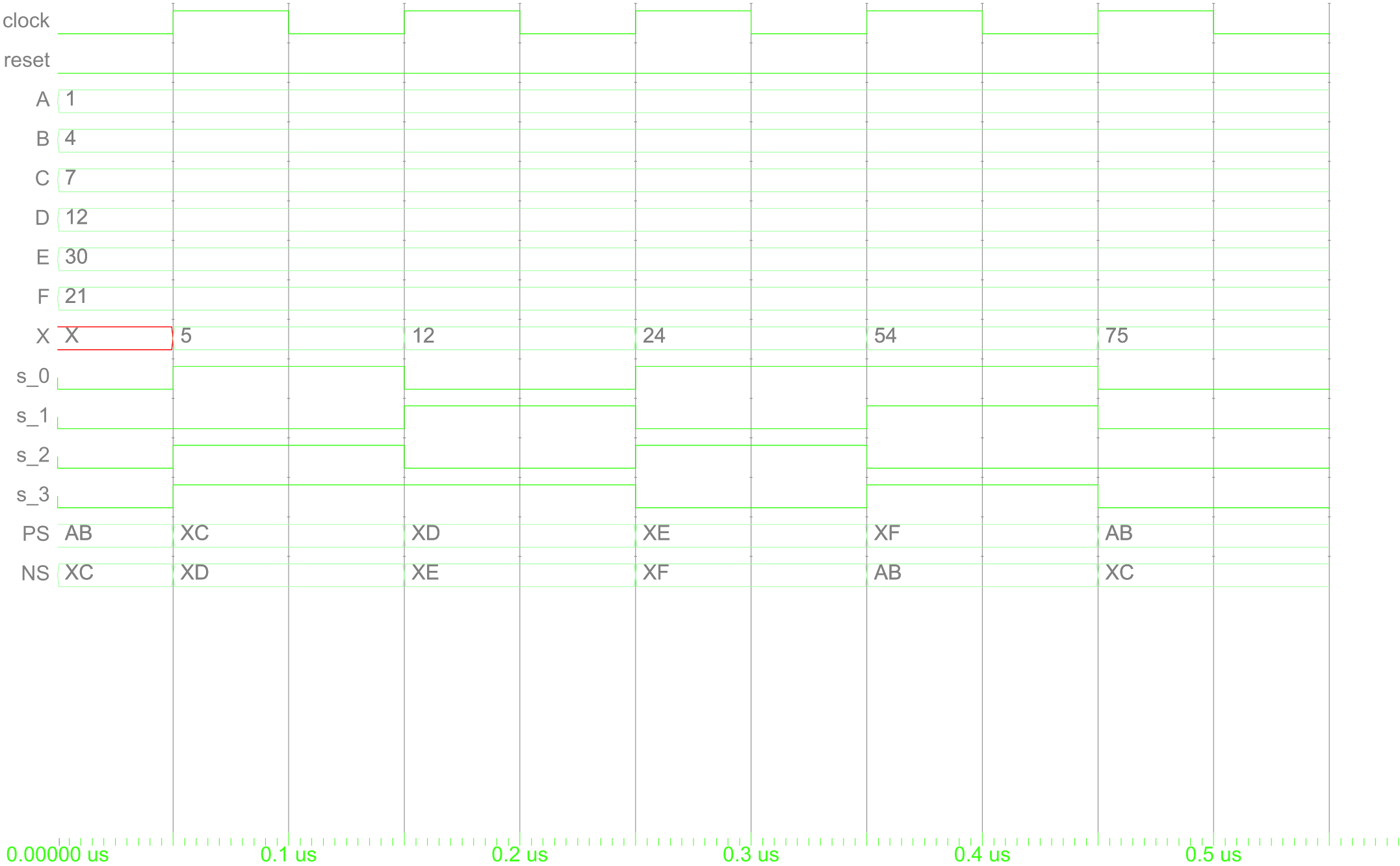
Figura 3.1: Datapath e diagramma degli stati, *case 3*.



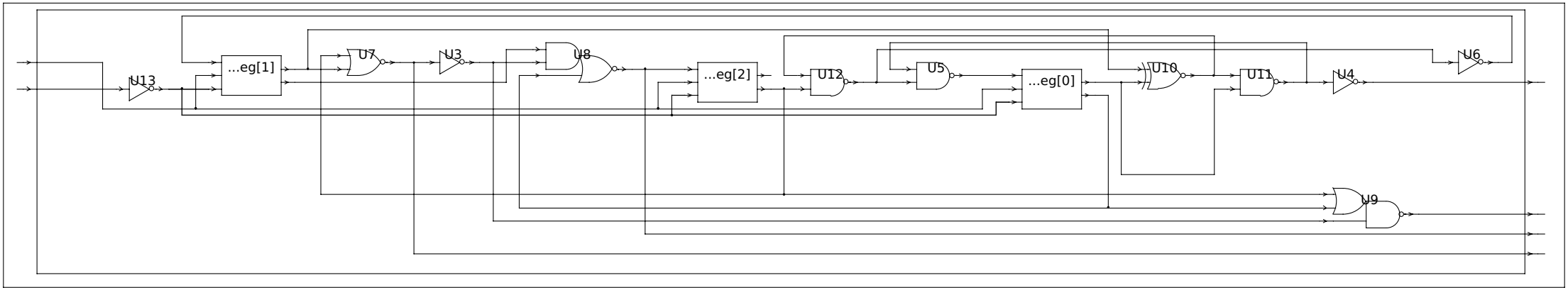
Entity:tb_sum6 Architecture:behavioral Date: Sun Apr 14 21:56:14 CEST 2024 Row: 1 Page: 1

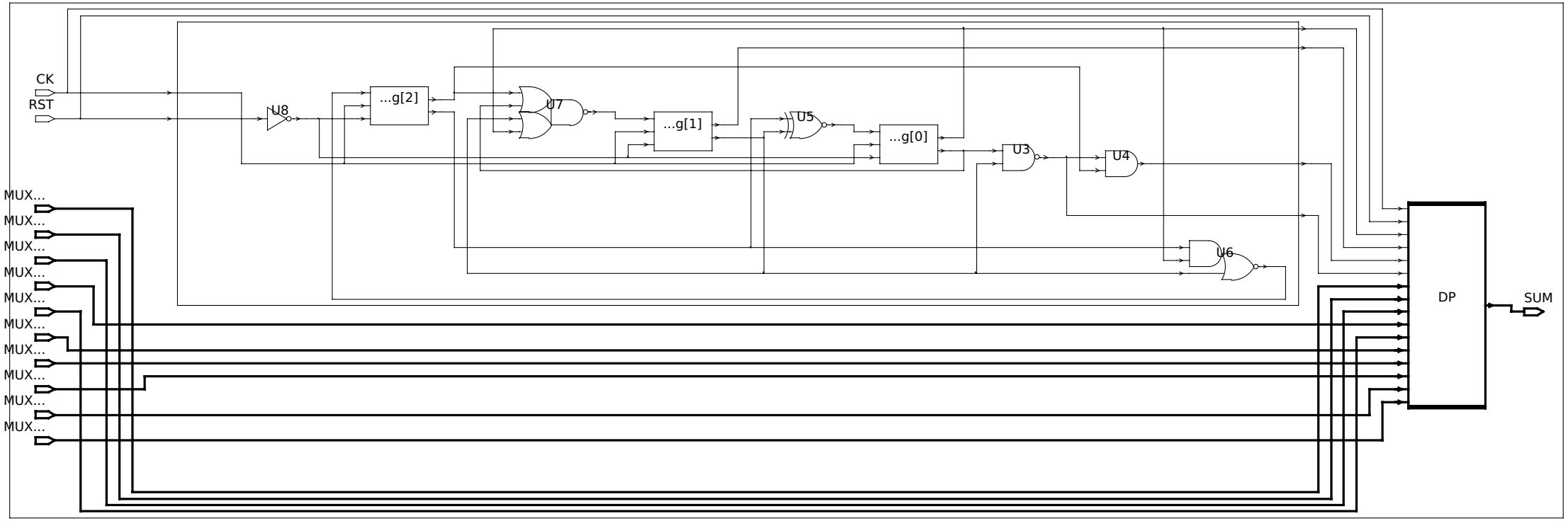


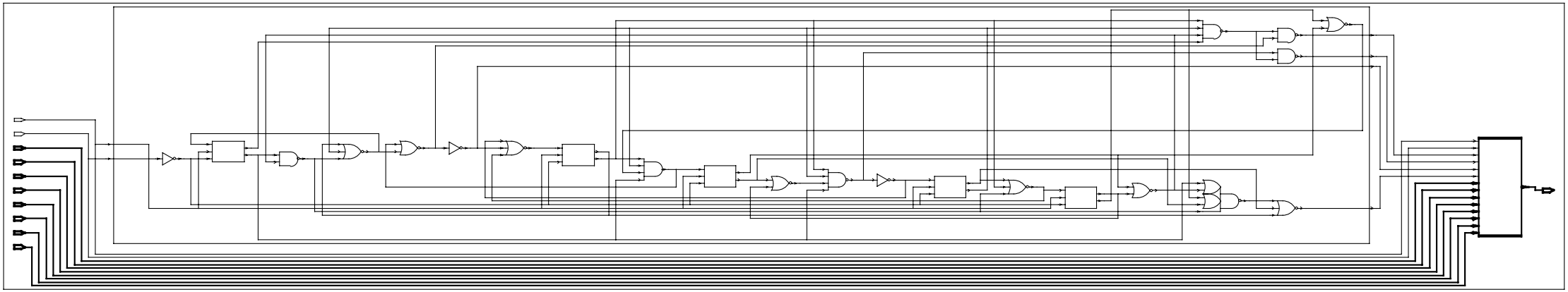
Entity:tb_sum8 Architecture:behavioral Date: Mon Apr 08 17:43:12 CEST 2024 Row: 1 Page: 1



Entity:tb_case3 Architecture:behavioral Date: Sun Apr 14 21:48:25 CEST 2024 Row: 1 Page: 1


U13
...eg[1]
U7
U3
U8
...eg[2]
U12
U5
...eg[0]
U10
U11
U4
U6
U9


CK
RST
U8
...g[2]
U7
...g[1]
U5
...g[0]
U3
U4
U6
MUX...
MUX...
MUX...
MUX...
MUX...
MUX...
MUX...
MUX...
MUX...
MUX...
DP
SUM



A Report Synopsys

A.1 *Case 1*: sommatore a sei ingressi

A.1.1 Report area

```
****************************************
Report : area
Design : TopLevel_adder6
Version: S-2021.06-SP4
Date   : Mon Apr  8 18:17:41 2024
****************************************

Library(s) Used:

    NangateOpenCellLibrary (File:
    ↪  /home/mg.lowpower/do/libnangate/NangateOpenCellLibrary_typical_ecsm.db)

Number of ports:                          352
Number of nets:                           505
Number of cells:                          158
Number of combinational cells:            135
Number of sequential cells:                19
Number of macros/black boxes:               0
Number of buf/inv:                          7
Number of references:                       2

Combinational area:                197.372003
Buf/Inv area:                        3.724000
Noncombinational area:             101.080003
Macro/Black Box area:                0.000000
Net Interconnect area:      undefined  (Wire load has zero net area)

Total cell area:                   298.452006
Total area:                 undefined
```

A.1.2 Report timing (critical path)

```
****************************************
Report : timing
        -path full
        -delay max
        -max_paths 1
Design : TopLevel_adder6
Version: S-2021.06-SP4
Date   : Mon Apr  8 18:33:45 2024
****************************************

Operating Conditions: typical   Library: NangateOpenCellLibrary
Wire Load Model Mode: top

  Startpoint: FSM_add6/PS_reg[1]
              (rising edge-triggered flip-flop clocked by CLK)
  Endpoint: DP_adder6/SUM_reg[15]
            (rising edge-triggered flip-flop clocked by CLK)
  Path Group: CLK
```

```
  Path Type: max

  Des/Clust/Port     Wire Load Model       Library
  ------------------------------------------------
  TopLevel_adder6    5K_hvratio_1_1        NangateOpenCellLibrary

  Point                                                   Incr       Path
  -----------------------------------------------------------------------------
  clock CLK (rise edge)                                   0.00       0.00
  clock network delay (ideal)                             0.00       0.00
  FSM_add6/PS_reg[1]/CK (DFFR_X1)                         0.00       0.00 r
  FSM_add6/PS_reg[1]/Q (DFFR_X1)                          0.09       0.09 f
  FSM_add6/U7/ZN (NOR2_X1)                                0.10       0.19 r
  FSM_add6/U3/ZN (INV_X1)                                 0.03       0.22 f
  FSM_add6/U8/ZN (AOI21_X1)                               0.08       0.30 r
  FSM_add6/s_2 (FSM_adder6)                               0.00       0.30 r
  DP_adder6/SEL10 (datapath_adder)                        0.00       0.30 r
  DP_adder6/U6/ZN (INV_X1)                                0.04       0.34 f
  DP_adder6/U5/ZN (AND2_X1)                               0.09       0.42 f
  DP_adder6/U18/ZN (AOI22_X1)                             0.08       0.51 r
  DP_adder6/U16/ZN (NAND2_X1)                             0.03       0.54 f
  DP_adder6/add_78/B[0] (datapath_adder_DW01_add_0)       0.00       0.54 f
  DP_adder6/add_78/U1/ZN (AND2_X1)                        0.04       0.58 f
  DP_adder6/add_78/U1_1/CO (FA_X1)                        0.09       0.67 f
  DP_adder6/add_78/U1_2/CO (FA_X1)                        0.09       0.76 f
  DP_adder6/add_78/U1_3/CO (FA_X1)                        0.09       0.85 f
  DP_adder6/add_78/U1_4/CO (FA_X1)                        0.09       0.94 f
  DP_adder6/add_78/U1_5/CO (FA_X1)                        0.09       1.03 f
  DP_adder6/add_78/U1_6/CO (FA_X1)                        0.09       1.12 f
  DP_adder6/add_78/U1_7/CO (FA_X1)                        0.09       1.21 f
  DP_adder6/add_78/U1_8/CO (FA_X1)                        0.09       1.31 f
  DP_adder6/add_78/U1_9/CO (FA_X1)                        0.09       1.40 f
  DP_adder6/add_78/U1_10/CO (FA_X1)                       0.09       1.49 f
  DP_adder6/add_78/U1_11/CO (FA_X1)                       0.09       1.58 f
  DP_adder6/add_78/U1_12/CO (FA_X1)                       0.09       1.67 f
  DP_adder6/add_78/U1_13/CO (FA_X1)                       0.09       1.76 f
  DP_adder6/add_78/U1_14/CO (FA_X1)                       0.09       1.85 f
  DP_adder6/add_78/U1_15/S (FA_X1)                        0.13       1.98 r
  DP_adder6/add_78/SUM[15] (datapath_adder_DW01_add_0)
                                                          0.00       1.98 r
  DP_adder6/SUM_reg[15]/D (DFFR_X1)                       0.01       1.99 r
  data arrival time                                                  1.99

  clock CLK (rise edge)                                  10.00      10.00
  clock network delay (ideal)                             0.00      10.00
  DP_adder6/SUM_reg[15]/CK (DFFR_X1)                      0.00      10.00 r
  library setup time                                     -0.03       9.97
  data required time                                                 9.97
  -----------------------------------------------------------------------------
  data required time                                                 9.97
  data arrival time                                                 -1.99
  -----------------------------------------------------------------------------
  slack (MET)                                                        7.98
```

A.1.3 Report timing (10 percorsi peggiori)

```
****************************************
```

```
Report : timing
        -path full
        -delay max
        -nworst 10
        -max_paths 1
        -sort_by group
Design : TopLevel_adder6
Version: S-2021.06-SP4
Date   : Mon Apr  8 18:45:39 2024
****************************************

Operating Conditions: typical   Library: NangateOpenCellLibrary
Wire Load Model Mode: top

  Startpoint: FSM_add6/PS_reg[1]
              (rising edge-triggered flip-flop clocked by CLK)
  Endpoint: DP_adder6/SUM_reg[15]
            (rising edge-triggered flip-flop clocked by CLK)
  Path Group: CLK
  Path Type: max

  Des/Clust/Port     Wire Load Model       Library
  ------------------------------------------------
  TopLevel_adder6    5K_hvratio_1_1        NangateOpenCellLibrary

  Point                                                   Incr       Path
  -----------------------------------------------------------------------------
  clock CLK (rise edge)                                   0.00       0.00
  clock network delay (ideal)                             0.00       0.00
  FSM_add6/PS_reg[1]/CK (DFFR_X1)                         0.00       0.00 r
  FSM_add6/PS_reg[1]/Q (DFFR_X1)                          0.09       0.09 f
  FSM_add6/U7/ZN (NOR2_X1)                                0.10       0.19 r
  FSM_add6/U3/ZN (INV_X1)                                 0.03       0.22 f
  FSM_add6/U8/ZN (AOI21_X1)                               0.08       0.30 r
  FSM_add6/s_2 (FSM_adder6)                               0.00       0.30 r
  DP_adder6/SEL10 (datapath_adder)                        0.00       0.30 r
  DP_adder6/U6/ZN (INV_X1)                                0.04       0.34 f
  DP_adder6/U5/ZN (AND2_X1)                               0.09       0.42 f
  DP_adder6/U18/ZN (AOI22_X1)                             0.08       0.51 r
  DP_adder6/U16/ZN (NAND2_X1)                             0.03       0.54 f
  DP_adder6/add_78/B[0] (datapath_adder_DW01_add_0)       0.00       0.54 f
  DP_adder6/add_78/U1/ZN (AND2_X1)                        0.04       0.58 f
  DP_adder6/add_78/U1_1/CO (FA_X1)                        0.09       0.67 f
  DP_adder6/add_78/U1_2/CO (FA_X1)                        0.09       0.76 f
  DP_adder6/add_78/U1_3/CO (FA_X1)                        0.09       0.85 f
  DP_adder6/add_78/U1_4/CO (FA_X1)                        0.09       0.94 f
  DP_adder6/add_78/U1_5/CO (FA_X1)                        0.09       1.03 f
  DP_adder6/add_78/U1_6/CO (FA_X1)                        0.09       1.12 f
  DP_adder6/add_78/U1_7/CO (FA_X1)                        0.09       1.21 f
  DP_adder6/add_78/U1_8/CO (FA_X1)                        0.09       1.31 f
  DP_adder6/add_78/U1_9/CO (FA_X1)                        0.09       1.40 f
  DP_adder6/add_78/U1_10/CO (FA_X1)                       0.09       1.49 f
  DP_adder6/add_78/U1_11/CO (FA_X1)                       0.09       1.58 f
  DP_adder6/add_78/U1_12/CO (FA_X1)                       0.09       1.67 f
  DP_adder6/add_78/U1_13/CO (FA_X1)                       0.09       1.76 f
  DP_adder6/add_78/U1_14/CO (FA_X1)                       0.09       1.85 f
  DP_adder6/add_78/U1_15/S (FA_X1)                        0.13       1.98 r
  DP_adder6/add_78/SUM[15] (datapath_adder_DW01_add_0)
                                                          0.00       1.98 r
```

```
  DP_adder6/SUM_reg[15]/D (DFFR_X1)                        0.01       1.99 r
  data arrival time                                                   1.99

  clock CLK (rise edge)                                   10.00      10.00
  clock network delay (ideal)                              0.00      10.00
  DP_adder6/SUM_reg[15]/CK (DFFR_X1)                       0.00      10.00 r
  library setup time                                      -0.03       9.97
  data required time                                                  9.97
  -------------------------------------------------------------------------
  data required time                                                  9.97
  data arrival time                                                  -1.99
  -------------------------------------------------------------------------
  slack (MET)                                                         7.98
```

A.1.4 Report power

```
 ****************************************
Report : power
        -analysis_effort low
Design : TopLevel_adder6
Version: S-2021.06-SP4
Date   : Mon Apr  8 18:49:56 2024
****************************************


Library(s) Used:

    NangateOpenCellLibrary (File:
    ↪  /home/mg.lowpower/do/libnangate/NangateOpenCellLibrary_typical_ecsm.db)


Operating Conditions: typical   Library: NangateOpenCellLibrary
Wire Load Model Mode: top

Design        Wire Load Model            Library
------------------------------------------------
TopLevel_adder6        5K_hvratio_1_1    NangateOpenCellLibrary


Global Operating Voltage = 1.1
Power-specific unit information :
    Voltage Units = 1V
    Capacitance Units = 1.000000ff
    Time Units = 1ns
    Dynamic Power Units = 1uW    (derived from V,C,T units)
    Leakage Power Units = 1nW


  Cell Internal Power  =  28.4338 uW   (73%)
  Net Switching Power  =  10.7459 uW   (27%)
                         ---------
Total Dynamic Power    =  39.1797 uW  (100%)

Cell Leakage Power     =   5.6144 uW


                 Internal      Switching          Leakage        Total
```

```
Power Group     Power         Power              Power          Power   ( %    )  Attrs
--------------------------------------------------------------------------------------
io_pad            0.0000         0.0000           0.0000        0.0000  ( 0.00%)
memory            0.0000         0.0000           0.0000        0.0000  ( 0.00%)
black_box         0.0000         0.0000           0.0000        0.0000  ( 0.00%)
clock_network     0.0000         0.0000           0.0000        0.0000  ( 0.00%)
register         18.1060         0.3865       1.6302e+03       20.1227  (44.92%)
sequential        0.0000         0.0000           0.0000        0.0000  ( 0.00%)
combinational    10.3278        10.3594       3.9841e+03       24.6713  (55.08%)
--------------------------------------------------------------------------------------
Total            28.4338 uW     10.7459 uW    5.6144e+03 nW    44.7940 uW
```

A.1.5 Hierarchical report power

```
****************************************
Report : power
        -hier
        -analysis_effort low
Design : TopLevel_adder6
Version: S-2021.06-SP4
Date   : Mon Apr  8 18:51:10 2024
****************************************


Library(s) Used:

    NangateOpenCellLibrary (File:
    ↪  /home/mg.lowpower/do/libnangate/NangateOpenCellLibrary_typical_ecsm.db)


Operating Conditions: typical   Library: NangateOpenCellLibrary
Wire Load Model Mode: top

Design        Wire Load Model            Library
------------------------------------------------
TopLevel_adder6        5K_hvratio_1_1    NangateOpenCellLibrary


Global Operating Voltage = 1.1
Power-specific unit information :
    Voltage Units = 1V
    Capacitance Units = 1.000000ff
    Time Units = 1ns
    Dynamic Power Units = 1uW    (derived from V,C,T units)
    Leakage Power Units = 1nW


--------------------------------------------------------------------------------
                                       Switch   Int      Leak     Total
Hierarchy                              Power    Power    Power    Power    %
--------------------------------------------------------------------------------
TopLevel_adder6                          10.746   28.434 5.61e+03   44.794 100.0
  FSM_add6 (FSM_adder6)                   1.094    3.012  500.085    4.606  10.3
  DP_adder6 (datapath_adder)              9.652   25.422 5.11e+03   40.188  89.7
    add_78 (datapath_adder_DW01_add_0)    1.684    4.787 1.19e+03    7.662  17.1
```

A.1.6 Net verbose report power

```
****************************************
Report : power
        -net
        -analysis_effort low
        -verbose
        -sort_mode net_switching_power
Design : TopLevel_adder6
Version: S-2021.06-SP4
Date   : Mon Apr  8 18:52:57 2024
****************************************


Library(s) Used:

    NangateOpenCellLibrary (File:
    ↪  /home/mg.lowpower/do/libnangate/NangateOpenCellLibrary_typical_ecsm.db)


Operating Conditions: typical   Library: NangateOpenCellLibrary
Wire Load Model Mode: top

Design        Wire Load Model            Library
------------------------------------------------
TopLevel_adder6        5K_hvratio_1_1    NangateOpenCellLibrary


Global Operating Voltage = 1.1
Power-specific unit information :
    Voltage Units = 1V
    Capacitance Units = 1.000000ff
    Time Units = 1ns
    Dynamic Power Units = 1uW    (derived from V,C,T units)
    Leakage Power Units = 1nW



  Attributes
  ----------
      a  -  Switching activity information annotated on net
      d  -  Default switching activity information on net

                              Total      Static   Toggle   Switching
Net                           Net Load   Prob.    Rate     Power      Attrs
--------------------------------------------------------------------------------
SEL11                          12.344    0.180    0.0194      0.1451
SEL01                          10.166    0.285    0.0216      0.1328
SEL10                           8.732    0.317    0.0241      0.1275
SEL00                           7.115    0.222    0.0241      0.1037
SUM[12]                         0.310    0.238    0.0275      0.0051
SUM[13]                         0.310    0.241    0.0274      0.0051
SUM[7]                          0.310    0.239    0.0273      0.0051
SUM[14]                         0.310    0.238    0.0272      0.0051
SUM[15]                         0.310    0.237    0.0272      0.0051
SUM[1]                          0.310    0.239    0.0271      0.0051
SUM[4]                          0.310    0.241    0.0271      0.0051
SUM[2]                          0.310    0.240    0.0271      0.0051
SUM[10]                         0.310    0.237    0.0270      0.0051
SUM[11]                         0.310    0.238    0.0270      0.0051
```

```
SUM[9]                          0.310    0.238    0.0270      0.0051
SUM[8]                          0.310    0.239    0.0270      0.0051
SUM[6]                          0.310    0.239    0.0269      0.0050
SUM[5]                          0.310    0.240    0.0268      0.0050
SUM[0]                          0.310    0.236    0.0268      0.0050
SUM[3]                          0.310    0.241    0.0267      0.0050
--------------------------------------------------------------------------------
Total (20 nets)                                              590.3062 nW



  Attributes
  ----------
      a  -  Switching activity information annotated on net
      d  -  Default switching activity information on net
      m  -  Multiply-driven net

                          Net         Driver     Tot Dynamic     Driver
                          Switching   Internal   Power           Leakage
Net                       Power       Power      (% Net/Tot)     Power    Attrs
--------------------------------------------------------------------------------
SEL11                        0.1451     0.0248     0.170 (85%)    20.6042
SEL01                        0.1328     0.0434     0.176 (75%)    35.4412
SEL10                        0.1275     0.0468     0.174 (73%)    36.9572
SEL00                        0.1037     0.0229     0.127 (82%)    16.7155
SUM[12]                   5.150e-03     0.9700     0.975 (1%)     85.6453
SUM[13]                   5.131e-03     0.9651     0.970 (1%)     85.6736
SUM[7]                    5.119e-03     0.9687     0.974 (1%)     85.6854
SUM[14]                   5.090e-03     0.9673     0.972 (1%)     85.6701
SUM[15]                   5.090e-03     0.9696     0.975 (1%)     85.6786
SUM[1]                    5.087e-03     0.9602     0.965 (1%)     85.6675
SUM[4]                    5.079e-03     0.9612     0.966 (1%)     85.6553
SUM[2]                    5.075e-03     0.9609     0.966 (1%)     85.6751
SUM[10]                   5.069e-03     0.9685     0.974 (1%)     85.6761
SUM[11]                   5.068e-03     0.9632     0.968 (1%)     85.6263
SUM[9]                    5.067e-03     0.9659     0.971 (1%)     85.6671
SUM[8]                    5.051e-03     0.9647     0.970 (1%)     85.6887
SUM[6]                    5.047e-03     0.9629     0.968 (1%)     85.6687
SUM[5]                    5.031e-03     0.9627     0.968 (1%)     85.7134
SUM[0]                    5.015e-03     0.9534     0.958 (1%)     85.6379
SUM[3]                    5.009e-03     0.9592     0.964 (1%)     85.7005
--------------------------------------------------------------------------------
Totals (20 nets)           590.306nW   15.562uW   16.152uW (4%)    1.480uW
```

A.1.7 Net report power FSM

```
****************************************
Report : power
        -net
        -analysis_effort low
        -sort_mode net_switching_power
Design : TopLevel_adder6/FSM_add6 (FSM_adder6)
Version: S-2021.06-SP4
Date   : Wed Apr 10 10:17:36 2024
****************************************


```

```
Library(s) Used:

    NangateOpenCellLibrary (File:
    ↪  /home/mg.lowpower/do/libnangate/NangateOpenCellLibrary_typical_ecsm.db)


Operating Conditions: typical   Library: NangateOpenCellLibrary
Wire Load Model Mode: top

Design        Wire Load Model            Library
------------------------------------------------
TopLevel_adder6        5K_hvratio_1_1    NangateOpenCellLibrary


Global Operating Voltage = 1.1
Power-specific unit information :
    Voltage Units = 1V
    Capacitance Units = 1.000000ff
    Time Units = 1ns
    Dynamic Power Units = 1uW    (derived from V,C,T units)
    Leakage Power Units = 1nW



  Attributes
  ----------
      a  -  Switching activity information annotated on net
      d  -  Default switching activity information on net

                              Total      Static   Toggle   Switching
Net                           Net Load   Prob.    Rate     Power      Attrs
--------------------------------------------------------------------------------
s_3                            12.344    0.180    0.0194      0.1451
s_1                            10.166    0.285    0.0216      0.1328
s_2                             8.732    0.317    0.0241      0.1275
s_0                             7.115    0.222    0.0241      0.1037
n4                              6.187    0.715    0.0216      0.0809
PS[0]                           4.937    0.317    0.0241      0.0721
PS[1]                           4.583    0.222    0.0242      0.0670
n8                              3.998    0.778    0.0241      0.0583
n7                              3.897    0.683    0.0241      0.0568
n9                              4.063    0.285    0.0216      0.0531
n3                              4.046    0.820    0.0194      0.0476
n10                             3.897    0.906    0.0194      0.0457
n6                              6.482    0.500    0.0100      0.0392  d
n5                              1.957    0.778    0.0241      0.0285
n2                              1.438    0.715    0.0216      0.0188
NS[0]                           1.438    0.820    0.0194      0.0169
--------------------------------------------------------------------------------
Total (16 nets)                                                1.0940 uW
```

A.1.8 Cell report power FSM

```
****************************************
Report : power
        -cell
        -analysis_effort low
```

```
        -sort_mode cell_internal_power
Design : TopLevel_adder6/FSM_add6 (FSM_adder6)
Version: S-2021.06-SP4
Date   : Wed Apr 10 10:14:41 2024
****************************************

Library(s) Used:

    NangateOpenCellLibrary (File:
    ↪  /home/mg.lowpower/do/libnangate/NangateOpenCellLibrary_typical_ecsm.db)

Operating Conditions: typical   Library: NangateOpenCellLibrary
Wire Load Model Mode: top

Design        Wire Load Model            Library
------------------------------------------------
TopLevel_adder6        5K_hvratio_1_1    NangateOpenCellLibrary


Global Operating Voltage = 1.1
Power-specific unit information :
    Voltage Units = 1V
    Capacitance Units = 1.000000ff
    Time Units = 1ns
    Dynamic Power Units = 1uW    (derived from V,C,T units)
    Leakage Power Units = 1nW

  Attributes
  ----------
      h  -  Hierarchical cell

                        Cell      Driven Net  Tot Dynamic      Cell
                        Internal  Switching   Power            Leakage
Cell                    Power     Power       (% Cell/Tot)     Power      Attrs
--------------------------------------------------------------------------------
PS_reg[1]                  1.0287    0.0955      1.124 (92%)     87.1815
PS_reg[0]                  0.9051    0.1289      1.034 (88%)     87.6667
PS_reg[2]                  0.7485    0.0809      0.829 (90%)     84.6340
U8                         0.0468    0.1275      0.174 (27%)     36.9572
U10                        0.0466    0.0457   9.23e-02 (50%)     38.6429
U9                         0.0434    0.1328      0.176 (25%)     35.4412
U11                        0.0349    0.0583   9.32e-02 (37%)     14.1746
U12                        0.0300    0.0531   8.31e-02 (36%)     26.9216
U5                         0.0271    0.0169   4.40e-02 (62%)     12.6371
U7                         0.0248    0.1451      0.170 (15%)     20.6042
U4                         0.0229    0.1037      0.127 (18%)     16.7155
U3                         0.0224    0.0476   7.00e-02 (32%)     11.6319
U6                         0.0204    0.0188   3.92e-02 (52%)     12.5235
U13                     9.993e-03    0.0392   4.92e-02 (20%)     14.3532
--------------------------------------------------------------------------------
Totals (14 cells)          3.012uW   1.094uW     4.106uW (73%)  500.085nW
```

A.1.9 Report timing con periodo di clock pari a 2 ns

```
****************************************
Report : timing
        -path full
```

```
        -delay max
        -max_paths 1
Design : TopLevel_adder6
Version: S-2021.06-SP4
Date   : Wed Apr 10 10:34:59 2024
****************************************

Operating Conditions: typical   Library: NangateOpenCellLibrary
Wire Load Model Mode: top

  Startpoint: FSM_add6/PS_reg[1]
              (rising edge-triggered flip-flop clocked by CLK)
  Endpoint: DP_adder6/SUM_reg[15]
            (rising edge-triggered flip-flop clocked by CLK)
  Path Group: CLK
  Path Type: max

  Des/Clust/Port     Wire Load Model       Library
  ------------------------------------------------
  TopLevel_adder6    5K_hvratio_1_1        NangateOpenCellLibrary

  Point                                                    Incr       Path
  -----------------------------------------------------------------------------
  clock CLK (rise edge)                                    0.00       0.00
  clock network delay (ideal)                              0.00       0.00
  FSM_add6/PS_reg[1]/CK (DFFR_X1)                          0.00       0.00 r
  FSM_add6/PS_reg[1]/Q (DFFR_X1)                           0.09       0.09 f
  FSM_add6/U7/ZN (NOR2_X1)                                 0.10       0.19 r
  FSM_add6/U3/ZN (INV_X1)                                  0.03       0.22 f
  FSM_add6/U8/ZN (AOI21_X1)                                0.08       0.30 r
  FSM_add6/s_2 (FSM_adder6)                                0.00       0.30 r
  DP_adder6/SEL10 (datapath_adder)                         0.00       0.30 r
  DP_adder6/U6/ZN (INV_X1)                                 0.04       0.34 f
  DP_adder6/U5/ZN (AND2_X1)                                0.09       0.42 f
  DP_adder6/U18/ZN (AOI22_X1)                              0.08       0.51 r
  DP_adder6/U16/ZN (NAND2_X1)                              0.03       0.54 f
  DP_adder6/add_78/B[0] (datapath_adder_DW01_add_0)        0.00       0.54 f
  DP_adder6/add_78/U1/ZN (AND2_X1)                         0.04       0.58 f
  DP_adder6/add_78/U1_1/CO (FA_X1)                         0.09       0.67 f
  DP_adder6/add_78/U1_2/CO (FA_X1)                         0.09       0.76 f
  DP_adder6/add_78/U1_3/CO (FA_X1)                         0.09       0.85 f
  DP_adder6/add_78/U1_4/CO (FA_X1)                         0.09       0.94 f
  DP_adder6/add_78/U1_5/CO (FA_X1)                         0.09       1.03 f
  DP_adder6/add_78/U1_6/CO (FA_X1)                         0.09       1.12 f
  DP_adder6/add_78/U1_7/CO (FA_X1)                         0.09       1.21 f
  DP_adder6/add_78/U1_8/CO (FA_X1)                         0.09       1.31 f
  DP_adder6/add_78/U1_9/CO (FA_X1)                         0.09       1.40 f
  DP_adder6/add_78/U1_10/CO (FA_X1)                        0.09       1.49 f
  DP_adder6/add_78/U1_11/CO (FA_X1)                        0.09       1.58 f
  DP_adder6/add_78/U1_12/CO (FA_X1)                        0.09       1.67 f
  DP_adder6/add_78/U1_13/CO (FA_X1)                        0.09       1.76 f
  DP_adder6/add_78/U1_14/CO (FA_X1)                        0.09       1.85 f
  DP_adder6/add_78/U1_15/S (FA_X1)                         0.13       1.98 r
  DP_adder6/add_78/SUM[15] (datapath_adder_DW01_add_0)
                                                           0.00       1.98 r
  DP_adder6/SUM_reg[15]/D (DFFR_X1)                        0.01       1.99 r
  data arrival time                                                   1.99

  clock CLK (rise edge)                                    2.02       2.02
```

```
  clock network delay (ideal)                              0.00       2.02
  DP_adder6/SUM_reg[15]/CK (DFFR_X1)                       0.00       2.02 r
  library setup time                                      -0.03       1.99
  data required time                                                  1.99
  -------------------------------------------------------------------------
  data required time                                                  1.99
  data arrival time                                                  -1.99
  -------------------------------------------------------------------------
  slack (VIOLATED: increase significant digits)                       0.00
```

A.1.10 Report power con periodo di clock pari a 2 ns

```
****************************************
Report : power
        -analysis_effort low
Design : TopLevel_adder6
Version: S-2021.06-SP4
Date   : Wed Apr 10 10:37:12 2024
****************************************


Library(s) Used:

    NangateOpenCellLibrary (File:
    ↪  /home/mg.lowpower/do/libnangate/NangateOpenCellLibrary_typical_ecsm.db)


Operating Conditions: typical   Library: NangateOpenCellLibrary
Wire Load Model Mode: top

Design        Wire Load Model            Library
------------------------------------------------
TopLevel_adder6        5K_hvratio_1_1    NangateOpenCellLibrary


Global Operating Voltage = 1.1
Power-specific unit information :
    Voltage Units = 1V
    Capacitance Units = 1.000000ff
    Time Units = 1ns
    Dynamic Power Units = 1uW    (derived from V,C,T units)
    Leakage Power Units = 1nW


  Cell Internal Power  = 140.4136 uW   (73%)
  Net Switching Power  =  53.0663 uW   (27%)
                         ---------
Total Dynamic Power    = 193.4799 uW  (100%)

Cell Leakage Power     =   5.6144 uW


                 Internal       Switching         Leakage        Total
Power Group      Power          Power             Power          Power   ( %    )  Attrs
--------------------------------------------------------------------------------------
io_pad             0.0000          0.0000          0.0000        0.0000  ( 0.00%)
memory             0.0000          0.0000          0.0000        0.0000  ( 0.00%)
```

```
black_box          0.0000          0.0000          0.0000        0.0000  ( 0.00%)
clock_network      0.0000          0.0000          0.0000        0.0000  ( 0.00%)
register          89.4123          1.9087      1.6302e+03       92.9511  (46.69%)
sequential         0.0000          0.0000          0.0000        0.0000  ( 0.00%)
combinational     51.0014         51.1576      3.9841e+03      106.1431  (53.31%)
--------------------------------------------------------------------------------------
Total            140.4136 uW      53.0663 uW   5.6144e+03 nW   199.0943 uW
```

A.2 *Case 2*: sommatore a otto ingressi

A.2.1 Report area

```
****************************************
Report : area
Design : top_level_adder8
Version: S-2021.06-SP4
Date   : Wed Apr 10 12:04:13 2024
****************************************

Information: Updating design information... (UID-85)
Library(s) Used:

    NangateOpenCellLibrary (File:
    ↪  /home/mg.lowpower/do/libnangate/NangateOpenCellLibrary_typical_ecsm.db)

Number of ports:                          416
Number of nets:                           582
Number of cells:                          170
Number of combinational cells:            147
Number of sequential cells:                19
Number of macros/black boxes:               0
Number of buf/inv:                         21
Number of references:                       2

Combinational area:               231.420005
Buf/Inv area:                      11.172000
Noncombinational area:            101.080003
Macro/Black Box area:               0.000000
Net Interconnect area:      undefined  (Wire load has zero net area)

Total cell area:                  332.500008
Total area:                 undefined
```

A.2.2 Report timing (critical path)

```
****************************************
Report : timing
        -path full
        -delay max
        -max_paths 1
Design : top_level_adder8
Version: S-2021.06-SP4
Date   : Wed Apr 10 12:04:13 2024
****************************************

Operating Conditions: typical   Library: NangateOpenCellLibrary
Wire Load Model Mode: top

  Startpoint: FSM/PS_reg[1]
              (rising edge-triggered flip-flop clocked by CLK)
  Endpoint: DP/SUM_reg[15]
            (rising edge-triggered flip-flop clocked by CLK)
  Path Group: CLK
  Path Type: max

```

```
  Des/Clust/Port     Wire Load Model       Library
  ------------------------------------------------
  top_level_adder8   5K_hvratio_1_1        NangateOpenCellLibrary

  Point                                                   Incr       Path
  -----------------------------------------------------------------------
  clock CLK (rise edge)                                   0.00       0.00
  clock network delay (ideal)                             0.00       0.00
  FSM/PS_reg[1]/CK (DFFR_X1)                              0.00       0.00 r
  FSM/PS_reg[1]/QN (DFFR_X1)                              0.08       0.08 f
  FSM/U4/ZN (NAND2_X1)                                    0.13       0.21 r
  FSM/U3/ZN (AND2_X1)                                     0.14       0.35 r
  FSM/S2 (FSM_adder8)                                     0.00       0.35 r
  DP/S2 (dpadder_8)                                       0.00       0.35 r
  DP/U127/ZN (NOR3_X4)                                    0.10       0.45 f
  DP/U8/ZN (AOI22_X1)                                     0.08       0.53 r
  DP/U9/ZN (NAND4_X1)                                     0.05       0.59 f
  DP/add_88/A[0] (dpadder_8_DW01_add_0)                   0.00       0.59 f
  DP/add_88/U1/ZN (AND2_X1)                               0.05       0.64 f
  DP/add_88/U1_1/CO (FA_X1)                               0.09       0.72 f
  DP/add_88/U1_2/CO (FA_X1)                               0.09       0.81 f
  DP/add_88/U1_3/CO (FA_X1)                               0.09       0.90 f
  DP/add_88/U1_4/CO (FA_X1)                               0.09       0.99 f
  DP/add_88/U1_5/CO (FA_X1)                               0.09       1.09 f
  DP/add_88/U1_6/CO (FA_X1)                               0.09       1.18 f
  DP/add_88/U1_7/CO (FA_X1)                               0.09       1.27 f
  DP/add_88/U1_8/CO (FA_X1)                               0.09       1.36 f
  DP/add_88/U1_9/CO (FA_X1)                               0.09       1.45 f
  DP/add_88/U1_10/CO (FA_X1)                              0.09       1.54 f
  DP/add_88/U1_11/CO (FA_X1)                              0.09       1.63 f
  DP/add_88/U1_12/CO (FA_X1)                              0.09       1.72 f
  DP/add_88/U1_13/CO (FA_X1)                              0.09       1.81 f
  DP/add_88/U1_14/CO (FA_X1)                              0.09       1.90 f
  DP/add_88/U1_15/S (FA_X1)                               0.13       2.03 r
  DP/add_88/SUM[15] (dpadder_8_DW01_add_0)                0.00       2.03 r
  DP/SUM_reg[15]/D (DFFR_X1)                              0.01       2.04 r
  data arrival time                                                  2.04

  clock CLK (rise edge)                                  10.00      10.00
  clock network delay (ideal)                             0.00      10.00
  DP/SUM_reg[15]/CK (DFFR_X1)                             0.00      10.00 r
  library setup time                                     -0.03       9.97
  data required time                                                 9.97
  -----------------------------------------------------------------------
  data required time                                                 9.97
  data arrival time                                                 -2.04
  -----------------------------------------------------------------------
  slack (MET)                                                        7.93
```

A.2.3 Report timing (10 percorsi peggiori)

```
****************************************
Report : timing
        -path full
        -delay max
        -nworst 10
        -max_paths 1
```

```
        -sort_by group
Design : top_level_adder8
Version: S-2021.06-SP4
Date   : Wed Apr 10 12:04:13 2024
****************************************

Operating Conditions: typical   Library: NangateOpenCellLibrary
Wire Load Model Mode: top

  Startpoint: FSM/PS_reg[1]
              (rising edge-triggered flip-flop clocked by CLK)
  Endpoint: DP/SUM_reg[15]
            (rising edge-triggered flip-flop clocked by CLK)
  Path Group: CLK
  Path Type: max

  Des/Clust/Port     Wire Load Model       Library
  ------------------------------------------------
  top_level_adder8   5K_hvratio_1_1        NangateOpenCellLibrary

  Point                                                   Incr       Path
  -----------------------------------------------------------------------------
  clock CLK (rise edge)                                   0.00       0.00
  clock network delay (ideal)                             0.00       0.00
  FSM/PS_reg[1]/CK (DFFR_X1)                              0.00       0.00 r
  FSM/PS_reg[1]/QN (DFFR_X1)                              0.08       0.08 f
  FSM/U4/ZN (NAND2_X1)                                    0.13       0.21 r
  FSM/U3/ZN (AND2_X1)                                     0.14       0.35 r
  FSM/S2 (FSM_adder8)                                     0.00       0.35 r
  DP/S2 (dpadder_8)                                       0.00       0.35 r
  DP/U127/ZN (NOR3_X4)                                    0.10       0.45 f
  DP/U8/ZN (AOI22_X1)                                     0.08       0.53 r
  DP/U9/ZN (NAND4_X1)                                     0.05       0.59 f
  DP/add_88/A[0] (dpadder_8_DW01_add_0)                   0.00       0.59 f
  DP/add_88/U1/ZN (AND2_X1)                               0.05       0.64 f
  DP/add_88/U1_1/CO (FA_X1)                               0.09       0.72 f
  DP/add_88/U1_2/CO (FA_X1)                               0.09       0.81 f
  DP/add_88/U1_3/CO (FA_X1)                               0.09       0.90 f
  DP/add_88/U1_4/CO (FA_X1)                               0.09       0.99 f
  DP/add_88/U1_5/CO (FA_X1)                               0.09       1.09 f
  DP/add_88/U1_6/CO (FA_X1)                               0.09       1.18 f
  DP/add_88/U1_7/CO (FA_X1)                               0.09       1.27 f
  DP/add_88/U1_8/CO (FA_X1)                               0.09       1.36 f
  DP/add_88/U1_9/CO (FA_X1)                               0.09       1.45 f
  DP/add_88/U1_10/CO (FA_X1)                              0.09       1.54 f
  DP/add_88/U1_11/CO (FA_X1)                              0.09       1.63 f
  DP/add_88/U1_12/CO (FA_X1)                              0.09       1.72 f
  DP/add_88/U1_13/CO (FA_X1)                              0.09       1.81 f
  DP/add_88/U1_14/CO (FA_X1)                              0.09       1.90 f
  DP/add_88/U1_15/S (FA_X1)                               0.13       2.03 r
  DP/add_88/SUM[15] (dpadder_8_DW01_add_0)                0.00       2.03 r
  DP/SUM_reg[15]/D (DFFR_X1)                              0.01       2.04 r
  data arrival time                                                  2.04

  clock CLK (rise edge)                                  10.00      10.00
  clock network delay (ideal)                             0.00      10.00
  DP/SUM_reg[15]/CK (DFFR_X1)                             0.00      10.00 r
  library setup time                                     -0.03       9.97
  data required time                                                 9.97
```

```
  ---------------------------------------------------------------------------
  data required time                                                    9.97
  data arrival time                                                    -2.04
  ---------------------------------------------------------------------------
  slack (MET)                                                           7.93
```

A.2.4 Report power

```
Information: Propagating switching activity (low effort zero delay simulation). (PWR-6)
Warning: Design has unannotated primary inputs. (PWR-414)
Warning: Design has unannotated sequential cell outputs. (PWR-415)

****************************************
Report : power
        -analysis_effort low
Design : top_level_adder8
Version: S-2021.06-SP4
Date   : Wed Apr 10 12:04:13 2024
****************************************


Library(s) Used:

    NangateOpenCellLibrary (File:
    ↪  /home/mg.lowpower/do/libnangate/NangateOpenCellLibrary_typical_ecsm.db)


Operating Conditions: typical   Library: NangateOpenCellLibrary
Wire Load Model Mode: top

Design        Wire Load Model            Library
------------------------------------------------
top_level_adder8       5K_hvratio_1_1    NangateOpenCellLibrary


Global Operating Voltage = 1.1
Power-specific unit information :
    Voltage Units = 1V
    Capacitance Units = 1.000000ff
    Time Units = 1ns
    Dynamic Power Units = 1uW    (derived from V,C,T units)
    Leakage Power Units = 1nW


  Cell Internal Power  =  27.8097 uW   (73%)
  Net Switching Power  =  10.1895 uW   (27%)
                         ---------
Total Dynamic Power    =  37.9992 uW  (100%)

Cell Leakage Power     =   6.1571 uW


                 Internal      Switching          Leakage        Total
Power Group      Power         Power              Power          Power   ( %    )  Attrs
--------------------------------------------------------------------------------------
io_pad             0.0000        0.0000            0.0000        0.0000  ( 0.00%)
memory             0.0000        0.0000            0.0000        0.0000  ( 0.00%)
```

```
black_box          0.0000          0.0000           0.0000         0.0000  ( 0.00%)
clock_network      0.0000          0.0000           0.0000         0.0000  ( 0.00%)
register          17.7881          0.9532       1.6265e+03        20.3678  (46.13%)
sequential         0.0000          0.0000           0.0000         0.0000  ( 0.00%)
combinational     10.0216          9.2363       4.5305e+03        23.7884  (53.87%)
--------------------------------------------------------------------------------------
Total             27.8097 uW      10.1895 uW    6.1571e+03 nW     44.1562 uW
```

A.2.5 Hierarchical report power

```
****************************************
Report : power
        -hier
        -analysis_effort low
Design : top_level_adder8
Version: S-2021.06-SP4
Date   : Wed Apr 10 12:04:13 2024
****************************************


Library(s) Used:

    NangateOpenCellLibrary (File:
    ↪  /home/mg.lowpower/do/libnangate/NangateOpenCellLibrary_typical_ecsm.db)


Operating Conditions: typical   Library: NangateOpenCellLibrary
Wire Load Model Mode: top

Design        Wire Load Model            Library
------------------------------------------------
top_level_adder8       5K_hvratio_1_1    NangateOpenCellLibrary


Global Operating Voltage = 1.1
Power-specific unit information :
    Voltage Units = 1V
    Capacitance Units = 1.000000ff
    Time Units = 1ns
    Dynamic Power Units = 1uW    (derived from V,C,T units)
    Leakage Power Units = 1nW


--------------------------------------------------------------------------------
                                       Switch   Int      Leak     Total
Hierarchy                              Power    Power    Power    Power    %
--------------------------------------------------------------------------------
top_level_adder8                         10.189   27.810 6.16e+03   44.156 100.0
  FSM (FSM_adder8)                        1.697    2.696  412.023    4.805  10.9
  DP (dpadder_8)                          8.493   25.114 5.75e+03   39.351  89.1
    add_88 (dpadder_8_DW01_add_0)         1.634    4.684 1.19e+03    7.512  17.0
```

A.2.6 Net verbose report power

```
****************************************
Report : power
```

```
        -net
        -analysis_effort low
        -verbose
        -sort_mode net_switching_power
Design : top_level_adder8
Version: S-2021.06-SP4
Date   : Wed Apr 10 12:04:13 2024
****************************************


Library(s) Used:

    NangateOpenCellLibrary (File:
    ↪  /home/mg.lowpower/do/libnangate/NangateOpenCellLibrary_typical_ecsm.db)


Operating Conditions: typical   Library: NangateOpenCellLibrary
Wire Load Model Mode: top

Design        Wire Load Model            Library
------------------------------------------------
top_level_adder8       5K_hvratio_1_1    NangateOpenCellLibrary


Global Operating Voltage = 1.1
Power-specific unit information :
    Voltage Units = 1V
    Capacitance Units = 1.000000ff
    Time Units = 1ns
    Dynamic Power Units = 1uW    (derived from V,C,T units)
    Leakage Power Units = 1nW



  Attributes
  ----------
      a  -  Switching activity information annotated on net
      d  -  Default switching activity information on net

                              Total      Static   Toggle   Switching
Net                           Net Load   Prob.    Rate     Power      Attrs
--------------------------------------------------------------------------------
sel_3                          39.609    0.440    0.0190      0.4542
sel_0                          22.845    0.295    0.0318      0.4393
sel_2                          32.397    0.187    0.0142      0.2776
sel_1                          18.651    0.292    0.0172      0.1945
SUM[1]                          0.310    0.244    0.0281      0.0053
SUM[7]                          0.310    0.248    0.0276      0.0052
SUM[0]                          0.310    0.245    0.0276      0.0052
SUM[13]                         0.310    0.245    0.0276      0.0052
SUM[2]                          0.310    0.243    0.0275      0.0052
SUM[4]                          0.310    0.245    0.0275      0.0052
SUM[6]                          0.310    0.242    0.0275      0.0051
SUM[10]                         0.310    0.245    0.0275      0.0051
SUM[3]                          0.310    0.245    0.0275      0.0051
SUM[15]                         0.310    0.248    0.0274      0.0051
SUM[14]                         0.310    0.247    0.0274      0.0051
SUM[8]                          0.310    0.249    0.0274      0.0051
SUM[5]                          0.310    0.245    0.0273      0.0051
```

```
SUM[9]                          0.310    0.246    0.0273      0.0051
SUM[12]                         0.310    0.244    0.0272      0.0051
SUM[11]                         0.310    0.246    0.0272      0.0051
--------------------------------------------------------------------------------
Total (20 nets)                                                1.4480 uW



  Attributes
  ----------
      a  -  Switching activity information annotated on net
      d  -  Default switching activity information on net
      m  -  Multiply-driven net

                          Net         Driver     Tot Dynamic     Driver
                          Switching   Internal   Power           Leakage
Net                       Power       Power      (% Net/Tot)     Power    Attrs
--------------------------------------------------------------------------------
sel_3                        0.4542     0.0249     0.479 (95%)    24.9039
sel_0                        0.4393     0.5078     0.947 (46%)    43.7516
sel_2                        0.2776     0.0403     0.318 (87%)    24.7904
sel_1                        0.1945     0.3495     0.544 (36%)    42.3489
SUM[1]                    5.258e-03     0.9606     0.966 (1%)     85.6544
SUM[7]                    5.177e-03     0.9573     0.962 (1%)     85.7171
SUM[0]                    5.174e-03     0.9500     0.955 (1%)     85.6849
SUM[13]                   5.165e-03     0.9604     0.966 (1%)     85.6763
SUM[2]                    5.162e-03     0.9610     0.966 (1%)     85.6676
SUM[4]                    5.161e-03     0.9600     0.965 (1%)     85.6968
SUM[6]                    5.148e-03     0.9649     0.970 (1%)     85.6881
SUM[10]                   5.148e-03     0.9594     0.965 (1%)     85.6744
SUM[3]                    5.144e-03     0.9576     0.963 (1%)     85.6630
SUM[15]                   5.143e-03     0.9567     0.962 (1%)     85.7160
SUM[14]                   5.140e-03     0.9580     0.963 (1%)     85.7261
SUM[8]                    5.134e-03     0.9529     0.958 (1%)     85.6936
SUM[5]                    5.116e-03     0.9577     0.963 (1%)     85.6689
SUM[9]                    5.111e-03     0.9595     0.965 (1%)     85.7260
SUM[12]                   5.106e-03     0.9587     0.964 (1%)     85.6871
SUM[11]                   5.099e-03     0.9546     0.960 (1%)     85.6846
--------------------------------------------------------------------------------
Totals (20 nets)             1.448uW   16.252uW   17.700uW (8%)    1.507uW
```

A.2.7 Net report power FSM

```
****************************************
Report : power
        -net
        -analysis_effort low
        -sort_mode net_switching_power
Design : top_level_adder8/FSM (FSM_adder8)
Version: S-2021.06-SP4
Date   : Wed Apr 10 12:04:13 2024
****************************************


Library(s) Used:

```

```
    NangateOpenCellLibrary (File:
    ↪  /home/mg.lowpower/do/libnangate/NangateOpenCellLibrary_typical_ecsm.db)


Operating Conditions: typical   Library: NangateOpenCellLibrary
Wire Load Model Mode: top

Design        Wire Load Model            Library
------------------------------------------------
top_level_adder8       5K_hvratio_1_1    NangateOpenCellLibrary


Global Operating Voltage = 1.1
Power-specific unit information :
    Voltage Units = 1V
    Capacitance Units = 1.000000ff
    Time Units = 1ns
    Dynamic Power Units = 1uW    (derived from V,C,T units)
    Leakage Power Units = 1nW



  Attributes
  ----------
      a  -  Switching activity information annotated on net
      d  -  Default switching activity information on net

                              Total      Static   Toggle   Switching
Net                           Net Load   Prob.    Rate     Power      Attrs
--------------------------------------------------------------------------------
S3                             39.609    0.440    0.0190      0.4542
S0                             22.845    0.295    0.0318      0.4393
S2                             32.397    0.187    0.0142      0.2776
S1                             18.651    0.292    0.0172      0.1945
n3                              8.824    0.708    0.0172      0.0920
n4                              3.969    0.705    0.0318      0.0763
n9                              6.060    0.187    0.0141      0.0519
n10                             6.482    0.500    0.0100      0.0392  d
NS[0]                           1.438    0.784    0.0287      0.0250
n7                              1.957    0.813    0.0142      0.0168
NS[1]                           1.438    0.322    0.0190      0.0165
NS[2]                           1.438    0.208    0.0156      0.0136
--------------------------------------------------------------------------------
Total (12 nets)                                                 1.6969 uW
```

A.2.8 Cell report power FSM

```
****************************************
Report : power
        -cell
        -analysis_effort low
        -sort_mode cell_internal_power
Design : top_level_adder8/FSM (FSM_adder8)
Version: S-2021.06-SP4
Date   : Wed Apr 10 12:04:13 2024
****************************************

```

```

Library(s) Used:

    NangateOpenCellLibrary (File:
    ↪  /home/mg.lowpower/do/libnangate/NangateOpenCellLibrary_typical_ecsm.db)


Operating Conditions: typical   Library: NangateOpenCellLibrary
Wire Load Model Mode: top

Design        Wire Load Model            Library
------------------------------------------------
top_level_adder8       5K_hvratio_1_1    NangateOpenCellLibrary


Global Operating Voltage = 1.1
Power-specific unit information :
    Voltage Units = 1V
    Capacitance Units = 1.000000ff
    Time Units = 1ns
    Dynamic Power Units = 1uW    (derived from V,C,T units)
    Leakage Power Units = 1nW



  Attributes
  ----------
      h  -  Hierarchical cell

                        Cell      Driven Net  Tot Dynamic      Cell
                        Internal  Switching   Power            Leakage
Cell                    Power     Power       (% Cell/Tot)     Power      Attrs
--------------------------------------------------------------------------------
PS_reg[0]                  1.0157    0.5157      1.531 (66%)     87.5031
PS_reg[2]                  0.7441    0.0686      0.813 (92%)     83.2929
PS_reg[1]                  0.6989    0.2865      0.985 (71%)     84.6978
U10                        0.0918    0.0250      0.117 (79%)     28.9656
U3                         0.0403    0.2776      0.318 (13%)     24.7904
U6                         0.0352    0.0136   4.88e-02 (72%)     28.9497
U5                         0.0351    0.0165   5.16e-02 (68%)     34.5663
U4                         0.0249    0.4542      0.479 (5%)      24.9039
U7                      9.993e-03    0.0392   4.92e-02 (20%)     14.3532
--------------------------------------------------------------------------------
Totals (9 cells)           2.696uW   1.697uW     4.393uW (61%)  412.023nW
```

A.2.9 Report timing con periodo di clock pari a 2 ns

```
****************************************
Report : timing
        -path full
        -delay max
        -max_paths 1
Design : top_level_adder8
Version: S-2021.06-SP4
Date   : Wed Apr 10 12:04:14 2024
****************************************

```

```
Operating Conditions: typical   Library: NangateOpenCellLibrary
Wire Load Model Mode: top

  Startpoint: FSM/PS_reg[1]
              (rising edge-triggered flip-flop clocked by CLK)
  Endpoint: DP/SUM_reg[15]
            (rising edge-triggered flip-flop clocked by CLK)
  Path Group: CLK
  Path Type: max

  Des/Clust/Port     Wire Load Model       Library
  ------------------------------------------------
  top_level_adder8   5K_hvratio_1_1        NangateOpenCellLibrary

  Point                                                   Incr       Path
  -----------------------------------------------------------------------------
  clock CLK (rise edge)                                   0.00       0.00
  clock network delay (ideal)                             0.00       0.00
  FSM/PS_reg[1]/CK (DFFR_X1)                              0.00       0.00 r
  FSM/PS_reg[1]/QN (DFFR_X1)                              0.08       0.08 f
  FSM/U4/ZN (NAND2_X1)                                    0.13       0.21 r
  FSM/U3/ZN (AND2_X1)                                     0.14       0.35 r
  FSM/S2 (FSM_adder8)                                     0.00       0.35 r
  DP/S2 (dpadder_8)                                       0.00       0.35 r
  DP/U127/ZN (NOR3_X4)                                    0.10       0.45 f
  DP/U8/ZN (AOI22_X1)                                     0.08       0.53 r
  DP/U9/ZN (NAND4_X1)                                     0.05       0.59 f
  DP/add_88/A[0] (dpadder_8_DW01_add_0)                   0.00       0.59 f
  DP/add_88/U1/ZN (AND2_X1)                               0.05       0.64 f
  DP/add_88/U1_1/CO (FA_X1)                               0.09       0.72 f
  DP/add_88/U1_2/CO (FA_X1)                               0.09       0.81 f
  DP/add_88/U1_3/CO (FA_X1)                               0.09       0.90 f
  DP/add_88/U1_4/CO (FA_X1)                               0.09       0.99 f
  DP/add_88/U1_5/CO (FA_X1)                               0.09       1.09 f
  DP/add_88/U1_6/CO (FA_X1)                               0.09       1.18 f
  DP/add_88/U1_7/CO (FA_X1)                               0.09       1.27 f
  DP/add_88/U1_8/CO (FA_X1)                               0.09       1.36 f
  DP/add_88/U1_9/CO (FA_X1)                               0.09       1.45 f
  DP/add_88/U1_10/CO (FA_X1)                              0.09       1.54 f
  DP/add_88/U1_11/CO (FA_X1)                              0.09       1.63 f
  DP/add_88/U1_12/CO (FA_X1)                              0.09       1.72 f
  DP/add_88/U1_13/CO (FA_X1)                              0.09       1.81 f
  DP/add_88/U1_14/CO (FA_X1)                              0.09       1.90 f
  DP/add_88/U1_15/S (FA_X1)                               0.13       2.03 r
  DP/add_88/SUM[15] (dpadder_8_DW01_add_0)                0.00       2.03 r
  DP/SUM_reg[15]/D (DFFR_X1)                              0.01       2.04 r
  data arrival time                                                  2.04

  clock CLK (rise edge)                                   2.08       2.08
  clock network delay (ideal)                             0.00       2.08
  DP/SUM_reg[15]/CK (DFFR_X1)                             0.00       2.08 r
  library setup time                                     -0.03       2.05
  data required time                                                 2.05
  -----------------------------------------------------------------------------
  data required time                                                 2.05
  data arrival time                                                 -2.04
  -----------------------------------------------------------------------------
  slack (MET)                                                        0.01
```

A.2.10 Report power con periodo di clock pari a 2 ns

```
Information: Propagating switching activity (low effort zero delay simulation). (PWR-6)
Warning: Design has unannotated primary inputs. (PWR-414)
Warning: Design has unannotated sequential cell outputs. (PWR-415)

****************************************
Report : power
        -analysis_effort low
Design : top_level_adder8
Version: S-2021.06-SP4
Date   : Wed Apr 10 12:04:14 2024
****************************************


Library(s) Used:

    NangateOpenCellLibrary (File:
    ↪  /home/mg.lowpower/do/libnangate/NangateOpenCellLibrary_typical_ecsm.db)


Operating Conditions: typical   Library: NangateOpenCellLibrary
Wire Load Model Mode: top

Design        Wire Load Model            Library
------------------------------------------------
top_level_adder8       5K_hvratio_1_1    NangateOpenCellLibrary


Global Operating Voltage = 1.1
Power-specific unit information :
    Voltage Units = 1V
    Capacitance Units = 1.000000ff
    Time Units = 1ns
    Dynamic Power Units = 1uW    (derived from V,C,T units)
    Leakage Power Units = 1nW


  Cell Internal Power  = 133.7006 uW   (73%)
  Net Switching Power  =  48.9878 uW   (27%)
                         ---------
Total Dynamic Power    = 182.6884 uW  (100%)

Cell Leakage Power     =   6.1571 uW


                 Internal     Switching          Leakage         Total
Power Group      Power        Power              Power           Power   ( %    )  Attrs
--------------------------------------------------------------------------------------
io_pad             0.0000        0.0000           0.0000         0.0000  ( 0.00%)
memory             0.0000        0.0000           0.0000         0.0000  ( 0.00%)
black_box          0.0000        0.0000           0.0000         0.0000  ( 0.00%)
clock_network      0.0000        0.0000           0.0000         0.0000  ( 0.00%)
register          85.5199        4.5826       1.6265e+03        91.7290  (48.57%)
sequential         0.0000        0.0000           0.0000         0.0000  ( 0.00%)
combinational     48.1807       44.4052       4.5305e+03        97.1164  (51.43%)
--------------------------------------------------------------------------------------
Total            133.7006 uW    48.9878 uW    6.1571e+03 nW    188.8454 uW
```

A.3 *Case 3*: implementazione *worst case* sel sommatore a sei ingressi

A.3.1 Report power

```
****************************************
Report : power
        -analysis_effort low
Design : TopLevel_case3
Version: S-2021.06-SP4
Date   : Mon Apr 15 16:17:47 2024
****************************************


Library(s) Used:

    NangateOpenCellLibrary (File:
    ↪  /home/mg.lowpower/do/libnangate/NangateOpenCellLibrary_typical_ecsm.db)


Operating Conditions: typical   Library: NangateOpenCellLibrary
Wire Load Model Mode: top

Design        Wire Load Model            Library
------------------------------------------------
TopLevel_case3         5K_hvratio_1_1    NangateOpenCellLibrary


Global Operating Voltage = 1.1
Power-specific unit information :
    Voltage Units = 1V
    Capacitance Units = 1.000000ff
    Time Units = 1ns
    Dynamic Power Units = 1uW    (derived from V,C,T units)
    Leakage Power Units = 1nW


  Cell Internal Power  =  32.2687 uW   (70%)
  Net Switching Power  =  13.8905 uW   (30%)
                         ---------
Total Dynamic Power    =  46.1592 uW  (100%)

Cell Leakage Power     =   5.9844 uW


                 Internal      Switching         Leakage        Total
Power Group      Power         Power             Power          Power   ( %    )  Attrs
--------------------------------------------------------------------------------------
io_pad             0.0000         0.0000          0.0000        0.0000  ( 0.00%)
memory             0.0000         0.0000          0.0000        0.0000  ( 0.00%)
black_box          0.0000         0.0000          0.0000        0.0000  ( 0.00%)
clock_network      0.0000         0.0000          0.0000        0.0000  ( 0.00%)
register          20.0223         0.7028      1.7843e+03       22.5095  (43.17%)
sequential         0.0000         0.0000          0.0000        0.0000  ( 0.00%)
combinational     12.2464        13.1877      4.2001e+03       29.6342  (56.83%)
--------------------------------------------------------------------------------------
Total             32.2687 uW     13.8905 uW   5.9844e+03 nW    52.1436 uW
```

A.3.2 Net verbose report power

```
****************************************
Report : power
        -net
        -analysis_effort low
        -verbose
        -sort_mode net_switching_power
Design : TopLevel_case3
Version: S-2021.06-SP4
Date   : Mon Apr 15 16:17:47 2024
****************************************


Library(s) Used:

    NangateOpenCellLibrary (File:
    ↪  /home/mg.lowpower/do/libnangate/NangateOpenCellLibrary_typical_ecsm.db)


Operating Conditions: typical   Library: NangateOpenCellLibrary
Wire Load Model Mode: top

Design        Wire Load Model            Library
------------------------------------------------
TopLevel_case3         5K_hvratio_1_1    NangateOpenCellLibrary


Global Operating Voltage = 1.1
Power-specific unit information :
    Voltage Units = 1V
    Capacitance Units = 1.000000ff
    Time Units = 1ns
    Dynamic Power Units = 1uW    (derived from V,C,T units)
    Leakage Power Units = 1nW



  Attributes
  ----------
      a  -  Switching activity information annotated on net
      d  -  Default switching activity information on net

                              Total      Static   Toggle   Switching
Net                           Net Load   Prob.    Rate     Power      Attrs
--------------------------------------------------------------------------------
SEL11                          10.222    0.307    0.0415      0.2565
SEL10                           9.211    0.212    0.0435      0.2425
SEL01                          10.222    0.190    0.0390      0.2409
SEL00                           7.058    0.296    0.0435      0.1858
SUM[0]                          0.310    0.244    0.0274      0.0051
SUM[3]                          0.310    0.239    0.0274      0.0051
SUM[7]                          0.310    0.240    0.0273      0.0051
SUM[8]                          0.310    0.238    0.0273      0.0051
SUM[10]                         0.310    0.240    0.0272      0.0051
SUM[5]                          0.310    0.241    0.0271      0.0051
SUM[11]                         0.310    0.243    0.0270      0.0051
SUM[14]                         0.310    0.240    0.0270      0.0051
SUM[15]                         0.310    0.240    0.0270      0.0051
SUM[9]                          0.310    0.241    0.0270      0.0051
```

```
SUM[1]                          0.310    0.240    0.0270      0.0051
SUM[6]                          0.310    0.238    0.0269      0.0050
SUM[12]                         0.310    0.241    0.0268      0.0050
SUM[2]                          0.310    0.238    0.0268      0.0050
SUM[13]                         0.310    0.238    0.0268      0.0050
SUM[4]                          0.310    0.238    0.0268      0.0050
--------------------------------------------------------------------------------
Total (20 nets)                                                 1.0069 uW



  Attributes
  ----------
      a  -  Switching activity information annotated on net
      d  -  Default switching activity information on net
      m  -  Multiply-driven net

                          Net         Driver     Tot Dynamic     Driver
                          Switching   Internal   Power           Leakage
Net                       Power       Power      (% Net/Tot)     Power    Attrs
--------------------------------------------------------------------------------
SEL11                        0.2565     0.0664     0.323 (79%)    25.1329
SEL10                        0.2425     0.0413     0.284 (85%)    16.8027
SEL01                        0.2409     0.0534     0.294 (82%)    33.2076
SEL00                        0.1858     0.0630     0.249 (75%)    29.3508
SUM[0]                    5.139e-03     0.9515     0.957 (1%)     85.7284
SUM[3]                    5.138e-03     0.9692     0.974 (1%)     85.7060
SUM[7]                    5.117e-03     0.9671     0.972 (1%)     85.6943
SUM[8]                    5.111e-03     0.9699     0.975 (1%)     85.6963
SUM[10]                   5.106e-03     0.9670     0.972 (1%)     85.6806
SUM[5]                    5.071e-03     0.9617     0.967 (1%)     85.6708
SUM[11]                   5.069e-03     0.9603     0.965 (1%)     85.7021
SUM[14]                   5.067e-03     0.9615     0.967 (1%)     85.6577
SUM[15]                   5.067e-03     0.9631     0.968 (1%)     85.6631
SUM[9]                    5.065e-03     0.9634     0.969 (1%)     85.6951
SUM[1]                    5.058e-03     0.9576     0.963 (1%)     85.6675
SUM[6]                    5.046e-03     0.9659     0.971 (1%)     85.6779
SUM[12]                   5.026e-03     0.9598     0.965 (1%)     85.6686
SUM[2]                    5.023e-03     0.9619     0.967 (1%)     85.6638
SUM[13]                   5.022e-03     0.9643     0.969 (1%)     85.6751
SUM[4]                    5.015e-03     0.9618     0.967 (1%)     85.6519
--------------------------------------------------------------------------------
Totals (20 nets)             1.007uW   15.630uW   16.637uW (6%)    1.475uW
```

B Scripting

B.1 *Case 1*: sommatore a sei ingressi

```
sh mkdir WORK
define_design_lib WORK -path ./WORK
analyze -library WORK -format vhdl {../dpadder.vhd ../FSM_adder6.vhd ../TopLevel_adder6.vhd}
elaborate TopLevel_adder6 -library WORK
create_clock -name "CLK" -period 10 {CK}
compile -exact_map
report_area > 22_report_area_add6.txt
report_fsm > 22_report_fsm_add6.txt
report_timing > 22_report_timing_add6.txt
uplevel #0 { report_timing -path full -delay max -nworst 10 -max_paths 1 -significant_digits 2 -sort_by group } > 22_report_timing_nworst10_add6.txt
report_power > 22_report_power_add6.txt
report_power -hier > 22_report_power_hier_add6.txt
report_power -net > 22_report_power_net_add6.txt
report_power -net -verbose > 22_report_power_net_verbose_add6.txt
current_instance FSM_add6
report_power -cell > 22_report_power_cell_FSM.txt
report_power -net > 22_report_power_net_FSM.txt
current_instance
create_clock -name "CLK" -period 2.02 {CK}
report_timing > 22_report_timing_add6_ck2.txt
report_power > 22_report_power_add6_ck2.txt
report_power -hier > 22_report_power_hier_add6_ck2.txt
report_power -net -verbose > 22_report_power_net_verbose_add6_ck2.txt
```

B.2 *Case 2*: sommatore a otto ingressi

```
sh mkdir WORK
define_design_lib WORK -path ./WORK
analyze -library WORK -format vhdl {../dpadder_8.vhd ../FSM_adder8.vhd ../top_level_adder8.vhd}
elaborate top_level_adder8 -library WORK
create_clock -name "CLK" -period 10 {CK}
compile -exact_map
report_area > 22_report_area_add8.txt
report_fsm > 22_report_fsm_add8.txt
report_timing > 22_report_timing_add8.txt
uplevel #0 { report_timing -path full -delay max -nworst 10 -max_paths 1 -significant_digits 2 -sort_by group } > 22_report_timing_nworst10_add8.txt
report_power > 22_report_power_add8.txt
report_power -hier > 22_report_power_hier_add8.txt
report_power -net > 22_report_power_net_add8.txt
report_power -net -verbose > 22_report_power_net_verbose_add8.txt
current_instance FSM
report_power -cell > 22_report_power_cell_FSM.txt
report_power -net > 22_report_power_net_FSM.txt
current_instance
create_clock -name "CLK" -period 2.08 {CK}
report_timing > 22_report_timing_add8_ck2.txt
report_power > 22_report_power_add8_ck2.txt
report_power -hier > 22_report_power_hier_add8_ck2.txt
report_power -net -verbose > 22_report_power_net_verbose_add8_ck2.txt
```

B.3 *Case 3*: implementazione *worst case* sel sommatore a sei ingressi

```
sh mkdir WORK
define_design_lib WORK -path ./WORK
analyze -library WORK -format vhdl {../dpadder.vhd ../FSM_case3.vhd
↪  ../TopLevel_case3.vhd}
elaborate TopLevel_case3 -library WORK
create_clock -name "CLK" -period 10 {CK}
compile -exact_map
report_area
report_fsm
report_timing
uplevel #0 { report_timing -path full -delay max -nworst 10 -max_paths 1
↪  -significant_digits 2 -sort_by group }
report_power > 23_report_power_add6.txt
report_power -hier
report_power -net
report_power -net -verbose > 23_report_power_net_verbose_add6.txt
current_instance FSM
report_power -cell
report_power -net
```

C Descrizione dell'hardware

C.1 *Case 1*: sommatore a sei ingressi

C.1.1 Execution unit

```
library IEEE;
use IEEE.std_logic_1164.all;
use IEEE.std_logic_signed.all;

entity datapath_adder is
  port (
    MUX00 : in std_logic_vector(15 downto 0);
    MUX01 : in std_logic_vector(15 downto 0);
    MUX02 : in std_logic_vector(15 downto 0);
    MUX03 : in std_logic_vector(15 downto 0);
    MUX10 : in std_logic_vector(15 downto 0);
    MUX11 : in std_logic_vector(15 downto 0);
    MUX12 : in std_logic_vector(15 downto 0);
    MUX13 : in std_logic_vector(15 downto 0);
    clock : in std_logic;
    reset : in std_logic;
    SEL00 : in std_logic;
    SEL01 : in std_logic;
    SEL10 : in std_logic;
    SEL11 : in std_logic;
    SUM   : out std_logic_vector(15 downto 0)
  );
end datapath_adder;

---------------------------------------------

architecture behavioral of datapath_adder is

  signal operanda : std_logic_vector(15 downto 0);
  signal operandb : std_logic_vector(15 downto 0);

begin
  P_MUX0 : process (MUX00, MUX01, MUX02, MUX03, SEL00, SEL01)
    variable SEL0 : std_logic_vector(1 downto 0);
  begin
    SEL0(0) := SEL00;
    SEL0(1) := SEL01;

    case SEL0 is
      when "00" =>
        operanda <= MUX00;
      when "01" =>
        operanda <= MUX01;
      when "10" =>
        operanda <= MUX02;
      when "11" =>
        operanda <= MUX03;
      when others =>
    end case;
  end process;

  P_MUX1 : process (MUX10, MUX11, MUX12, MUX13, SEL10, SEL11)
```

```
    variable SEL1 : std_logic_vector(1 downto 0);
  begin
    SEL1(0) := SEL10;
    SEL1(1) := SEL11;

    case SEL1 is
      when "00" =>
        operandb <= MUX10;
      when "01" =>
        operandb <= MUX11;
      when "10" =>
        operandb <= MUX12;
      when "11" =>
        operandb <= MUX13;
      when others =>
    end case;
  end process;
  P_ADDER_REGISTER : process (clock, reset)
  begin
    if reset = '1' then
      SUM <= (others => '0');
    elsif (CLOCK = '1' and CLOCK'EVENT) then
      SUM <= operanda + operandb;
    end if;
  end process;

end behavioral;
configuration CFG_DP_ADDER of datapath_adder is
  for behavioral
  end for;
end CFG_DP_ADDER;
```

C.1.2 Control Unit

```
library IEEE;
use ieee.std_logic_1164.all;
use ieee.numeric_std.all;

entity FSM_adder6 is
  port (
    CK    : in std_logic;
    reset : in std_logic;
    s_0   : out std_logic;
    s_1   : out std_logic;
    s_2   : out std_logic;
    s_3   : out std_logic
  );
end FSM_adder6;

architecture behav of FSM_adder6 is

  type state_type is (AB, XC, XD, XE, XF);
  attribute enum_encoding               : string;
  attribute enum_encoding of state_type : type is "000 011 111 101 100";
  signal PS, NS                         : state_type; -- present state (PS) e next state
  (NS)

```

```
begin

  controlASM_segnali : process (PS)
  begin

    case PS is
      when AB =>
        s_0 <= '0';
        s_1 <= '0';
        s_2 <= '0';
        s_3 <= '0';

      when XC =>
        s_0 <= '1';
        s_1 <= '0';
        s_2 <= '1';
        s_3 <= '0';

      when XD =>
        s_0 <= '1';
        s_1 <= '1';
        s_2 <= '1';
        s_3 <= '0';

      when XE =>
        s_0 <= '0';
        s_1 <= '1';
        s_2 <= '1';
        s_3 <= '1';

      when XF =>
        s_0 <= '0';
        s_1 <= '1';
        s_2 <= '0';
        s_3 <= '1';

      when others =>
        s_0 <= '0';
        s_1 <= '0';
        s_2 <= '0';
        s_3 <= '0';
    end case;

  end process controlASM_segnali;

  controlASM_stati : process (PS)
  begin

    case PS is
      when AB =>
        NS <= XC;
      when XC =>
        NS <= XD;
      when XD =>
        NS <= XE;
      when XE =>
        NS <= XF;
      when XF =>
        NS <= AB;
```

```
      when others =>
        NS <= AB;
    end case;

  end process controlASM_stati;

  transitionsFSM : process (reset, CK)
  begin
    if (reset = '1') then -- RST asincrono attivo alto
      PS <= AB;
    elsif (CK'event and CK = '1') then -- fronte di salita del CK
      PS <= NS;
    end if;
  end process transitionsFSM;
end architecture behav;
```

C.1.3 Top level

```
library IEEE;
use ieee.std_logic_1164.all;
use ieee.numeric_std.all;

entity TopLevel_adder6 is
  port (
    CK    : in std_logic;
    reset : in std_logic;
    MUX00 : in std_logic_vector(15 downto 0);
    MUX01 : in std_logic_vector(15 downto 0);
    MUX02 : in std_logic_vector(15 downto 0);
    MUX03 : in std_logic_vector(15 downto 0);
    MUX10 : in std_logic_vector(15 downto 0);
    MUX11 : in std_logic_vector(15 downto 0);
    MUX12 : in std_logic_vector(15 downto 0);
    MUX13 : in std_logic_vector(15 downto 0);
    SUM   : out std_logic_vector(15 downto 0)
  );
end TopLevel_adder6;

architecture structural of TopLevel_adder6 is

  component FSM_adder6 is
    port (
      CK    : in std_logic;
      reset : in std_logic;
      s_0   : out std_logic;
      s_1   : out std_logic;
      s_2   : out std_logic;
      s_3   : out std_logic
    );
  end component;

  component datapath_adder is
    port (
      MUX00 : in std_logic_vector(15 downto 0);
      MUX01 : in std_logic_vector(15 downto 0);
      MUX02 : in std_logic_vector(15 downto 0);
      MUX03 : in std_logic_vector(15 downto 0);
```

```
      MUX10 : in std_logic_vector(15 downto 0);
      MUX11 : in std_logic_vector(15 downto 0);
      MUX12 : in std_logic_vector(15 downto 0);
      MUX13 : in std_logic_vector(15 downto 0);
      clock : in std_logic;
      reset : in std_logic;
      SEL00 : in std_logic;
      SEL01 : in std_logic;
      SEL10 : in std_logic;
      SEL11 : in std_logic;
      SUM   : out std_logic_vector(15 downto 0)
    );
  end component;

  signal SEL00 : std_logic;
  signal SEL01 : std_logic;
  signal SEL10 : std_logic;
  signal SEL11 : std_logic;

begin

  DP_adder6 : datapath_adder port map(
    MUX00 => MUX00,
    MUX01 => MUX01,
    MUX02 => MUX02,
    MUX03 => MUX03,
    MUX10 => MUX10,
    MUX11 => MUX11,
    MUX12 => MUX12,
    MUX13 => MUX13,
    clock => CK,
    reset => reset,
    SEL00 => SEL00,
    SEL01 => SEL01,
    SEL10 => SEL10,
    SEL11 => SEL11,
    SUM   => SUM
  );

  FSM_add6 : FSM_adder6 port map(
    CK    => CK,
    reset => reset,
    s_0   => SEL00,
    s_1   => SEL01,
    s_2   => SEL10,
    s_3   => SEL11
  );

end architecture;
```

C.1.4 Testbench

```
library IEEE;
use IEEE.std_logic_1164.all;
use IEEE.numeric_std.all;

entity tb_sum6 is
```

```
end entity tb_sum6;

architecture behavioral of tb_sum6 is

    -- dichiarazione segnali interni
    signal A_int : integer := 0;
    signal B_int : integer := 0;
    signal C_int : integer := 0;
    signal D_int : integer := 0;
    signal E_int : integer := 0;
    signal F_int : integer := 0;
    signal X_int : integer := 0;

    signal A : std_logic_vector(15 downto 0);
    signal B : std_logic_vector(15 downto 0);
    signal C : std_logic_vector(15 downto 0);
    signal D : std_logic_vector(15 downto 0);
    signal E : std_logic_vector(15 downto 0);
    signal F : std_logic_vector(15 downto 0);
    signal X : std_logic_vector(15 downto 0);

    signal clock : std_logic := '0';
    signal reset : std_logic := '0';

    -- dichiarazione component
    component TopLevel_adder6 is
        port (
            CK    : in std_logic;
            reset : in std_logic;
            MUX00 : in std_logic_vector(15 downto 0);
            MUX01 : in std_logic_vector(15 downto 0);
            MUX02 : in std_logic_vector(15 downto 0);
            MUX03 : in std_logic_vector(15 downto 0);
            MUX10 : in std_logic_vector(15 downto 0);
            MUX11 : in std_logic_vector(15 downto 0);
            MUX12 : in std_logic_vector(15 downto 0);
            MUX13 : in std_logic_vector(15 downto 0);
            SUM   : out std_logic_vector(15 downto 0)
        );
    end component;

begin

    -- istanza component
    SUM6 : TopLevel_adder6 port map(
        MUX00 => A,
        MUX01 => C,
        MUX02 => X,
        MUX03 => D,
        MUX10 => B,
        MUX11 => X,
        MUX12 => F,
        MUX13 => E,
        CK    => clock,
        reset => reset,
        SUM   => X
    );

    -- segnale di clock
```

```
    CK_process : process
    begin
        wait for 50 ns;
        clock <= not clock;
    end process CK_process;

    A_int <= 1;
    B_int <= 4;
    C_int <= 7;
    D_int <= 12;
    E_int <= 30;
    F_int <= 21;

    A <= std_logic_vector(to_unsigned(A_int, 16));
    B <= std_logic_vector(to_unsigned(B_int, 16));
    C <= std_logic_vector(to_unsigned(C_int, 16));
    D <= std_logic_vector(to_unsigned(D_int, 16));
    E <= std_logic_vector(to_unsigned(E_int, 16));
    F <= std_logic_vector(to_unsigned(F_int, 16));

    X_int <= to_integer(unsigned(X));

end architecture behavioral;
```

C.2 *Case 2*: sommatore a otto ingressi

C.2.1 Execution unit

```

library IEEE;
use IEEE.std_logic_1164.all;
use IEEE.numeric_std.all;

entity dpadder_8 is
  port (
    MUX0_0 : in std_logic_vector(15 downto 0);
    MUX0_1 : in std_logic_vector(15 downto 0);
    MUX0_2 : in std_logic_vector(15 downto 0);
    MUX0_3 : in std_logic_vector(15 downto 0);
    MUX0_4 : in std_logic_vector(15 downto 0);
    MUX0_5 : in std_logic_vector(15 downto 0);
    MUX0_6 : in std_logic_vector(15 downto 0);
    MUX0_7 : in std_logic_vector(15 downto 0);
    MUX1_0 : in std_logic_vector(15 downto 0);
    MUX1_1 : in std_logic_vector(15 downto 0);
    CK     : in std_logic;
    RST    : in std_logic;
    S0     : in std_logic;
    S1     : in std_logic;
    S2     : in std_logic;
    S3     : in std_logic;
    SUM    : out std_logic_vector(15 downto 0)
  );
end dpadder_8;

---------------------------------------------

```

```
architecture behavioral of dpadder_8 is

  type state_type is (
    AB, XC, XD, XE, XF, XG, XH
  );
  signal PS, NS : state_type; -- present state (PS) e next state (NS)

  signal operanda : std_logic_vector(15 downto 0);
  signal operandb : std_logic_vector(15 downto 0);

begin
  P_MUX0 : process (MUX0_0, MUX0_1, MUX0_2, MUX0_3, MUX0_4, MUX0_5, MUX0_6, MUX0_7, S0,
  S1, S2)
    variable SEL0 : std_logic_vector(2 downto 0);
  begin
    SEL0(0) := S0;
    SEL0(1) := S1;
    SEL0(2) := S2;

    case SEL0 is
      when "000" =>
        operanda <= MUX0_0;
      when "001" =>
        operanda <= MUX0_1;
      when "010" =>
        operanda <= MUX0_2;
      when "011" =>
        operanda <= MUX0_3;
      when "100" =>
        operanda <= MUX0_4;
      when "101" =>
        operanda <= MUX0_5;
      when "110" =>
        operanda <= MUX0_6;
      when "111" =>
        operanda <= MUX0_7;
      when others =>
    end case;
  end process;

  P_MUX1 : process (MUX1_0, MUX1_1, S3)
    variable SEL1 : std_logic;
  begin
    SEL1 := S3;

    case SEL1 is
      when '0' =>
        operandb <= MUX1_0;
      when '1' =>
        operandb <= MUX1_1;
      when others =>
    end case;
  end process;

  P_ADDER_REGISTER : process (CK, RST)
  begin
    if RST = '1' then
      SUM <= (others => '0');
    elsif (CK'event and CK = '1') then
```

```
      SUM <= std_logic_vector(unsigned(operanda) + unsigned(operandb));
    end if;
  end process;

end behavioral;

configuration CFG_DP_ADDER of dpadder_8 is
  for behavioral
  end for;
end CFG_DP_ADDER;
```

C.2.2 Control Unit

```
library IEEE;
use IEEE.std_logic_1164.all;
use IEEE.numeric_std.all;

entity FSM_adder8 is
    port (
        CK  : in std_logic;
        RST : in std_logic;
        S0  : out std_logic;
        S1  : out std_logic;
        S2  : out std_logic;
        S3  : out std_logic
    );
end entity FSM_adder8;

architecture structure of FSM_adder8 is

    type state_type is (
        AB, XC, XD, XE, XF, XG, XH
    );
    attribute enum_encoding                : string;
    attribute enum_encoding of state_type : type is "000 001 011 010 110 111 101";
    signal state_vector                    : state_type;
    signal PS, NS                          : state_type; -- present state (PS) e next
    state (NS)

begin

    controlASM_segnali : process (PS)
    begin

        case PS is
            when AB =>
                S0 <= '0';
                S1 <= '0';
                S2 <= '0';
                S3 <= '0';

            when XC =>
                S0 <= '1';
                S1 <= '0';
                S2 <= '0';
                S3 <= '1';

```

```
            when XD =>
                S0 <= '1';
                S1 <= '1';
                S2 <= '0';
                S3 <= '1';

            when XE =>
                S0 <= '0';
                S1 <= '1';
                S2 <= '0';
                S3 <= '1';

            when XF =>
                S0 <= '0';
                S1 <= '1';
                S2 <= '1';
                S3 <= '1';

            when XG =>
                S0 <= '1';
                S1 <= '1';
                S2 <= '1';
                S3 <= '1';

            when XH =>
                S0 <= '1';
                S1 <= '0';
                S2 <= '1';
                S3 <= '1';

            when others =>
                S0 <= '0';
                S1 <= '0';
                S2 <= '0';
                S3 <= '0';
        end case;

    end process controlASM_segnali;

    controlASM_stati : process (PS)
    begin

        case PS is
            when AB =>
                NS <= XC;
            when XC =>
                NS <= XD;
            when XD =>
                NS <= XE;
            when XE =>
                NS <= XF;
            when XF =>
                NS <= XG;
            when XG =>
                NS <= XH;
            when XH =>
                NS <= AB;
            when others =>
                NS <= AB;
```

```
        end case;

    end process controlASM_stati;

    transitionsFSM : process (RST, CK)
    begin
        if (RST = '1') then -- RST asincrono attivo alto
            PS <= AB;
        elsif (CK'event and CK = '1') then -- fronte di salita del CK
            PS <= NS;
        end if;
    end process transitionsFSM;

end architecture structure;
```

C.2.3 Top level

```
library IEEE;
use IEEE.std_logic_1164.all;
use IEEE.numeric_std.all;

entity top_level_adder8 is
    port (
        MUX0_0 : in std_logic_vector(15 downto 0);
        MUX0_1 : in std_logic_vector(15 downto 0);
        MUX0_2 : in std_logic_vector(15 downto 0);
        MUX0_3 : in std_logic_vector(15 downto 0);
        MUX0_4 : in std_logic_vector(15 downto 0);
        MUX0_5 : in std_logic_vector(15 downto 0);
        MUX0_6 : in std_logic_vector(15 downto 0);
        MUX0_7 : in std_logic_vector(15 downto 0);
        MUX1_0 : in std_logic_vector(15 downto 0);
        MUX1_1 : in std_logic_vector(15 downto 0);
        CK     : in std_logic;
        RST    : in std_logic;
        SUM    : out std_logic_vector(15 downto 0)
    );
end entity top_level_adder8;

architecture structure of top_level_adder8 is

    -- segnali
    signal sel_0 : std_logic;
    signal sel_1 : std_logic;
    signal sel_2 : std_logic;
    signal sel_3 : std_logic;

    -- datapath
    component dpadder_8 is
        port (
            MUX0_0 : in std_logic_vector(15 downto 0);
            MUX0_1 : in std_logic_vector(15 downto 0);
            MUX0_2 : in std_logic_vector(15 downto 0);
            MUX0_3 : in std_logic_vector(15 downto 0);
            MUX0_4 : in std_logic_vector(15 downto 0);
            MUX0_5 : in std_logic_vector(15 downto 0);
            MUX0_6 : in std_logic_vector(15 downto 0);
```

```
            MUX0_7 : in std_logic_vector(15 downto 0);
            MUX1_0 : in std_logic_vector(15 downto 0);
            MUX1_1 : in std_logic_vector(15 downto 0);
            CK     : in std_logic;
            RST    : in std_logic;
            S0     : in std_logic;
            S1     : in std_logic;
            S2     : in std_logic;
            S3     : in std_logic;
            SUM    : out std_logic_vector(15 downto 0)
        );
    end component;

    -- macchina a stati
    component FSM_adder8 is
        port (
            CK  : in std_logic;
            RST : in std_logic;
            S0  : out std_logic;
            S1  : out std_logic;
            S2  : out std_logic;
            S3  : out std_logic
        );
    end component;

begin

    DP : dpadder_8 port map
    (
        MUX0_0 => MUX0_0,
        MUX0_1 => MUX0_1,
        MUX0_2 => MUX0_2,
        MUX0_3 => MUX0_3,
        MUX0_4 => MUX0_4,
        MUX0_5 => MUX0_5,
        MUX0_6 => MUX0_6,
        MUX0_7 => MUX0_7,
        MUX1_0 => MUX1_0,
        MUX1_1 => MUX1_1,
        CK     => CK,
        RST    => RST,
        S0     => sel_0,
        S1     => sel_1,
        S2     => sel_2,
        S3     => sel_3,
        SUM    => SUM
    );

    FSM : FSM_adder8 port map
    (
        CK  => CK,
        RST => RST,
        S0  => sel_0,
        S1  => sel_1,
        S2  => sel_2,
        S3  => sel_3
    );

end architecture structure;
```

C.2.4 Testbench

```
library IEEE;
use IEEE.std_logic_1164.all;
use IEEE.numeric_std.all;

entity tb_sum8 is
end entity tb_sum8;

architecture behavioral of tb_sum8 is

    -- dichiarazione segnali interni
    signal A_int : integer := 0;
    signal B_int : integer := 0;
    signal C_int : integer := 0;
    signal D_int : integer := 0;
    signal E_int : integer := 0;
    signal F_int : integer := 0;
    signal G_int : integer := 0;
    signal H_int : integer := 0;
    signal X_int : integer := 0;

    signal A : std_logic_vector(15 downto 0);
    signal B : std_logic_vector(15 downto 0);
    signal C : std_logic_vector(15 downto 0);
    signal D : std_logic_vector(15 downto 0);
    signal E : std_logic_vector(15 downto 0);
    signal F : std_logic_vector(15 downto 0);
    signal G : std_logic_vector(15 downto 0);
    signal H : std_logic_vector(15 downto 0);
    signal X : std_logic_vector(15 downto 0);
    signal z : std_logic_vector(15 downto 0);

    signal clock : std_logic := '0';
    signal reset : std_logic := '0';

    -- dichiarazione component
    component top_level_adder8 is
        port (
            MUX0_0 : in std_logic_vector(15 downto 0);
            MUX0_1 : in std_logic_vector(15 downto 0);
            MUX0_2 : in std_logic_vector(15 downto 0);
            MUX0_3 : in std_logic_vector(15 downto 0);
            MUX0_4 : in std_logic_vector(15 downto 0);
            MUX0_5 : in std_logic_vector(15 downto 0);
            MUX0_6 : in std_logic_vector(15 downto 0);
            MUX0_7 : in std_logic_vector(15 downto 0);
            MUX1_0 : in std_logic_vector(15 downto 0);
            MUX1_1 : in std_logic_vector(15 downto 0);
            CK     : in std_logic;
            RST    : in std_logic;
            SUM    : out std_logic_vector(15 downto 0)
        );
    end component;

begin

    -- istanza component
```

```
    SUM8 : top_level_adder8 port map(
        MUX0_0 => A,
        MUX0_1 => C,
        MUX0_2 => E,
        MUX0_3 => D,
        MUX0_4 => z,
        MUX0_5 => H,
        MUX0_6 => F,
        MUX0_7 => G,
        MUX1_0 => B,
        MUX1_1 => X,
        CK     => clock,
        RST    => reset,
        SUM    => X
    );

    -- segnale di clock
    CK_process : process
    begin
        wait for 50 ns;
        clock <= not clock;
    end process CK_process;

    A_int <= 1;
    B_int <= 4;
    D_int <= 7;
    C_int <= 12;
    E_int <= 30;
    F_int <= 21;
    G_int <= 5;
    H_int <= 42;

    A <= std_logic_vector(to_unsigned(A_int, 16));
    B <= std_logic_vector(to_unsigned(B_int, 16));
    C <= std_logic_vector(to_unsigned(C_int, 16));
    D <= std_logic_vector(to_unsigned(D_int, 16));
    E <= std_logic_vector(to_unsigned(E_int, 16));
    F <= std_logic_vector(to_unsigned(F_int, 16));
    G <= std_logic_vector(to_unsigned(G_int, 16));
    H <= std_logic_vector(to_unsigned(H_int, 16));
    z <= (others => '0');

    X_int <= to_integer(unsigned(X));

end architecture behavioral;
```

C.3 *Case 3*: implementazione *worst case* sel sommatore a sei ingressi

C.3.1 Execution unit

```
library IEEE;
use IEEE.std_logic_1164.all;
use IEEE.std_logic_signed.all;

entity datapath_adder is
  port (
    MUX00 : in std_logic_vector(15 downto 0);
```

```
    MUX01 : in std_logic_vector(15 downto 0);
    MUX02 : in std_logic_vector(15 downto 0);
    MUX03 : in std_logic_vector(15 downto 0);
    MUX10 : in std_logic_vector(15 downto 0);
    MUX11 : in std_logic_vector(15 downto 0);
    MUX12 : in std_logic_vector(15 downto 0);
    MUX13 : in std_logic_vector(15 downto 0);
    clock : in std_logic;
    reset : in std_logic;
    SEL00 : in std_logic;
    SEL01 : in std_logic;
    SEL10 : in std_logic;
    SEL11 : in std_logic;
    SUM   : out std_logic_vector(15 downto 0)
  );
end datapath_adder;

---------------------------------------------

architecture behavioral of datapath_adder is

  signal operanda : std_logic_vector(15 downto 0);
  signal operandb : std_logic_vector(15 downto 0);

begin
  P_MUX0 : process (MUX00, MUX01, MUX02, MUX03, SEL00, SEL01)
    variable SEL0 : std_logic_vector(1 downto 0);
  begin
    SEL0(0) := SEL00;
    SEL0(1) := SEL01;

    case SEL0 is
      when "00" =>
        operanda <= MUX00;
      when "01" =>
        operanda <= MUX01;
      when "10" =>
        operanda <= MUX02;
      when "11" =>
        operanda <= MUX03;
      when others =>
    end case;
  end process;

  P_MUX1 : process (MUX10, MUX11, MUX12, MUX13, SEL10, SEL11)
    variable SEL1 : std_logic_vector(1 downto 0);
  begin
    SEL1(0) := SEL10;
    SEL1(1) := SEL11;

    case SEL1 is
      when "00" =>
        operandb <= MUX10;
      when "01" =>
        operandb <= MUX11;
      when "10" =>
        operandb <= MUX12;
      when "11" =>
        operandb <= MUX13;
```

```
      when others =>
    end case;
  end process;
  P_ADDER_REGISTER : process (clock, reset)
  begin
    if reset = '1' then
      SUM <= (others => '0');
    elsif (CLOCK = '1' and CLOCK'EVENT) then
      SUM <= operanda + operandb;
    end if;
  end process;

end behavioral;
configuration CFG_DP_ADDER of datapath_adder is
  for behavioral
  end for;
end CFG_DP_ADDER;
```

C.3.2 Control Unit

```
library IEEE;
use ieee.std_logic_1164.all;
use ieee.numeric_std.all;

entity FSM_case3 is
  port (
    CK    : in std_logic;
    reset : in std_logic;
    s_0   : out std_logic;
    s_1   : out std_logic;
    s_2   : out std_logic;
    s_3   : out std_logic
  );
end FSM_case3;

architecture behav of FSM_case3 is

  type state_type is (AB, XC, XD, XE, XF);
  attribute enum_encoding               : string;
  attribute enum_encoding of state_type : type is "00001 00010 00100 01000 10000";
  signal PS, NS                         : state_type; -- present state (PS) e next state
  (NS)

begin

  controlASM_segnali : process (PS)
  begin

    case PS is
      when AB =>
        s_0 <= '0';
        s_1 <= '0';
        s_2 <= '0';
        s_3 <= '0';

      when XC =>
        s_0 <= '1';
```

```
          s_1 <= '0';
          s_2 <= '1';
          s_3 <= '1';

        when XD =>
          s_0 <= '0';
          s_1 <= '1';
          s_2 <= '0';
          s_3 <= '1';

        when XE =>
          s_0 <= '1';
          s_1 <= '0';
          s_2 <= '1';
          s_3 <= '0';

        when XF =>
          s_0 <= '1';
          s_1 <= '1';
          s_2 <= '0';
          s_3 <= '1';

        when others =>
          s_0 <= '0';
          s_1 <= '0';
          s_2 <= '0';
          s_3 <= '0';
      end case;

    end process controlASM_segnali;

    controlASM_stati : process (PS)
    begin

      case PS is
        when AB =>
          NS <= XC;
        when XC =>
          NS <= XD;
        when XD =>
          NS <= XE;
        when XE =>
          NS <= XF;
        when XF =>
          NS <= AB;
        when others =>
          NS <= AB;
      end case;

    end process controlASM_stati;

    transitionsFSM : process (reset, CK)
    begin
      if (reset = '1') then -- RST asincrono attivo alto
        PS <= AB;
      elsif (CK'event and CK = '1') then -- fronte di salita del CK
        PS <= NS;
      end if;
    end process transitionsFSM;
```

```
end architecture behav;
```

C.3.3 Top level

```
library IEEE;
use ieee.std_logic_1164.all;
use ieee.numeric_std.all;

entity TopLevel_case3 is
  port (
    CK    : in std_logic;
    reset : in std_logic;
    MUX00 : in std_logic_vector(15 downto 0);
    MUX01 : in std_logic_vector(15 downto 0);
    MUX02 : in std_logic_vector(15 downto 0);
    MUX03 : in std_logic_vector(15 downto 0);
    MUX10 : in std_logic_vector(15 downto 0);
    MUX11 : in std_logic_vector(15 downto 0);
    MUX12 : in std_logic_vector(15 downto 0);
    MUX13 : in std_logic_vector(15 downto 0);
    SUM   : out std_logic_vector(15 downto 0)
  );
end TopLevel_case3;

architecture structural of TopLevel_case3 is

  component FSM_case3 is
    port (
      CK    : in std_logic;
      reset : in std_logic;
      s_0   : out std_logic;
      s_1   : out std_logic;
      s_2   : out std_logic;
      s_3   : out std_logic
    );
  end component;

  component datapath_adder is
    port (
      MUX00 : in std_logic_vector(15 downto 0);
      MUX01 : in std_logic_vector(15 downto 0);
      MUX02 : in std_logic_vector(15 downto 0);
      MUX03 : in std_logic_vector(15 downto 0);
      MUX10 : in std_logic_vector(15 downto 0);
      MUX11 : in std_logic_vector(15 downto 0);
      MUX12 : in std_logic_vector(15 downto 0);
      MUX13 : in std_logic_vector(15 downto 0);
      clock : in std_logic;
      reset : in std_logic;
      SEL00 : in std_logic;
      SEL01 : in std_logic;
      SEL10 : in std_logic;
      SEL11 : in std_logic;
      SUM   : out std_logic_vector(15 downto 0)
    );
  end component;

```

```
  signal SEL00 : std_logic;
  signal SEL01 : std_logic;
  signal SEL10 : std_logic;
  signal SEL11 : std_logic;

begin

  DP : datapath_adder port map(
    MUX00 => MUX00,
    MUX01 => MUX01,
    MUX02 => MUX02,
    MUX03 => MUX03,
    MUX10 => MUX10,
    MUX11 => MUX11,
    MUX12 => MUX12,
    MUX13 => MUX13,
    clock => CK,
    reset => reset,
    SEL00 => SEL00,
    SEL01 => SEL01,
    SEL10 => SEL10,
    SEL11 => SEL11,
    SUM   => SUM
  );

  FSM : FSM_case3 port map(
    CK    => CK,
    reset => reset,
    s_0   => SEL00,
    s_1   => SEL01,
    s_2   => SEL10,
    s_3   => SEL11
  );

end architecture;
```

C.3.4 Testbench

```
library IEEE;
use IEEE.std_logic_1164.all;
use IEEE.numeric_std.all;

entity tb_case3 is
end entity tb_case3;

architecture behavioral of tb_case3 is

    -- dichiarazione segnali interni
    signal A_int : integer := 0;
    signal B_int : integer := 0;
    signal C_int : integer := 0;
    signal D_int : integer := 0;
    signal E_int : integer := 0;
    signal F_int : integer := 0;
    signal X_int : integer := 0;

    signal A : std_logic_vector(15 downto 0);
```

```
    signal B : std_logic_vector(15 downto 0);
    signal C : std_logic_vector(15 downto 0);
    signal D : std_logic_vector(15 downto 0);
    signal E : std_logic_vector(15 downto 0);
    signal F : std_logic_vector(15 downto 0);
    signal X : std_logic_vector(15 downto 0);

    signal clock : std_logic := '0';
    signal reset : std_logic := '0';

    -- dichiarazione component
    component TopLevel_case3 is
        port (
            CK    : in std_logic;
            reset : in std_logic;
            MUX00 : in std_logic_vector(15 downto 0);
            MUX01 : in std_logic_vector(15 downto 0);
            MUX02 : in std_logic_vector(15 downto 0);
            MUX03 : in std_logic_vector(15 downto 0);
            MUX10 : in std_logic_vector(15 downto 0);
            MUX11 : in std_logic_vector(15 downto 0);
            MUX12 : in std_logic_vector(15 downto 0);
            MUX13 : in std_logic_vector(15 downto 0);
            SUM   : out std_logic_vector(15 downto 0)
        );
    end component;

begin

    -- istanza component
    SUM6_case3 : TopLevel_case3 port map(
        MUX00 => A,
        MUX01 => X,
        MUX02 => D,
        MUX03 => F,
        MUX10 => B,
        MUX11 => E,
        MUX12 => X,
        MUX13 => C,
        CK    => clock,
        reset => reset,
        SUM   => X
    );

    -- segnale di clock
    CK_process : process
    begin
        wait for 50 ns;
        clock <= not clock;
    end process CK_process;

    A_int <= 1;
    B_int <= 4;
    C_int <= 7;
    D_int <= 12;
    E_int <= 30;
    F_int <= 21;

    A <= std_logic_vector(to_unsigned(A_int, 16));
```

```
    B <= std_logic_vector(to_unsigned(B_int, 16));
    C <= std_logic_vector(to_unsigned(C_int, 16));
    D <= std_logic_vector(to_unsigned(D_int, 16));
    E <= std_logic_vector(to_unsigned(E_int, 16));
    F <= std_logic_vector(to_unsigned(F_int, 16));

    X_int <= to_integer(unsigned(X));

end architecture behavioral;
```

DIPARTIMENTO DI ELETTRONICA E TELECOMUNICAZIONI
Corso di Laurea Magistrale in Ingegneria Elettronica

Sistemi Elettronici a Basso Consumo
LABORATORIO 3

Clock gating, pipelining and parallelizing

Prof. Maurizio Zamboni

22 aprile 2024
Gruppo 8
Laboratorio LED2

Bricco Letizia 328719
Caviasso Lorenzo 331706
Olivieri Vincenzo 324328

A.A. 2023/2024

Indice

1 Introduzione al clock gating **3**

2 Clock gating di un circuito complesso **4**
2.1 Clock gating di un comparatore a incremento 4
2.2 Modifica del VHDL 6
2.3 Annotazione automatica delle attività 6

3 Implementazioni parallele e pipelinate **8**
3.1 Modello teorico 8
3.2 Modifica dell'architettura 9

A Report Synopsys **22**
A.1 Comparatore senza clock gating (originale) 22
A.1.1 Report power (senza annotazione attività) 22
A.1.2 Report power (annotazione attività su CK e RST) 23
A.1.3 Report power (annotazione attività su INCA e INCB) 23
A.1.4 Report cell (annotazione attività su INCA e INCB) 24
A.2 Comparatore con clock gating (originale) 27
A.2.1 Report power (senza annotazione attività) 27
A.2.2 Report power (annotazione attività su CK e RST) 28
A.2.3 Report power (annotazione attività su INCA e INCB) 29
A.2.4 Report cell (annotazione attività su INCA e INCB) 30
A.3 Comparatore senza clock gating (modificato) 33
A.3.1 Report power (senza annotazione attività) 33
A.3.2 Report power (annotazione attività su CK e RST) 34
A.3.3 Report power (annotazione attività su INCA e INCB) 35
A.3.4 Report cell (annotazione attività su INCA e INCB) 36
A.4 Comparatore con clock gating (modificato) 39
A.4.1 Report power (senza annotazione attività) 39
A.4.2 Report power (annotazione attività su CK e RST) 40
A.4.3 Report power (annotazione attività su INCA e INCB) 41
A.4.4 Report cell (annotazione attività su INCA e INCB) 42
A.5 Report power con annotazione automatica delle attività 45

B Scripting **48**
B.1 Sintesi del comparatore 48
B.1.1 Sintesi del comparatore (originale) 48
B.1.2 Sintesi del comparatore (modificato) 49
B.2 Sintesi con annotazione automatica delle attività 50
B.2.1 Sintesi preliminare, generazione del file *.sdf* e della *netlist* 50
B.2.2 Simulazione ModelSim e generazione del file *.vcd* (script *forward.do*) . . . 50
B.2.3 Sintesi con lettura del file *.saif* (script *backward.do*) 50

C Descrizione dell'hardware **51**
C.1 Clock gating di una coppia di D flip-flop 51
C.1.1 D flip-flop 51
C.1.2 Top level entity 52
C.2 Clock gating di un comparatore a incremento 53
C.2.1 Descrizione VHDL originale 53
C.2.2 Descrizione VHDL modificata 54
C.2.3 Testbench (Verilog) 55

D Script MATLAB **56**

Sommario

Questa esperienza di laboratorio si propone di implementare alcune delle più importanti tecniche di ottimizzazione dei consumi a livello architetturale, tra le quali il **clock gating**, la **parallelizzazione** e il **pipelining** di un circuito logico più o meno complesso. I vantaggi e gli svantaggi di ogni tecnica sono stati verificati mediante operazioni di simulazione e sintesi, oppure mediante considerazioni teoriche.

Il report è articolato in tre parti distinte:

1. Nella Sezione 1, si è analizzato e simulato un circuito molto semplice al quale è stato applicata la tecnica del clock gating.
2. Nella Sezione 2, è stata condotta la sintesi di un circuito più complesso, un comparatore ad incremento, con e senza l'applicazione del clock gating. A tale scopo, sono state usate due versioni diverse della descrizione VHDL del circuito:
   - Con la versione originale, il sintetizzatore applica il clock gating solo ai registri di ingresso del comparatore;
   - La versione modificata, invece, consente al sintetizzatore di applicare il clock gating sia ai registri di ingresso sia ai registri di uscita.

   Inizialmente, la sintesi è stata condotta senza fornire alcuna informazione sull'attività delle porte del circuito; in seguito, la stessa procedura è stata ripetuta in maniera più accurata, impostando le *switching activity* degli ingressi dapprima manualmente e, infine, in maniera automatizzata.
3. Nella Sezione 3, l'architettura del comparatore è stata modificata applicando le tecniche della parallelizzazione e del pipelining per verificare l'impatto che tali strategie hanno sui consumi del sistema. Per non allungare eccessivamente i tempi di esecuzione dell'esperienza, i confronti tra le varie implementazioni sono stati condotti solo in maniera teorica, senza procedere alla simulazione ed alla sintesi dei circuiti.

L'esperienza è stata condotta in ambiente Unix sul server `led-x3850-2.polito.it`, su cui è presente il sistema operativo CentOS 7.

Le simulazioni sono state effettuate con il software Questa Sim by Menthor Graphics che, contrariamente alla versione di ModelSim in uso agli studenti, consente di analizzare l'hardware dal punto di vista dell'attività e del rate di commutazione dei segnali.

Le operazioni di sintesi, invece, sono state condotte con il tool Synopsys Design Compiler e l'interfaccia grafica Synopsys Design Vision.

Inoltre, alcuni dei risultati sono stati verificati con un semplice script in linguaggio MATLAB®.

1 Introduzione al clock gating

Nella prima fase del laboratorio, viene applicato il clock gating a un circuito molto semplice, con lo scopo di evidenziare alcuni problemi che questa tecnica può causare in fase di simulazione se non si usa una descrizione VHDL appropriata.

Nel circuito in Figura 1.1, il segnale D_2 copia D_1 invertendone l'ordine dei bit e D_3 copia D_2 con lo stesso meccanismo. Quindi, se il segnale EABLE è asserito, D_3 copia $D1$ dopo due periodi di clock.

Tuttavia, quando si esegue la simulazione (ckgbug), il circuito non si comporta come previsto: D_3 copia immediatamente $D1$, come se il primo registro non ci fosse. Questo accade perché il simulatore, per rispettare la causalità nella propagazione dei segnali, valuta l'uscita della porta *AND* dopo aver aggiornato di D_2, e solo dopo valuta D_3, che a questo punto copia D_2 *dopo* che questo è cambiato.

Per risolvere il problema bisogna aggiungere un ritardo di propagazione all'uscita del flip flop, in modo che D_3 abbia il tempo di copiare il valore corretto di D_2 (ckgbug_delayQ).

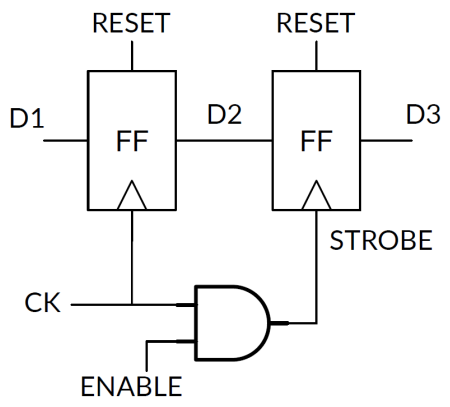


Figura 1.1: Semplice circuito per il clock gating.

Tabella 2.1: Consumo e numero di celle del comparatore a incremento.

		VHDL originale		VHDL modificato	
		NO CKG	CKG	NO CKG	CKG
POTENZA (μW)	E_{SW} automatica	46.3	43.5	48.8	45.8
	annotazione E_{SW} su RST e CK	43.6	41.4	46.9	44.5
	annotazione E_{SW} su INCA e INCB	43.2	30.9	45.8	26.5
N° DI CELLE		74	76	95	78

Questo errore non è limitato alla simulazione, ma può accadere sul circuito reale se la porta AND ha un ritardo di propagazione così grande che D_2 cambia prima che il fronte attivo del clock arrivi al secondo flip flop.

Infatti, se si esegue una simulazione impostando un delay per la porta AND superiore al tempo di propagazione del flip flop (ckgbug_delayAND), si ripresenta lo stesso errore visto prima.

2 Clock gating di un circuito complesso

Nella seconda fase si valuta l'effetto del clock gating sul consumo di un circuito ragionevolmente più realistico: un comparatore a incremento come quello riportato in Figura 2.1. Ad ogni colpo di clock, in funzione degli ingressi INCA e INCB, il circuito incrementa di una unità i numeri memorizzati in due registri e riporta in uscita il maggiore dei due (simulazione tbinccomp).

2.1 Clock gating di un comparatore a incremento

In linea teorica, il modo più semplice per applicare il clock gating al comparatore è mettere gli ingressi INCA e INCB in AND con il segnale di clock, in modo che i registri REG_A e REG_B commutino solo quando A e B devono essere incrementati. Per il registro di uscita REG_C si può usare $INCA + INCB$ come segnale di gating. Il circuito risultante è riportato in Figura 2.2.

Si passa ora alla fase di sintesi. Prima è stata fatta un'analisi della potenza senza applicare il clock gating: con un periodo di clock di 5 ns (200 MHz), è risultato un consumo di 46.3 μW.

Tale numero, tuttavia, è inaccurato, perché il software che effettua l'analisi della potenza non ha ricevuto informazioni sulla switching activity degli ingressi e imposta automaticamente una probabilità di $p = 0.5$ per i segnali di RST, INCA e INCB. A causa di ciò i *toggle rate* degli

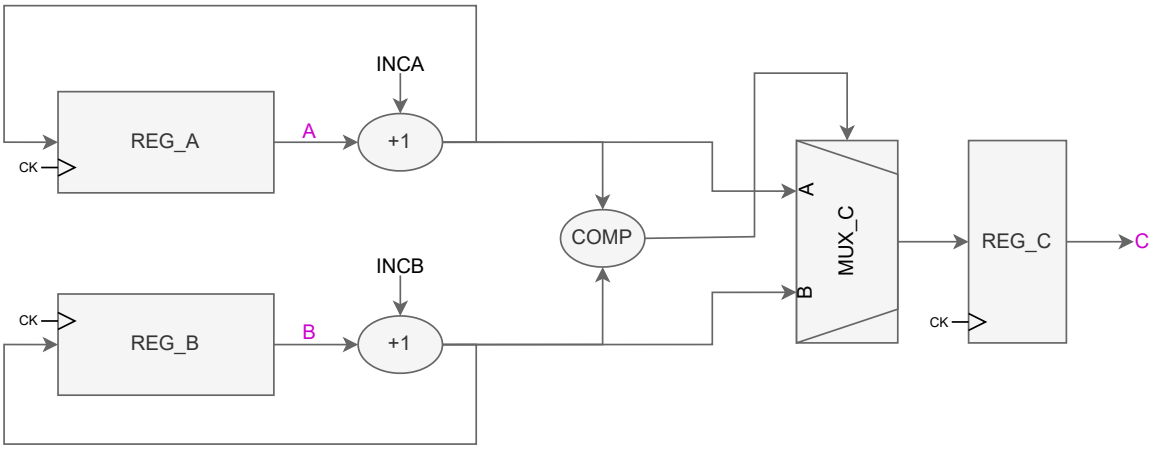


Figura 2.1: Comparatore a incremento.

ingressi sono pari a

$$T_c = \frac{2p(1-p)}{T_{ck}} = \frac{0.5}{5} = 0.1 \tag{2.1}$$

e si ottiene una sovrastima della potenza. Per avere risultati attendibili è necessario impostare manualmente le probabilità e i toggle rate dei segnali con il comando

```
set_switching_activity -static_probability <p> -toggle_rate <r> -base_clock <ck> {***}
```

dove *** è l'elenco dei segnali di cui si vuole stabilire l'attività.

Prima è stato fatto un power report con annotazione dell'attività del reset e del clock (probabilità 0.5 per il clock, 0 per il reset), poi un secondo report impostando anche quella di INCA e INCB (probabilità 0.15).

Tutti i report possono essere consultati in Appendice A e i risultati ottenuti sono riassunti in Tabella 2.1. Notiamo che il consumo stimato diminuisce fino a 43.2 µW quando vengono ridotti tutti i toggle rate. Con il comando

```
report_cell
```

è stato calcolato il numero di celle da cui è composto il circuito, che ammonta a **74** per la versione senza clock gating.

A questo punto è stato applicato il clock gating al circuito con il comando

```
compile -exact_map -gate_clock
```

e sono stati realizzati tre power report: senza annotazione dell'attività, con annotazione dell'attività di CK e RST, con annotazione anche di INCA e INCB.

I risultati sono coerenti con quanto prevede la teoria; infatti, la potenza consumata diminuisce e si registra una riduzione maggiore quando viene annotata la switching activity degli ingressi: si passa da 43.2 µW a 30.9 µW, per un risparmio di potenza superiore al 25%.

Il prezzo da pagare per avere questa riduzione è l'aumento dell'area: il numero di celle del circuito con clock gating è **76**. Infatti, se si osserva lo schematico generato dal sintetizzatore si nota che sono stati aggiunti, sul percorso del clock dei registri A e B, dei blocchi che hanno come ingressi INCA e INCB: sono le celle di libreria che il sintetizzatore ha usato per implementare il clock gating.

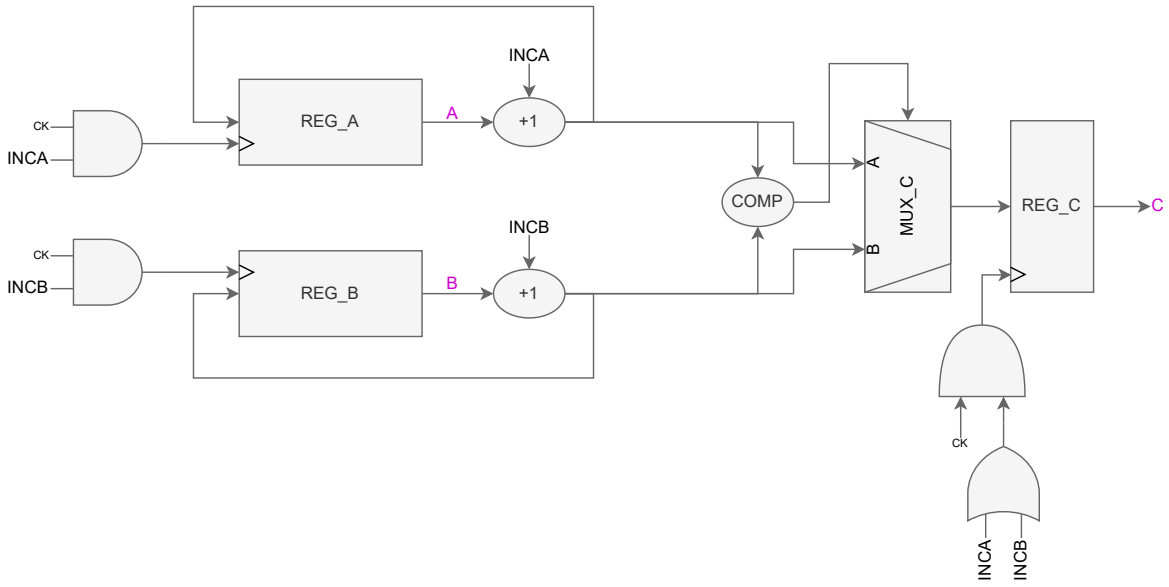


Figura 2.2: Comparatore a incremento con clock gating sui registri di ingresso e di uscita.

2.2 Modifica del VHDL

Dallo stesso schematico emerge che il sintetizzatore non ha applicato il clock gating al registro di uscita REG_C. Ciò è dovuto al fatto che il tool di sintesi ricava automaticamente dal VHDL i punti del circuito in cui è possibile applicare il clock gating: la classica descrizione di un registro

```
if (ck'event and ck = '1') then
    if (enable = '1') then
        Q <= D;
    end if;
end if;
```

è la stessa qualunque sia la tecnica di sintesi utilizzata, ma quando si abilita il clock gating il sintetizzatore aggiunge una cella di gating invece di implementare un semplice registro con enable.

Per sintetizzare correttamente è stato necessario modificare il VHDL come mostrato in Appendice C.2.2: con questa versione della descrizione dell'architettura, nello schematico compare anche il blocco di gating sul registro REG_C e si ha un'ulteriore riduzione del consumo a 26.5 µW quando si utilizza l'annotazione della switching activity (anche per questo circuito sono stati realizzati i power report nei tre casi di annotazione).

In conclusione, la tecnica del clock gating si conferma estremamente vantaggiosa: a fronte di un **limitato incremento di area**, da 74 a 76 celle, si ottiene una **enorme riduzione della potenza**, da 43.2 µW a 26.5 µW (39%), se si confronta il circuito originale con il circuito ottenuto dal VHDL modificato.

2.3 Annotazione automatica delle attività

Come sottolineato nel paragrafo precedente, le stime dei consumi dell'architettura sono tanto più affidabili quanto più accurata è l'annotazione delle attività dei nodi. ModelSim e Synopsys consentono di automatizzare il processo secondo lo schema mostrato in Figura 2.3; tale procedura

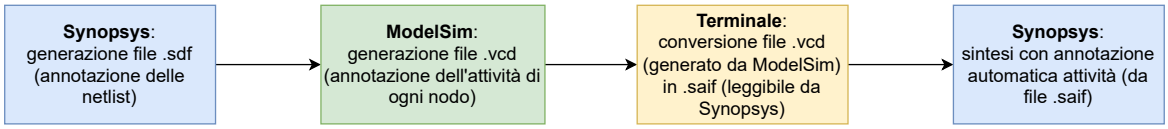


Figura 2.3: Flusso delle operazioni per la sintesi con annotazione automatica delle attività.

prende il nome di **SAIF backannotation** o **annotazione automatica delle attività** ed è stata applicata al circuito del comparatore mediante gli script riportati in Appendice B.2.

Il flusso di automatizzazione è costituito da quattro parti:

1. Il primo passo consiste nell'analisi, elaborazione e compilazione dell'architettura da parte del sintetizzatore; ai comandi usuali vanno aggiunti gli statement

   ```
   ungroup -all -flatten
   change names -hierarchy -rules verilog
   write_sdf ../<filename.sdf>
   write -f verilog -hierarchy -output ../<filename.v>
   ```

   che servono a salvare i ritardi del circuito in un file `.sdf` (Standard Delay Format) e a generare una netlist in linguaggio Verilog. È importante sottolineare che i nomi dei file devono essere completi di percorso, relativo o assoluto, e che devono essere salvati nella directory contenente i file da utilizzare in fase di simulazione con ModelSim; in questo caso si tratta della cartella precedente a quella di lavoro (`../`) ma, ovviamente, lo script può essere adattato in base alle esigenze.

   È inoltre necessario salvare il design in un file `.ddc`, conservato nella cartella dalla quale si esegue Synopsys, mediante il comando

   ```
   write -hierarchy -format ddc -output <filename.ddc>
   ```

   Questo step è stato eseguito con lo script `source_saiftest.scr` riportato in Appendice B.2.1.

2. A questo punto, il simulatore legge il file `.sdf`, simula l'architettura e annota le attività in un file `.vcd`, mediante lo script `forward.do` riportato in Appendice B.2.2.

3. Il file `.vcd` va ora convertito in un file `.saif`, un formato standard leggibile dal sintetizzatore, mediante la seguente linea di comando, da eseguire nella shell della cartella all'interno della quale si esegue Synopsys:

   ```
   vcd2saif -64 -input ../<filename.vcd> -output ../<filename.saif>
   ```

4. Infine, l'architettura va nuovamente sintetizzata richiamando il file `.ddc` con il comando

   ```
   read_ddc <filename.ddc>
   ```

   e il file `.saif` con il comando

   ```
   read_saif -input ../<filename.saif> -instance <DUT> -unit ns -scale 1
   ```

che imposta le attività dei nodi usando i valori calcolati da ModelSim.

È inoltre necessario impostare il periodo di clock con l'usuale comando

```
create_clock -name "clock" -period 5 {ck}
```

L'unico accorgimento consiste nell'impostare lo stesso periodo di clock utilizzato per la simulazione ModelSim (in questo caso 5 ns) perché, in caso contrario, i risultati della simulazione e della sintesi sarebbero incoerenti e privi di significato.

3 Implementazioni parallele e pipelinate

3.1 Modello teorico

Un importantissimo caposaldo delle ottimizzazioni a livello architetturale è rappresentato dalle implementazioni **parallele** e **pipelinate**. L'obiettivo di questa parte dell'esperienza è applicare tali tecniche al comparatore ad incremento analizzato nella Sezione 2; preliminarmente, tuttavia, è necessaria una breve introduzione teorica.

Si consideri un'architettura circuitale di riferimento e siano f_{ref} la frequenza di clock, $V_{\text{DD}}^{\text{nom}}$ la tensione di alimentazione, C_{ref} la capacità e E_{sw} la *switching activity*.

Si ipotizzi ora di *moltiplicare* per N il datapath in modo da elaborare N flussi di dati in parallelo; per farlo, si deve procedere come segue:

- Creare N copie dell'architettura o di una sua parte;
- Far lavorare i rispettivi elementi sequenziali su fasi diverse di un clock a frequenza opportunamente riscalata:
$$f_{\text{par}} = \frac{f_{\text{ref}}}{N}; \tag{3.1}$$
- Inserire a valle un multiplexer a N vie con selettore collegato a f_{ref}/N, in modo da campionare i dati ora da una catena ora dall'altra a seconda della fase.

Tale operazione ha due principali conseguenze:

Aumento del tempo a disposizione. Avendo ridotto la frequenza di clock, il tempo a disposizione per lo svolgimento delle operazioni va moltiplicato per N; pertanto, è possibile ridurre la tensione di alimentazione di un fattore u mantenendo invariato il throughput:

$$V_{\text{DD}}^{\text{par}} = uV_{\text{DD}}^{\text{nom}}. \tag{3.2}$$

Aumento dell'occupazione d'area. Avendo moltiplicato l'architettura, la capacità aumenta di un fattore N rispetto a quella del circuito di riferimento. Tenendo conto dell'*overhead* α introdotto dal multiplexer di uscita, si ha

$$C_{\text{par}} = (N + \alpha)C_{\text{ref}}. \tag{3.3}$$

Assumendo che l'attività resti invariata, la potenza dinamica consumata dalla nuova architettura può dunque essere scritta come segue:

$$P_{\text{par}}(u) = C_{\text{par}}\left(V_{\text{DD}}^{\text{par}}\right)^2 f_{\text{par}}E_{\text{sw}} = \underbrace{\left(1 + \frac{\alpha}{N}\right)}_{\simeq 1} u^2 P_{\text{nom}} \simeq u^2 P_{\text{nom}}, \tag{3.4}$$

dove P_{nom} è il consumo del circuito di riferimento alimentato alla tensione nominale $V_{\text{DD}}^{\text{nom}}$:

$$P_{\text{nom}} = C_{\text{ref}} \left(V_{\text{DD}}^{\text{nom}}\right)^2 f_{\text{ref}} E_{\text{sw}}. \tag{3.5}$$

Un altro approccio all'ottimizzazione architetturale consiste nell'inserire uno o più *livelli di pipe* nel percorso combinatorio, dividendo le unità funzionali e spezzando i percorsi critici. Questo rende possibile ridurre la tensione di alimentazione di un fattore u (aumentando il delay dei blocchi combinatori) senza cambiare la frequenza di clock e mantenendo pressoché costante l'area, a parte l'*overhead* α dei registri di pipe:

$$f_{\text{pipe}} = f_{\text{ref}}, \tag{3.6a}$$

$$V_{\text{DD}}^{\text{pipe}} = u V_{\text{DD}}^{\text{nom}}, \tag{3.6b}$$

$$C_{\text{pipe}} = (1+\alpha) C_{\text{ref}}. \tag{3.6c}$$

In questo modo, il consumo dinamico è calcolabile in modo del tutto analogo al caso dell'implementazione parallela:

$$P_{\text{pipe}}(u) = C_{\text{pipe}} \left(V_{\text{DD}}^{\text{pipe}}\right)^2 f_{\text{pipe}} E_{\text{sw}} = \underbrace{(1+\alpha)}_{\simeq 1} u^2 P_{\text{nom}} \simeq u^2 P_{\text{nom}}. \tag{3.7}$$

Possiamo pertanto scrivere che, indipendentemente dal tipo di ottimizzazione:

$$P(u) = u^2 P_{\text{nom}}. \tag{3.8}$$

Per quanto riguarda il *ritardo*, l'analisi dell'architettura dal punto di vista microelettronico conduce alla seguente formula:

$$t(u) = k \frac{V_{\text{DD}}}{V_{\text{DD}} - V_{\text{th}}} = k \frac{1}{1 - \frac{V_{\text{th}}}{V_{\text{DD}}^{\text{nom}}} \frac{V_{\text{DD}}^{\text{nom}}}{V_{\text{DD}}}} = k \frac{1}{1 - \frac{1}{4u}} = \frac{4k}{3} \frac{3u}{4u-1}, \tag{3.9}$$

dove k è una costante, $V_{\text{th}} = 0.25\,\text{V}$ è la tensione di soglia e si è posto $V_{\text{DD}}^{\text{nom}} = 4V_{\text{th}} = 1\,\text{V}$.

Poiché $t_{\text{nom}} \equiv t(u=1) = 4k/3$, la (3.9) può essere riscritta come segue:

$$t(u) = t_{\text{nom}} \frac{3u}{4u-1}. \tag{3.10}$$

3.2 Modifica dell'architettura

A questo punto, è possibile riprendere l'esempio del comparatore analizzato nella Sezione 2 e ottimizzarlo sulla base delle considerazioni esposte nel paragrafo precedente. La trattazione è suddivisa in tre parti:

1. Inizialmente, si è proceduto all'ottimizzazione dell'architettura originale, dapprima senza pipelining (*caso 1*, Figura 2.1 a pagina 5) e, in seguito, inserendo un livello di pipe tra gli incrementatori e il comparatore (*caso 2*, Figura 3.2 a pagina 13);

2. In seguito, l'architettura è stata duplicata ed ottimizzata prevedendo la presenza di zero (*caso 3*, Figura 3.3 a pagina 13), uno (*caso 4*, Figura 3.4 a pagina 14) e due (*caso 5*, Figura 3.5 a pagina 14) livelli di pipe;

3. Infine, l'architettura è stata quadruplicata ed ottimizzata senza inserire alcun livello di pipe (*caso 6*, Figura 3.6 a pagina 15).

Per ognuna della architetture in esame, sono stati calcolati diversi parametri:

- Il **ritardo del *critical path* alla tensione nominale** $t_{\mathrm{cp}}^{\mathrm{nom}}$, che può essere espresso con la seguente formula:
$$t_{\mathrm{cp}}^{\mathrm{nom}} = t_{\mathrm{CK}}^{\mathrm{Q}} + t_{\mathrm{comb}} + \underbrace{t_{\mathrm{setup}}}_{\simeq 0} \simeq t_{\mathrm{CK}}^{\mathrm{Q}} + t_{\mathrm{comb}}, \tag{3.11}$$
dove $t_{\mathrm{CK}}^{\mathrm{Q}}$ è il tempo *clock-to-output* del registro di partenza, t_{comb} è il ritardo di propagazione della logica combinatoria e t_{setup} è il tempo di setup del registro di arrivo, considerato trascurabile per semplicità.

- La **massima frequenza di clock consentita** $f_{\mathrm{ck}}^{\mathrm{max}}$, che si calcola in modo molto semplice invertendo l'equazione di timing:
$$T_{\mathrm{ck}} \geq t_{\mathrm{cp}} \implies f_{\mathrm{ck}} \leq f_{\mathrm{ck}}^{\mathrm{max}} =: \frac{1}{t_{\mathrm{cp}}}. \tag{3.12}$$

- L'**occupazione d'area** A, data dalla somma delle aree A_i dei singoli blocchi presenti nella rete:
$$A \simeq \sum_{i=1}^{n} A_i. \tag{3.13}$$

- Il **consumo di potenza alla tensione nominale** $P(V_{\mathrm{DD}}^{\mathrm{nom}})$, dato dalla somma dei consumi dei singoli blocchi $P_i(V_{\mathrm{DD}}^{\mathrm{nom}})$:
$$P(V_{\mathrm{DD}}^{\mathrm{nom}}) = \sum_{i=1}^{n} P_i(V_{\mathrm{DD}}^{\mathrm{nom}}). \tag{3.14}$$

- Il **fattore di riduzione della tensione di alimentazione** u per ridurre i consumi, i.e., il valore di V_{DD} tale che $t_{\mathrm{cp}}(u) = T_{\mathrm{CK}}$; a tale scopo, si può utilizzare l'Equazione (3.10):
$$T_{\mathrm{ck}} = t_{\mathrm{cp}}(V_{\mathrm{DD}}^{\mathrm{nom}}) \frac{3u}{4u-1} \implies u = \frac{T_{\mathrm{ck}}}{4t_{\mathrm{cp}}(V_{\mathrm{DD}}^{\mathrm{nom}})} \frac{t_{\mathrm{cp}}(V_{\mathrm{DD}}^{\mathrm{nom}}) - 0.75}{T_{\mathrm{ck}}}. \tag{3.15}$$
Per poter confrontare i circuiti si è scelto di usare di volta in volta il valore di T_{ck} che permette di mantenere il troughput di uscita costante e pari a 5 MHz. Un'altra scelta ragionevole sarebbe stata calcolare il valore di u che consente a ogni circuito di lavorare alla propria massima frequenza $f_{\mathrm{ck}} = f_{\mathrm{ck}}^{\mathrm{max}}$ ma, in tal modo, il confronto tra le diverse implementazioni sarebbe stato meno significativo perché il throughput sarebbe cambiato di volta in volta. Ad esempio, la versione con uno stadio di pipe e doppio datapath (*caso 4*) è stata studiata a $f_{\mathrm{ck}} = 2.5$ MHz, mentre quella con quadruplo datapath (*caso 6*) a $f_{\mathrm{ck}} = 1.25$ MHz: in questo modo entrambe hanno lo stesso troughput del circuito originale (5 MHz) sul segnale di uscita C, sebbene il *caso 4* potrebbe funzionare a 10.87 MHz e il *caso 6* a 7.14 MHz.

- Il **consumo di potenza minimo** $P(V_{\mathrm{DD}})$ alla tensione $V_{\mathrm{DD}} = uV_{\mathrm{DD}}^{\mathrm{nom}}$, calcolato con l'Equazione (3.8).

Per tutti i calcoli, sono stati utilizzati i valori di riferimento riportati nella Tabella 3.1; inoltre, per rendere più agevoli i calcoli è stato utilizzato uno script MATLAB®, riportato in Appendice D.

Al fine di agevolare la lettura e il confronto dei risultati, i valori più significativi sono riportati in Tabella 3.2 e rappresentati graficamente in Figura 3.1.

Per progettare le architetture parallele e/o pipelinate, sono stati seguiti i seguenti criteri:

Tabella 3.1: Ritardi, occupazione d'area e consumo di potenza dei blocchi elementari utilizzati per la costruzione del comparatore. Tutti i valori si riferiscono alla situazione $V_{DD} = V_{DD}^{nom}$ e $f_{ck} = 5\,\text{MHz}$.

Blocco	t_{nom} [ns]	A_i [μm^2]	$P_i(V_{DD}^{nom})$ [μW]
Registro	2.0	309	0.5
Incrementatore	48.0	230	2.40
Comparatore	72.0	148	2.35
Mux 2to1	12.0	123	2.72
Mux 4to1	12.0	369	5.16

Tabella 3.2: Parametri più significativi ricavati durante la parallelizzazione e il pipelining del comparatore a incremento. Nella seconda e nella terza colonna sono riportati, rispettivamente, il numero di implementazioni parallele e il numero di stadi di pipe.

Caso	# DP	# pipe	f_{ck} [MHz]	T_{ck} [ns]	t_{cp} [ns]	f_{ck}^{max} [MHz]	A [μm^2]	$P(V_{DD}^{nom})$ [μW]	u	$P(V_{DD})$ [μW]
1	1	0	5.00	200	140	7.14	1658	10.32	0.526	2.859
2	1	1	5.00	200	92	10.87	2276	11.32	0.382	1.649
3	2	0	2.50	400	140	7.14	3439	12.04	0.339	1.384
4	2	1	2.50	400	92	10.87	4675	14.04	0.302	1.281
5	2	2	2.50	400	80	12.50	6529	17.04	0.294	1.474
6	4	0	1.25	800	140	7.14	7001	15.48	0.288	1.282

Parallelizzazione. Per mantenere invariato il throughput rispetto all'architettura originale, la frequenza di clock è stata divisa per il numero di implementazioni parallele. Quindi, si ha $f_{ck} = 2.50\,\text{MHz}$ nei *casi 3*, *4* e *5* (architettura duplicata) e $f_{ck} = 1.25\,\text{MHz}$ nel *caso 5* (architettura quadruplicata).

Pipelining. Come spiegato nella Sezione 3.1, la frequenza non cambia rispetto al caso non pipelinato, ma il percorso critico si riduce perché, per muoversi da un elemento sequenziale al successivo, i segnali devono attraversare un minor numero di blocchi.

In particolare, in assenza di pipelining il *critical path* va da REG_A (o REG_B) a REG_C; dal momento che vengono attraversati un incrementatore, un comparatore e un mux, il ritardo t_{cp}^{0p} ad esso associato è

$$t_{cp}^{0p} = t_{CK}^{Q} + t_{inc} + t_{comp} + t_{mux} = 140\,\text{ns}. \tag{3.16}$$

Inserendo un livello di pipe prima del comparatore, il percorso critico attraversa solo un comparatore e il mux di uscita, quindi il ritardo si può esprimere come

$$t_{cp}^{1p} = t_{CK}^{Q} + t_{comp} + t_{mux} = 92\,\text{ns}, \tag{3.17}$$

Infine, con due livelli di pipe, di cui uno prima e uno dopo il comparatore, il critical path si riduce all'attraversamento del solo comparatore e risulta pari a

$$t_{cp}^{2p} = t_{CK}^{Q} + +t_{comp} = 80\,\text{ns}. \tag{3.18}$$

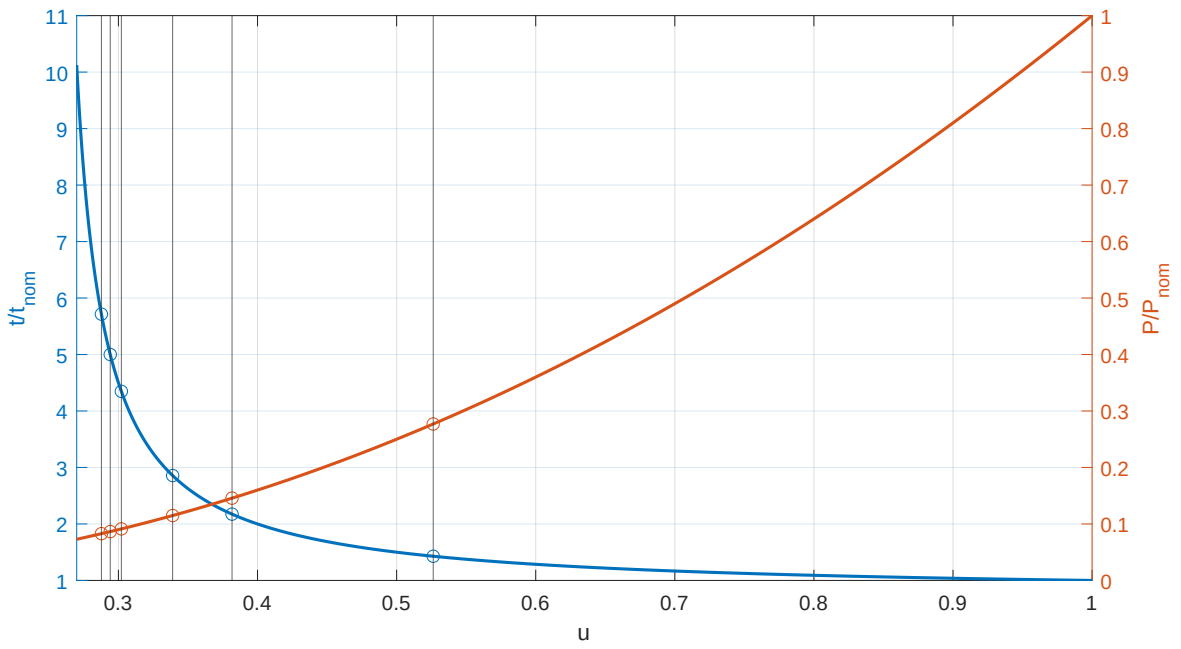


Figura 3.1: Ritardi normalizzati (t/t_{nom}) e potenza normalizzata (P/P_{nom}) in funzione della tensione di alimentazione normalizzata ($V_{\text{DD}}/V_{\text{DD}}^{\text{nom}}$).

Come si può notare, senza modificare in alcun modo l'architettura e il timing (*caso 1*) è possibile dimezzare il valore di V_{DD} mantenendo invariato il throughput; introducendo delle modifiche architetturali, i risparmi diventano ancora più significativi.

Tuttavia, occorre trovare il giusto trade off in termini di numero di implementazioni dell'architettura, livelli di pipe, area e consumi; infatti, dalla Tabella 3.2 si possono notare i seguenti fatti:

- Nel *caso 5*, l'inserimento di due livelli di pipe fa aumentare i consumi rispetto alla stessa architettura con zero (*caso 3*) o uno (*caso 4*) stadio, nonostante la riduzione del percorso critico; tenuto conto che l'aggiunta del secondo livello di registri di pipe fa inutilmente aumentare l'area occupata, tale soluzione va evitata perché non conviene sotto nessun punto di vista;

- Nel *caso 6*, quadruplicando l'architettura si ottiene praticamente lo stesso risparmio del *caso 4*, ma con un'occupazione d'area decisamente maggiore, quindi anche questa possibilità è da scartare;

- L'implementazione più conveniente è rappresentata dal *caso 4*, in cui la duplicazione dell'architettura e l'inserimento di uno stadio di pipe consentono di ridurre V_{DD} al 30 % del valore nominale evitando, allo stesso tempo, di aumentare troppo le dimensioni del circuito.

Come nota conclusiva, è importante sottolineare che le modifiche apportate all'architettura non assicurano la coerenza dei risultati rispetto al circuito di riferimento, come si può vedere dal timing diagram in Figura 3.7, in cui vengono messi a confronto i risultati ottenuti nei casi 1 e 3. Il problema è causato dalla retroazione interna al datapath: se si duplica banalmente il circuito senza apportare modifiche, un ramo del datapath non può leggere i dati corretti che ad ogni fronte di clock vengono generati nel ramo opposto.

Per risolvere il problema, i registri REG_A e REG_B di ogni ramo dovrebbero scrivere, rispettivamente, nei registri REG_A e REG_B del ramo opposto ma, a questo punto, potrebbero

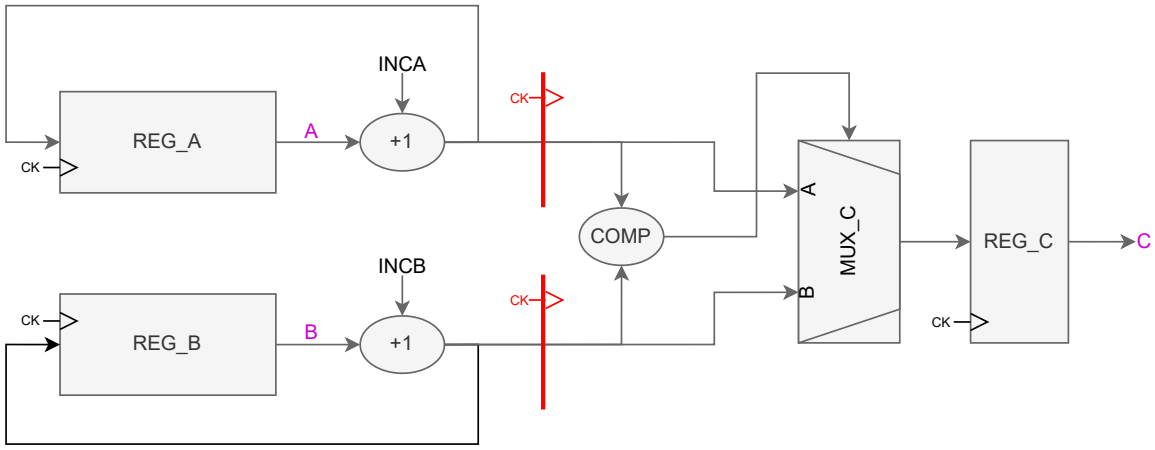


Figura 3.2: Caso 2 (datapath originale con un livello di pipeline).

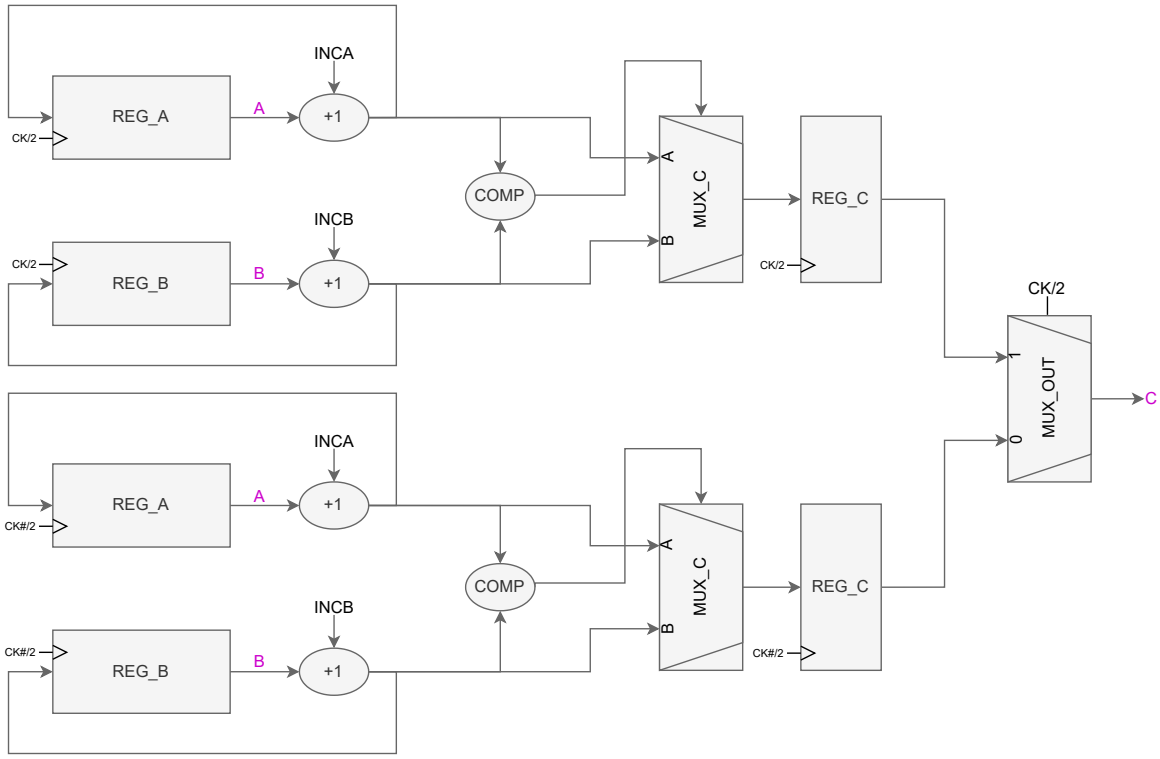


Figura 3.3: Caso 3 (duplicazione datapath senza pipeline).

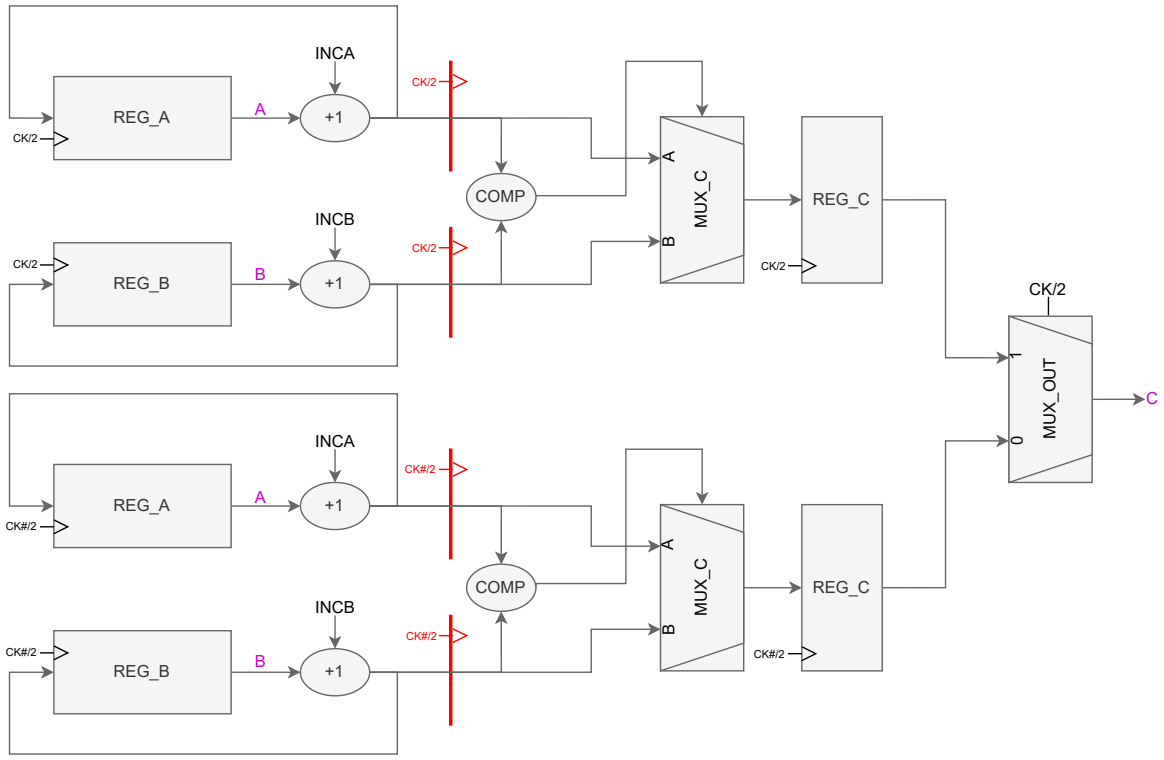


Figura 3.4: Caso 4 (duplicazione datapath con un livello di pipeline).

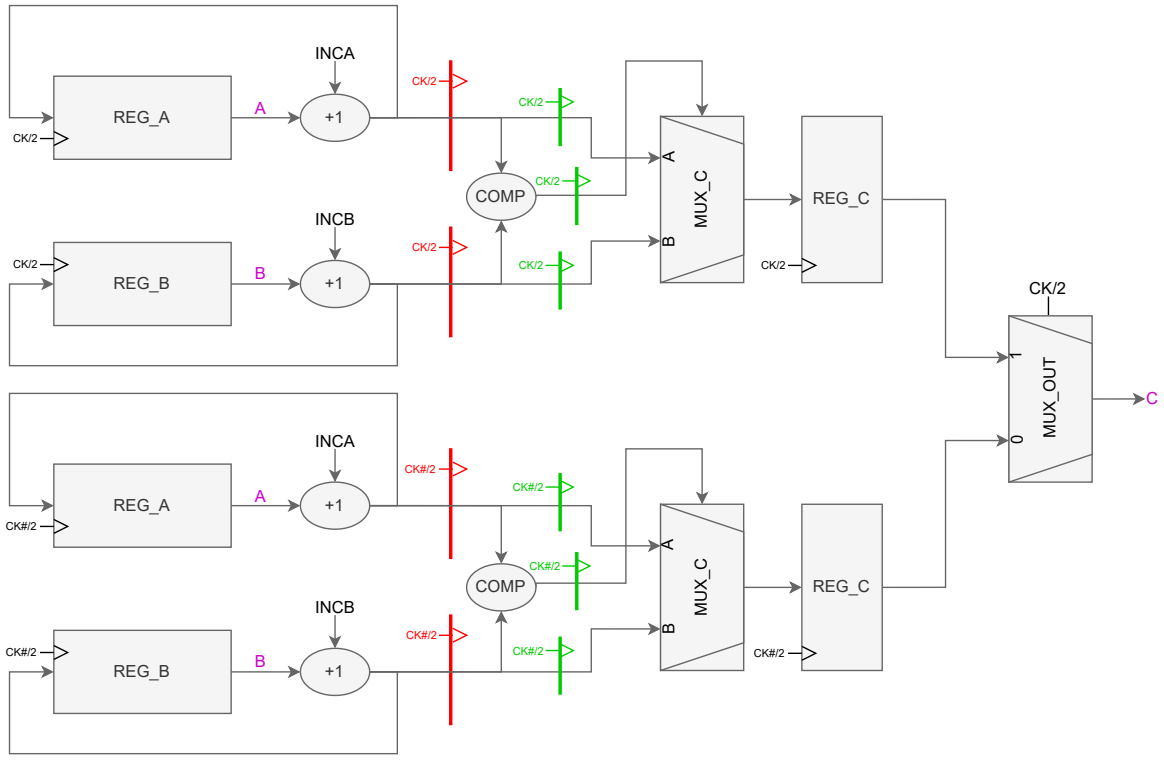


Figura 3.5: Caso 5 (duplicazione datapath con due livelli di pipeline).

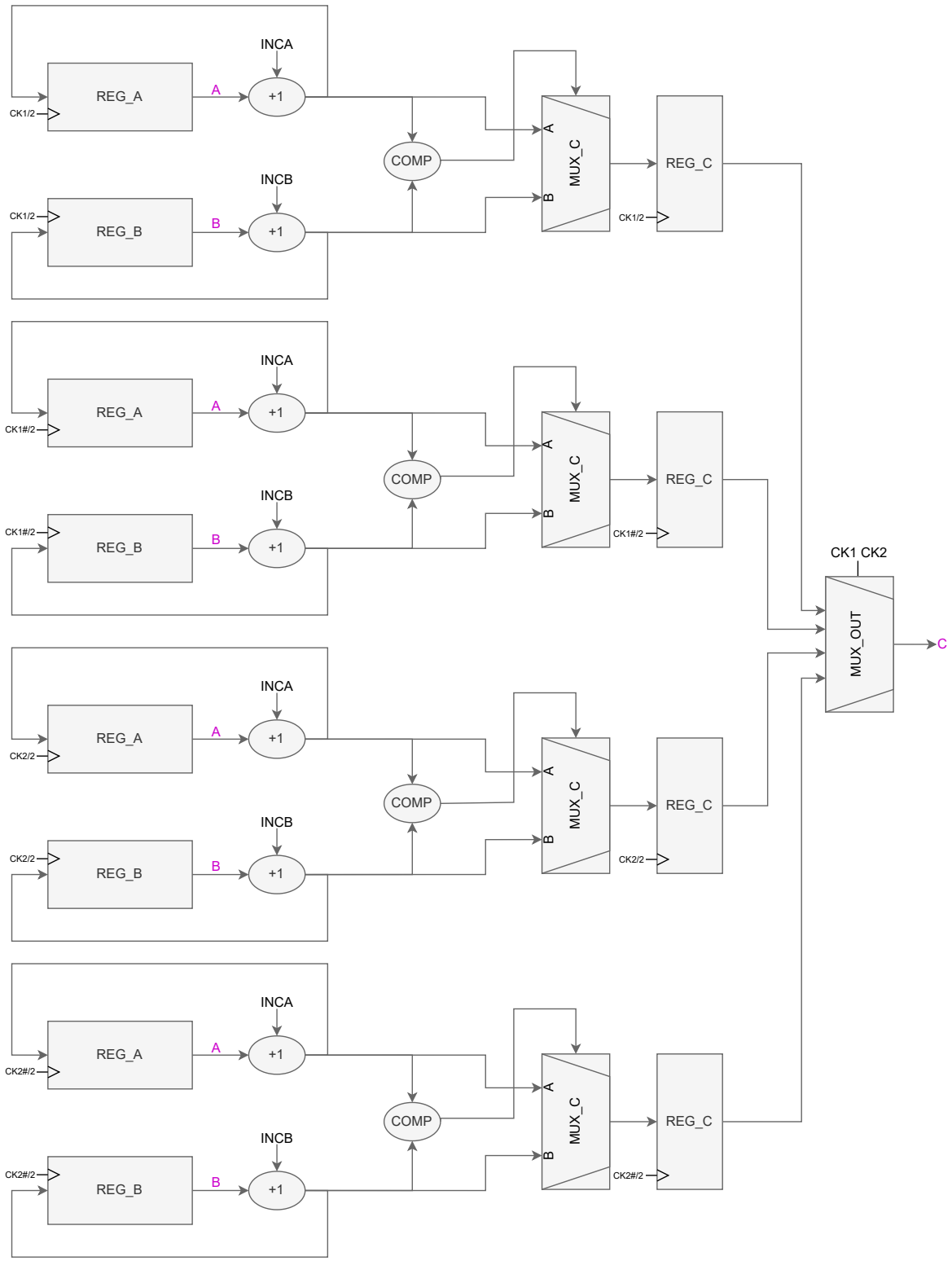


Figura 3.6: Caso 6 (quadruplicazione datapath senza pipeline).

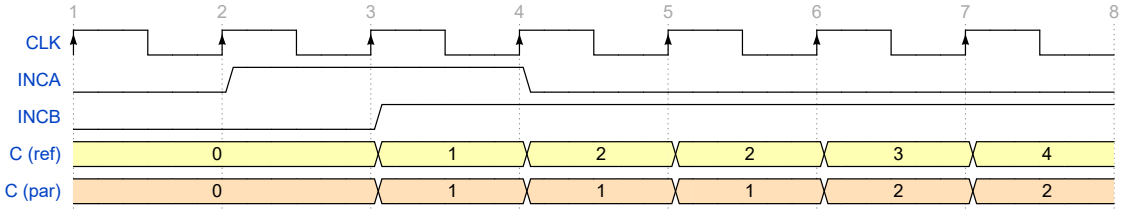


Figura 3.7: Incoerenza tra i risultati dell'architettura parallela (in arancione) rispetto a quella di riferimento (in giallo).

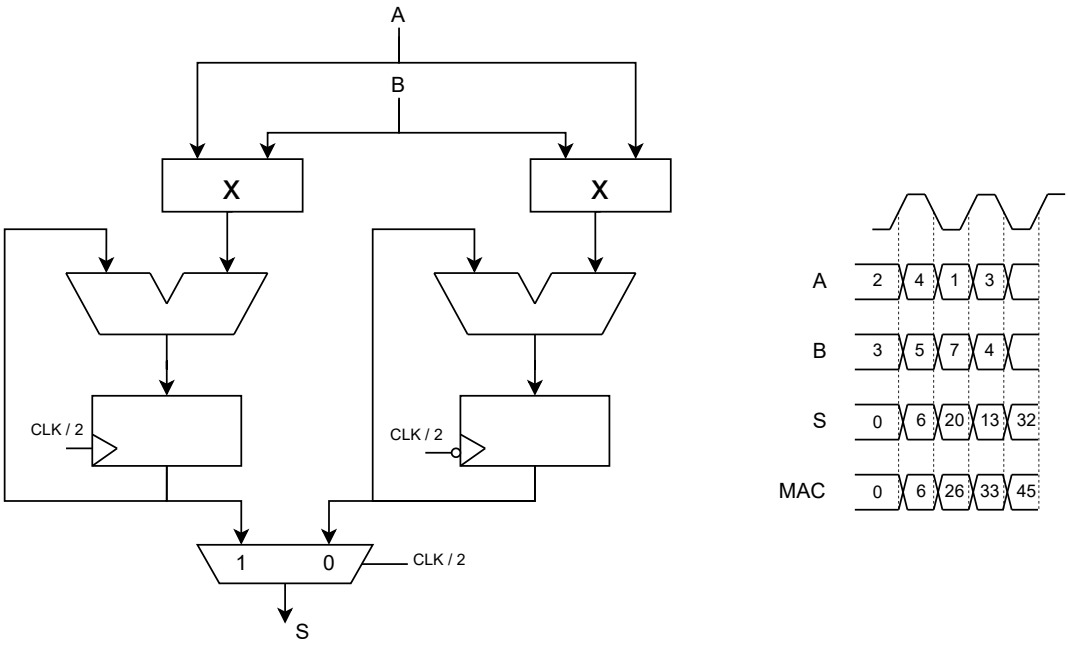
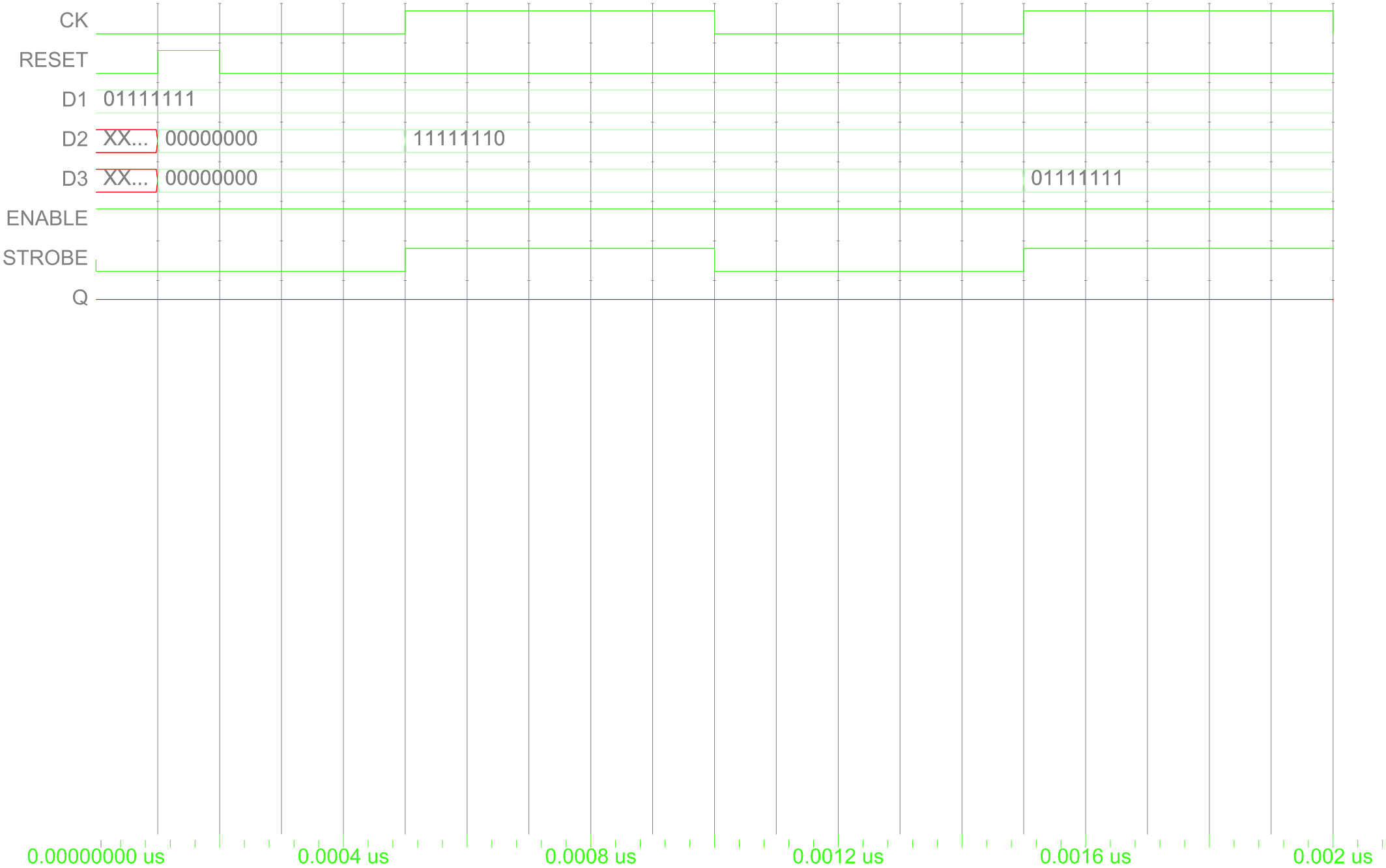


Figura 3.8: MAC parallelo.

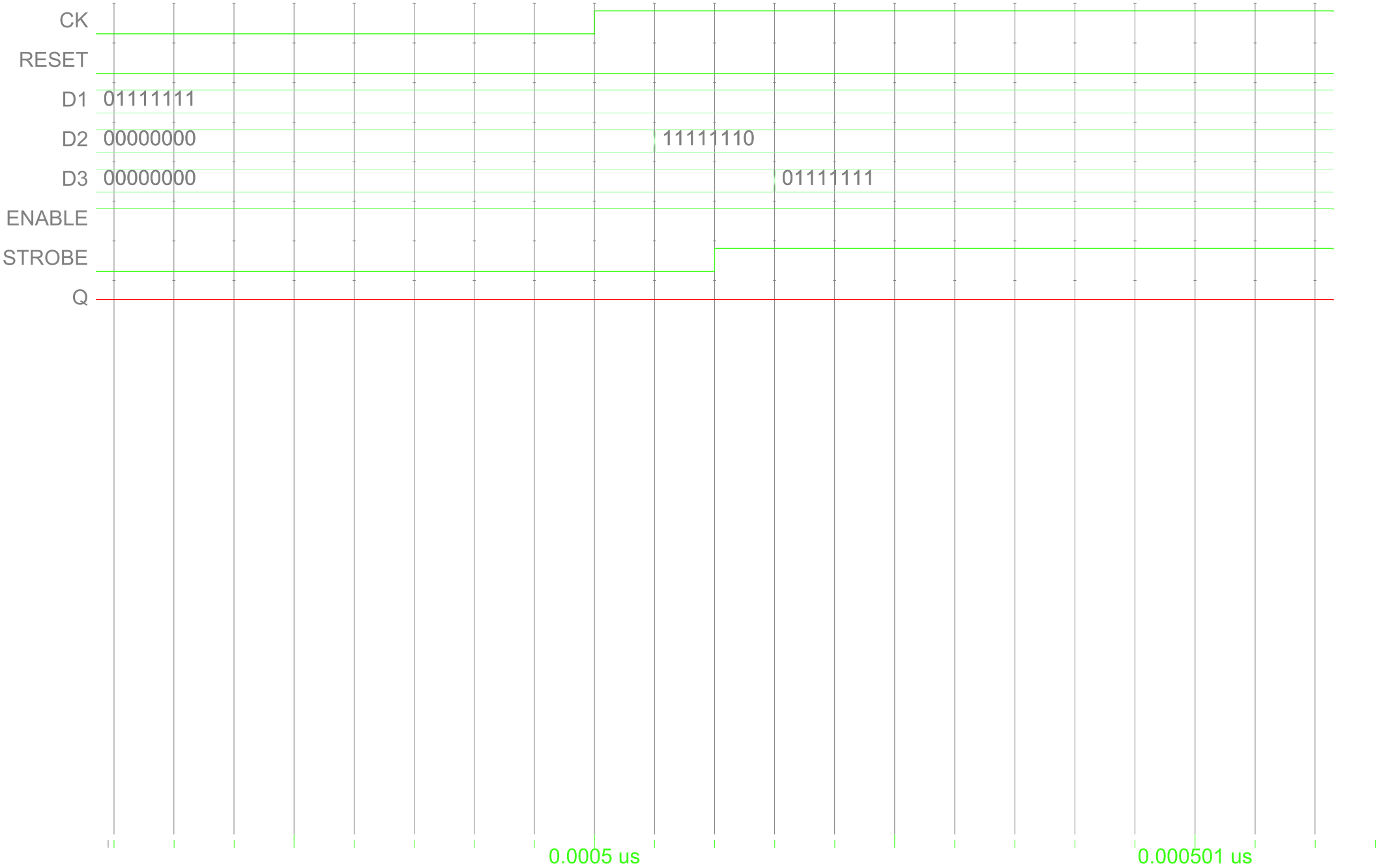
sorgere dei problemi di timing perché i percorsi combinatori inizierebbero e terminerebbero su fronti opposti del clock; la massima frequenza di funzionamento, pertanto, andrebbe valutata attentamente.

Un circuito in cui si presenta un problema analogo è quello riportato in Figura 3.8: si tratta di una **MAC parallelizzata** in cui, a causa della duplicazione dell'architettura, ad ogni fronte viene letto e sommato il valore sbagliato.

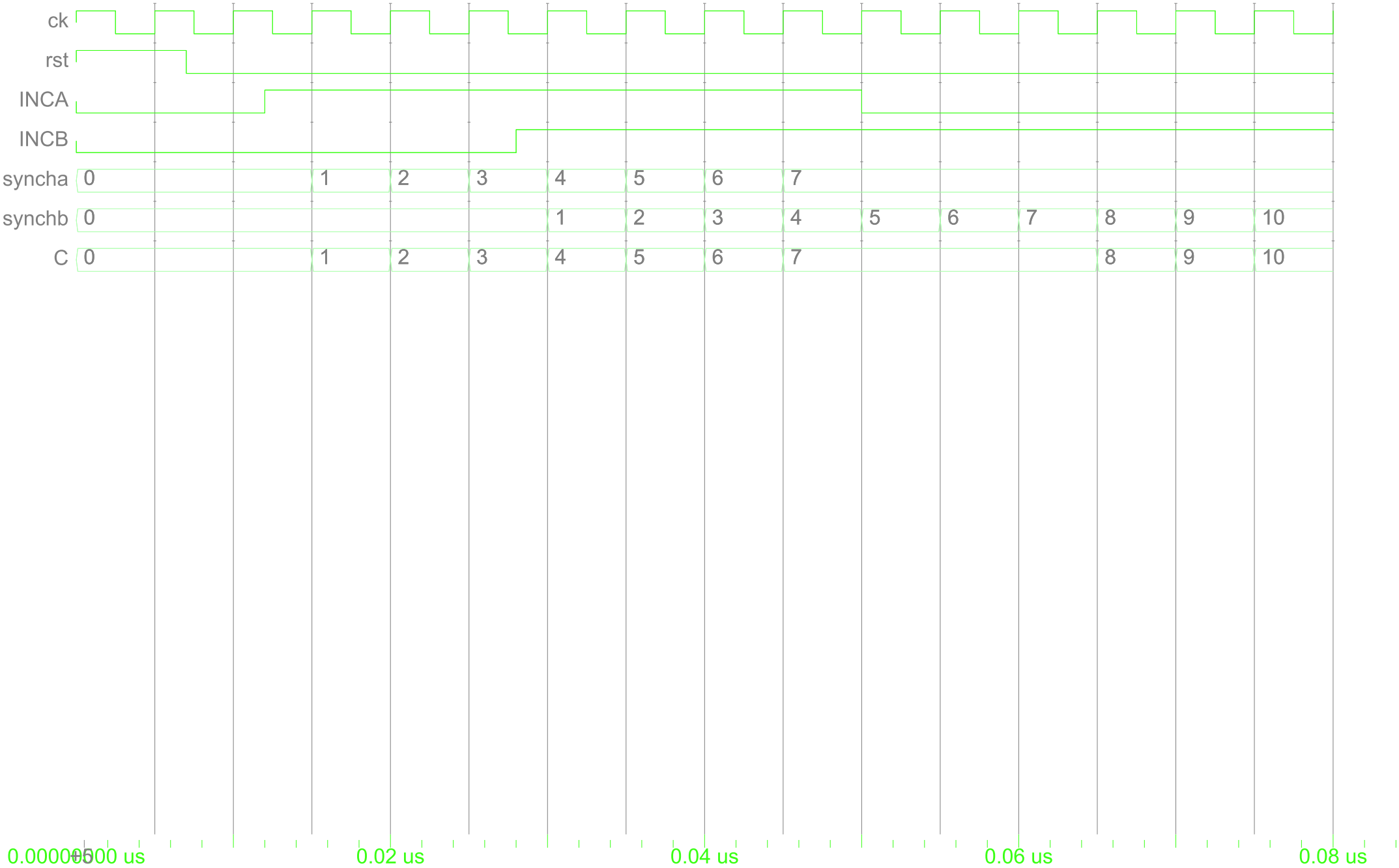
Entity:ckgbug Architecture:test Date: Sun Apr 21 15:39:29 CEST 2024 Row: 1 Page: 1



Entity:ckgbug Architecture:test Date: Sun Apr 21 15:44:02 CEST 2024 Row: 1 Page: 1



Entity:ckgbug Architecture:test Date: Sun Apr 21 15:48:42 CEST 2024 Row: 1 Page: 1



Entity:tbinccomp Architecture:fast Date: Sun Apr 21 16:06:28 CEST 2024 Row: 1 Page: 1

A Report Synopsys

A.1 Comparatore senza clock gating (originale)

A.1.1 Report power (senza annotazione attività)

```
****************************************
Report : power
        -analysis_effort low
        -include_input_nets
Design : inccomp
Version: S-2021.06-SP4
Date   : Sun Apr 21 17:40:31 2024
****************************************


Library(s) Used:

    NangateOpenCellLibrary (File:
    ↪  /home/mg.lowpower/do/libnangate/NangateOpenCellLibrary_typical_ecsm.db)

Operating Conditions: typical   Library: NangateOpenCellLibrary
Wire Load Model Mode: top

Design        Wire Load Model            Library
------------------------------------------------
inccomp                5K_hvratio_1_1    NangateOpenCellLibrary


Global Operating Voltage = 1.1
Power-specific unit information :
    Voltage Units = 1V
    Capacitance Units = 1.000000ff
    Time Units = 1ns
    Dynamic Power Units = 1uW    (derived from V,C,T units)
    Leakage Power Units = 1nW


  Cell Internal Power  =  38.9571 uW   (74%)
  Net Switching Power  =  13.6910 uW   (26%)
                         ---------
Total Dynamic Power    =  52.6481 uW  (100%)

Cell Leakage Power     =   3.8058 uW


                 Internal      Switching          Leakage         Total
Power Group      Power         Power              Power           Power   ( %    )  Attrs
--------------------------------------------------------------------------------------------
io_pad             0.0000         0.0000           0.0000         0.0000  ( 0.00%)
memory             0.0000         0.0000           0.0000         0.0000  ( 0.00%)
black_box          0.0000         0.0000           0.0000         0.0000  ( 0.00%)
clock_network      0.0000         0.0000           0.0000         0.0000  ( 0.00%)
register          36.0038         0.7880       1.9564e+03        38.7483  (83.62%)
sequential         0.0000         0.0000           0.0000         0.0000  ( 0.00%)
combinational      2.9533         2.7865       1.8494e+03         7.5892  (16.38%)
--------------------------------------------------------------------------------------------
Total             38.9571 uW      3.5745 uW    3.8058e+03 nW     46.3375 uW
```

A.1.2 Report power (annotazione attività su CK e RST)

```
****************************************
Report : power
        -analysis_effort low
        -include_input_nets
Design : inccomp
Version: S-2021.06-SP4
Date   : Sun Apr 21 17:40:31 2024
****************************************

Library(s) Used:

    NangateOpenCellLibrary (File:
    ↪  /home/mg.lowpower/do/libnangate/NangateOpenCellLibrary_typical_ecsm.db)

Operating Conditions: typical   Library: NangateOpenCellLibrary
Wire Load Model Mode: top

Design        Wire Load Model            Library
------------------------------------------------
inccomp                5K_hvratio_1_1    NangateOpenCellLibrary

Global Operating Voltage = 1.1
Power-specific unit information :
    Voltage Units = 1V
    Capacitance Units = 1.000000ff
    Time Units = 1ns
    Dynamic Power Units = 1uW    (derived from V,C,T units)
    Leakage Power Units = 1nW

  Cell Internal Power  =  36.6533 uW   (74%)
  Net Switching Power  =  13.1260 uW   (26%)
                         ---------
Total Dynamic Power    =  49.7793 uW  (100%)

Cell Leakage Power     =   3.9405 uW

                Internal      Switching          Leakage         Total
Power Group     Power         Power              Power           Power   ( %    )  Attrs
--------------------------------------------------------------------------------------
io_pad            0.0000         0.0000           0.0000         0.0000  ( 0.00%)
memory            0.0000         0.0000           0.0000         0.0000  ( 0.00%)
black_box         0.0000         0.0000           0.0000         0.0000  ( 0.00%)
clock_network     0.0000         0.0000           0.0000         0.0000  ( 0.00%)
register         33.0411         0.7880       2.0948e+03        35.9239  (82.34%)
sequential        0.0000         0.0000           0.0000         0.0000  ( 0.00%)
combinational     3.6122         2.2458       1.8457e+03         7.7037  (17.66%)
--------------------------------------------------------------------------------------
Total            36.6533 uW      3.0339 uW    3.9405e+03 nW     43.6277 uW
```

A.1.3 Report power (annotazione attività su INCA e INCB)

```
****************************************
Report : power
        -analysis_effort low
        -include_input_nets
```

```
Design : inccomp
Version: S-2021.06-SP4
Date   : Sun Apr 21 17:40:31 2024
****************************************

Library(s) Used:

    NangateOpenCellLibrary (File:
    ↪  /home/mg.lowpower/do/libnangate/NangateOpenCellLibrary_typical_ecsm.db)

Operating Conditions: typical   Library: NangateOpenCellLibrary
Wire Load Model Mode: top

Design        Wire Load Model            Library
------------------------------------------------
inccomp                5K_hvratio_1_1    NangateOpenCellLibrary

Global Operating Voltage = 1.1
Power-specific unit information :
    Voltage Units = 1V
    Capacitance Units = 1.000000ff
    Time Units = 1ns
    Dynamic Power Units = 1uW    (derived from V,C,T units)
    Leakage Power Units = 1nW

  Cell Internal Power  =  36.4110 uW   (74%)
  Net Switching Power  =  12.6421 uW   (26%)
                         ---------
Total Dynamic Power    =  49.0531 uW  (100%)

Cell Leakage Power     =   3.9060 uW

                 Internal      Switching          Leakage         Total
Power Group      Power         Power              Power           Power   ( %    )  Attrs
--------------------------------------------------------------------------------------
io_pad             0.0000         0.0000           0.0000         0.0000  ( 0.00%)
memory             0.0000         0.0000           0.0000         0.0000  ( 0.00%)
black_box          0.0000         0.0000           0.0000         0.0000  ( 0.00%)
clock_network      0.0000         0.0000           0.0000         0.0000  ( 0.00%)
register          32.9960         0.7880       2.0892e+03        35.8732  (83.00%)
sequential         0.0000         0.0000           0.0000         0.0000  ( 0.00%)
combinational      3.4150         2.1137       1.8168e+03         7.3455  (17.00%)
--------------------------------------------------------------------------------------
Total             36.4110 uW      2.9017 uW    3.9060e+03 nW     43.2188 uW
```

A.1.4 Report cell (annotazione attività su INCA e INCB)

```
****************************************
Report : cell
Design : inccomp
Version: S-2021.06-SP4
Date   : Sun Apr 21 17:40:31 2024
****************************************

Attributes:
   BO - reference allows boundary optimization
    b - black box (unknown)
```

```
    h - hierarchical
    n - noncombinational
    r - removable
    u - contains unmapped logic

Cell                      Reference       Library             Area  Attributes
--------------------------------------------------------------------------------
C_reg[0]                  DFFR_X1         NangateOpenCellLibrary
                                                            5.320000  n
C_reg[1]                  DFFR_X1         NangateOpenCellLibrary
                                                            5.320000  n
C_reg[2]                  DFFR_X1         NangateOpenCellLibrary
                                                            5.320000  n
C_reg[3]                  DFFR_X1         NangateOpenCellLibrary
                                                            5.320000  n
C_reg[4]                  DFFR_X1         NangateOpenCellLibrary
                                                            5.320000  n
C_reg[5]                  DFFR_X1         NangateOpenCellLibrary
                                                            5.320000  n
C_reg[6]                  DFFR_X1         NangateOpenCellLibrary
                                                            5.320000  n
C_reg[7]                  DFFR_X1         NangateOpenCellLibrary
                                                            5.320000  n
U55                       INV_X1          NangateOpenCellLibrary
                                                            0.532000
U56                       MUX2_X1         NangateOpenCellLibrary
                                                            1.862000
U57                       MUX2_X1         NangateOpenCellLibrary
                                                            1.862000
U58                       MUX2_X1         NangateOpenCellLibrary
                                                            1.862000
U59                       MUX2_X1         NangateOpenCellLibrary
                                                            1.862000
U60                       MUX2_X1         NangateOpenCellLibrary
                                                            1.862000
U61                       MUX2_X1         NangateOpenCellLibrary
                                                            1.862000
U62                       MUX2_X1         NangateOpenCellLibrary
                                                            1.862000
U63                       MUX2_X1         NangateOpenCellLibrary
                                                            1.862000
U64                       AOI21_X1        NangateOpenCellLibrary
                                                            1.064000
U65                       INV_X1          NangateOpenCellLibrary
                                                            0.532000
U66                       OAI221_X1       NangateOpenCellLibrary
                                                            1.596000
U67                       OAI21_X1        NangateOpenCellLibrary
                                                            1.064000
U68                       OAI21_X1        NangateOpenCellLibrary
                                                            1.064000
U69                       OAI221_X1       NangateOpenCellLibrary
                                                            1.596000
U70                       OAI221_X1       NangateOpenCellLibrary
                                                            1.596000
U71                       OAI221_X1       NangateOpenCellLibrary
                                                            1.596000
U72                       OAI221_X1       NangateOpenCellLibrary
                                                            1.596000
```

```
U73                     INV_X1          NangateOpenCellLibrary
                                                        0.532000
U74                     AOI21_X1        NangateOpenCellLibrary
                                                        1.064000
U75                     INV_X1          NangateOpenCellLibrary
                                                        0.532000
U76                     INV_X1          NangateOpenCellLibrary
                                                        0.532000
U77                     INV_X1          NangateOpenCellLibrary
                                                        0.532000
U78                     INV_X1          NangateOpenCellLibrary
                                                        0.532000
U79                     INV_X1          NangateOpenCellLibrary
                                                        0.532000
U80                     INV_X1          NangateOpenCellLibrary
                                                        0.532000
U81                     INV_X1          NangateOpenCellLibrary
                                                        0.532000
U82                     INV_X1          NangateOpenCellLibrary
                                                        0.532000
U83                     INV_X1          NangateOpenCellLibrary
                                                        0.532000
U84                     INV_X1          NangateOpenCellLibrary
                                                        0.532000
U85                     INV_X1          NangateOpenCellLibrary
                                                        0.532000
U86                     INV_X1          NangateOpenCellLibrary
                                                        0.532000
U87                     MUX2_X1         NangateOpenCellLibrary
                                                        1.862000
U88                     MUX2_X1         NangateOpenCellLibrary
                                                        1.862000
U89                     MUX2_X1         NangateOpenCellLibrary
                                                        1.862000
U90                     MUX2_X1         NangateOpenCellLibrary
                                                        1.862000
U91                     MUX2_X1         NangateOpenCellLibrary
                                                        1.862000
U92                     MUX2_X1         NangateOpenCellLibrary
                                                        1.862000
U93                     MUX2_X1         NangateOpenCellLibrary
                                                        1.862000
U94                     MUX2_X1         NangateOpenCellLibrary
                                                        1.862000
U95                     MUX2_X1         NangateOpenCellLibrary
                                                        1.862000
U96                     MUX2_X1         NangateOpenCellLibrary
                                                        1.862000
U97                     MUX2_X1         NangateOpenCellLibrary
                                                        1.862000
U98                     MUX2_X1         NangateOpenCellLibrary
                                                        1.862000
U99                     MUX2_X1         NangateOpenCellLibrary
                                                        1.862000
U100                    MUX2_X1         NangateOpenCellLibrary
                                                        1.862000
U101                    MUX2_X1         NangateOpenCellLibrary
                                                        1.862000
U102                    MUX2_X1         NangateOpenCellLibrary
```

```
                                                        1.862000
r72                     inccomp_DW01_inc_1              18.088000 BO, h
r73                     inccomp_DW01_inc_0              18.088000 BO, h
syncha_reg[0]           DFFR_X1         NangateOpenCellLibrary
                                                        5.320000  n
syncha_reg[1]           DFFR_X1         NangateOpenCellLibrary
                                                        5.320000  n
syncha_reg[2]           DFFR_X1         NangateOpenCellLibrary
                                                        5.320000  n
syncha_reg[3]           DFFR_X1         NangateOpenCellLibrary
                                                        5.320000  n
syncha_reg[4]           DFFR_X1         NangateOpenCellLibrary
                                                        5.320000  n
syncha_reg[5]           DFFR_X1         NangateOpenCellLibrary
                                                        5.320000  n
syncha_reg[6]           DFFR_X1         NangateOpenCellLibrary
                                                        5.320000  n
syncha_reg[7]           DFFR_X1         NangateOpenCellLibrary
                                                        5.320000  n
synchb_reg[0]           DFFR_X1         NangateOpenCellLibrary
                                                        5.320000  n
synchb_reg[1]           DFFR_X1         NangateOpenCellLibrary
                                                        5.320000  n
synchb_reg[2]           DFFR_X1         NangateOpenCellLibrary
                                                        5.320000  n
synchb_reg[3]           DFFR_X1         NangateOpenCellLibrary
                                                        5.320000  n
synchb_reg[4]           DFFR_X1         NangateOpenCellLibrary
                                                        5.320000  n
synchb_reg[5]           DFFR_X1         NangateOpenCellLibrary
                                                        5.320000  n
synchb_reg[6]           DFFR_X1         NangateOpenCellLibrary
                                                        5.320000  n
synchb_reg[7]           DFFR_X1         NangateOpenCellLibrary
                                                        5.320000  n
--------------------------------------------------------------------------------
Total 74 cells                                          228.760005
```

A.2 Comparatore con clock gating (originale)

A.2.1 Report power (senza annotazione attività)

```
****************************************
Report : power
        -analysis_effort low
        -include_input_nets
Design : inccomp
Version: S-2021.06-SP4
Date   : Sun Apr 21 17:40:38 2024
****************************************

Library(s) Used:

    NangateOpenCellLibrary (File:
    ↪  /home/mg.lowpower/do/libnangate/NangateOpenCellLibrary_typical_ecsm.db)

Operating Conditions: typical   Library: NangateOpenCellLibrary
```

```
Wire Load Model Mode: top

Design        Wire Load Model            Library
------------------------------------------------
inccomp                5K_hvratio_1_1    NangateOpenCellLibrary

Global Operating Voltage = 1.1
Power-specific unit information :
    Voltage Units = 1V
    Capacitance Units = 1.000000ff
    Time Units = 1ns
    Dynamic Power Units = 1uW    (derived from V,C,T units)
    Leakage Power Units = 1nW

  Cell Internal Power  =  33.0942 uW   (75%)
  Net Switching Power  =  10.9340 uW   (25%)
                         ---------
Total Dynamic Power    =  44.0282 uW  (100%)

Cell Leakage Power     =   3.9094 uW

                 Internal      Switching          Leakage         Total
Power Group      Power         Power              Power           Power   ( %    )  Attrs
--------------------------------------------------------------------------------------------
io_pad             0.0000         0.0000           0.0000         0.0000  ( 0.00%)
memory             0.0000         0.0000           0.0000         0.0000  ( 0.00%)
black_box          0.0000         0.0000           0.0000         0.0000  ( 0.00%)
clock_network      4.3808         2.8803         116.8092         7.3779  (16.95%)
register          25.7178         0.7909       1.9461e+03        28.4549  (65.39%)
sequential         0.0000         0.0000           0.0000         0.0000  ( 0.00%)
combinational      2.9955         2.8410       1.8465e+03         7.6831  (17.66%)
--------------------------------------------------------------------------------------------
Total             33.0942 uW      6.5123 uW    3.9094e+03 nW     43.5159 uW
```

A.2.2 Report power (annotazione attività su CK e RST)

```
****************************************
Report : power
        -analysis_effort low
        -include_input_nets
Design : inccomp
Version: S-2021.06-SP4
Date   : Sun Apr 21 17:40:38 2024
****************************************

Library(s) Used:

    NangateOpenCellLibrary (File:
    ↪  /home/mg.lowpower/do/libnangate/NangateOpenCellLibrary_typical_ecsm.db)

Operating Conditions: typical   Library: NangateOpenCellLibrary
Wire Load Model Mode: top

Design        Wire Load Model            Library
------------------------------------------------
inccomp                5K_hvratio_1_1    NangateOpenCellLibrary

```

```
Global Operating Voltage = 1.1
Power-specific unit information :
    Voltage Units = 1V
    Capacitance Units = 1.000000ff
    Time Units = 1ns
    Dynamic Power Units = 1uW    (derived from V,C,T units)
    Leakage Power Units = 1nW

  Cell Internal Power  =  31.4056 uW   (75%)
  Net Switching Power  =  10.3932 uW   (25%)
                         ---------
Total Dynamic Power    =  41.7988 uW  (100%)

Cell Leakage Power     =   4.0408 uW

                 Internal         Switching           Leakage            Total
Power Group      Power            Power               Power              Power   (   %
↪  )  Attrs
--------------------------------------------------------------------------------------------------
io_pad             0.0000           0.0000            0.0000            0.0000  (
↪  0.00%)
memory             0.0000           0.0000            0.0000            0.0000  (
↪  0.00%)
black_box          0.0000           0.0000            0.0000            0.0000  (
↪  0.00%)
clock_network      4.3727           2.8661          116.7964            7.3555  (
↪  17.75%)
register          23.4980           0.7909        2.0843e+03           26.3733  (
↪  63.64%)
sequential         0.0000           0.0000            0.0000            0.0000  (
↪  0.00%)
combinational      3.5350           2.3388        1.8396e+03            7.7134  (
↪  18.61%)
--------------------------------------------------------------------------------------------------
Total             31.4056 uW        5.9958 uW     4.0408e+03 nW        41.4422 uW
```

A.2.3 Report power (annotazione attività su INCA e INCB)

```
****************************************
Report : power
        -analysis_effort low
        -include_input_nets
Design : inccomp
Version: S-2021.06-SP4
Date   : Sun Apr 21 17:40:38 2024
****************************************

Library(s) Used:

    NangateOpenCellLibrary (File:
    ↪  /home/mg.lowpower/do/libnangate/NangateOpenCellLibrary_typical_ecsm.db)

Operating Conditions: typical   Library: NangateOpenCellLibrary
Wire Load Model Mode: top

Design        Wire Load Model            Library
------------------------------------------------
```

```
inccomp                5K_hvratio_1_1    NangateOpenCellLibrary

Global Operating Voltage = 1.1
Power-specific unit information :
    Voltage Units = 1V
    Capacitance Units = 1.000000ff
    Time Units = 1ns
    Dynamic Power Units = 1uW    (derived from V,C,T units)
    Leakage Power Units = 1nW

  Cell Internal Power  =  23.0752 uW   (74%)
  Net Switching Power  =   7.8988 uW   (26%)
                         ---------
Total Dynamic Power    =  30.9740 uW  (100%)

Cell Leakage Power     =   4.0060 uW

                Internal      Switching          Leakage         Total
Power Group     Power         Power              Power           Power   ( %    )  Attrs
--------------------------------------------------------------------------------------
io_pad            0.0000         0.0000           0.0000         0.0000  ( 0.00%)
memory            0.0000         0.0000           0.0000         0.0000  ( 0.00%)
black_box         0.0000         0.0000           0.0000         0.0000  ( 0.00%)
clock_network     2.9953         0.8678         120.6062         3.9837  (12.87%)
register         16.7849         0.7909       2.0710e+03        19.6469  (63.46%)
sequential        0.0000         0.0000           0.0000         0.0000  ( 0.00%)
combinational     3.2949         2.2194       1.8144e+03         7.3288  (23.67%)
---------------------------------------------------------------------------------------
Total            23.0752 uW      3.8781 uW    4.0060e+03 nW     30.9593 uW
```

A.2.4 Report cell (annotazione attività su INCA e INCB)

```

****************************************
Report : cell
Design : inccomp
Version: S-2021.06-SP4
Date   : Sun Apr 21 17:40:38 2024
****************************************

Attributes:
   BO - reference allows boundary optimization
    b - black box (unknown)
   cg - clock gating logic
    h - hierarchical
    n - noncombinational
    r - removable
    u - contains unmapped logic

Cell                      Reference       Library             Area  Attributes
--------------------------------------------------------------------------------
C_reg[0]                  DFFR_X1         NangateOpenCellLibrary
                                                            5.320000  n
C_reg[1]                  DFFR_X1         NangateOpenCellLibrary
                                                            5.320000  n
C_reg[2]                  DFFR_X1         NangateOpenCellLibrary
                                                            5.320000  n
```

```
C_reg[3]                DFFR_X1         NangateOpenCellLibrary
                                                        5.320000  n
C_reg[4]                DFFR_X1         NangateOpenCellLibrary
                                                        5.320000  n
C_reg[5]                DFFR_X1         NangateOpenCellLibrary
                                                        5.320000  n
C_reg[6]                DFFR_X1         NangateOpenCellLibrary
                                                        5.320000  n
C_reg[7]                DFFR_X1         NangateOpenCellLibrary
                                                        5.320000  n
U49                     INV_X1          NangateOpenCellLibrary
                                                        0.532000
U50                     MUX2_X1         NangateOpenCellLibrary
                                                        1.862000
U51                     MUX2_X1         NangateOpenCellLibrary
                                                        1.862000
U52                     MUX2_X1         NangateOpenCellLibrary
                                                        1.862000
U53                     MUX2_X1         NangateOpenCellLibrary
                                                        1.862000
U54                     MUX2_X1         NangateOpenCellLibrary
                                                        1.862000
U55                     MUX2_X1         NangateOpenCellLibrary
                                                        1.862000
U56                     MUX2_X1         NangateOpenCellLibrary
                                                        1.862000
U57                     MUX2_X1         NangateOpenCellLibrary
                                                        1.862000
U58                     AOI21_X1        NangateOpenCellLibrary
                                                        1.064000
U59                     AOI221_X1       NangateOpenCellLibrary
                                                        1.596000
U60                     INV_X1          NangateOpenCellLibrary
                                                        0.532000
U61                     OAI21_X1        NangateOpenCellLibrary
                                                        1.064000
U62                     OAI21_X1        NangateOpenCellLibrary
                                                        1.064000
U63                     INV_X1          NangateOpenCellLibrary
                                                        0.532000
U64                     AOI221_X1       NangateOpenCellLibrary
                                                        1.596000
U65                     AOI221_X1       NangateOpenCellLibrary
                                                        1.596000
U66                     AOI221_X1       NangateOpenCellLibrary
                                                        1.596000
U67                     INV_X1          NangateOpenCellLibrary
                                                        0.532000
U68                     OAI221_X1       NangateOpenCellLibrary
                                                        1.596000
U69                     INV_X1          NangateOpenCellLibrary
                                                        0.532000
U70                     AOI21_X1        NangateOpenCellLibrary
                                                        1.064000
U71                     MUX2_X1         NangateOpenCellLibrary
                                                        1.862000
U72                     INV_X1          NangateOpenCellLibrary
                                                        0.532000
U73                     MUX2_X1         NangateOpenCellLibrary
```

```
                                                        1.862000
U74                     MUX2_X1         NangateOpenCellLibrary
                                                        1.862000
U75                     INV_X1          NangateOpenCellLibrary
                                                        0.532000
U76                     MUX2_X1         NangateOpenCellLibrary
                                                        1.862000
U77                     INV_X1          NangateOpenCellLibrary
                                                        0.532000
U78                     MUX2_X1         NangateOpenCellLibrary
                                                        1.862000
U79                     INV_X1          NangateOpenCellLibrary
                                                        0.532000
U80                     MUX2_X1         NangateOpenCellLibrary
                                                        1.862000
U81                     INV_X1          NangateOpenCellLibrary
                                                        0.532000
U82                     MUX2_X1         NangateOpenCellLibrary
                                                        1.862000
U83                     INV_X1          NangateOpenCellLibrary
                                                        0.532000
U84                     MUX2_X1         NangateOpenCellLibrary
                                                        1.862000
U85                     INV_X1          NangateOpenCellLibrary
                                                        0.532000
U86                     MUX2_X1         NangateOpenCellLibrary
                                                        1.862000
U87                     MUX2_X1         NangateOpenCellLibrary
                                                        1.862000
U88                     INV_X1          NangateOpenCellLibrary
                                                        0.532000
U89                     MUX2_X1         NangateOpenCellLibrary
                                                        1.862000
U90                     INV_X1          NangateOpenCellLibrary
                                                        0.532000
U91                     MUX2_X1         NangateOpenCellLibrary
                                                        1.862000
U92                     MUX2_X1         NangateOpenCellLibrary
                                                        1.862000
U93                     INV_X1          NangateOpenCellLibrary
                                                        0.532000
U94                     MUX2_X1         NangateOpenCellLibrary
                                                        1.862000
U95                     MUX2_X1         NangateOpenCellLibrary
                                                        1.862000
U96                     MUX2_X1         NangateOpenCellLibrary
                                                        1.862000
clk_gate_syncha_reg     SNPS_CLOCK_GATE_HIGH_inccomp_0  3.990000  b, cg, h
clk_gate_synchb_reg     SNPS_CLOCK_GATE_HIGH_inccomp_1  3.990000  b, cg, h
r72                     inccomp_DW01_inc_1              18.088000 BO, h
r73                     inccomp_DW01_inc_0              18.088000 BO, h
syncha_reg[0]           DFFR_X1         NangateOpenCellLibrary
                                                        5.320000  n
syncha_reg[1]           DFFR_X1         NangateOpenCellLibrary
                                                        5.320000  n
syncha_reg[2]           DFFR_X1         NangateOpenCellLibrary
                                                        5.320000  n
syncha_reg[3]           DFFR_X1         NangateOpenCellLibrary
                                                        5.320000  n
```

```
syncha_reg[4]             DFFR_X1         NangateOpenCellLibrary
                                                          5.320000  n
syncha_reg[5]             DFFR_X1         NangateOpenCellLibrary
                                                          5.320000  n
syncha_reg[6]             DFFR_X1         NangateOpenCellLibrary
                                                          5.320000  n
syncha_reg[7]             DFFR_X1         NangateOpenCellLibrary
                                                          5.320000  n
synchb_reg[0]             DFFR_X1         NangateOpenCellLibrary
                                                          5.320000  n
synchb_reg[1]             DFFR_X1         NangateOpenCellLibrary
                                                          5.320000  n
synchb_reg[2]             DFFR_X1         NangateOpenCellLibrary
                                                          5.320000  n
synchb_reg[3]             DFFR_X1         NangateOpenCellLibrary
                                                          5.320000  n
synchb_reg[4]             DFFR_X1         NangateOpenCellLibrary
                                                          5.320000  n
synchb_reg[5]             DFFR_X1         NangateOpenCellLibrary
                                                          5.320000  n
synchb_reg[6]             DFFR_X1         NangateOpenCellLibrary
                                                          5.320000  n
synchb_reg[7]             DFFR_X1         NangateOpenCellLibrary
                                                          5.320000  n
--------------------------------------------------------------------------------
Total 76 cells                                            236.740005
1
```

A.3 Comparatore senza clock gating (modificato)

A.3.1 Report power (senza annotazione attività)

```
****************************************
Report : power
        -analysis_effort low
        -include_input_nets
Design : inccomp_output
Version: S-2021.06-SP4
Date   : Wed May  1 21:30:42 2024
****************************************

Library(s) Used:

    NangateOpenCellLibrary (File:
    ↪  /home/mg.lowpower/do/libnangate/NangateOpenCellLibrary_typical_ecsm.db)

Operating Conditions: typical   Library: NangateOpenCellLibrary
Wire Load Model Mode: top

Design        Wire Load Model            Library
------------------------------------------------
inccomp_output         5K_hvratio_1_1    NangateOpenCellLibrary

Global Operating Voltage = 1.1
Power-specific unit information :
    Voltage Units = 1V
    Capacitance Units = 1.000000ff
```

```
    Time Units = 1ns
    Dynamic Power Units = 1uW    (derived from V,C,T units)
    Leakage Power Units = 1nW

  Cell Internal Power  =  39.3951 uW   (72%)
  Net Switching Power  =  14.9543 uW   (28%)
                         ---------
Total Dynamic Power    =  54.3494 uW  (100%)

Cell Leakage Power     =   4.6427 uW

                 Internal      Switching          Leakage         Total
Power Group      Power         Power              Power           Power   ( %    )  Attrs
--------------------------------------------------------------------------------------
io_pad             0.0000         0.0000           0.0000         0.0000  ( 0.00%)
memory             0.0000         0.0000           0.0000         0.0000  ( 0.00%)
black_box          0.0000         0.0000           0.0000         0.0000  ( 0.00%)
clock_network      0.0000         0.0000           0.0000         0.0000  ( 0.00%)
register          36.0125         0.9383       1.9566e+03        38.9074  (79.66%)
sequential         0.0000         0.0000           0.0000         0.0000  ( 0.00%)
combinational      3.3826         3.8646       2.6861e+03         9.9333  (20.34%)
--------------------------------------------------------------------------------------
Total             39.3951 uW      4.8029 uW    4.6427e+03 nW     48.8407 uW
```

A.3.2 Report power (annotazione attività su CK e RST)

```
****************************************
Report : power
        -analysis_effort low
        -include_input_nets
Design : inccomp_output
Version: S-2021.06-SP4
Date   : Wed May  1 21:30:42 2024
****************************************

Library(s) Used:

    NangateOpenCellLibrary (File:
    ↪  /home/mg.lowpower/do/libnangate/NangateOpenCellLibrary_typical_ecsm.db)

Operating Conditions: typical   Library: NangateOpenCellLibrary
Wire Load Model Mode: top

Design        Wire Load Model            Library
------------------------------------------------
inccomp_output         5K_hvratio_1_1    NangateOpenCellLibrary

Global Operating Voltage = 1.1
Power-specific unit information :
    Voltage Units = 1V
    Capacitance Units = 1.000000ff
    Time Units = 1ns
    Dynamic Power Units = 1uW    (derived from V,C,T units)
    Leakage Power Units = 1nW

  Cell Internal Power  =  37.2829 uW   (71%)
  Net Switching Power  =  14.9617 uW   (29%)
```

```
                          ---------
Total Dynamic Power    =  52.2445 uW  (100%)

Cell Leakage Power     =   4.7709 uW

                Internal      Switching          Leakage         Total
Power Group     Power         Power              Power           Power   ( %    )  Attrs
--------------------------------------------------------------------------------------
io_pad            0.0000         0.0000           0.0000         0.0000  ( 0.00%)
memory            0.0000         0.0000           0.0000         0.0000  ( 0.00%)
black_box         0.0000         0.0000           0.0000         0.0000  ( 0.00%)
clock_network     0.0000         0.0000           0.0000         0.0000  ( 0.00%)
register         33.0522         0.9395       2.0953e+03        36.0871  (76.96%)
sequential        0.0000         0.0000           0.0000         0.0000  ( 0.00%)
combinational     4.2307         3.8950       2.6756e+03        10.8013  (23.04%)
--------------------------------------------------------------------------------------
Total            37.2829 uW      4.8346 uW    4.7709e+03 nW     46.8883 uW
```

A.3.3 Report power (annotazione attività su INCA e INCB)

```
****************************************
Report : power
        -analysis_effort low
        -include_input_nets
Design : inccomp_output
Version: S-2021.06-SP4
Date   : Wed May  1 21:30:42 2024
****************************************

Library(s) Used:

    NangateOpenCellLibrary (File:
    ↪  /home/mg.lowpower/do/libnangate/NangateOpenCellLibrary_typical_ecsm.db)

Operating Conditions: typical   Library: NangateOpenCellLibrary
Wire Load Model Mode: top

Design        Wire Load Model            Library
------------------------------------------------
inccomp_output         5K_hvratio_1_1    NangateOpenCellLibrary

Global Operating Voltage = 1.1
Power-specific unit information :
    Voltage Units = 1V
    Capacitance Units = 1.000000ff
    Time Units = 1ns
    Dynamic Power Units = 1uW    (derived from V,C,T units)
    Leakage Power Units = 1nW

  Cell Internal Power  =  37.0307 uW   (73%)
  Net Switching Power  =  13.7804 uW   (27%)
                          ---------
Total Dynamic Power    =  50.8110 uW  (100%)

Cell Leakage Power     =   4.7090 uW

                Internal      Switching          Leakage         Total
```

```
Power Group     Power         Power              Power           Power   ( %    )  Attrs
--------------------------------------------------------------------------------------
io_pad            0.0000         0.0000           0.0000         0.0000  ( 0.00%)
memory            0.0000         0.0000           0.0000         0.0000  ( 0.00%)
black_box         0.0000         0.0000           0.0000         0.0000  ( 0.00%)
clock_network     0.0000         0.0000           0.0000         0.0000  ( 0.00%)
register         33.0259         0.9395       2.0933e+03        36.0588  (78.78%)
sequential        0.0000         0.0000           0.0000         0.0000  ( 0.00%)
combinational     4.0047         3.0917       2.6157e+03         9.7122  (21.22%)
--------------------------------------------------------------------------------------
Total            37.0306 uW      4.0313 uW    4.7090e+03 nW     45.7710 uW
```

A.3.4 Report cell (annotazione attività su INCA e INCB)

```
****************************************
Report : cell
Design : inccomp_output
Version: S-2021.06-SP4
Date   : Wed May  1 21:30:42 2024
****************************************

Attributes:
   BO - reference allows boundary optimization
    b - black box (unknown)
    h - hierarchical
    n - noncombinational
    r - removable
    u - contains unmapped logic

Cell                      Reference       Library             Area  Attributes
--------------------------------------------------------------------------------
C_reg[0]                  DFFR_X1         NangateOpenCellLibrary
                                                            5.320000  n
C_reg[1]                  DFFR_X1         NangateOpenCellLibrary
                                                            5.320000  n
C_reg[2]                  DFFR_X1         NangateOpenCellLibrary
                                                            5.320000  n
C_reg[3]                  DFFR_X1         NangateOpenCellLibrary
                                                            5.320000  n
C_reg[4]                  DFFR_X1         NangateOpenCellLibrary
                                                            5.320000  n
C_reg[5]                  DFFR_X1         NangateOpenCellLibrary
                                                            5.320000  n
C_reg[6]                  DFFR_X1         NangateOpenCellLibrary
                                                            5.320000  n
C_reg[7]                  DFFR_X1         NangateOpenCellLibrary
                                                            5.320000  n
U66                       INV_X1          NangateOpenCellLibrary
                                                            0.532000
U67                       OAI222_X1       NangateOpenCellLibrary
                                                            2.128000
U68                       OAI222_X1       NangateOpenCellLibrary
                                                            2.128000
U69                       OAI222_X1       NangateOpenCellLibrary
                                                            2.128000
U70                       OAI222_X1       NangateOpenCellLibrary
                                                            2.128000
```

```
U71                     OAI222_X1       NangateOpenCellLibrary
                                                        2.128000
U72                     OAI222_X1       NangateOpenCellLibrary
                                                        2.128000
U73                     OAI222_X1       NangateOpenCellLibrary
                                                        2.128000
U74                     OAI222_X1       NangateOpenCellLibrary
                                                        2.128000
U75                     OAI211_X1       NangateOpenCellLibrary
                                                        1.330000
U76                     NAND2_X1        NangateOpenCellLibrary
                                                        0.798000
U77                     OAI21_X1        NangateOpenCellLibrary
                                                        1.064000
U78                     OAI221_X1       NangateOpenCellLibrary
                                                        1.596000
U79                     OAI21_X1        NangateOpenCellLibrary
                                                        1.064000
U80                     OAI21_X1        NangateOpenCellLibrary
                                                        1.064000
U81                     OAI221_X1       NangateOpenCellLibrary
                                                        1.596000
U82                     OAI221_X1       NangateOpenCellLibrary
                                                        1.596000
U83                     OAI221_X1       NangateOpenCellLibrary
                                                        1.596000
U84                     OAI221_X1       NangateOpenCellLibrary
                                                        1.596000
U85                     OAI21_X1        NangateOpenCellLibrary
                                                        1.064000
U86                     OR2_X1          NangateOpenCellLibrary
                                                        1.064000
U87                     INV_X1          NangateOpenCellLibrary
                                                        0.532000
U88                     MUX2_X1         NangateOpenCellLibrary
                                                        1.862000
U89                     INV_X1          NangateOpenCellLibrary
                                                        0.532000
U90                     INV_X1          NangateOpenCellLibrary
                                                        0.532000
U91                     MUX2_X1         NangateOpenCellLibrary
                                                        1.862000
U92                     INV_X1          NangateOpenCellLibrary
                                                        0.532000
U93                     INV_X1          NangateOpenCellLibrary
                                                        0.532000
U94                     MUX2_X1         NangateOpenCellLibrary
                                                        1.862000
U95                     INV_X1          NangateOpenCellLibrary
                                                        0.532000
U96                     INV_X1          NangateOpenCellLibrary
                                                        0.532000
U97                     MUX2_X1         NangateOpenCellLibrary
                                                        1.862000
U98                     INV_X1          NangateOpenCellLibrary
                                                        0.532000
U99                     INV_X1          NangateOpenCellLibrary
                                                        0.532000
U100                    MUX2_X1         NangateOpenCellLibrary
```

```
                                                        1.862000
U101                    INV_X1          NangateOpenCellLibrary
                                                        0.532000
U102                    INV_X1          NangateOpenCellLibrary
                                                        0.532000
U103                    MUX2_X1         NangateOpenCellLibrary
                                                        1.862000
U104                    INV_X1          NangateOpenCellLibrary
                                                        0.532000
U105                    INV_X1          NangateOpenCellLibrary
                                                        0.532000
U106                    MUX2_X1         NangateOpenCellLibrary
                                                        1.862000
U107                    INV_X1          NangateOpenCellLibrary
                                                        0.532000
U108                    INV_X1          NangateOpenCellLibrary
                                                        0.532000
U109                    MUX2_X1         NangateOpenCellLibrary
                                                        1.862000
U110                    INV_X1          NangateOpenCellLibrary
                                                        0.532000
U111                    INV_X1          NangateOpenCellLibrary
                                                        0.532000
U112                    MUX2_X1         NangateOpenCellLibrary
                                                        1.862000
U113                    INV_X1          NangateOpenCellLibrary
                                                        0.532000
U114                    INV_X1          NangateOpenCellLibrary
                                                        0.532000
U115                    MUX2_X1         NangateOpenCellLibrary
                                                        1.862000
U116                    INV_X1          NangateOpenCellLibrary
                                                        0.532000
U117                    INV_X1          NangateOpenCellLibrary
                                                        0.532000
U118                    MUX2_X1         NangateOpenCellLibrary
                                                        1.862000
U119                    INV_X1          NangateOpenCellLibrary
                                                        0.532000
U120                    INV_X1          NangateOpenCellLibrary
                                                        0.532000
U121                    MUX2_X1         NangateOpenCellLibrary
                                                        1.862000
U122                    INV_X1          NangateOpenCellLibrary
                                                        0.532000
U123                    INV_X1          NangateOpenCellLibrary
                                                        0.532000
U124                    MUX2_X1         NangateOpenCellLibrary
                                                        1.862000
U125                    INV_X1          NangateOpenCellLibrary
                                                        0.532000
U126                    INV_X1          NangateOpenCellLibrary
                                                        0.532000
U127                    MUX2_X1         NangateOpenCellLibrary
                                                        1.862000
U128                    INV_X1          NangateOpenCellLibrary
                                                        0.532000
U129                    INV_X1          NangateOpenCellLibrary
                                                        0.532000
```

```
U130                    MUX2_X1         NangateOpenCellLibrary
                                                        1.862000
U131                    INV_X1          NangateOpenCellLibrary
                                                        0.532000
U132                    INV_X1          NangateOpenCellLibrary
                                                        0.532000
U133                    MUX2_X1         NangateOpenCellLibrary
                                                        1.862000
U134                    INV_X1          NangateOpenCellLibrary
                                                        0.532000
r72                     inccomp_output_DW01_inc_1       18.088000 BO, h
r73                     inccomp_output_DW01_inc_0       18.088000 BO, h
syncha_reg[0]           DFFR_X1         NangateOpenCellLibrary
                                                        5.320000  n
syncha_reg[1]           DFFR_X1         NangateOpenCellLibrary
                                                        5.320000  n
syncha_reg[2]           DFFR_X1         NangateOpenCellLibrary
                                                        5.320000  n
syncha_reg[3]           DFFR_X1         NangateOpenCellLibrary
                                                        5.320000  n
syncha_reg[4]           DFFR_X1         NangateOpenCellLibrary
                                                        5.320000  n
syncha_reg[5]           DFFR_X1         NangateOpenCellLibrary
                                                        5.320000  n
syncha_reg[6]           DFFR_X1         NangateOpenCellLibrary
                                                        5.320000  n
syncha_reg[7]           DFFR_X1         NangateOpenCellLibrary
                                                        5.320000  n
synchb_reg[0]           DFFR_X1         NangateOpenCellLibrary
                                                        5.320000  n
synchb_reg[1]           DFFR_X1         NangateOpenCellLibrary
                                                        5.320000  n
synchb_reg[2]           DFFR_X1         NangateOpenCellLibrary
                                                        5.320000  n
synchb_reg[3]           DFFR_X1         NangateOpenCellLibrary
                                                        5.320000  n
synchb_reg[4]           DFFR_X1         NangateOpenCellLibrary
                                                        5.320000  n
synchb_reg[5]           DFFR_X1         NangateOpenCellLibrary
                                                        5.320000  n
synchb_reg[6]           DFFR_X1         NangateOpenCellLibrary
                                                        5.320000  n
synchb_reg[7]           DFFR_X1         NangateOpenCellLibrary
                                                        5.320000  n
--------------------------------------------------------------------------------
Total 95 cells                                          243.656005
```

A.4 Comparatore con clock gating (modificato)

A.4.1 Report power (senza annotazione attività)

```
****************************************
Report : power
        -analysis_effort low
        -include_input_nets
Design : inccomp_output
Version: S-2021.06-SP4
```

```
Date   : Wed May  1 21:30:49 2024
****************************************

Library(s) Used:

    NangateOpenCellLibrary (File:
    ↪  /home/mg.lowpower/do/libnangate/NangateOpenCellLibrary_typical_ecsm.db)

Operating Conditions: typical   Library: NangateOpenCellLibrary
Wire Load Model Mode: top

Design        Wire Load Model            Library
------------------------------------------------
inccomp_output         5K_hvratio_1_1    NangateOpenCellLibrary

Global Operating Voltage = 1.1
Power-specific unit information :
    Voltage Units = 1V
    Capacitance Units = 1.000000ff
    Time Units = 1ns
    Dynamic Power Units = 1uW    (derived from V,C,T units)
    Leakage Power Units = 1nW

  Cell Internal Power  =  33.0833 uW   (75%)
  Net Switching Power  =  10.8200 uW   (25%)
                         ---------
Total Dynamic Power    =  43.9033 uW  (100%)

Cell Leakage Power     =   3.9973 uW

                Internal      Switching          Leakage         Total
Power Group     Power         Power              Power           Power   ( %    )  Attrs
--------------------------------------------------------------------------------------
io_pad            0.0000         0.0000           0.0000         0.0000  ( 0.00%)
memory            0.0000         0.0000           0.0000         0.0000  ( 0.00%)
black_box         0.0000         0.0000           0.0000         0.0000  ( 0.00%)
clock_network     6.9116         5.0240         173.8614        12.1095  (26.47%)
register         23.1120         0.7904       1.9422e+03        25.8445  (56.49%)
sequential        0.0000         0.0000           0.0000         0.0000  ( 0.00%)
combinational     3.0597         2.8597       1.8813e+03         7.8006  (17.05%)
--------------------------------------------------------------------------------------
Total            33.0833 uW      8.6741 uW    3.9973e+03 nW     45.7546 uW
```

A.4.2 Report power (annotazione attività su CK e RST)

```
****************************************
Report : power
        -analysis_effort low
        -include_input_nets
Design : inccomp_output
Version: S-2021.06-SP4
Date   : Wed May  1 21:30:50 2024
****************************************

Library(s) Used:

```

```
    NangateOpenCellLibrary (File:
    ↪  /home/mg.lowpower/do/libnangate/NangateOpenCellLibrary_typical_ecsm.db)

Operating Conditions: typical   Library: NangateOpenCellLibrary
Wire Load Model Mode: top

Design        Wire Load Model            Library
------------------------------------------------
inccomp_output         5K_hvratio_1_1    NangateOpenCellLibrary

Global Operating Voltage = 1.1
Power-specific unit information :
    Voltage Units = 1V
    Capacitance Units = 1.000000ff
    Time Units = 1ns
    Dynamic Power Units = 1uW    (derived from V,C,T units)
    Leakage Power Units = 1nW

  Cell Internal Power  =  32.0862 uW   (75%)
  Net Switching Power  =  10.4370 uW   (25%)
                         ---------
Total Dynamic Power    =  42.5232 uW  (100%)

Cell Leakage Power     =   4.1292 uW

                 Internal      Switching          Leakage         Total
Power Group      Power         Power              Power           Power   ( %    )  Attrs
--------------------------------------------------------------------------------------------
io_pad             0.0000         0.0000           0.0000         0.0000  ( 0.00%)
memory             0.0000         0.0000           0.0000         0.0000  ( 0.00%)
black_box          0.0000         0.0000           0.0000         0.0000  ( 0.00%)
clock_network      6.9336         5.0683         173.8509        12.1757  (27.34%)
register          21.3515         0.7904       2.0805e+03        24.2224  (54.39%)
sequential         0.0000         0.0000           0.0000         0.0000  ( 0.00%)
combinational      3.8011         2.4567       1.8749e+03         8.1326  (18.26%)
--------------------------------------------------------------------------------------------
Total             32.0862 uW      8.3153 uW    4.1292e+03 nW     44.5307 uW
```

A.4.3 Report power (annotazione attività su INCA e INCB)

```
****************************************
Report : power
        -analysis_effort low
        -include_input_nets
Design : inccomp_output
Version: S-2021.06-SP4
Date   : Wed May  1 21:30:50 2024
****************************************

Library(s) Used:

    NangateOpenCellLibrary (File:
    ↪  /home/mg.lowpower/do/libnangate/NangateOpenCellLibrary_typical_ecsm.db)

Operating Conditions: typical   Library: NangateOpenCellLibrary
Wire Load Model Mode: top

```

```
Design        Wire Load Model            Library
------------------------------------------------
inccomp_output         5K_hvratio_1_1    NangateOpenCellLibrary

Global Operating Voltage = 1.1
Power-specific unit information :
    Voltage Units = 1V
    Capacitance Units = 1.000000ff
    Time Units = 1ns
    Dynamic Power Units = 1uW    (derived from V,C,T units)
    Leakage Power Units = 1nW

  Cell Internal Power  =  17.7464 uW   (74%)
  Net Switching Power  =   6.3826 uW   (26%)
                         ---------
Total Dynamic Power    =  24.1290 uW  (100%)

Cell Leakage Power     =   4.0959 uW

                 Internal      Switching          Leakage         Total
Power Group      Power         Power              Power           Power   ( %    )  Attrs
--------------------------------------------------------------------------------------
io_pad             0.0000         0.0000           0.0000         0.0000  ( 0.00%)
memory             0.0000         0.0000           0.0000         0.0000  ( 0.00%)
black_box          0.0000         0.0000           0.0000         0.0000  ( 0.00%)
clock_network      4.6542         1.5084         180.2719         6.3429  (23.94%)
register           9.5257         0.7904       2.0596e+03        12.3757  (46.70%)
sequential         0.0000         0.0000           0.0000         0.0000  ( 0.00%)
combinational      3.5665         2.3585       1.8560e+03         7.7810  (29.36%)
--------------------------------------------------------------------------------------
Total             17.7464 uW      4.6573 uW    4.0959e+03 nW     26.4997 uW
```

A.4.4 Report cell (annotazione attività su INCA e INCB)

```
****************************************
Report : cell
Design : inccomp_output
Version: S-2021.06-SP4
Date   : Wed May  1 21:30:50 2024
****************************************

Attributes:
   BO - reference allows boundary optimization
    b - black box (unknown)
   cg - clock gating logic
    h - hierarchical
    n - noncombinational
    r - removable
    u - contains unmapped logic

Cell                      Reference       Library             Area  Attributes
--------------------------------------------------------------------------------
C_reg[0]                  DFFR_X1         NangateOpenCellLibrary
                                                          5.320000  n
C_reg[1]                  DFFR_X1         NangateOpenCellLibrary
                                                          5.320000  n
C_reg[2]                  DFFR_X1         NangateOpenCellLibrary
```

```
                                                        5.320000  n
C_reg[3]                DFFR_X1         NangateOpenCellLibrary
                                                        5.320000  n
C_reg[4]                DFFR_X1         NangateOpenCellLibrary
                                                        5.320000  n
C_reg[5]                DFFR_X1         NangateOpenCellLibrary
                                                        5.320000  n
C_reg[6]                DFFR_X1         NangateOpenCellLibrary
                                                        5.320000  n
C_reg[7]                DFFR_X1         NangateOpenCellLibrary
                                                        5.320000  n
U50                     INV_X1          NangateOpenCellLibrary
                                                        0.532000
U51                     MUX2_X1         NangateOpenCellLibrary
                                                        1.862000
U52                     MUX2_X1         NangateOpenCellLibrary
                                                        1.862000
U53                     MUX2_X1         NangateOpenCellLibrary
                                                        1.862000
U54                     MUX2_X1         NangateOpenCellLibrary
                                                        1.862000
U55                     MUX2_X1         NangateOpenCellLibrary
                                                        1.862000
U56                     MUX2_X1         NangateOpenCellLibrary
                                                        1.862000
U57                     MUX2_X1         NangateOpenCellLibrary
                                                        1.862000
U58                     MUX2_X1         NangateOpenCellLibrary
                                                        1.862000
U59                     AOI21_X1        NangateOpenCellLibrary
                                                        1.064000
U60                     INV_X1          NangateOpenCellLibrary
                                                        0.532000
U61                     OAI221_X1       NangateOpenCellLibrary
                                                        1.596000
U62                     OAI21_X1        NangateOpenCellLibrary
                                                        1.064000
U63                     OAI21_X1        NangateOpenCellLibrary
                                                        1.064000
U64                     OAI221_X1       NangateOpenCellLibrary
                                                        1.596000
U65                     OAI221_X1       NangateOpenCellLibrary
                                                        1.596000
U66                     OAI221_X1       NangateOpenCellLibrary
                                                        1.596000
U67                     INV_X1          NangateOpenCellLibrary
                                                        0.532000
U68                     AOI221_X1       NangateOpenCellLibrary
                                                        1.596000
U69                     AOI21_X1        NangateOpenCellLibrary
                                                        1.064000
U70                     MUX2_X1         NangateOpenCellLibrary
                                                        1.862000
U71                     INV_X1          NangateOpenCellLibrary
                                                        0.532000
U72                     INV_X1          NangateOpenCellLibrary
                                                        0.532000
U73                     MUX2_X1         NangateOpenCellLibrary
                                                        1.862000
```

```
U74                     INV_X1          NangateOpenCellLibrary
                                                        0.532000
U75                     MUX2_X1         NangateOpenCellLibrary
                                                        1.862000
U76                     MUX2_X1         NangateOpenCellLibrary
                                                        1.862000
U77                     INV_X1          NangateOpenCellLibrary
                                                        0.532000
U78                     INV_X1          NangateOpenCellLibrary
                                                        0.532000
U79                     MUX2_X1         NangateOpenCellLibrary
                                                        1.862000
U80                     MUX2_X1         NangateOpenCellLibrary
                                                        1.862000
U81                     INV_X1          NangateOpenCellLibrary
                                                        0.532000
U82                     INV_X1          NangateOpenCellLibrary
                                                        0.532000
U83                     MUX2_X1         NangateOpenCellLibrary
                                                        1.862000
U84                     MUX2_X1         NangateOpenCellLibrary
                                                        1.862000
U85                     INV_X1          NangateOpenCellLibrary
                                                        0.532000
U86                     INV_X1          NangateOpenCellLibrary
                                                        0.532000
U87                     MUX2_X1         NangateOpenCellLibrary
                                                        1.862000
U88                     MUX2_X1         NangateOpenCellLibrary
                                                        1.862000
U89                     INV_X1          NangateOpenCellLibrary
                                                        0.532000
U90                     INV_X1          NangateOpenCellLibrary
                                                        0.532000
U91                     MUX2_X1         NangateOpenCellLibrary
                                                        1.862000
U92                     MUX2_X1         NangateOpenCellLibrary
                                                        1.862000
U93                     MUX2_X1         NangateOpenCellLibrary
                                                        1.862000
U94                     INV_X1          NangateOpenCellLibrary
                                                        0.532000
U95                     MUX2_X1         NangateOpenCellLibrary
                                                        1.862000
U96                     MUX2_X1         NangateOpenCellLibrary
                                                        1.862000
U97                     MUX2_X1         NangateOpenCellLibrary
                                                        1.862000
U98                     OR2_X1          NangateOpenCellLibrary
                                                        1.064000
clk_gate_C_reg          SNPS_CLOCK_GATE_HIGH_inccomp_output_1
                                                        3.990000  b, cg, h
clk_gate_syncha_reg     SNPS_CLOCK_GATE_HIGH_inccomp_output_0
                                                        3.990000  b, cg, h
clk_gate_synchb_reg     SNPS_CLOCK_GATE_HIGH_inccomp_output_2
                                                        3.990000  b, cg, h
r72                     inccomp_output_DW01_inc_1       18.088000 BO, h
r73                     inccomp_output_DW01_inc_0       18.088000 BO, h
syncha_reg[0]           DFFR_X1         NangateOpenCellLibrary
```

```
                                                        5.320000  n
syncha_reg[1]             DFFR_X1         NangateOpenCellLibrary
                                                        5.320000  n
syncha_reg[2]             DFFR_X1         NangateOpenCellLibrary
                                                        5.320000  n
syncha_reg[3]             DFFR_X1         NangateOpenCellLibrary
                                                        5.320000  n
syncha_reg[4]             DFFR_X1         NangateOpenCellLibrary
                                                        5.320000  n
syncha_reg[5]             DFFR_X1         NangateOpenCellLibrary
                                                        5.320000  n
syncha_reg[6]             DFFR_X1         NangateOpenCellLibrary
                                                        5.320000  n
syncha_reg[7]             DFFR_X1         NangateOpenCellLibrary
                                                        5.320000  n
synchb_reg[0]             DFFR_X1         NangateOpenCellLibrary
                                                        5.320000  n
synchb_reg[1]             DFFR_X1         NangateOpenCellLibrary
                                                        5.320000  n
synchb_reg[2]             DFFR_X1         NangateOpenCellLibrary
                                                        5.320000  n
synchb_reg[3]             DFFR_X1         NangateOpenCellLibrary
                                                        5.320000  n
synchb_reg[4]             DFFR_X1         NangateOpenCellLibrary
                                                        5.320000  n
synchb_reg[5]             DFFR_X1         NangateOpenCellLibrary
                                                        5.320000  n
synchb_reg[6]             DFFR_X1         NangateOpenCellLibrary
                                                        5.320000  n
synchb_reg[7]             DFFR_X1         NangateOpenCellLibrary
                                                        5.320000  n
--------------------------------------------------------------------------------
Total 78 cells                                          241.794005
```

A.5 Report power con annotazione automatica delle attività

```
****************************************
Report : power
        -net
        -analysis_effort low
        -include_input_nets
        -sort_mode net_switching_power
Design : inccomp
Version: S-2021.06-SP4
Date   : Thu May  2 09:58:50 2024
****************************************


Library(s) Used:

    NangateOpenCellLibrary (File:
    ↪  /home/mg.lowpower/do/libnangate/NangateOpenCellLibrary_typical_ecsm.db)


Operating Conditions: typical   Library: NangateOpenCellLibrary
Wire Load Model Mode: top

```

```
Design        Wire Load Model            Library
------------------------------------------------
inccomp                5K_hvratio_1_1    NangateOpenCellLibrary


Global Operating Voltage = 1.1
Power-specific unit information :
    Voltage Units = 1V
    Capacitance Units = 1.000000ff
    Time Units = 1ns
    Dynamic Power Units = 1uW    (derived from V,C,T units)
    Leakage Power Units = 1nW



  Attributes
  ----------
      a  -  Switching activity information annotated on net
      d  -  Default switching activity information on net

                              Total      Static   Toggle   Switching
Net                           Net Load   Prob.    Rate     Power      Attrs
--------------------------------------------------------------------------------
ck                             39.765    0.500    0.3999      9.6210  a
synchb[0]                       7.241    0.492    0.1974      0.8647  a
lt_gt_47/A[2]                   6.979    0.496    0.0987      0.4167  d
lt_gt_47/A[0]                   2.772    0.504    0.1984      0.3327
lt_gt_47/A[1]                   4.920    0.493    0.0987      0.2938  d
synchb[1]                       4.831    0.493    0.0987      0.2885  a
n83                             3.929    0.507    0.0987      0.2346  a
lt_gt_47/A[3]                   7.064    0.495    0.0493      0.2109  d
N33                             1.255    0.508    0.1974      0.1498  a
synchb[2]                       4.831    0.493    0.0493      0.1442  a
n82                             1.915    0.504    0.0987      0.1144  a
n94                             1.438    0.321    0.1295      0.1127  a
N35                             1.255    0.494    0.1480      0.1124  a
lt_gt_47/A[4]                   6.979    0.494    0.0247      0.1042  d
N34                             1.255    0.492    0.0987      0.0749  a
synchb[3]                       4.831    0.493    0.0247      0.0721  a
n63                            19.382    0.623    0.0057      0.0663  a
n78                             1.940    0.499    0.0519      0.0609  a
n77                             1.893    0.505    0.0493      0.0565  a
n93                             1.438    0.319    0.0648      0.0563  a
N36                             1.255    0.494    0.0740      0.0562  a
n92                             1.438    0.321    0.0637      0.0555  a
lt_gt_47/A[5]                   7.064    0.494    0.0123      0.0527  d
n72                             1.980    0.253    0.0391      0.0468  a
n75                             1.940    0.747    0.0396      0.0465  a
synchb[4]                       4.831    0.493    0.0123      0.0361  a
n91                             1.438    0.690    0.0355      0.0309  a
n76                             1.915    0.506    0.0247      0.0286  a
N37                             1.255    0.494    0.0370      0.0281  a
lt_gt_47/A[6]                   7.071    0.494    0.0062      0.0264  d
n70                             1.980    0.870    0.0206      0.0246  a
lt_gt_47/A[7]                   6.955    0.307    0.0058      0.0245
n68                             1.940    0.130    0.0206      0.0241  a
C[0]                            0.310    0.318    0.1275      0.0239  a
lt_gt_47/B[0]                   6.957    0.032    0.0055      0.0233
n86                            59.011    0.996    0.0005      0.0184  a
```

```
synchb[5]                    4.831    0.493    0.0062      0.0180  a
syncha[0]                    7.241    0.010    0.0041      0.0180  a
n90                          1.438    0.329    0.0164      0.0143  a
N38                          1.255    0.494    0.0185      0.0140  a
n71                          1.882    0.506    0.0123      0.0140  a
n66                          2.010    0.932    0.0113      0.0138  a
n65                          1.936    0.068    0.0113      0.0132  a
INCA                        19.382    0.020    0.0010      0.0121  a
C[1]                         0.310    0.318    0.0637      0.0119  a
synchb[6]                    4.831    0.493    0.0031      0.0090  a
lt_gt_47/B[2]                7.066    0.010    0.0021      0.0088  d
n67                          1.915    0.506    0.0062      0.0071  a
N39                          1.255    0.494    0.0093      0.0070  a
lt_gt_47/B[3]                6.980    0.977    0.0015      0.0065  d
lt_gt_47/B[1]                4.848    0.010    0.0021      0.0062
INCB                        19.382    0.986    0.0005      0.0060  a
syncha[1]                    4.831    0.010    0.0021      0.0060  a
C[2]                         0.310    0.319    0.0319      0.0060  a
n89                          1.438    0.329    0.0062      0.0054  a
n85                          2.010    0.988    0.0041      0.0050  a
n81                          1.940    0.990    0.0041      0.0048  a
n84                          1.940    0.012    0.0041      0.0048  a
N40                          1.255    0.331    0.0057      0.0043  a
synchb[7]                    4.057    0.329    0.0015      0.0038  a
N8                           1.255    0.990    0.0041      0.0031  a
syncha[2]                    4.831    0.010    0.0010      0.0030  a
C[3]                         0.310    0.686    0.0149      0.0028  a
n80                          1.893    0.990    0.0021      0.0024  a
N10                          1.255    0.010    0.0031      0.0023  a
n87                          1.438    0.000    0.0021      0.0018  a
n88                          1.438    0.329    0.0021      0.0018  a
n79                          1.915    0.023    0.0015      0.0018  a
N9                           1.255    0.010    0.0021      0.0016  a
C[4]                         0.310    0.329    0.0082      0.0015  a
syncha[3]                    4.831    0.974    0.0005      0.0015  a
N11                          1.255    0.977    0.0015      0.0012  a
C[5]                         0.310    0.329    0.0041      0.0008  a
rst                          2.010    0.004    0.0005      0.0006  a
C[6]                         0.310    0.329    0.0021      0.0004  a
C[7]                         0.310    0.000    0.0000      0.0000  a
N12                          1.255    0.000    0.0000      0.0000  a
N13                          1.255    0.000    0.0000      0.0000  a
N14                          1.255    0.000    0.0000      0.0000  a
N15                          1.255    0.000    0.0000      0.0000  a
lt_gt_47/B[4]                7.066    0.000    0.0000      0.0000  d
lt_gt_47/B[5]                7.073    0.000    0.0000      0.0000  d
lt_gt_47/B[6]                7.066    0.000    0.0000      0.0000  d
lt_gt_47/B[7]                4.921    0.000    0.0000      0.0000  d
n64                          3.929    1.000    0.0000      0.0000  a
n69                          1.882    1.000    0.0000      0.0000  a
n73                          1.915    1.000    0.0000      0.0000  a
n74                          1.893    1.000    0.0000      0.0000  a
syncha[4]                    4.831    0.000    0.0000      0.0000  a
syncha[5]                    4.831    0.000    0.0000      0.0000  a
syncha[6]                    4.831    0.000    0.0000      0.0000  a
syncha[7]                    4.057    0.000    0.0000      0.0000  a
--------------------------------------------------------------------------------
Total (92 nets)                                                14.1808 uW
```

B Scripting

B.1 Sintesi del comparatore

B.1.1 Sintesi del comparatore (originale)

```
sh mkdir WORK
define_design_lib WORK -path ./WORK
remove_design -designs

analyze -format vhdl ../inccomp.vhd
elaborate inccomp -architecture behavioral -library WORK
uniquify
compile -exact_map
create_clock -name ck -period 5 {ck}
report_power -include_input_nets > 32noCKG_report_power_noSW.txt
report_power -net -include_input_nets > 32noCKG_report_power_net_noSW.txt
set_switching_activity -static_probability 0.5 -toggle_rate 2 -base_clock ck {ck}
set_switching_activity -static_probability 0 -base_clock ck {rst}
report_power -include_input_nets > 32noCKG_report_power_SW_ck_rst.txt
report_power -net -include_input_nets > 32noCKG_report_power_net_SW_ck_rst.txt
set_switching_activity -static_probability 0.15 -toggle_rate 0.025 -base_clock ck {INCA
↪  INCB}
report_power -include_input_nets > 32noCKG_report_power_SW_incA_incB.txt
report_power -net -include_input_nets > 32noCKG_report_power_net_SW_incA_incB.txt
report_cell > 32noCKG_report_cell_SW_incA_incB.txt

remove_design -designs
analyze -format vhdl ../inccomp.vhd
elaborate inccomp -architecture behavioral -library WORK
uniquify
compile -exact_map -gate_clock
create_clock -name ck -period 5 {ck}
report_power -include_input_nets > 32CKG_report_power_noSW.txt
report_power -net -include_input_nets > 32CKG_report_power_net_noSW.txt
set_switching_activity -static_probability 0.5 -toggle_rate 2 -base_clock ck {ck}
set_switching_activity -static_probability 0 -base_clock ck {rst}
report_power -include_input_nets > 32CKG_report_power_SW_ck_rst.txt
report_power -net -include_input_nets > 32CKG_report_power_net_SW_ck_rst.txt
set_switching_activity -static_probability 0.15 -toggle_rate 0.025 -base_clock ck {INCA
↪  INCB}
report_power -include_input_nets > 32CKG_report_power_SW_incA_incB.txt
report_power -net -include_input_nets > 32CKG_report_power_net_SW_incA_incB.txt
report_cell > 32CKG_report_cell_SW_incA_incB.txt

sh mkdir WORK
define_design_lib WORK -path ./WORK
analyze -format vhdl ../inccomp_output.vhd
elaborate inccomp_output -architecture behavioral -library WORK
uniquify
compile -exact_map
create_clock -name ck -period 5 {ck}
report_power -include_input_nets > 32noCKGoutput_report_power_noSW.txt
report_power -net -include_input_nets > 32noCKGoutput_report_power_net_noSW.txt
set_switching_activity -static_probability 0.5 -toggle_rate 2 -base_clock ck {ck}
set_switching_activity -static_probability 0 -base_clock ck {rst}
report_power -include_input_nets > 32noCKGoutput_report_power_SW_ck_rst.txt
report_power -net -include_input_nets > 32noCKGoutput_report_power_net_SW_ck_rst.txt
```

```
set_switching_activity -static_probability 0.15 -toggle_rate 0.025 -base_clock ck {INCA INCB}
report_power -include_input_nets > 32noCKGoutput_report_power_SW_incA_incB.txt
report_power -net -include_input_nets > 32noCKGoutput_report_power_net_SW_incA_incB.txt
report_cell > 32noCKGoutput_report_cell_SW_incA_incB.txt

remove_design -designs
analyze -format vhdl ../inccomp_output.vhd
elaborate inccomp_output -architecture behavioral -library WORK
uniquify
compile -exact_map -gate_clock
create_clock -name ck -period 5 {ck}
report_power -include_input_nets > 32CKGoutput_report_power_noSW.txt
report_power -net -include_input_nets > 32CKGoutput_report_power_net_noSW.txt
set_switching_activity -static_probability 0.5 -toggle_rate 2 -base_clock ck {ck}
set_switching_activity -static_probability 0 -base_clock ck {rst}
report_power -include_input_nets > 32CKGoutput_report_power_SW_ck_rst.txt
report_power -net -include_input_nets > 32CKGoutput_report_power_net_SW_ck_rst.txt
set_switching_activity -static_probability 0.15 -toggle_rate 0.025 -base_clock ck {INCA INCB}
report_power -include_input_nets > 32CKGoutput_report_power_SW_incA_incB.txt
report_power -net -include_input_nets > 32CKGoutput_report_power_net_SW_incA_incB.txt
report_cell > 32CKGoutput_report_cell_SW_incA_incB.txt
```

B.1.2 Sintesi del comparatore (modificato)

```
sh mkdir WORK
define_design_lib WORK -path ./WORK
remove_design -designs

analyze -format vhdl ../inccomp_output.vhd
elaborate inccomp_output -architecture behavioral -library WORK
uniquify
compile -exact_map
create_clock -name ck -period 5 {ck}
report_power -include_input_nets > 32noCKGoutput_report_power_noSW.txt
report_power -net -include_input_nets > 32noCKGoutput_report_power_net_noSW.txt
set_switching_activity -static_probability 0.5 -toggle_rate 2 -base_clock ck {ck}
set_switching_activity -static_probability 0 -base_clock ck {rst}
report_power -include_input_nets > 32noCKGoutput_report_power_SW_ck_rst.txt
report_power -net -include_input_nets > 32noCKGoutput_report_power_net_SW_ck_rst.txt
set_switching_activity -static_probability 0.15 -toggle_rate 0.025 -base_clock ck {INCA INCB}
report_power -include_input_nets > 32noCKGoutput_report_power_SW_incA_incB.txt
report_power -net -include_input_nets > 32noCKGoutput_report_power_net_SW_incA_incB.txt
report_cell > 32noCKGoutput_report_cell_SW_incA_incB.txt

remove_design -designs
analyze -format vhdl ../inccomp_output.vhd
elaborate inccomp_output -architecture behavioral -library WORK
uniquify
compile -exact_map -gate_clock
create_clock -name ck -period 5 {ck}
report_power -include_input_nets > 32CKGoutput_report_power_noSW.txt
report_power -net -include_input_nets > 32CKGoutput_report_power_net_noSW.txt
set_switching_activity -static_probability 0.5 -toggle_rate 2 -base_clock ck {ck}
set_switching_activity -static_probability 0 -base_clock ck {rst}
```

```
report_power -include_input_nets > 32CKGoutput_report_power_SW_ck_rst.txt
report_power -net -include_input_nets > 32CKGoutput_report_power_net_SW_ck_rst.txt
set_switching_activity -static_probability 0.15 -toggle_rate 0.025 -base_clock ck {INCA
↪  INCB}
report_power -include_input_nets > 32CKGoutput_report_power_SW_incA_incB.txt
report_power -net -include_input_nets > 32CKGoutput_report_power_net_SW_incA_incB.txt
report_cell > 32CKGoutput_report_cell_SW_incA_incB.txt
```

B.2 Sintesi con annotazione automatica delle attività

B.2.1 Sintesi preliminare, generazione del file *.sdf* e della *netlist*

```
sh mkdir WORK
define_design_lib WORK -path ./WORK
remove_design -designs

analyze -format vhdl ../inccomp.vhd
elaborate inccomp -architecture behavioral -library WORK
uniquify
compile -exact_map
write -hierarchy -format ddc -output inccomp.ddc
ungroup -all -flatten
change_names -hierarchy -rules verilog
write_sdf ../inccomp.sdf
write -f verilog -hierarchy -output ../inccomp_netlist.v
```

B.2.2 Simulazione ModelSim e generazione del file *.vcd* (script *forward.do*)

```
# Loads the technological library and the SDF, resolution is ps
vsim -voptargs=+acc -L /eda/dk/nangate45/verilog/qsim2020.4 -sdftyp
↪  /tbinccomp/DUT=../inccomp.sdf work.tbinccomp -t ps +nowarnTSCALE

add wave *

# Generates the VCD file and add all the DUT signals
vcd file ../inccomp.vcd
vcd add /tbinccomp/DUT/*

# runs the simulation
run 2000ns
```

B.2.3 Sintesi con lettura del file *.saif* (script *backward.do*)

```
read_ddc inccomp.ddc
create_clock -name "clock" -period 5 {ck}

# Reads data from backward.saif file...
# THE CLOCK IN THE TESTBENCH MUST BE THE SAME AS THE CLOCK 'CK'
# DECLARED UNDER DESIGN VISION!!
read_saif -input ../backward.saif -instance tbinccomp/DUT -unit ns -scale 1

report_power -include_input_nets -net > 32_report_power_net_saif.txt
```

C Descrizione dell'hardware

C.1 Clock gating di una coppia di D flip-flop

C.1.1 D flip-flop

```
library IEEE;
use IEEE.std_logic_1164.all;

entity FD is
  port (
    D     : in std_logic;
    CK    : in std_logic;
    RESET : in std_logic;
    Q     : out std_logic);
end FD;

architecture PIPPO of FD is -- flip flop D con reset SINCRONO

begin
  PSYNCH : process (CK, RESET)
  begin
    if CK'event and CK = '1' then -- positive edge triggered:
      if RESET = '1' then           -- reset sincrono attivo alto
        Q <= '0';
      else
        Q <= D after 0.1 ps; -- copia l'ingresso sull'uscita
      end if;
    end if;
  end process;

end PIPPO;

architecture PLUTO of FD is -- flip flop D con reset ASINCRONO

begin

  PASYNCH : process (CK, RESET)
  begin
    if RESET = '1' then -- reset asincrono attivo alto
      Q <= '0';
    elsif CK'event and CK = '1' then -- positive edge triggered:
      Q <= D after 0.1 ps;             -- copia l'ingresso sull'uscita
    end if;
  end process;

end PLUTO;

configuration CFG_FD_PIPPO of FD is
  for PIPPO
  end for;
end CFG_FD_PIPPO;
configuration CFG_FD_PLUTO of FD is
  for PLUTO
  end for;
end CFG_FD_PLUTO;
```

C.1.2 Top level entity

```
library IEEE;
use IEEE.std_logic_1164.all;
use WORK.all;

entity CKGBUG is
end CKGBUG;

architecture TEST of CKGBUG is

  constant BYTE : natural := 8;

  signal CK     : std_logic                           := '0';
  signal RESET  : std_logic                           := '0';
  signal D1     : std_logic_vector(BYTE - 1 downto 0) := ('0', others => '1');
  signal D2     : std_logic_vector(0 to BYTE - 1)     := (others      => '0');
  signal D3     : std_logic_vector(BYTE - 1 downto 0) := (others      => '1');
  signal ENABLE : std_logic                           := '1';
  signal STROBE : std_logic;
  signal Q      : std_logic;

  component FD
    port (
      CK    : in std_logic;
      RESET : in std_logic;
      D     : in std_logic;
      Q     : out std_logic);
  end component;

begin
  L1 : for I in 1 to BYTE generate
    REG1 : FD port map(CK, RESET, D1(I - 1), D2(I - 1));
  end generate;
  L2 : for I in 1 to BYTE generate
    REG2 : FD port map(STROBE, RESET, D2(I - 1), D3(I - 1));
  end generate;

  STROBE <= CK and ENABLE after 0.2 ps;

  --RESET <= '0', '1' after 0.6 ns, '0' after 1.1 ns, '1' after 2.2 ns, '0' after 3.2 ns;
  RESET <= '1' after 0.1 ns, '0' after 0.2 ns;

  --D <= '0' after 0 ns, '1' after 0.4 ns, '0' after 1.1 ns, '1' after 1.4 ns;
  --ENABLE <= '1' after 0 ns, '0' after 4.4 ns;

  PCLOCK : process (CK)
  begin
    CK <= not(CK) after 0.5 ns;
  end process;

end TEST;

configuration CFG_CKGBUG_TEST of CKGBUG is
  for TEST
    for L1
      for all : FD
```

```
        use configuration WORK.CFG_FD_PLUTO;
      end for;
    end for;
    for L2
      for all : FD
        use configuration WORK.CFG_FD_PLUTO;
      end for;
    end for;

  end for;
end CFG_CKGBUG_TEST;
```

C.2 Clock gating di un comparatore a incremento

C.2.1 Descrizione VHDL originale

```
library IEEE;
use IEEE.std_logic_1164.all;
use IEEE.std_logic_signed.all;

entity inccomp is
  port (
    C    : out std_logic_vector(7 downto 0);
    ck   : in std_logic;
    rst  : in std_logic;
    INCA : in std_logic;
    INCB : in std_logic);
end inccomp;

architecture behavioral of inccomp is

  signal syncha, synchb : std_logic_vector(7 downto 0);

begin

  p1 : process (ck, rst)
    variable tmpa, tmpb : std_logic_vector(7 downto 0);
  begin
    if rst = '1' then -- reset asincrono
      syncha <= (others => '0');
      synchb <= (others => '0');
      C      <= (others => '0');
    elsif (ck'event and ck = '1') then -- fronte salita CK
      tmpa := syncha;
      tmpb := synchb;

      -- incremento A
      if INCA = '1' then
        syncha <= syncha + 1;
        tmpa := tmpa + 1;
      end if;

      -- incremento B
      if INCB = '1' then
        synchb <= synchb + 1;
        tmpb := tmpb + 1;
      end if;
```

```

      -- comparazione tra A e B
      if ((tmpa) > (tmpb)) then -- no ck gating sull'uscita
        C <= tmpa;
      else
        C <= tmpb;
      end if;
    end if;
  end process;
end behavioral;
```

C.2.2 Descrizione VHDL modificata

```
library IEEE;
use IEEE.std_logic_1164.all;
use IEEE.std_logic_signed.all;

entity inccomp_output is
  port (
    C    : out std_logic_vector(7 downto 0);
    ck   : in std_logic;
    rst  : in std_logic;
    INCA : in std_logic;
    INCB : in std_logic);
end inccomp_output;

architecture behavioral of inccomp_output is

  signal syncha, synchb : std_logic_vector(7 downto 0);
  signal INCC           : std_logic;

begin

  INCC <= INCA or INCB;

  p1 : process (ck, rst)
    variable tmpa, tmpb, tmpc : std_logic_vector(7 downto 0);

  begin

    if rst = '1' then -- reset asincrono
      syncha <= (others => '0');
      synchb <= (others => '0');
      C      <= (others => '0');
    elsif (ck'event and ck = '1') then -- fronte salita CK
      tmpa := syncha;
      tmpb := synchb;

      -- incremento A
      if INCA = '1' then
        syncha <= syncha + 1;
        tmpa := tmpa + 1;
      end if;

      -- incremento B
      if INCB = '1' then
        synchb <= synchb + 1;
```

```
        tmpb := tmpb + 1;
      end if;

      -- comparazione variable
      if ((tmpa) > (tmpb)) then
        tmpc := tmpa;
      else
        tmpc := tmpb;
      end if;

      -- clock gating sull'uscita
      if INCC = '1' then
        C <= tmpc;
      end if;
    end if;
  end process;
end behavioral;
```

C.2.3 Testbench (Verilog)

```
`timescale 1ns/1ps
module tbinccomp();

  wire [7:0] C;
  reg ck, rst, INCA, INCB;

  inccomp DUT ( // dichiarazione DUT (analogo a dichiarazione component in VHDL)
    .C(C),
    .ck(ck),
    .rst(rst),
    .INCA(INCA),
    .INCB(INCB)
  );

  initial
  begin
    rst = 1; INCA = 0; INCB = 0;
    #2; rst = 1;  // at time 0.1 reset = 1
    #5; rst = 0;
    #5; INCA = 1;
    #16; INCB = 1;
    #22; INCA = 0;
  end

  always
  begin
  ck = 1'b1;
    #2.5;
  ck = 1'b0;
    #2.5;
  end

endmodule
```

D Script MATLAB

```
close all,
clearvars,
clc
format long

%% Dati (@ 1V, 5 MHz)
% ritardi [ns]
t_reg = 2;
t_inc = 48;
t_comp = 78;
t_mux = 12;

% potenza [uW]
P_reg = 0.5;
P_inc = 2.35;
P_comp = 2.4;
P_mux2 = 1.72; % mux2to1
P_mux4 = 3 * P_mux2; % mux4to1

% area [um^2]
A_reg = 309;
A_inc = 230;
A_comp = 148;
A_mux2 = 123; % mux2to1
A_mux4 = 3 * A_mux2; % mux4to1

% definizione vettori
delay = zeros(1, 6);
target_delay = zeros(1, 6);
sup = zeros(1, 6);
power = zeros(1, 6);
u_min = zeros(1,6);
Vdd_min = zeros(1,6);
P_min = zeros(1,6);

%% Circuito originale
N = 1; % datapath in parallelo
f_ref = 5; % frequenza di clock [MHz]
T_ref = (1 / f_ref) * 1e3; % periodo di clock/ritardo massimo [ns]
Vth = 0.25; % tensione di soglia [V]
Vddnom = 4 * Vth; % tensione di alimentazione nominale [V]
delay_ref = t_reg + t_inc + t_comp + t_mux; % ritardo [ns]
power_ref = 3 * P_reg + 2 * P_inc + P_comp + P_mux2; % potenza consumata [uW]
area_ref = 3 * A_reg + 2 * A_inc + A_comp + A_mux2; % occupazione d'area [um^2]

%% CASO 1 (1 DP, 0 pipe), circuito originale
% percorso critico = uguale a circuito originale
% frequenza = f_ref (la concorrenza è rimasta invariata)
% # blocchi = 3 reg, 2 inc, 1 comp, 1 mux2to1
delay(1) = delay_ref; % [ns]
target_delay(1) = T_ref; % 200 ns
sup(1) = area_ref;
power(1) = power_ref;

%% CASO 2 (1 DP, 1 pipe)
% percorso critico = pipe reg + comp + mux2to1
```

```
% frequenza = f_ref (la concorrenza è rimasta invariata)
% # blocchi = architettura originale + 2 pipe reg
delay(2) = t_reg + t_comp + t_mux; % [ns]
target_delay(2) = T_ref; % 200 ns
sup(2) = area_ref + 2 * A_reg;
power(2) = power_ref + 2 * P_reg;

%% CASO 3 (2 DP, 0 pipe)
% percorso critico = uguale a circuito originale
% frequenza = f_ref/2 perché la concorrenza è raddoppiata
% # blocchi = architettura originale raddoppiata + mux2to1 di uscita
delay(3) = delay_ref; % [ns]
target_delay(3) = 2 * T_ref; % 400 ns
sup(3) = 2 * area_ref + A_mux2;
power(3) = power_ref + P_mux2;

%% CASO 4 (2 DP, 1 pipe)
% percorso critico = pipe reg + comp + mux2to1
% frequenza = f_ref/2 perché la concorrenza è raddoppiata
% # blocchi = architettura originale raddoppiata + 4 pipe reg + mux2to1 di uscita
delay(4) = t_reg + t_comp + t_mux; % [ns]
target_delay(4) = 2 * T_ref; % 400 ns
sup(4) = 2 * area_ref + 4 * A_reg + A_mux2;
power(4) = power_ref + 4 * P_reg + P_mux2;

%% CASO 5 (2 DP, 2 pipe)
% percorso critico = pipe reg + comp
% frequenza = f_ref/2 perché la concorrenza è raddoppiata
% # blocchi = architettura originale raddoppiata + 10 pipe reg + mux2to1 di uscita
delay(5) = t_reg + t_comp; % [ns]
target_delay(5) = 2 * T_ref; % 400 ns
sup(5) = 2 * area_ref + 10 * A_reg + A_mux2;
power(5) = power_ref + 10 * P_reg + P_mux2;

%% CASO 6 (4 DP, 0 pipe)
% percorso critico = uguale a circuito originale
% frequenza = f_ref/4 perché la concorrenza è quadruplicata
% # blocchi = architettura originale quadruplicata + mux4to1 di uscita
delay(6) = delay_ref;
target_delay(6) = 4 * T_ref; % 800 ns
sup(6) = 4 * area_ref + A_mux4;
power(6) = power_ref + P_mux4;

%% Minimizzazione dei consumi e visualizzazione risultati
for i = 1:6
    [u_min(i), Vdd_min(i), P_min(i)] = minpower(Vddnom, delay(i), target_delay(i),
    power(i));
    fprintf('CASO %d:\n', i)
    printoutput(delay(i), target_delay(i), sup(i), power(i), u_min(i), P_min(i));
end

%% Rappresentazione grafica
t_normalized = @(u) (0.75 * u) ./ (u - 0.25); % t/tnom
P_normalized = @(u) u.^2; % P/Pnom
u_vec = linspace(0.27,1, 1e4);

figure
yyaxis left
plot(u_vec, t_normalized(u_vec), LineWidth=1.5)
```

```
hold on
plot(u_min, t_normalized(u_min), 'o')
ylabel('t/t_{nom}')
yyaxis right
plot(u_vec, P_normalized(u_vec), LineWidth=1.5)
plot(u_min, P_normalized(u_min), 'o')
ylabel('P/P_{nom}')
grid on
xlabel('u')
xlim([min(u_vec) max(u_vec)])
for i = 1:6
    xline(u_min(i), LineWidth=0.3, LineStyle='-')
end
fig = gcf;
fig.Position(3:4)=[850,450];
exportgraphics(gcf,'delay_power.pdf')

%% Funzione per stampa output
function printoutput(d, td, A, P, u, Pmin)
    fprintf('Delay critical path: %.0f ns\n', d);
    fprintf('Frequenza massima: %.2f MHz\n', 1e3/d);
    fprintf('Target delay: %.0f ns\n', td);
    fprintf('Area occupata: %.0f um^2\n', A);
    fprintf('Consumo di potenza: %.2f uW\n', P);
    fprintf('Fattore di riduzione di Vdd: %.2f\n', u);
    fprintf('Consumo di potenza minimo: %.2f uW\n', Pmin);
    fprintf('\n');
end

%% Funzione per calcolare i consumi minimi
function [u_min, Vdd_min, power_min] = minpower(Vddnom, d, td, P)
    u_min = (td / d) * (td / d - 0.75)^(-1) * 0.25; % Vdd/Vddnom
    Vdd_min = Vddnom * u_min; % Vdd minima
    power_min = P * u_min^2; % potenza minima
end
```

DIPARTIMENTO DI ELETTRONICA E TELECOMUNICAZIONI
Corso di Laurea Magistrale in Ingegneria Elettronica

Sistemi Elettronici a Basso Consumo
LABORATORIO 4

Bus encoding

Prof. Maurizio Zamboni

6 maggio 2024
Gruppo 8
Laboratorio LED2

Bricco Letizia 328719
Caviasso Lorenzo 331706
Olivieri Vincenzo 324328

A.A. 2023/2024

Indice

1 Modello teorico **3**
1.1 Codifica *bus invert* . . . 4
1.2 Codifica *transition based* . . . 5
1.3 Codifica Gray . . . 6
1.4 Codifica T0 . . . 7

2 Simulazione **8**

3 Sintesi e risultati ottenuti **10**
3.1 Sintesi . . . 10
3.2 Analisi e conclusioni . . . 12

A Report ModelSim **17**
A.1 Non-encoded bus (indirizzi) . . . 17
A.2 Non-encoded bus (dati) . . . 17
A.3 Codifica *bus invert* (indirizzi) . . . 18
A.4 Codifica *bus invert* (dati) . . . 18
A.5 Codifica *transition based* (indirizzi) . . . 19
A.6 Codifica *transition based* (dati) . . . 20
A.7 Codifica Gray (indirizzi) . . . 20
A.8 Codifica Gray (dati) . . . 21
A.9 Codifica T0 (indirizzi) . . . 22
A.10 Codifica T0 (dati) . . . 22

B Report Synopsys **24**
B.1 Non-encoded bus . . . 24
B.1.1 Indirizzi, carico 1 fF . . . 24
B.1.2 Dati, carico 1 fF . . . 25
B.2 Codifica *bus invert* . . . 28
B.2.1 Indirizzi, carico 1 fF . . . 28
B.2.2 Dati, carico 1 fF . . . 31
B.3 Codifica *transition based* . . . 36
B.3.1 Indirizzi, carico 1 fF . . . 36
B.3.2 Dati, carico 1 fF . . . 38
B.4 Codifica Gray . . . 42
B.4.1 Indirizzi, carico 1 fF . . . 42
B.4.2 Dati, carico 1 fF . . . 44
B.5 Codifica T0 . . . 47
B.5.1 Indirizzi, carico 1 fF . . . 47
B.5.2 Dati, carico 1 fF . . . 50

C Scripting **54**
C.1 Automatizzazione della simulazione ModelSim . . . 54
C.2 Automatizzazione della sintesi . . . 54
C.2.1 `definitions.scr` . . . 54
C.2.2 `create_sdf.scr` . . . 55
C.2.3 `fill_forward.scr` . . . 56

C.2.4 `backward_all.scr` 56
C.2.5 `backward.scr` 57
C.2.6 `save_power_report.scr` 57

D Descrizione dell'hardware **58**
D.1 Non-encoded bus (VHDL) 58
D.2 Codifica *bus invert* (VHDL) 58
D.3 Codifica *transition based* (VHDL) 60
D.4 Codifica Gray (VHDL) 61
D.5 Codifica T0 (VHDL) 62
D.6 Testbench (Verilog) 63

Sommario

Questa esperienza di laboratorio si propone di analizzare i principali metodi di ottimizzazione dei consumi durante la trasmissione dati su un bus. In particolare, sono state studiate alcune tecniche di codifica delle informazioni trasmesse sulla linea: *bus invert*, *transition based*, Gray e T0. Come riferimento è stata utilizzata la performance di un bus standard, sul quale i dati vengono inviati senza alcun tipo di codifica.

Il report è articolato in tre parti.

1. Nella Sezione 1, sono state presentate brevemente le tecniche di codifica in esame, con i relativi vantaggi e svantaggi dal punto di vista delle prestazioni e dei consumi per la trasmissione di dati e indirizzi.
2. Nella Sezione 2, le varie tipologie di bus sono state simulate per calcolare l'attività dei nodi e, quindi, valutare le performance dal punto di vista del numero di transizioni.
3. Nella Sezione 3, le informazioni sulla *switching activity* ricavate in fase di simulazione sono state utilizzate per sintetizzare l'architettura e valutare i consumi di potenza dovuti alla trasmissione sul bus, all'encoder e al decoder.

L'esperienza è stata condotta in ambiente Unix sul server `led-x3850-2.polito.it`, su cui è presente il sistema operativo CentOS 7.

Le simulazioni sono state effettuate con il software Questa Sim by Menthor Graphics che, contrariamente alla versione di ModelSim comunemente in uso agli studenti, consente di analizzare l'hardware dal punto di vista dell'attività e del rate di commutazione dei segnali.

Le operazioni di sintesi, invece, sono state condotte con il tool Synopsys Design Compiler e l'interfaccia grafica Synopsys Design Vision.

1 Modello teorico

In un sistema elettronico, il canale tipico utilizzato per la trasmissione delle informazioni è il **bus**. I dati che viaggiano su di esso sono soggetti a commutazioni che contribuiscono ai consumi di potenza del sistema; per questo motivo, spesso i bus rappresentano un "collo di bottiglia" in termini di prestazioni e consumi e, che si lavori in ottica *high speed* o *low power*, è fondamentale cercare di ridurne l'attività.

Per progettare un bus a basso consumo, si può lavorare a livello fisico e architetturale scegliendo opportunamente le caratteristiche dei driver (open collector, tri state, ...), le dimensioni del bus o applicando il metodo della *bus segmentation*; tali tecniche, se applicate in maniera oculata, possono portare a risparmi di potenza dell'ordine del 60%.

Per ottenere risultati ancora più significativi, tuttavia, è necessario agire sull'**ordine** con cui vengono inviati i dati o aggiungere un livello di **codifica dell'informazione** con l'obiettivo di ridurre l'attività sul bus: in pratica, i dati vengono codificati in modo da ridurne il numero di commutazioni e far sì che la switching activity sia inferiore rispetto alla situazione di partenza.

Prima di analizzare le tecniche di codifica più comuni, è doveroso fare le seguenti precisazioni.

- Le tecniche che verranno presentate non sono universali, ma i loro vantaggi e svantaggi dipendono fortemente dalla statistica dei dati che viaggiano sul bus.

  La scelta della codifica da utilizzare, quindi, dipende fortemente dal tipo di informazione che si sta trasmettendo, come i risultati delle simulazioni (Sezione 2) e della sintesi (Sezione 3) metteranno chiaramente in luce.

  Per rendere più chiara la trattazione teorica, si può già anticipare che i **dati** sono tipicamente caratterizzati da statistiche pseudo-casuali, mentre gli **indirizzi** vengono selezionati quasi sempre in maniera sequenziale.

- Per valutare la bontà di una codifica, non basta studiare la dissipazione di potenza sul bus, ma bisogna valutare anche il costo dell'encoder e del decoder; infatti, in alcuni casi questi ultimi potrebbero risultare troppo complessi e annullare completamente i vantaggi introdotti dalla codifica delle informazioni.

A prescindere dal tipo di codifica adottato, siano

- $b^{(t)}$ (n bit), l'informazione da trasmettere sul bus, non codificata;
- $B^{(t)}$, (m bit), la versione codificata di $b^{(t)}$.

A seconda della relazione tra n e m, è possibile suddividere le codifiche in due categorie principali, che si differenziano per la compatibilità con i protocolli standard di trasmissione.

Codifiche non ridondanti. L'informazione da trasmettere viene codificata usando le stesse linee dei dati di ingresso ($m = n$); pertanto, si tratta di una codifica compatibile con gli standard commerciali.

Codifiche ridondanti. L'informazione da trasmettere è codificata con un numero di linee maggiore rispetto ai dati di ingresso ($m > n$), privilegiando la bontà della codifica rispetto alla compatibilità con gli standard commerciali.

Di seguito, sono elencate e descritte le codifiche più comuni, che verranno analizzate mediante simulazione e sintesi nei paragrafi successivi; le loro caratteristiche principali sono riassunte nella Tabella 1.1.

1.1 Codifica *bus invert*

È un tipo di codifica **ridondante** in cui il valore del dato inviato sul bus dipende dalla distanza di Hamming[1] tra la parola da trasmettere e la parola precedente. A tale scopo, si può definire il segnale di controllo INV:

$$\text{INV} := \begin{cases} 0 & \text{se } \mathcal{H}\left(b^{(t)}, b^{(t-1)}\right) < \dfrac{n}{2} \\ 1 & \text{se } \mathcal{H}\left(b^{(t)}, b^{(t-1)}\right) \geq \dfrac{n}{2} \end{cases} \tag{1.1}$$

In particolare, se INV $= 1$ l'informazione da trasmettere viene complementata, in caso contrario resta invariata; inoltre, insieme alla codifica viene inviato il bit di controllo INV per avvertire la destinazione se il dato viaggia invertito oppure no.

In definitiva, l'informazione trasmessa sul bus, codificata su $m = n + 1$ bit, è la seguente:

$$B^{(t)} = \begin{cases} \text{INV} \,\&\, b^{(t)} & \text{se INV} = 0 \\ \text{INV} \,\&\, \overline{b^{(t)}} & \text{se INV} = 1 \end{cases} \tag{1.2}$$

In questo modo, durante ogni ciclo di clock si avranno al massimo $n/2$ commutazioni e il risparmio di potenza rispetto alla trasmissione non codificata, in percentuale, è dato da:

$$\frac{\mathcal{H}\left(b^{(t)}, b^{(t-1)}\right)}{n+1} \times 100\,\%. \tag{1.3}$$

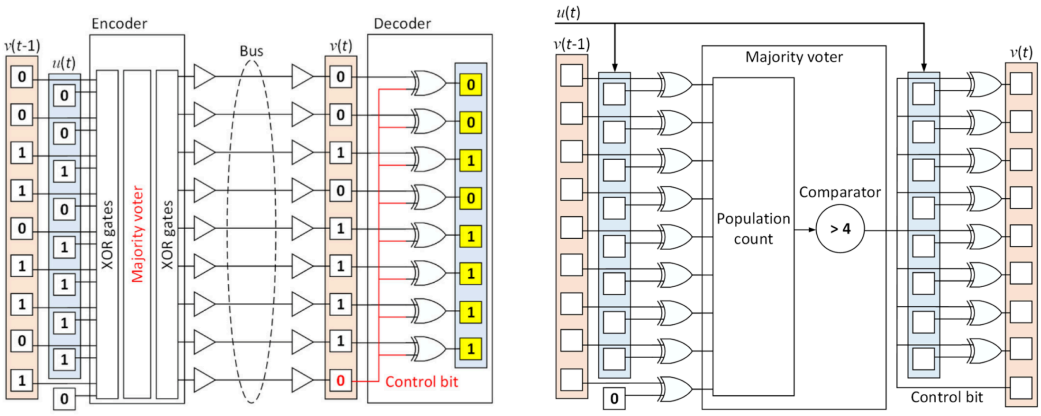
Notiamo che i circuiti di codifica e decodifica presentano delle **asimmetrie**; infatti, come si può vedere dalla figura 1.1, sono realizzati come segue:

[1] La distanza di Hamming tra due numeri X e Y, che si denota con $\mathcal{H}(X, Y)$, è il numero di posizioni in cui X e Y differiscono.

- **Circuito di codifica**:
  - bitwise XOR tra $b^{(t)}$ e $b^{(t-1)}$ per determinare le posizioni in cui si verifica una commutazione;
  - *majority voter*, costituito da un sommatore per il calcolo $\mathcal{H}\left(b^{(t)}, b^{(t-1)}\right)$ e da un comparatore per confrontare la distanza di Hamming con $n/2$ e stabilire il valore del segnale di controllo INV, come mostrato in dettaglio nella Figura 1.1b.
- **Circuito di decodifica**: bitwise XOR tra il dato codificato $B^{(t)}$ e INV.

La mancanza di simmetria tra i due circuiti potrebbe rivelarsi svantaggiosa perché il circuito di codifica rappresenta un "collo di bottiglia" dal punto di vista dei consumi; tuttavia, se la codifica fosse effettuata a parte, su una macchina che non presenta criticità dal punto di vista della disponibilità energetica, questa tecnica potrebbe rivelarsi la soluzione ideale.

Al di là del costo energetico dei circuiti di codifica e decodifica, il risparmio, ovviamente, è tanto maggiore quanto più le informazioni da inviare sul bus sono **scorrelate** tra loro; in questo caso, infatti, la probabilità che più del 50% dei bit commuti è abbastanza elevata.



(a) Encoder e decoder **(b)** Encoder, dettaglio

Figura 1.1: Rappresentazione schematica dei circuiti di codifica e decodifica secondo la tecnica *bus invert* per la trasmissione di dati su 8 bit.

1.2 Codifica *transition based*

È un tipo di codifica **non ridondante** che, a differenza delle altre tecniche, non si basa sul livello del segnale bensì sulle sue *transizioni*; infatti, la *switching activity* associata ad ogni linea è data da

$$E_{\text{sw}} := \mathbb{P}(0)\,\mathbb{P}(1) + \mathbb{P}(1)\,\mathbb{P}(0) = 2\mathbb{P}(1)\,\mathbb{P}(0) \tag{1.4}$$

In caso di forte sbilanciamento tra le rispettive probabilità dei dati trasmessi, i.e., $\mathbb{P}(0) \gg \mathbb{P}(1)$ o $\mathbb{P}(1) \gg \mathbb{P}(0)$, l'algoritmo di codifica prevede di far commutare esclusivamente le linee del bus poste al valore logico che si verifica meno di frequente.

Un esempio di applicazione è costituito dai **bus dati delle memorie**, in cui $\mathbb{P}(0) \gg \mathbb{P}(1)$ perché gli zeri rappresentano circa il 90% dei dati trasmessi; pertanto, l'algoritmo di codifica prevede di far commutare le linee che assumono il valore logico '1' e di lasciare "congelate" quelle

che, invece, sono poste a '0'; tale algoritmo è facilmente implementabile per ogni bit del dato da trasmettere mediante l'operatore logico XOR:

$b_i^{(t)}$	$B_i^{(t-1)}$	$B_i^{(t)} = b_i^{(t)} \oplus B_i^{(t-1)}$
0	0	0
0	1	1
1	0	1
1	1	0

(1.5)

I circuiti di codifica e decodifica, mostrati in Figura 1.2, sono costituiti, per ogni linea del bus, da una porta XOR e da un flip-flop chiuso in retroazione su uno degli ingressi.

In caso di statistiche di ingresso fortemente scorrelate, la tecnica appena esposta può essere usata in combinazione con altri tipi di codifica: dapprima si riduce il numero di commutazioni sul bus applicando una delle classiche strategie *level-based* (e.g., *bus invert*), dopo di che si riduce ulteriormente la *switching activity* con la codifica *transition-based*.

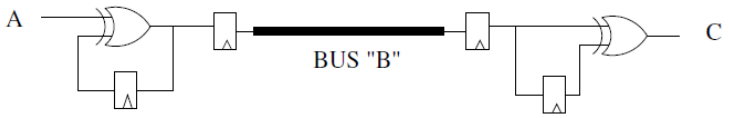


Figura 1.2: Codifica *transition based*.

1.3 Codifica Gray

Si tratta di una codifica **non ridondante** che riduce ad 1 la distanza di Hamming tra un dato e il precedente in caso di accessi sequenziali per minimizzare il numero di commutazioni sul bus.

I circuiti di codifica e decodifica sono realizzati con delle porte XOR e dei registri disposti come in Figura 1.3; la funzione di codifica può essere scritta bit a bit con la seguente funzione:

$$B_i^{(t)} = \begin{cases} b_i^{(t-1)} & i = n-1 \\ b_i^{(t-1)} \oplus b_{i+1}^{(t-1)} & i = 0, \dots, n-2 \end{cases} \tag{1.6}$$

Appare chiaro che questa tecnica, contrariamente alla *bus invert*, è tanto più conveniente quanto più le informazioni trasmette sul bus si evolvono **in sequenza**; in tal caso, infatti, tra una parola e l'altra una sola linea del bus è soggetta a commutazione; viceversa, se i dati sono fortemente scorrelati l'utilizzo della codifica Gray potrebbe risultare controproducente.

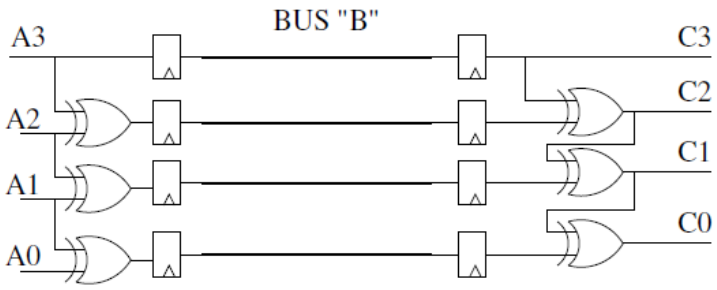


Figura 1.3: Codifica Gray.

1.4 Codifica T0

Si tratta di una codifica **ridondante** in cui il valore del dato inviato sul bus dipende dalla differenza tra la parola da trasmettere e la parola precedente. A tale scopo, si può definire un bit di incremento INC:

$$\text{INC} = \begin{cases} 1 & \text{se } b^{(t)} = b^{(t-1)} + \mathcal{S} \\ 0 & \text{altrimenti} \end{cases} \tag{1.7}$$

dove $\mathcal{S}$ prende il nome di *stride value* e, nel gergo delle memorie, rappresenta la distanza tra due valori consecutivi inviati sequenzialmente sul bus.

Questo significa che, in caso di accessi sequenziali (INC = 1), si continua ad inviare sul bus sempre la stessa informazione, mentre in caso di salto (INC = 0) si trasmette il nuovo dato; in simboli, la funzione di codifica può essere scritta come segue:

$$B^{(t)} = \begin{cases} \text{INC} \,\&\, b^{(t)} & \text{se INC} = 0 \\ \text{INC} \,\&\, B^{(t-1)} & \text{se INC} = 1 \end{cases} \tag{1.8}$$

È ora possibile analizzare la struttura dei circuiti di codifica e decodifica, entrambi riportati in Figura 1.4.

- **Circuito di codifica**: ad ogni colpo di clock, $b^{(t-1)}$ viene incrementato di una quantità pari allo *stride value* con il sommatore +S e confrontato con il dato corrente $b^{(t)}$ mediante il comparatore EQ; se i due valori coincidono viene attivato INC, altrimenti viene deasserito; il bit di incremento, a sua volta, pilota un multiplexer che seleziona il valore da trasmettere sul bus tra $B^{(t-1)}$ o $b^{(t)}$.

- **Circuito di decodifica**: un multiplexer, pilotato da INC, sceglie se inviare in uscita $B^{(t)}$ (INC = 0) o $b^{(t-1)} + 1$ (INC = 1).

L'enorme vantaggio di questa tecnica è che, in caso di **accessi puramente sequenziali**, il numero di commutazioni si riduce enormemente rispetto al caso senza codifica, consentendo una riduzione della potenza superiore al 60%.

D'altra parte, il fatto che si tratti di una codifica ridondante la rende incompatibile con i bus standard; inoltre, i circuiti di codifica e decodifica non sono semplicissimi e possono avere dei consumi significativi, di cui tenere conto nel bilancio generale.

Esistono due evoluzioni della codifica appena esposta.

Codifica T0-BI. Il dato viene inviato sul bus insieme al bit di inversione della codifica *bus invert* e al bit di incremento della codifica T0; in questo modo, si riescono a gestire in maniera efficiente sia gli accessi scorrelati (INV = 1, invio del dato complementare), sia gli accessi sequenziali (INC = 1, trasmissione della parola precedente); lo svantaggio, a parte l'aumento della ridondanza, è rappresentato dal raddoppiamento della complessità dei circuiti di codifica e decodifica, di cui si deve tenere conto nel bilancio complessivo dell'area e dei consumi.

Codifica T0-C. È molto simile alla codifica T0 classica, ma si elimina la ridondanza e si riesce a risparmiare circa il 15% di energia. Grazie ad una leggera complicazione dell'hardware, infatti, è possibile gestire in modo semplice l'invio di indirizzi in loop, evitando i consumi aggiuntivi che la codifica T0 introduce durante il salto dall'ultimo indirizzo di un'iterazione al primo indirizzo del ciclo successivo.

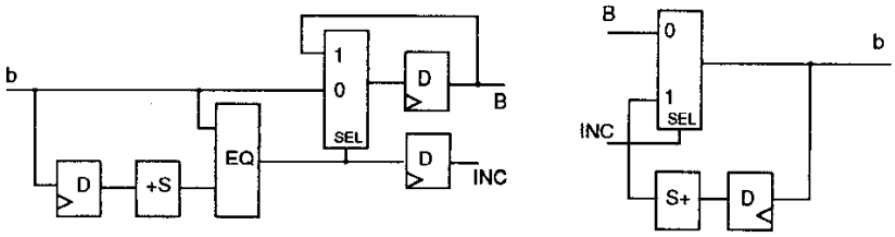


Figura 1.4: Codifica T0. A sinistra si può osservare il circuito di codifica, mentre a destra è riportato quello di decodifica.

Tabella 1.1: Riassunto delle principali caratteristiche delle tecniche di codifica più importanti.

Tipo di codifica	Ridondanza	Statistica ottimale	Tipo di bus ottimale
Bus invert	sì	accessi scorrelati	dati
Trans. based	no	prevalenza di '0' (o '1')	dati
Gray	no	accessi sequenziali	indirizzi
T0	sì	accessi sequenziali	indirizzi

2 Simulazione

I bus con le codifiche descritte nella Sezione 1 (*bus invert*, *transition based*, *Gray*, *T0*) sono stati simulati su ModelSim per stimare le rispettive switching activity. I codici VHDL che descrivono i bus, riportati in Appendice D, sono stati forniti già completi, fatta eccezione per il codice del bus T0, che è stato realizzato rispettando la struttura della *entity* degli altri bus:

- il segnale A è il numero in ingresso al bus, prima dell'encoder;
- il segnale B è il numero che viene trasmesso sul bus, ovvero è il segnale A opportunamente codificato;
- il segnale C è il numero in uscita dal bus, dopo il decoder.

Avendo tutte le entity dei bus strutturate allo stesso modo, è stato possibile istanziare tutti i *component* nello stesso file di testbench e confrontare il numero di commutazioni fornendo a tutti i bus gli stessi vettori di test.

Per condurre un'analisi significativa, è necessario considerare separatamente il caso in cui il bus trasmette degli indirizzi da quello in cui trasmette dei dati. Questo perchè, in generale, in una unità di elaborazione la statistica dei dati è molto diversa da quella degli indirizzi:

- i dati hanno spesso pattern casuali, tendono a non esibire correlazione tra due valori successivi;
- gli indirizzi hanno un elevato grado di sequenzialità, ovvero se viene mandato il numero N sul bus indirizzi, quasi sicuramente il prossimo numero sarà $N + 1$, a meno che non venga eseguita un'istruzione di *jump*.

Per agevolare il processo di simulazione, il file testbench è stato scritto in modo che generi dei vettori di test con statistiche differenti in funzione di una macro DATA o ADDRESS. I power

report di ModelSim, contenenti il numero di commutazioni T_c di ogni segnale, sono riportati in Appendice A. È stata poi calcolata l'attività di ogni bit del bus per ciascuna codifica come:

$$E_{sw}(i) = \frac{T_c(i)}{T_c(\text{CLK})} \tag{2.1}$$

I risultati sono riassunti nelle Tabelle 2.2 (dati) e 2.1 (indirizzi).

Le switching activity del bus senza codifica rispecchiano le osservazioni fatte sulla statistica di dati e indirizzi:

- nel caso di **dati** senza correlazione e numeri equiprobabili, i bit variano in modo casuale e non c'è differenza tra MSB e LSB: infatti tutte le 8 linee del bus hanno attività pari a 0.5;
- nel caso degli **indirizzi**, le switching activity sono maggiori per i bit meno significativi, basti pensare che, per trasmettere sequenzialmente i 2^N numeri codificabili su N bit, il LSB subisce $2^N - 1$ commutazioni mentre il MSB ne ha solamente una.

La codifica **bus invert** è l'unica che riesce a ridurre l'attività sul bus dati, che passa da 0.5 a 0.36 per tutti i bit, incluso il bit di ridondanza; ovviamente in fase di sintesi sarà necessario verificare che l'introduzione di un bit aggiuntivo non aumenti la potenza consumata tanto da annullare il beneficio ottenuto in termini di riduzione dell'attività.

La stessa codifica è inadeguata alla trasmissione di indirizzi, perché genera un incremento dell'attività dei bit più significativi e riduce limitatamente quella dei bit meno significativi; questo si spiega osservando che per la maggior parte delle transizioni $n \to n + 1$ il numero di bit che commutano è molto inferiore a $N/2$.

La codifica **transition based** ha prestazioni mediocri per i dati e negative per gli indirizzi: l'attività del bus dati resta uguale a quella del bus senza codifica, perché i bit 0 e 1 sono equiprobabili nella generazione casuale dei vettori di test; l'attività del bus indirizzi peggiora drasticamente a partire da quello di peso 2 (MSB passa da 0.01 a circa 0.5), perché andando in sequenza capita spesso di avere bit che restano fissi a 1 per tanti colpi di clock, generando un gran numero di commutazioni non necessarie.

La codifica **Gray** è la migliore, tra le codifiche non ridondanti, per il bus indirizzi: trasmettendo in modo sequenziale, ad ogni colpo di clock c'è una sola commutazione tra tutti i bit del bus, con il risultato che le switching activity si riducono del 50%. Sul bus dati, essendoci una scarsa probabilità che vengano inviati due numeri in sequenza, la codifica Gray non ha effetto e tutte le switching activity rimangono uguali a quelle del bus senza codifica.

Infine, la codifica **T0**, con l'aggiunta di un bit di ridondanza, è in grado di abbassare le attività sul bus indirizzi più della Gray. La switching activity del bus è nulla quando si va in sequenza, le commutazioni avvengono solo quando ci sono dei *jump*.

L'efficacia della codifica T0 è apprezzabile nei timing diagram testbench_noJump e testbench_jump. I segnali `COUNT<codifica>` mostrano le diverse codifiche del numero `ABUSNORM`, per il bus indirizzi.

Si nota che solamente la T0 non fa commutare il bus quando `ABUSNORM` va in sequenza: prima viene inviato il numero 0 e poi viene asserito il bit di incremento (il bit ridondante del bus, infatti $100000000 = 256$) per comunicare al ricevitore che, ad ogni colpo di clock, il numero decodificato può essere generato aggiungendo 1 a quello precedente.

Ci sono commutazioni sul bus T0 solo quando il segnale `ABUSNORM` fa un salto $63 \to 192$: in questo caso prima si trasmette in chiaro l'indirizzo a cui saltare e poi si riporta a 1 il bit di incremento per continuare ad andare in sequenza senza bisogno di ulteriori commutazioni ($256 \to 192 \to 448$, dove $448 = 192 + 256$).

Ovviamente, per costruzione, la T0 non codifica nulla nel caso in cui i numeri trasmessi siano casuali, da cui l'inefficacia di questa tecnica nel ridurre l'attività sul bus dati.

Tabella 2.1: Switching activity del bus indirizzi.

	BIT								
	8	7	6	5	4	3	2	1	0
NO CODIFICA		0.01	0.01	0.03	0.06	0.12	0.25	0.50	1.00
BUS INVERT	0.06	0.05	0.05	0.03	0.00	0.06	0.19	0.44	0.94
TRANS. BASED		0.48	0.38	0.50	0.50	0.50	0.50	0.50	0.50
GRAY		0.01	0.01	0.02	0.03	0.06	0.13	0.25	0.50
T0	0.01	0.003	0.002	0	0	0	0	0	0

Tabella 2.2: Switching activity del bus dati.

	BIT								
	8	7	6	5	4	3	2	1	0
NO CODIFICA		0.50	0.50	0.50	0.50	0.50	0.50	0.50	0.51
BUS INVERT	0.37	0.36	0.36	0.36	0.36	0.36	0.36	0.36	0.37
TRANS. BASED		0.50	0.49	0.49	0.50	0.51	0.50	0.50	0.50
GRAY		0.50	0.51	0.50	0.50	0.49	0.51	0.50	0.51
T0	0.01	0.50	0.50	0.50	0.50	0.50	0.50	0.50	0.50

3 Sintesi e risultati ottenuti

3.1 Sintesi

Dopo aver studiato le differenze tra i diversi tipi di codifica a livello di simulazione ModelSim, le diverse architetture sono state sintetizzate con Synopsys.

Per facilitare la stima della potenza, le attività dei nodi sono state annotate automaticamente con il metodo della **SAIF backannnotation**; tale procedura, già utilizzata in occasione del Laboratorio 3, è stata implementata mediante gli script riportati in Appendice C.2, forniti prima dell'esperienza di laboratorio.

L'annotazione automatica delle attività consiste in alcuni semplici step, mostrati schematicamente in Figura 3.1.

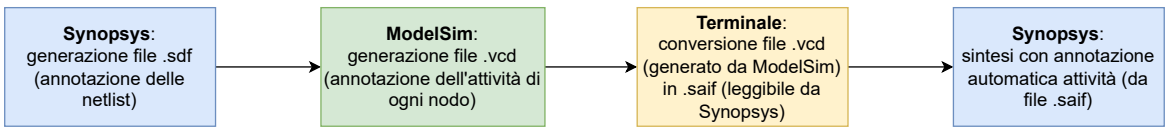


Figura 3.1: Flusso operazioni necessarie per la sintesi con procedura SAIF Backannotation

Anzitutto va sottolineato che, affinché la procedura dia risultati corretti, gli script per la backannotation e la testbench `tb_encdec.v` (Appendice D.6) devono essere coerenti. Pertanto, all'interno del file Verilog è necessario istanziare i componenti come segue:

$$\texttt{busnormal} \longrightarrow \texttt{UBUSNORM}$$
$$\texttt{businvbeh} \longrightarrow \texttt{UBUSINV}$$
$$\texttt{transbased} \longrightarrow \texttt{UBUSTRAN}$$
$$\texttt{grayencoder} \longrightarrow \texttt{UBUSGRAY}$$
$$\texttt{T0} \longrightarrow \texttt{UBUST0}$$

dove le keyword a sinistra delle frecce sono i nomi delle entity VHDL dei vari bus, mentre quelle a destra sono i label da assegnare ad ogni component nella testbench Verilog.

Come già sottolineato nei paragrafi precedenti, i consumi di un bus sono profondamente influenzati dal tipo di informazione inviata sulla linea, i.e., i risultati ottenuti sono diversi a seconda che vengano trasmessi indirizzi o dati.

Per ottenere i risultati sugli **indirizzi**, prima di tutto si deve controllare che l'unica riga non commentata del file `datatype.def`, richiamato in `definitions.scr` (Appendice C.2.1), sia:

```
set DATATYPE ADDRESS
```

In questo modo viene settato il file di configurazione per l'identificazione logica dei risultati: in particolare, gli script cercheranno i nomi dei file con appendice `ADDRESS`. Si deve inoltre controllare che la testbench `tb_encdec.v` usi la macro degli `ADDRESS` per generare gli input dell'encoder.

Successivamente, questa impostazione andrà modificata per effettuare la sintesi con ingressi riferiti ai dati.

A questo punto, si può passare alla descrizione della procedura vera e propria.

- Dal terminale di Synopsys, si esegue lo script `create_sdf.scr` (Appendice C.2.2), richiamato mediante il comando:

  ```
  source create_sdf.scr
  ```

  Questo comando sintetizza le cinque architetture, salva i design in altrettanti file `.ddc` e, per ogni bus, crea una netlist Verilog e un file `.sdf`, contenente informazioni di timing compatibili con i **modelli VITAL**[2].

  L'obiettivo è quello di usare i dati sul timing contenuti in tali file per effettuare una simulazione ModelSim, durante la quale i modelli VITAL si sostituiranno ai valori di default per un'annotazione realistica dell'attività dei nodi.

- A questo punto, si esegue la simulazione su ModelSim: a tale scopo, va creato un progetto contenente, oltre alla testbench, tutti i file Verilog nella forma `fromsynopsys_*_.v`, dopo di che si lancia lo script `fill_forward.scr` (Appendice C.2.3), richiamato con il seguetne comando dal terminale interno di ModelSim:

  ```
  do fill_forward.scr
  ```

  Lo script esegue le seguenti operazioni:

  1. definisce la variabile `DATATYPE` nel file `datatype.def`;
  2. carica la testbench per la simulazione;
  3. include la libreria di celle per le annotazioni;
  4. specifica i file `.sdf` per ogni istanza;
  5. istanzia un file `.vcd`, all'interno del quale verranno salvati i risultati relativi a tutte le architetture;
  6. esegue la simulazione per un numero di cicli di clock sufficientemente lungo: in questo caso, essendo $T_{\mathrm{ck}} = 10\,\mathrm{ns}$, la simulazione ha una durata di $100\,\mu\mathrm{s}$.

[2] Il VITAL (*VHDL Initiative Toward ASIC Libraries*) è un modello, nato nel 1993 in ambito industriale e standardizzato dall'IEEE, che fornisce specifiche sul timing e sulla mappatura delle funzioni logiche per facilitare e velocizzare la conversione dalla descrizione VHDL alle librerie di celle ASIC.

- Una volta terminata la simulazione, il file `.vcd` generato da ModelSim va convertito in formato `.saif`, compatibile con Synopsys. Per farlo, si esegue il seguente comando da terminale, avendo cura di posizionarsi nella stessa directory in cui si usa il sintetizzatore:

  ```
  vcd2saif -64 -input ../frommentor_*.vcd -output ../backward.saif
  ```

  dove $*$ deve essere sostituito con `ADDRESS` o `DATA` a seconda che si stia trasmettendo indirizzi o dati.

  Analizzando il file `.saif`, si può osservare come ModelSim abbia aggiunto nuove proprietà ad ogni segnale:

  - **TO/T1**: tempo che il segnale passa a '0' o '1';
  - **TX**: tempo che il segnale passa nello stato indefinito;
  - **TC**: rate di commutazione del segnale.

- Infine, l'architettura viene sintetizzata eseguendo lo script `backward_all.scr` (Appendice C.2.4) dal terminale di Synopsys:

  ```
  source backward_all.scr
  ```

  Tale file, che richiama in cascata i due script `backward.scr` e `save_power_report.scr` (Appendici C.2.5 e C.2.6), esegue i seguenti compiti per ognuna delle architetture in esame:

  - creare un clock con lo stesso periodo usato nella simulazione ($T_{ck} = 10\,\text{ns}$);
  - leggere i dati contenuti nel file `.saif` e annotare le attività attraverso il comando `read_saif`;
  - sintetizzare l'architettura impostando la capacità di carico $C_L = 1\,\text{fF}$ e salvare su file il power report corrispondente;
  - ripetere la sintesi con i carichi $C_L = 15\,\text{fF}, 75\,\text{fF}, 150\,\text{fF}$, utilizzando le variabili `load1`, `load2` e `load3` definite nello script `definitions.scr` (Appendice C.2.1), e salvare i nuovi power report in altri file.

  In tal modo, si ottengono quattro report per ogni bus, ognuno con un carico diverso sulla linea, per un totale di **20 file**.

Come anticipato all'inizio, una volta conclusi questi passaggi la procedura viene ripetuta modificando il `DATATYPE` target nel file `datatype.def`, per ottenere i report anche nel caso di ingressi riferiti ai dati.

3.2 Analisi e conclusioni

I risultati ottenuti, in termini di consumo di potenza, numero di interconnessioni e numero di celle, sono consultabili nelle Tabelle 3.1 e 3.2, mentre in Appendice B sono riportati, a titolo di esempio, i report ottenuti per $C_L = 1\,\text{fF}$.

In particolare, la Tabella 3.1 riporta i valori della potenza totale consumata a livello di interconnessioni, al variare della tipologia di ingresso, della capacità di carico e del tipo di codifica; nella Tabella 3.2, invece, sono riportati il numero totale di net e cell sintetizzate.

Come si osserva dalla Tabella 3.1 all'aumentare di del carico anche **i consumi aumentano**, compatibilmente con la relazione di proporzionalità diretta tra la potenza dinamica e C_L.

Tabella 3.1: NET Total Power per tutte le architetture.

	P_{net} (address) [μW]				P_{net} (data) [μW]			
Carico	1 fF	15 fF	75 fF	150 fF	1 fF	15 fF	75 fF	150 fF
NO CODIFICA	3.44	5.24	12.46	22.28	3.87	7.50	21.99	41.71
BUS INVERT	8.53	11.10	18.12	27.35	15.21	18.54	30.03	46.34
TRANS. BASED	8.14	11.66	25.63	44.66	8.60	12.25	26.74	46.47
GRAY	4.05	4.96	8.60	13.55	7.19	10.80	25.34	45.06
T0	11.25	9.01	9.06	9.15	11.67	16.57	31.06	50.83

Tabella 3.2: Numero di interconnessioni e di celle per tutte le architetture.

	# nets				# cells			
Carico	1 fF	15 fF	75 fF	150 fF	1 fF	15 fF	75 fF	150 fF
NO CODIFICA	27	27	27	43	17	17	17	25
BUS INVERT	91	92	92	95	72	73	73	84
TRANS. BASED	59	53	61	69	41	43	43	51
GRAY	41	41	41	57	31	31	31	39
T0	80	106	106	105	55	74	74	82

Dalla Tabella 3.2, inoltre, si può notare che l'aumento della capacità di carico comporta anche un **maggior numero di celle e interconnessioni**.

Come già anticipato nella Sezione 1, per valutare la convenienza di una codifica si deve tenere conto non soltanto delle commutazioni sulla linea, ma anche dei consumi dell'encoder e del decoder. Questo significa che ciò che conta è sempre il *bilancio* tra il risparmio introdotto dalla codifica e l'overhead causato dai circuiti di codifica e decodifica.

Ci sono pochi casi in cui tale bilancio si traduce in un effettivo risparmio di potenza.

Codifica GRAY - ADDRESS. Come già sottolineato nella Sezione 1.3, questa codifica è ottima per la trasmissione degli indirizzi in quanto, quando si procede in sequenza, si ha una singola commutazione sul bus per ogni parola inviata sulla linea.

Osserviamo infatti che, sebbene con $C_L = 1$ fF il consumo sia maggiore rispetto al bus senza codifica a causa dell'overhead di encoder e decoder, man mano che C_L aumenta il bilancio diventa favorevole. Quando, invece, in ingresso entrano dei dati, la codifica Gray perde di efficacia perché le informazioni trasmesse sono prive di correlazione.

Codifica T0 - ADDRESS. Come la codifica Gray, anche la T0 è ottima per la trasmissione in sequenza; infatti, l'unica commutazione avviene sul bit ridondante. Tuttavia, si paga un prezzo significativo in termini di overhead: infatti, per basse capacità di carico (1 fF e 15 fF) il consumo è molto maggiore rispetto al bus senza codifica e alle altre architetture; del resto, dalla Tabella 3.2 si può notare che la codifica T0 richiede un numero di celle e net molto più grande, praticamente 3 volte quelle usate senza codifica del bus.

Tuttavia, con capacità di carico alte il costo dell'overhead è superato dall'efficienza della codifica e la codifica T0 diventa **la più vantaggiosa per l'invio di indirizzi**. Non si può dire

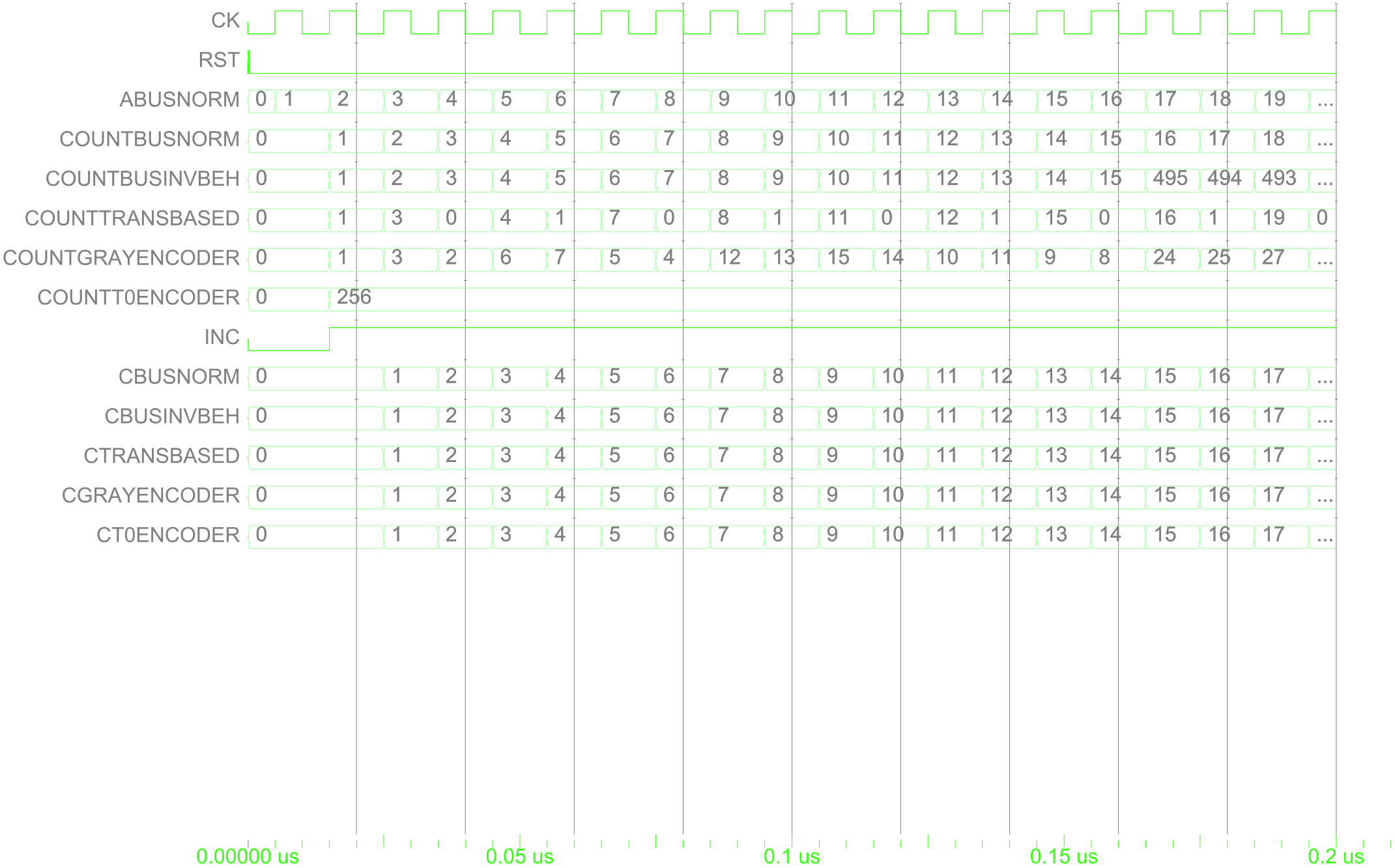
lo stesso per la trasmissione dei dati, in cui la mancanza di correlazione tra le informazioni trasforma la T0 nella codifica peggiore tra quelle analizzate.

A parte questi due casi, in generale implementare una codifica sui bus è risultato addirittura svantaggioso rispetto a usare un bus senza codifica, o a causa della scarsa efficacia della codifica per quel particolare tipo di ingresso o a causa dei costi dell'overhead.

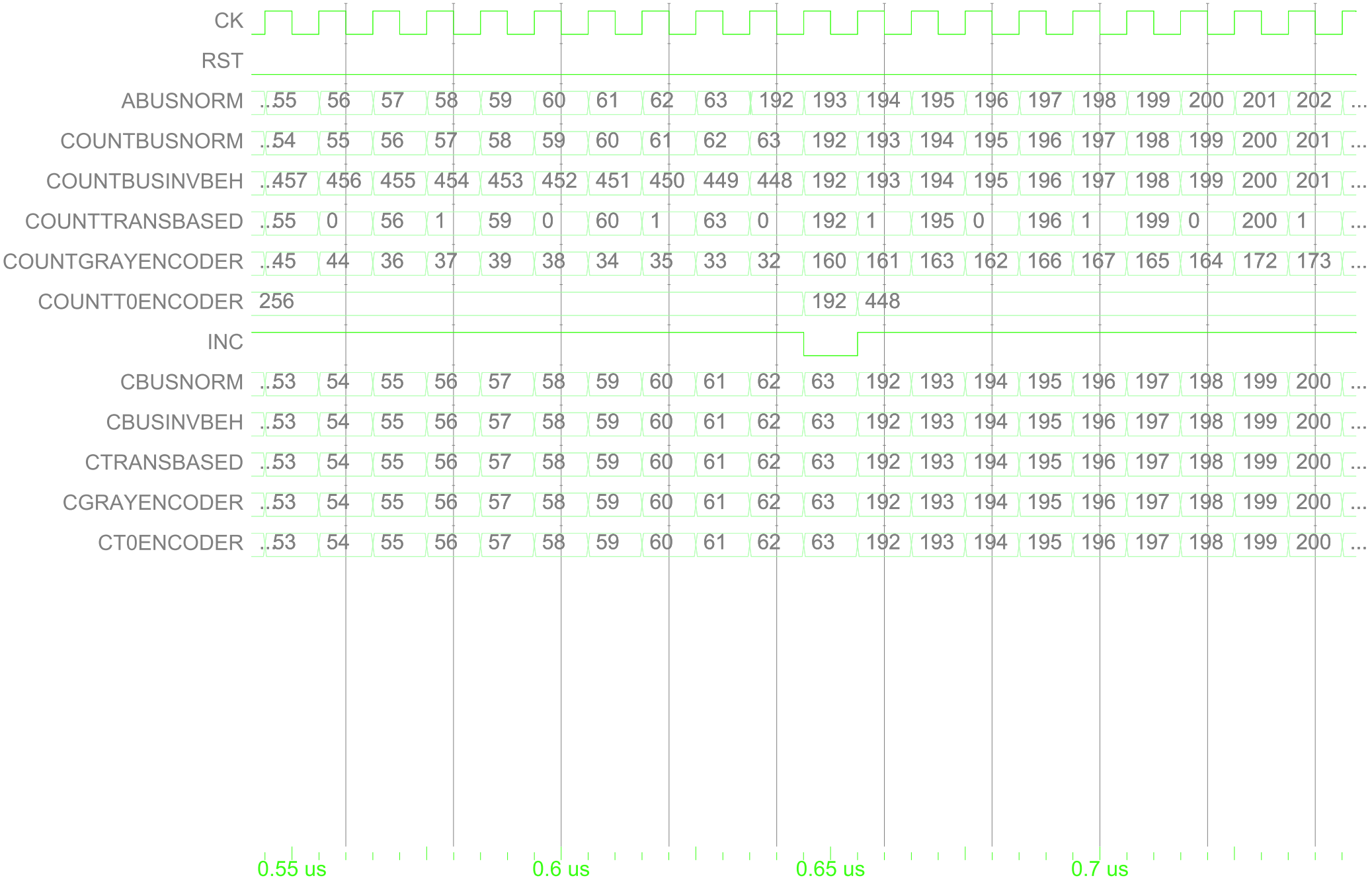
Questo rimarca l'importanza di avere una **visione d'insieme** che tenga conto di diversi aspetti:

- tipologia di informazione da inviare sulla linea;
- capacità di carico sul bus;
- potenziale risparmio introdotto dalla codifica;
- costo di encoder e decoder, non solo dal punto di vista energetico ma anche in termini di area; infatti, come si può vedere dalla Tabella 3.2 utilizzare una codifica è sempre più dispendioso in termini di numero di connessioni e celle rispetto all'invio dei dati non codificati.

Solo tenendo in considerazione tutti questi aspetti è possibile individuare la soluzione più conveniente ed evitare un aumento di consumo involontario dovuto all'uso di una codifica inappropriata al contesto.



Entity:testbench Architecture:fast Date: Mon May 06 17:02:06 CEST 2024 Row: 1 Page: 1



Entity:testbench Architecture:fast Date: Mon May 06 17:03:32 CEST 2024 Row: 1 Page: 1

A Report ModelSim

A.1 Non-encoded bus (indirizzi)

```
Power Report Interval
100000000 ps

Power Report                        Node     Tc    Ti   Time At 1   Time At 0  Time At X
-------------------------------------------------------------------------------------------
                           /testbench/ck  20000     0    50000000    50000000          0
                          /testbench/rst      2     0         200    99999800          0
                         /testbench/A(7)     97     0    48164900    51835100          0
                         /testbench/A(6)    118     0    37760000    62240000          0
                         /testbench/A(5)    312     0    49927000    50073000          0
                         /testbench/A(4)    625     0    49931900    50068100          0
                         /testbench/A(3)   1250     0    50007000    49993000          0
                         /testbench/A(2)   2500     0    50007000    49993000          0
                         /testbench/A(1)   5000     0    50007000    49993000          0
                         /testbench/A(0)  10000     0    50007000    49993000          0
               /testbench/COUNTBUSNORM(7)     97     0    48155000    51844900        100
               /testbench/COUNTBUSNORM(6)    118     0    37760000    62239900        100
               /testbench/COUNTBUSNORM(5)    312     0    49920000    50079900        100
               /testbench/COUNTBUSNORM(4)    624     0    49920000    50079900        100
               /testbench/COUNTBUSNORM(3)   1249     0    49995000    50004900        100
               /testbench/COUNTBUSNORM(2)   2499     0    49995000    50004900        100
               /testbench/COUNTBUSNORM(1)   4999     0    49995000    50004900        100
               /testbench/COUNTBUSNORM(0)   9999     0    49995000    50004900        100
                   /testbench/CBUSNORM(7)     97     0    48145000    51854900        100
                   /testbench/CBUSNORM(6)    118     0    37760000    62239900        100
                   /testbench/CBUSNORM(5)    312     0    49920000    50079900        100
                   /testbench/CBUSNORM(4)    624     0    49920000    50079900        100
                   /testbench/CBUSNORM(3)   1249     0    49985000    50014900        100
                   /testbench/CBUSNORM(2)   2499     0    49985000    50014900        100
                   /testbench/CBUSNORM(1)   4999     0    49985000    50014900        100
                   /testbench/CBUSNORM(0)   9998     0    49990000    50009900        100
-------------------------------------------------------------------------------------------
```

A.2 Non-encoded bus (dati)

```
Power Report Interval
100000000 ps

Power Report                        Node     Tc    Ti   Time At 1   Time At 0  Time At X
-------------------------------------------------------------------------------------------
                           /testbench/ck  20000     0    50000000    50000000          0
                          /testbench/rst      2     0         200    99999800          0
                         /testbench/A(7)   4974     0    50030000    49970000          0
                         /testbench/A(6)   5022     0    49460000    50540000          0
                         /testbench/A(5)   4987     0    49384900    50615100          0
                         /testbench/A(4)   4972     0    49970000    50030000          0
                         /testbench/A(3)   4960     0    51250000    48750000          0
                         /testbench/A(2)   4965     0    49894900    50105100          0
                         /testbench/A(1)   5024     0    50000000    50000000          0
                         /testbench/A(0)   5060     0    49940000    50060000          0
               /testbench/COUNTBUSNORM(7)   4974     0    50030000    49969900        100
               /testbench/COUNTBUSNORM(6)   5021     0    49455000    50544900        100
```

```
                /testbench/COUNTBUSNORM(5)   4987     0    49375000    50624900        100
                /testbench/COUNTBUSNORM(4)   4972     0    49970000    50029900        100
                /testbench/COUNTBUSNORM(3)   4959     0    51245000    48754900        100
                /testbench/COUNTBUSNORM(2)   4965     0    49885000    50114900        100
                /testbench/COUNTBUSNORM(1)   5023     0    49995000    50004900        100
                /testbench/COUNTBUSNORM(0)   5060     0    49940000    50059900        100
                    /testbench/CBUSNORM(7)   4973     0    50025000    49974900        100
                    /testbench/CBUSNORM(6)   5021     0    49445000    50554900        100
                    /testbench/CBUSNORM(5)   4987     0    49365000    50634900        100
                    /testbench/CBUSNORM(4)   4972     0    49970000    50029900        100
                    /testbench/CBUSNORM(3)   4958     0    51240000    48759900        100
                    /testbench/CBUSNORM(2)   4964     0    49880000    50119900        100
                    /testbench/CBUSNORM(1)   5023     0    49985000    50014900        100
                    /testbench/CBUSNORM(0)   5060     0    49940000    50059900        100
-----------------------------------------------------------------------------------------
```

A.3 Codifica *bus invert* (indirizzi)

```
Power Report Interval
100000000 ps

Power Report                          Node     Tc    Ti   Time At 1   Time At 0  Time At X
-----------------------------------------------------------------------------------------
                            /testbench/ck  20000     0    50000000    50000000          0
                           /testbench/rst      2     0         200    99999800          0
                          /testbench/A(7)     97     0    48164900    51835100          0
                          /testbench/A(6)    118     0    37760000    62240000          0
                          /testbench/A(5)    312     0    49927000    50073000          0
                          /testbench/A(4)    625     0    49931900    50068100          0
                          /testbench/A(3)   1250     0    50007000    49993000          0
                          /testbench/A(2)   2500     0    50007000    49993000          0
                          /testbench/A(1)   5000     0    50007000    49993000          0
                          /testbench/A(0)  10000     0    50007000    49993000          0
             /testbench/COUNTBUSINVBEH(8)    624     0    49920000    50079900        100
             /testbench/COUNTBUSINVBEH(7)    527     0    50075000    49924900        100
             /testbench/COUNTBUSINVBEH(6)    506     0    49920000    50079900        100
             /testbench/COUNTBUSINVBEH(5)    312     0    49920000    50079900        100
             /testbench/COUNTBUSINVBEH(3)    625     0    49995000    50004900        100
             /testbench/COUNTBUSINVBEH(2)   1875     0    49995000    50004900        100
             /testbench/COUNTBUSINVBEH(1)   4375     0    49995000    50004900        100
             /testbench/COUNTBUSINVBEH(0)   9375     0    49995000    50004900        100
                 /testbench/CBUSINVBEH(7)     97     0    48145000    51854900        100
                 /testbench/CBUSINVBEH(6)    118     0    37760000    62239900        100
                 /testbench/CBUSINVBEH(5)    312     0    49920000    50079900        100
                 /testbench/CBUSINVBEH(4)    624     0    49920000    50079900        100
                 /testbench/CBUSINVBEH(3)   1249     0    49985000    50014900        100
                 /testbench/CBUSINVBEH(2)   2499     0    49985000    50014900        100
                 /testbench/CBUSINVBEH(1)   4999     0    49985000    50014900        100
                 /testbench/CBUSINVBEH(0)   9998     0    49990000    50009900        100
-----------------------------------------------------------------------------------------
```

A.4 Codifica *bus invert* (dati)

```
Power Report Interval
100000000 ps

```

```
Power Report                          Node     Tc    Ti   Time At 1   Time At 0  Time At X
-----------------------------------------------------------------------------------------
                            /testbench/ck  20000     0    50000000    50000000          0
                           /testbench/rst      2     0         200    99999800          0
                          /testbench/A(7)   4974     0    50030000    49970000          0
                          /testbench/A(6)   5022     0    49460000    50540000          0
                          /testbench/A(5)   4987     0    49384900    50615100          0
                          /testbench/A(4)   4972     0    49970000    50030000          0
                          /testbench/A(3)   4960     0    51250000    48750000          0
                          /testbench/A(2)   4965     0    49894900    50105100          0
                          /testbench/A(1)   5024     0    50000000    50000000          0
                          /testbench/A(0)   5060     0    49940000    50060000          0
             /testbench/COUNTBUSINVBEH(8)   3650     0    49260000    50739900        100
             /testbench/COUNTBUSINVBEH(7)   3576     0    48810000    51189900        100
             /testbench/COUNTBUSINVBEH(6)   3611     0    49595000    50404900        100
             /testbench/COUNTBUSINVBEH(5)   3617     0    52235000    47764900        100
             /testbench/COUNTBUSINVBEH(4)   3640     0    50190000    49809900        100
             /testbench/COUNTBUSINVBEH(3)   3613     0    49685000    50314900        100
             /testbench/COUNTBUSINVBEH(2)   3601     0    50405000    49594900        100
             /testbench/COUNTBUSINVBEH(1)   3639     0    50295000    49704900        100
             /testbench/COUNTBUSINVBEH(0)   3722     0    51500000    48499900        100
                 /testbench/CBUSINVBEH(7)   4973     0    50025000    49974900        100
                 /testbench/CBUSINVBEH(6)   5021     0    49445000    50554900        100
                 /testbench/CBUSINVBEH(5)   4987     0    49365000    50634900        100
                 /testbench/CBUSINVBEH(4)   4972     0    49970000    50029900        100
                 /testbench/CBUSINVBEH(3)   4958     0    51240000    48759900        100
                 /testbench/CBUSINVBEH(2)   4964     0    49880000    50119900        100
                 /testbench/CBUSINVBEH(1)   5023     0    49985000    50014900        100
                 /testbench/CBUSINVBEH(0)   5060     0    49940000    50059900        100
-----------------------------------------------------------------------------------------
```

A.5 Codifica *transition based* (indirizzi)

```
Power Report Interval
100000000 ps

Power Report                          Node     Tc    Ti   Time At 1   Time At 0  Time At X
-----------------------------------------------------------------------------------------
                            /testbench/ck  20000     0    50000000    50000000          0
                           /testbench/rst      2     0         200    99999800          0
                          /testbench/A(7)     97     0    48164900    51835100          0
                          /testbench/A(6)    118     0    37760000    62240000          0
                          /testbench/A(5)    312     0    49927000    50073000          0
                          /testbench/A(4)    625     0    49931900    50068100          0
                          /testbench/A(3)   1250     0    50007000    49993000          0
                          /testbench/A(2)   2500     0    50007000    49993000          0
                          /testbench/A(1)   5000     0    50007000    49993000          0
                          /testbench/A(0)  10000     0    50007000    49993000          0
            /testbench/COUNTTRANSBASED(7)   4816     0    24080000    75919900        100
            /testbench/COUNTTRANSBASED(6)   3776     0    18880000    81119900        100
            /testbench/COUNTTRANSBASED(5)   4992     0    24960000    75039900        100
            /testbench/COUNTTRANSBASED(4)   4992     0    24960000    75039900        100
            /testbench/COUNTTRANSBASED(3)   5000     0    25000000    74999900        100
            /testbench/COUNTTRANSBASED(2)   5000     0    25000000    74999900        100
            /testbench/COUNTTRANSBASED(1)   5000     0    25000000    74999900        100
            /testbench/COUNTTRANSBASED(0)   5000     0    50000000    49999900        100
                /testbench/CTRANSBASED(7)     97     0    48145000    51854900        100
```

```
                /testbench/CTRANSBASED(6)    118     0    37760000    62239900        100
                /testbench/CTRANSBASED(5)    312     0    49920000    50079900        100
                /testbench/CTRANSBASED(4)    624     0    49920000    50079900        100
                /testbench/CTRANSBASED(3)   1249     0    49985000    50014900        100
                /testbench/CTRANSBASED(2)   2499     0    49985000    50014900        100
                /testbench/CTRANSBASED(1)   4999     0    49985000    50014900        100
                /testbench/CTRANSBASED(0)   9998     0    49990000    50009900        100
-------------------------------------------------------------------------------------------
```

A.6 Codifica *transition based* (dati)

```
Power Report Interval
100000000 ps

Power Report                          Node     Tc    Ti   Time At 1   Time At 0  Time At X
-------------------------------------------------------------------------------------------
                            /testbench/ck  20000     0    50000000    50000000          0
                           /testbench/rst      2     0         200    99999800          0
                          /testbench/A(7)   4974     0    50030000    49970000          0
                          /testbench/A(6)   5022     0    49460000    50540000          0
                          /testbench/A(5)   4987     0    49384900    50615100          0
                          /testbench/A(4)   4972     0    49970000    50030000          0
                          /testbench/A(3)   4960     0    51250000    48750000          0
                          /testbench/A(2)   4965     0    49894900    50105100          0
                          /testbench/A(1)   5024     0    50000000    50000000          0
                          /testbench/A(0)   5060     0    49940000    50060000          0
            /testbench/COUNTTRANSBASED(7)   5003     0    49825000    50174900        100
            /testbench/COUNTTRANSBASED(6)   4946     0    49830000    50169900        100
            /testbench/COUNTTRANSBASED(5)   4938     0    50480000    49519900        100
            /testbench/COUNTTRANSBASED(4)   4997     0    49585000    50414900        100
            /testbench/COUNTTRANSBASED(3)   5125     0    49945000    50054900        100
            /testbench/COUNTTRANSBASED(2)   4989     0    50245000    49754900        100
            /testbench/COUNTTRANSBASED(1)   5000     0    49890000    50109900        100
            /testbench/COUNTTRANSBASED(0)   4994     0    49540000    50459900        100
                /testbench/CTRANSBASED(7)   4973     0    50025000    49974900        100
                /testbench/CTRANSBASED(6)   5021     0    49445000    50554900        100
                /testbench/CTRANSBASED(5)   4987     0    49365000    50634900        100
                /testbench/CTRANSBASED(4)   4972     0    49970000    50029900        100
                /testbench/CTRANSBASED(3)   4958     0    51240000    48759900        100
                /testbench/CTRANSBASED(2)   4964     0    49880000    50119900        100
                /testbench/CTRANSBASED(1)   5023     0    49985000    50014900        100
                /testbench/CTRANSBASED(0)   5060     0    49940000    50059900        100
-------------------------------------------------------------------------------------------
```

A.7 Codifica Gray (indirizzi)

```
Power Report Interval
100000000 ps

Power Report                          Node     Tc    Ti   Time At 1   Time At 0  Time At X
-------------------------------------------------------------------------------------------
                            /testbench/ck  20000     0    50000000    50000000          0
                           /testbench/rst      2     0         200    99999800          0
                          /testbench/A(7)     97     0    48164900    51835100          0
                          /testbench/A(6)    118     0    37760000    62240000          0
                          /testbench/A(5)    312     0    49927000    50073000          0
```

```
                          /testbench/A(4)    625     0    49931900    50068100          0
                          /testbench/A(3)   1250     0    50007000    49993000          0
                          /testbench/A(2)   2500     0    50007000    49993000          0
                          /testbench/A(1)   5000     0    50007000    49993000          0
                          /testbench/A(0)  10000     0    50007000    49993000          0
           /testbench/COUNTGRAYENCODER(7)     97     0    48155000    51844900        100
           /testbench/COUNTGRAYENCODER(6)     55     0    24475000    75524900        100
           /testbench/COUNTGRAYENCODER(5)    194     0    49920000    50079900        100
           /testbench/COUNTGRAYENCODER(4)    312     0    49920000    50079900        100
           /testbench/COUNTGRAYENCODER(3)    625     0    49995000    50004900        100
           /testbench/COUNTGRAYENCODER(2)   1250     0    50000000    49999900        100
           /testbench/COUNTGRAYENCODER(1)   2500     0    50000000    49999900        100
           /testbench/COUNTGRAYENCODER(0)   5000     0    50000000    49999900        100
               /testbench/CGRAYENCODER(7)     97     0    48145000    51854900        100
               /testbench/CGRAYENCODER(6)    118    17    37760000    62239900        100
               /testbench/CGRAYENCODER(5)    278    34    49920000    50079900        100
               /testbench/CGRAYENCODER(4)    590    34    49920000    50079900        100
               /testbench/CGRAYENCODER(3)   1215    34    49985000    50014900        100
               /testbench/CGRAYENCODER(2)   2465    34    49985000    50014900        100
               /testbench/CGRAYENCODER(1)   4965    34    49985000    50014900        100
               /testbench/CGRAYENCODER(0)   9964    34    49990000    50009900        100
--------------------------------------------------------------------------------------------
```

A.8 Codifica Gray (dati)

```
Power Report Interval
100000000 ps

Power Report                          Node     Tc     Ti   Time At 1  Time At 0  Time At X
--------------------------------------------------------------------------------------------
                            /testbench/ck  20000      0    50000000   50000000          0
                           /testbench/rst      2      0         200   99999800          0
                          /testbench/A(7)   4974      0    50030000   49970000          0
                          /testbench/A(6)   5022      0    49460000   50540000          0
                          /testbench/A(5)   4987      0    49384900   50615100          0
                          /testbench/A(4)   4972      0    49970000   50030000          0
                          /testbench/A(3)   4960      0    51250000   48750000          0
                          /testbench/A(2)   4965      0    49894900   50105100          0
                          /testbench/A(1)   5024      0    50000000   50000000          0
                          /testbench/A(0)   5060      0    49940000   50060000          0
           /testbench/COUNTGRAYENCODER(7)   4974      0    50030000   49969900        100
           /testbench/COUNTGRAYENCODER(6)   5087      0    50105000   49894900        100
           /testbench/COUNTGRAYENCODER(5)   4952      0    50100000   49899900        100
           /testbench/COUNTGRAYENCODER(4)   4981      0    50505000   49494900        100
           /testbench/COUNTGRAYENCODER(3)   4937      0    49415000   50584900        100
           /testbench/COUNTGRAYENCODER(2)   5056      0    50320000   49679900        100
           /testbench/COUNTGRAYENCODER(1)   4962      0    50710000   49289900        100
           /testbench/COUNTGRAYENCODER(0)   5075      0    49715000   50284900        100
               /testbench/CGRAYENCODER(7)   4973      0    50025000   49974900        100
               /testbench/CGRAYENCODER(6)   5021   2519    49445000   50554900        100
               /testbench/CGRAYENCODER(5)   2455   6278    49365000   50634900        100
               /testbench/CGRAYENCODER(4)      5  10619    49970000   50029900        100
               /testbench/CGRAYENCODER(3)      1  15261    51240000   48759900        100
--------------------------------------------------------------------------------------------
```

A.9 Codifica T0 (indirizzi)

```
Power Report Interval
100000000 ps

Power Report                        Node     Tc    Ti   Time At 1   Time At 0  Time At X
-------------------------------------------------------------------------------------------
                           /testbench/ck  20000     0    50000000    50000000          0
                          /testbench/rst      2     0         200    99999800          0
                         /testbench/A(7)     97     0    48164900    51835100          0
                         /testbench/A(6)    118     0    37760000    62240000          0
                         /testbench/A(5)    312     0    49927000    50073000          0
                         /testbench/A(4)    625     0    49931900    50068100          0
                         /testbench/A(3)   1250     0    50007000    49993000          0
                         /testbench/A(2)   2500     0    50007000    49993000          0
                         /testbench/A(1)   5000     0    50007000    49993000          0
                         /testbench/A(0)  10000     0    50007000    49993000          0
             /testbench/COUNTTOENCODER(8)    119     0    99395000      604900        100
             /testbench/COUNTTOENCODER(7)     29     0    73115000    26884900        100
             /testbench/COUNTTOENCODER(6)     24     0    34560000    65439900        100
                 /testbench/CTOENCODER(7)     97     0    48145000    51854900        100
                 /testbench/CTOENCODER(6)    118     0    37760000    62239900        100
                 /testbench/CTOENCODER(5)    312     0    49920000    50079900        100
                 /testbench/CTOENCODER(4)    624     0    49920000    50079900        100
                 /testbench/CTOENCODER(3)   1249     0    49985000    50014900        100
                 /testbench/CTOENCODER(2)   2499     0    49985000    50014900        100
                 /testbench/CTOENCODER(1)   4999     0    49985000    50014900        100
                 /testbench/CTOENCODER(0)   9998     0    49990000    50009900        100
-------------------------------------------------------------------------------------------
```

A.10 Codifica T0 (dati)

```
Power Report Interval
100000000 ps

Power Report                        Node     Tc    Ti   Time At 1   Time At 0  Time At X
-------------------------------------------------------------------------------------------
                           /testbench/ck  20000     0    50000000    50000000          0
                          /testbench/rst      2     0         200    99999800          0
                         /testbench/A(7)   4974     0    50030000    49970000          0
                         /testbench/A(6)   5022     0    49460000    50540000          0
                         /testbench/A(5)   4987     0    49384900    50615100          0
                         /testbench/A(4)   4972     0    49970000    50030000          0
                         /testbench/A(3)   4960     0    51250000    48750000          0
                         /testbench/A(2)   4965     0    49894900    50105100          0
                         /testbench/A(1)   5024     0    50000000    50000000          0
                         /testbench/A(0)   5060     0    49940000    50060000          0
             /testbench/COUNTTOENCODER(8)     72     0      360000    99639900        100
             /testbench/COUNTTOENCODER(7)   4974     0    50030000    49969900        100
             /testbench/COUNTTOENCODER(6)   5021     0    49455000    50544900        100
             /testbench/COUNTTOENCODER(5)   4987     0    49375000    50624900        100
             /testbench/COUNTTOENCODER(4)   4972     0    49970000    50029900        100
             /testbench/COUNTTOENCODER(3)   4957     0    51235000    48764900        100
             /testbench/COUNTTOENCODER(2)   4963     0    49845000    50154900        100
             /testbench/COUNTTOENCODER(1)   5001     0    49935000    50064900        100
             /testbench/COUNTTOENCODER(0)   5028     0    49940000    50059900        100
                 /testbench/CTOENCODER(7)   4973     0    50025000    49974900        100
```

```
                  /testbench/CT0ENCODER(6)   5021     0    49445000    50554900        100
                  /testbench/CT0ENCODER(5)   4987     0    49365000    50634900        100
                  /testbench/CT0ENCODER(4)   4972     0    49970000    50029900        100
                  /testbench/CT0ENCODER(3)   4958     0    51240000    48759900        100
                  /testbench/CT0ENCODER(2)   4964     0    49880000    50119900        100
                  /testbench/CT0ENCODER(1)   5023     0    49985000    50014900        100
                  /testbench/CT0ENCODER(0)   5060     0    49940000    50059900        100
 ------------------------------------------------------------------------------------------
```

B Report Synopsys

B.1 Non-encoded bus

B.1.1 Indirizzi, carico 1 fF

```
****************************************
Report : power
        -net
        -cell
        -analysis_effort low
        -include_input_nets
        -sort_mode dynamic_power
Design : busnormal
Version: S-2021.06-SP4
Date   : Mon May  6 18:25:43 2024
****************************************


Library(s) Used:

    NangateOpenCellLibrary (File:
    ↪  /home/mg.lowpower/do/libnangate/NangateOpenCellLibrary_typical_ecsm.db)


Operating Conditions: typical   Library: NangateOpenCellLibrary
Wire Load Model Mode: top

Design        Wire Load Model            Library
------------------------------------------------
busnormal              5K_hvratio_1_1    NangateOpenCellLibrary


Global Operating Voltage = 1.1
Power-specific unit information :
    Voltage Units = 1V
    Capacitance Units = 1.000000ff
    Time Units = 1ns
    Dynamic Power Units = 1uW    (derived from V,C,T units)
    Leakage Power Units = 1nW



  Attributes
  ----------
      a  -  Switching activity information annotated on net
      d  -  Default switching activity information on net

                              Total      Static   Toggle   Switching
Net                           Net Load   Prob.    Rate     Power      Attrs
--------------------------------------------------------------------------------
ck                             24.856    0.500    0.2000      3.0076  a
B[0]                            1.827    0.499    0.1000      0.1105  a
C[0]                            0.310    0.499    0.1000      0.0187  a
B[1]                            1.827    0.500    0.0500      0.0553  a
C[1]                            0.310    0.499    0.0500      0.0094  a
B[2]                            1.827    0.500    0.0250      0.0276  a
C[2]                            0.310    0.500    0.0250      0.0047  a
```

```
B[3]                          1.827    0.500    0.0125      0.0138  a
C[3]                          0.310    0.500    0.0125      0.0023  a
B[4]                          1.827    0.499    0.0062      0.0069  a
C[4]                          0.310    0.499    0.0062      0.0012  a
B[5]                          1.827    0.499    0.0031      0.0035  a
B[6]                          1.827    0.378    0.0012      0.0013  a
C[5]                          0.310    0.499    0.0031      0.0006  a
C[6]                          0.310    0.378    0.0012      0.0002  a
B[7]                          1.827    0.481    0.0010      0.0011  a
C[7]                          0.310    0.481    0.0010      0.0002  a
A[0]                          1.438    0.500    0.1000      0.0870  a
A[1]                          1.438    0.500    0.0500      0.0435  a
A[2]                          1.438    0.500    0.0250      0.0218  a
A[3]                          1.438    0.500    0.0125      0.0109  a
A[4]                          1.438    0.499    0.0062      0.0054  a
A[5]                          1.438    0.499    0.0031      0.0027  a
A[6]                          1.438    0.378    0.0012      0.0010  a
A[7]                          1.438    0.481    0.0010      0.0008  a
n1                           37.687    1.000    0.20e-4     0.0005  a
rst                           2.010    0.000    0.20e-4  2.433e-05  a
--------------------------------------------------------------------------------
Total (27 nets)                                                3.4385 uW


  Attributes
  ----------
      h  -  Hierarchical cell

                        Cell      Driven Net  Tot Dynamic      Cell
                        Internal  Switching   Power            Leakage
Cell                    Power     Power       (% Cell/Tot)     Power      Attrs
--------------------------------------------------------------------------------
buss_reg[0]                1.4034    0.1105      1.514 (93%)     88.2539
C_reg[0]                   1.3956    0.0187      1.414 (99%)     88.2495
buss_reg[1]                0.8801    0.0553      0.935 (94%)     88.2524
C_reg[1]                   0.8762 9.368e-03      0.886 (99%)     88.2502
buss_reg[2]                0.6184    0.0276      0.646 (96%)     88.2512
C_reg[2]                   0.6165 4.683e-03      0.621 (99%)     88.2499
buss_reg[3]                0.4876    0.0138      0.501 (97%)     88.2512
C_reg[3]                   0.4867 2.342e-03      0.489 (100%)    88.2504
buss_reg[4]                0.4222 6.901e-03      0.429 (98%)     88.2504
C_reg[4]                   0.4217 1.170e-03      0.423 (100%)    88.2498
buss_reg[5]                0.3895 3.450e-03      0.393 (99%)     88.2503
buss_reg[6]                0.3893 1.305e-03      0.391 (100%)    88.1810
C_reg[5]                   0.3893 5.849e-04      0.390 (100%)    88.2498
C_reg[6]                   0.3893 2.212e-04      0.389 (100%)    88.1810
buss_reg[7]                0.3673 1.073e-03      0.368 (100%)    88.2409
C_reg[7]                   0.3672 1.819e-04      0.367 (100%)    88.2408
U4                      1.967e-05 4.562e-04   4.76e-04 (4%)      10.1022
--------------------------------------------------------------------------------
Totals (17 cells)          9.901uW 257.708nW    10.158uW (97%)    1.422uW
```

B.1.2 Dati, carico 1 fF

```
****************************************
Report : power
        -net
```

```
        -cell
        -analysis_effort low
        -include_input_nets
        -sort_mode dynamic_power
Design : busnormal
Version: S-2021.06-SP4
Date   : Mon May  6 18:33:13 2024
****************************************


Library(s) Used:

    NangateOpenCellLibrary (File:
    ↪  /home/mg.lowpower/do/libnangate/NangateOpenCellLibrary_typical_ecsm.db)


Operating Conditions: typical   Library: NangateOpenCellLibrary
Wire Load Model Mode: top

Design        Wire Load Model            Library
------------------------------------------------
busnormal              5K_hvratio_1_1    NangateOpenCellLibrary


Global Operating Voltage = 1.1
Power-specific unit information :
    Voltage Units = 1V
    Capacitance Units = 1.000000ff
    Time Units = 1ns
    Dynamic Power Units = 1uW    (derived from V,C,T units)
    Leakage Power Units = 1nW



  Attributes
  ----------
      a  -  Switching activity information annotated on net
      d  -  Default switching activity information on net

                              Total      Static   Toggle   Switching
Net                           Net Load   Prob.    Rate     Power      Attrs
--------------------------------------------------------------------------------
ck                             24.856    0.500    0.2000      3.0076  a
B[0]                            1.827    0.499    0.0506      0.0559  a
B[1]                            1.827    0.500    0.0502      0.0555  a
B[6]                            1.827    0.494    0.0502      0.0555  a
B[5]                            1.827    0.493    0.0499      0.0551  a
B[7]                            1.827    0.500    0.0497      0.0550  a
B[4]                            1.827    0.499    0.0497      0.0550  a
B[2]                            1.827    0.499    0.0497      0.0549  a
B[3]                            1.827    0.512    0.0496      0.0548  a
C[0]                            0.310    0.499    0.0506      0.0095  a
C[1]                            0.310    0.500    0.0502      0.0094  a
C[6]                            0.310    0.494    0.0502      0.0094  a
C[5]                            0.310    0.493    0.0499      0.0093  a
C[7]                            0.310    0.500    0.0497      0.0093  a
C[4]                            0.310    0.499    0.0497      0.0093  a
C[2]                            0.310    0.499    0.0497      0.0093  a
C[3]                            0.310    0.512    0.0496      0.0093  a
```

```
A[0]                          1.438    0.500    0.0506      0.0440  a
A[1]                          1.438    0.500    0.0502      0.0437  a
A[6]                          1.438    0.495    0.0502      0.0437  a
A[5]                          1.438    0.494    0.0499      0.0434  a
A[7]                          1.438    0.500    0.0497      0.0433  a
A[4]                          1.438    0.500    0.0497      0.0433  a
A[2]                          1.438    0.499    0.0497      0.0432  a
A[3]                          1.438    0.513    0.0496      0.0431  a
n1                           37.687    1.000    0.20e-4     0.0005  a
rst                           2.010    0.000    0.20e-4  2.433e-05  a
--------------------------------------------------------------------------------
Total (27 nets)                                                3.8724 uW


  Attributes
  ----------
      h  -  Hierarchical cell

                        Cell      Driven Net  Tot Dynamic      Cell
                        Internal  Switching   Power            Leakage
Cell                    Power     Power       (% Cell/Tot)     Power      Attrs
--------------------------------------------------------------------------------
buss_reg[0]                0.8865    0.0559      0.942 (94%)     88.2518
buss_reg[1]                0.8826    0.0555      0.938 (94%)     88.2517
buss_reg[6]                0.8825    0.0555      0.938 (94%)     88.2491
buss_reg[5]                0.8789    0.0551      0.934 (94%)     88.2487
buss_reg[7]                0.8774    0.0550      0.932 (94%)     88.2523
buss_reg[4]                0.8773    0.0550      0.932 (94%)     88.2520
buss_reg[2]                0.8765    0.0549      0.931 (94%)     88.2511
buss_reg[3]                0.8761    0.0548      0.931 (94%)     88.2594
C_reg[0]                   0.8826 9.483e-03      0.892 (99%)     88.2500
C_reg[1]                   0.8787 9.413e-03      0.888 (99%)     88.2498
C_reg[6]                   0.8785 9.409e-03      0.888 (99%)     88.2472
C_reg[5]                   0.8751 9.348e-03      0.884 (99%)     88.2468
C_reg[7]                   0.8735 9.319e-03      0.883 (99%)     88.2500
C_reg[4]                   0.8733 9.316e-03      0.883 (99%)     88.2501
C_reg[2]                   0.8727 9.305e-03      0.882 (99%)     88.2493
C_reg[3]                   0.8723 9.290e-03      0.882 (99%)     88.2572
U4                      1.966e-05 4.561e-04   4.76e-04 (4%)      10.1022
--------------------------------------------------------------------------------
Totals (17 cells)         14.045uW 517.082nW    14.562uW (96%)    1.422uW
```

B.2 Codifica *bus invert*

B.2.1 Indirizzi, carico 1 fF

```
****************************************
Report : power
        -net
        -cell
        -analysis_effort low
        -include_input_nets
        -sort_mode dynamic_power
Design : businvbeh
Version: S-2021.06-SP4
Date   : Mon May  6 18:25:59 2024
****************************************


Library(s) Used:

    NangateOpenCellLibrary (File:
    ↪  /home/mg.lowpower/do/libnangate/NangateOpenCellLibrary_typical_ecsm.db)


Operating Conditions: typical   Library: NangateOpenCellLibrary
Wire Load Model Mode: top

Design        Wire Load Model            Library
------------------------------------------------
businvbeh              5K_hvratio_1_1    NangateOpenCellLibrary


Global Operating Voltage = 1.1
Power-specific unit information :
    Voltage Units = 1V
    Capacitance Units = 1.000000ff
    Time Units = 1ns
    Dynamic Power Units = 1uW    (derived from V,C,T units)
    Leakage Power Units = 1nW



  Attributes
  ----------
      a  -  Switching activity information annotated on net
      d  -  Default switching activity information on net

                              Total      Static   Toggle   Switching
Net                           Net Load   Prob.    Rate     Power      Attrs
--------------------------------------------------------------------------------
ck                             26.720    0.500    0.2000      3.2331  a
C[0]                            0.310    0.499    0.1000      0.0187  a
n120                            5.505    0.500    0.0938      0.3122  a
C[1]                            0.310    0.499    0.0500      0.0094  a
n96                             4.602    0.620    0.1298      0.3615  a
B[0]                            0.310    0.499    0.0938      0.0176  a
C[2]                            0.310    0.500    0.0250      0.0047  a
n106                            4.943    0.499    0.1000      0.2991  a
n119                            5.505    0.500    0.0437      0.1457  a
```

```
n117                    4.530    0.499    0.0938    0.2569  a
N13                     1.438    0.501    0.1250    0.1087  a
C[3]                    0.310    0.500    0.0125    0.0023  a
N266                   23.506    0.499    0.0250    0.3554  a
n104                    2.721    0.499    0.0937    0.1543  a
B[1]                    0.310    0.500    0.0437    0.0082  a
C[4]                    0.310    0.499    0.0062    0.0012  a
n95                     1.960    0.343    0.1394    0.1653  a
C[6]                    0.310    0.378    0.0012    0.0002  a
C[5]                    0.310    0.499    0.0031    0.0006  a
B[4]                    0.310    0.000    0.0000    0.0000  a
n124                    5.342    1.000    0.0000    0.0000  a
C[7]                    0.310    0.481    0.0010    0.0002  a
N275                    1.438    0.500    0.1000    0.0870  a
n126                    5.342    0.500    0.0187    0.0606  a
n93                     4.557    0.437    0.0625    0.1723  a
n94                     1.931    0.419    0.0652    0.0762  a
A[0]                    5.343    0.500    0.1000    0.3233  a
n127                   25.403    0.501    0.0062    0.0959  a
n103                    6.741    0.500    0.0437    0.1784  a
N14                     1.438    0.500    0.0750    0.0652  a
B[2]                    0.310    0.500    0.0187    0.0035  a
n83                     6.328    0.750    0.0515    0.1970  a
n125                    5.342    0.500    0.0063    0.0202  a
n121                    5.505    0.499    0.0053    0.0176  a
n122                    5.342    0.501    0.0051    0.0164  a
B[3]                    0.310    0.500    0.0063    0.0012  a
n115                    1.980    0.751    0.0687    0.0824  a
n102                    2.010    0.691    0.0661    0.0804  a
B[8]                    0.310    0.499    0.0062    0.0012  a
B[7]                    0.310    0.500    0.0053    0.0010  a
n123                    5.342    0.501    0.0031    0.0101  a
B[6]                    0.310    0.499    0.0051    0.0009  a
n88                     4.781    0.438    0.0438    0.1266  a
B[5]                    0.310    0.499    0.0031    0.0006  a
n82                     3.443    0.593    0.0500    0.1041  a
N15                     1.438    0.499    0.0500    0.0435  a
N276                    1.438    0.500    0.0500    0.0435  a
A[1]                    5.343    0.500    0.0500    0.1616  a
N16                     1.438    0.499    0.0375    0.0326  a
n101                    1.936    0.309    0.0661    0.0774  a
n86                     4.061    0.967    0.0286    0.0702  a
N17                     1.438    0.003    0.0312    0.0272  a
N18                     1.438    0.499    0.0281    0.0245  a
N19                     1.438    0.499    0.0262    0.0228  a
N20                     1.438    0.501    0.0260    0.0226  a
n114                    3.971    0.500    0.0187    0.0450  a
n116                    1.972    0.500    0.0437    0.0522  a
N277                    1.438    0.500    0.0250    0.0217  a
n85                     3.643    0.033    0.0286    0.0630  a
n92                     2.010    0.376    0.0250    0.0304  a
A[2]                    5.342    0.500    0.0250    0.0808  a
n97                     2.883    0.037    0.0168    0.0293  a
n90                     6.777    0.514    0.0111    0.0454  a
n105                    4.503    0.500    0.0187    0.0511  a
n99                     6.777    0.518    0.0105    0.0432  a
n91                     1.980    0.624    0.0250    0.0299  a
N278                    1.438    0.500    0.0125    0.0109  a
n107                    6.726    0.512    0.0062    0.0254  a
```

```
n118                          4.775    0.501    0.0077      0.0221  a
N282                          1.438    0.481    0.0115      0.0100  a
n98                           6.718    0.490    0.0062      0.0254  a
N281                          1.438    0.378    0.0113      0.0098  a
A[3]                          5.342    0.500    0.0125      0.0404  a
n89                           6.718    0.532    0.0062      0.0254  a
n110                          4.899    0.532    0.0062      0.0185  a
N280                          1.438    0.499    0.0094      0.0081  a
n100                          2.721    0.018    0.0075      0.0124  a
n108                          2.883    0.031    0.0062      0.0109  a
n87                           3.971    0.469    0.0062      0.0150  a
n113                          4.076    0.500    0.0062      0.0154  a
n109                          4.579    0.500    0.0062      0.0173  a
n112                          1.936    0.468    0.0062      0.0073  a
A[4]                          5.342    0.499    0.0062      0.0202  a
n84                           3.470    0.531    0.0062      0.0131  a
N279                          1.438    0.499    0.0062      0.0054  a
n111                          1.987    0.488    0.0062      0.0075  a
A[5]                          5.342    0.499    0.0031      0.0101  a
A[6]                          5.342    0.378    0.0012      0.0038  a
A[7]                          5.343    0.481    0.0010      0.0031  a
n128                         40.352    1.000    0.10e-4     0.0002  a
rst                           2.010    0.000    0.20e-4  2.433e-05  a
--------------------------------------------------------------------------------
Total (91 nets)                                                8.5332 uW


  Attributes
  ----------
      h  -  Hierarchical cell

                        Cell      Driven Net  Tot Dynamic      Cell
                        Internal  Switching   Power            Leakage
Cell                    Power     Power       (% Cell/Tot)     Power      Attrs
--------------------------------------------------------------------------------
AOLD_reg[0]                1.3708    0.3298      1.701 (81%)     88.2546
C_reg[0]                   1.3950    0.0187      1.414 (99%)     88.2538
AOLD_reg[1]                0.8459    0.1539      1.000 (85%)     88.2494
C_reg[1]                   0.8759 9.368e-03      0.885 (99%)     88.2532
AOLD_reg[4]                0.7764    0.0000      0.776 (100%)    86.2721
U130                       0.3938    0.3615      0.755 (52%)     36.1353
AOLD_reg[2]                0.5833    0.0641      0.647 (90%)     88.2488
C_reg[2]                   0.6163 4.683e-03      0.621 (99%)     88.2523
U145                       0.2901    0.2991      0.589 (49%)     36.1735
invold_reg                 0.4416    0.0971      0.539 (82%)     88.2486
U152                       0.2769    0.2569      0.534 (52%)     36.4400
U115                       0.3900    0.1087      0.499 (78%)     36.1633
C_reg[3]                   0.4866 2.342e-03      0.489 (100%)    88.2524
AOLD_reg[3]                0.4522    0.0214      0.474 (95%)     88.2465
U98                        0.1152    0.3554      0.471 (24%)     53.9145
AOLD_reg[7]                0.4319    0.0185      0.450 (96%)     88.2506
AOLD_reg[6]                0.4301    0.0173      0.447 (96%)     88.2494
U131                       0.2787    0.1543      0.433 (64%)     36.4473
AOLD_reg[5]                0.4134    0.0107      0.424 (97%)     88.2491
C_reg[4]                   0.4217 1.170e-03      0.423 (100%)    88.2500
U123                       0.2552    0.1653      0.421 (61%)     38.0494
C_reg[6]                   0.3995 2.212e-04      0.400 (100%)    88.1814
C_reg[5]                   0.3952 5.849e-04      0.396 (100%)    88.2498
C_reg[7]                   0.3773 1.819e-04      0.377 (100%)    88.2408
```

```
U107                        0.2862    0.0870      0.373 (77%)     36.1753
U142                        0.1745    0.1723      0.347 (50%)     35.3300
U125                        0.2664    0.0762      0.343 (78%)     25.4735
U149                        0.1317    0.1784      0.310 (42%)     36.1669
U114                        0.2337    0.0652      0.299 (78%)     36.1633
U150                        0.0644    0.1970      0.261 (25%)     17.4036
U144                        0.1432    0.0824      0.226 (63%)     22.5881
U129                        0.1448    0.0804      0.225 (64%)     26.5006
U143                        0.0880    0.1266      0.215 (41%)     30.7399
U118                        0.0977    0.1041      0.202 (48%)     21.8492
U113                        0.1555    0.0435      0.199 (78%)     36.1588
U106                        0.1441    0.0435      0.188 (77%)     36.1755
U112                        0.1164    0.0326      0.149 (78%)     36.1588
U128                        0.0639    0.0774      0.141 (45%)     15.9772
U122                        0.0578    0.0702      0.128 (45%)     12.5195
U111                        0.0969    0.0272      0.124 (78%)     36.1498
U110                        0.0871    0.0245      0.112 (78%)     36.1498
U109                        0.0886    0.0228      0.111 (80%)     33.4089
U108                        0.0815    0.0226      0.104 (78%)     35.7428
U148                        0.0562    0.0450      0.101 (56%)     36.1694
U147                        0.0467    0.0522   9.89e-02 (47%)     14.3517
U105                        0.0730    0.0217   9.47e-02 (77%)     36.1759
U116                        0.0287    0.0630   9.17e-02 (31%)     18.3261
U121                        0.0599    0.0304   9.03e-02 (66%)     28.1806
U124                        0.0506    0.0293   7.98e-02 (63%)     36.5468
U127                        0.0264    0.0454   7.19e-02 (37%)     26.6558
U146                        0.0178    0.0511   6.89e-02 (26%)     14.3554
U133                        0.0246    0.0432   6.79e-02 (36%)     37.8860
U120                        0.0243    0.0299   5.42e-02 (45%)     13.2968
U104                        0.0375    0.0109   4.83e-02 (78%)     36.1763
U139                        0.0207    0.0254   4.61e-02 (45%)     35.8127
U151                        0.0226    0.0221   4.47e-02 (51%)     36.4402
U100                        0.0347    0.0100   4.47e-02 (78%)     36.1739
U132                        0.0186    0.0254   4.40e-02 (42%)     36.6451
U101                        0.0341 9.835e-03   4.39e-02 (78%)     36.1772
U135                        0.0131    0.0254   3.85e-02 (34%)     27.4463
U137                        0.0189    0.0185   3.74e-02 (50%)     36.1751
U102                        0.0285 8.147e-03   3.67e-02 (78%)     36.1772
U126                        0.0224    0.0124   3.48e-02 (64%)     36.5771
U134                        0.0185    0.0109   2.94e-02 (63%)     36.3502
U119                        0.0132    0.0150   2.82e-02 (47%)     26.8304
U141                     9.550e-03    0.0154   2.49e-02 (38%)     47.4226
U140                     5.937e-03    0.0173   2.32e-02 (26%)     14.3569
U136                        0.0135 7.312e-03   2.08e-02 (65%)     28.1481
U117                     6.107e-03    0.0131   1.92e-02 (32%)     14.0865
U103                        0.0127 5.431e-03   1.81e-02 (70%)     37.6636
U138                     6.661e-03 7.503e-03   1.42e-02 (47%)     14.4580
U99                      9.743e-06 2.442e-04   2.54e-04 (4%)      10.1022
--------------------------------------------------------------------------------
Totals (72 cells)         15.981uW   4.657uW    20.638uW (77%)    3.184uW
```

B.2.2 Dati, carico 1 fF

```
****************************************
Report : power
        -net
        -cell
```

```
        -analysis_effort low
        -include_input_nets
        -sort_mode dynamic_power
Design : businvbeh
Version: S-2021.06-SP4
Date   : Mon May  6 18:33:29 2024
****************************************


Library(s) Used:

    NangateOpenCellLibrary (File:
    ↪  /home/mg.lowpower/do/libnangate/NangateOpenCellLibrary_typical_ecsm.db)


Operating Conditions: typical   Library: NangateOpenCellLibrary
Wire Load Model Mode: top

Design        Wire Load Model            Library
------------------------------------------------
businvbeh              5K_hvratio_1_1    NangateOpenCellLibrary


Global Operating Voltage = 1.1
Power-specific unit information :
    Voltage Units = 1V
    Capacitance Units = 1.000000ff
    Time Units = 1ns
    Dynamic Power Units = 1uW    (derived from V,C,T units)
    Leakage Power Units = 1nW



  Attributes
  ----------
      a  -  Switching activity information annotated on net
      d  -  Default switching activity information on net

                              Total      Static   Toggle   Switching
Net                           Net Load   Prob.    Rate     Power      Attrs
--------------------------------------------------------------------------------
ck                             26.720    0.500    0.2000      3.2331  a
N266                           23.506    0.491    0.0944      1.3428  a
n127                           25.403    0.507    0.0365      0.5611  a
C[0]                            0.310    0.499    0.0506      0.0095  a
C[1]                            0.310    0.500    0.0502      0.0094  a
C[6]                            0.310    0.494    0.0502      0.0094  a
C[5]                            0.310    0.493    0.0499      0.0093  a
C[4]                            0.310    0.499    0.0497      0.0093  a
C[7]                            0.310    0.500    0.0497      0.0093  a
C[2]                            0.310    0.499    0.0497      0.0093  a
C[3]                            0.310    0.512    0.0496      0.0093  a
n94                             1.931    0.524    0.1603      0.1873  a
n90                             6.777    0.504    0.1027      0.4211  a
n95                             1.960    0.500    0.1539      0.1825  a
n96                             4.602    0.491    0.1054      0.2934  a
n97                             2.883    0.503    0.1268      0.2212  a
n99                             6.777    0.499    0.0842      0.3453  a
n100                            2.721    0.628    0.1256      0.2068  a
```

```
N13                     1.438    0.514    0.1428    0.1242  a
N19                     1.438    0.496    0.1422    0.1237  a
N14                     1.438    0.503    0.1424    0.1239  a
N18                     1.438    0.521    0.1419    0.1235  a
N17                     1.438    0.501    0.1420    0.1235  a
N15                     1.438    0.503    0.1417    0.1233  a
N20                     1.438    0.488    0.1416    0.1232  a
N16                     1.438    0.497    0.1421    0.1236  a
n120                    5.505    0.485    0.0372    0.1240  a
n119                    5.505    0.497    0.0364    0.1212  a
n124                    5.342    0.498    0.0364    0.1176  a
n123                    5.342    0.478    0.0362    0.1169  a
n121                    5.505    0.512    0.0358    0.1191  a
n122                    5.342    0.504    0.0361    0.1167  a
n125                    5.342    0.503    0.0361    0.1167  a
n126                    5.342    0.496    0.0360    0.1164  a
n87                     3.971    0.568    0.1083    0.2602  a
B[0]                    0.310    0.515    0.0372    0.0070  a
n93                     4.557    0.378    0.0791    0.2182  a
B[1]                    0.310    0.503    0.0364    0.0068  a
B[4]                    0.310    0.502    0.0364    0.0068  a
B[5]                    0.310    0.522    0.0362    0.0068  a
B[6]                    0.310    0.496    0.0361    0.0068  a
B[3]                    0.310    0.497    0.0361    0.0068  a
B[2]                    0.310    0.504    0.0360    0.0067  a
B[7]                    0.310    0.488    0.0357    0.0067  a
B[8]                    0.310    0.492    0.0365    0.0068  a
n107                    6.726    0.509    0.0501    0.2038  a
n103                    6.741    0.495    0.0496    0.2022  a
n98                     6.718    0.498    0.0494    0.2009  a
n102                    2.010    0.630    0.1037    0.1261  a
n89                     6.718    0.506    0.0551    0.2241  a
n92                     2.010    0.485    0.1015    0.1235  a
n84                     3.470    0.431    0.1083    0.2274  a
n104                    2.721    0.491    0.0727    0.1197  a
n106                    4.943    0.507    0.0504    0.1506  a
n88                     4.781    0.503    0.0611    0.1768  a
n110                    4.899    0.505    0.0489    0.1450  a
n108                    2.883    0.498    0.0625    0.1090  a
n118                    4.775    0.511    0.0499    0.1442  a
n117                    4.530    0.498    0.0509    0.1394  a
N275                    1.438    0.499    0.0737    0.0641  a
N280                    1.438    0.493    0.0727    0.0632  a
N276                    1.438    0.500    0.0729    0.0634  a
N279                    1.438    0.500    0.0729    0.0634  a
N277                    1.438    0.499    0.0725    0.0631  a
N278                    1.438    0.512    0.0726    0.0632  a
N281                    1.438    0.494    0.0726    0.0632  a
N282                    1.438    0.500    0.0723    0.0629  a
n82                     3.443    0.499    0.0675    0.1405  a
n113                    4.076    0.500    0.0496    0.1223  a
n86                     4.061    0.860    0.0614    0.1510  a
n114                    3.971    0.514    0.0492    0.1181  a
n101                    1.936    0.370    0.1037    0.1215  a
n91                     1.980    0.515    0.1015    0.1217  a
n85                     3.643    0.140    0.0614    0.1354  a
n83                     6.328    0.749    0.0376    0.1440  a
n109                    4.579    0.500    0.0496    0.1374  a
n105                    4.503    0.486    0.0492    0.1339  a
```

```
n112                          1.936    0.372    0.0519      0.0608  a
n115                          1.980    0.622    0.0532      0.0638  a
A[0]                          5.343    0.500    0.0506      0.1636  a
A[1]                          5.343    0.500    0.0502      0.1624  a
A[6]                          5.342    0.495    0.0502      0.1623  a
A[5]                          5.342    0.494    0.0499      0.1612  a
A[7]                          5.343    0.500    0.0497      0.1608  a
A[4]                          5.342    0.500    0.0497      0.1607  a
A[2]                          5.342    0.499    0.0497      0.1605  a
A[3]                          5.342    0.513    0.0496      0.1603  a
n111                          1.987    0.491    0.0501      0.0602  a
n116                          1.972    0.505    0.0496      0.0591  a
n128                         40.352    1.000    0.10e-4     0.0002  a
rst                           2.010    0.000    0.20e-4  2.433e-05  a
--------------------------------------------------------------------------------
Total (91 nets)                                              15.2076 uW


  Attributes
  ----------
      h  -  Hierarchical cell

                        Cell      Driven Net  Tot Dynamic      Cell
                        Internal  Switching   Power            Leakage
Cell                    Power     Power       (% Cell/Tot)     Power      Attrs
--------------------------------------------------------------------------------
U98                        0.4763    1.3428      1.819 (26%)     51.4583
invold_reg                 0.8020    0.5679      1.370 (59%)     88.2387
AOLD_reg[0]                0.8486    0.1309      0.980 (87%)     88.2571
AOLD_reg[1]                0.8398    0.1280      0.968 (87%)     88.2504
AOLD_reg[4]                0.8393    0.1245      0.964 (87%)     88.2494
AOLD_reg[5]                0.8384    0.1237      0.962 (87%)     88.2609
AOLD_reg[6]                0.8368    0.1235      0.960 (87%)     88.2477
AOLD_reg[3]                0.8367    0.1235      0.960 (87%)     88.2485
AOLD_reg[7]                0.8331    0.1258      0.959 (87%)     88.2438
AOLD_reg[2]                0.8354    0.1231      0.959 (87%)     88.2496
C_reg[0]                   0.9043 9.483e-03      0.914 (99%)     88.2507
C_reg[1]                   0.9000 9.413e-03      0.909 (99%)     88.2509
C_reg[6]                   0.8996 9.409e-03      0.909 (99%)     88.2482
C_reg[5]                   0.8965 9.348e-03      0.906 (99%)     88.2478
C_reg[4]                   0.8951 9.316e-03      0.904 (99%)     88.2511
C_reg[7]                   0.8947 9.319e-03      0.904 (99%)     88.2512
C_reg[2]                   0.8942 9.305e-03      0.904 (99%)     88.2501
C_reg[3]                   0.8939 9.290e-03      0.903 (99%)     88.2579
U125                       0.4864    0.1873      0.674 (72%)     38.4894
U127                       0.2211    0.4211      0.642 (34%)     27.0645
U123                       0.4496    0.1825      0.632 (71%)     36.5283
U130                       0.3195    0.2934      0.613 (52%)     35.9542
U124                       0.3829    0.2212      0.604 (63%)     36.1296
U133                       0.2493    0.3453      0.595 (42%)     36.3539
U126                       0.3785    0.2068      0.585 (65%)     36.2699
U115                       0.4445    0.1242      0.569 (78%)     36.1266
U109                       0.4438    0.1237      0.568 (78%)     36.0145
U114                       0.4434    0.1239      0.567 (78%)     36.1356
U110                       0.4432    0.1235      0.567 (78%)     35.9966
U111                       0.4419    0.1235      0.565 (78%)     36.1334
U113                       0.4413    0.1233      0.565 (78%)     36.1132
U108                       0.4407    0.1232      0.564 (78%)     36.1446
U112                       0.4394    0.1236      0.563 (78%)     36.4182
```

```
U119                        0.2248    0.2602      0.485 (46%)     23.1347
U142                        0.2086    0.2182      0.427 (49%)     36.9756
U139                        0.1506    0.2038      0.354 (42%)     36.2404
U149                        0.1495    0.2022      0.352 (43%)     36.0668
U132                        0.1462    0.2009      0.347 (42%)     36.4012
U129                        0.2167    0.1261      0.343 (63%)     22.3293
U135                        0.1143    0.2241      0.338 (34%)     26.9555
U121                        0.2119    0.1235      0.335 (63%)     27.2950
U117                        0.1059    0.2274      0.333 (32%)     14.9325
U131                        0.2122    0.1197      0.332 (64%)     36.5792
U145                        0.1499    0.1506      0.300 (50%)     36.4172
U143                        0.1222    0.1768      0.299 (41%)     26.5859
U137                        0.1492    0.1450      0.294 (51%)     35.6451
U134                        0.1832    0.1090      0.292 (63%)     36.4228
U151                        0.1459    0.1442      0.290 (50%)     36.4918
U152                        0.1497    0.1394      0.289 (52%)     36.4509
U107                        0.2215    0.0641      0.286 (78%)     36.2746
U102                        0.2191    0.0632      0.282 (78%)     36.2526
U106                        0.2182    0.0634      0.282 (77%)     36.3115
U103                        0.2181    0.0634      0.282 (77%)     36.3146
U105                        0.2172    0.0631      0.280 (77%)     36.3079
U104                        0.2168    0.0632      0.280 (77%)     36.3302
U101                        0.2168    0.0632      0.280 (77%)     36.3333
U100                        0.2151    0.0629      0.278 (77%)     36.3570
U118                        0.1326    0.1405      0.273 (49%)     24.1714
U141                        0.1494    0.1223      0.272 (55%)     36.1190
U122                        0.1191    0.1510      0.270 (44%)     18.4971
U148                        0.1470    0.1181      0.265 (55%)     36.2721
U128                        0.1002    0.1215      0.222 (45%)     15.4588
U120                        0.0987    0.1217      0.220 (45%)     14.2238
U116                        0.0618    0.1354      0.197 (31%)     17.4114
U150                        0.0517    0.1440      0.196 (26%)     17.6945
U140                        0.0472    0.1374      0.185 (26%)     14.3503
U146                        0.0468    0.1339      0.181 (26%)     14.4749
U136                        0.1114    0.0608      0.172 (65%)     27.9498
U144                        0.1053    0.0638      0.169 (62%)     22.8408
U138                        0.0534    0.0602      0.114 (47%)     14.4268
U147                        0.0530    0.0591      0.112 (47%)     14.3105
U99                       9.741e-06 2.442e-04   2.54e-04 (4%)     10.1022
--------------------------------------------------------------------------------
Totals (72 cells)          26.852uW  10.683uW    37.534uW (72%)    3.181uW
```

B.3 Codifica *transition based*

B.3.1 Indirizzi, carico 1 fF

```
****************************************
Report : power
        -net
        -cell
        -analysis_effort low
        -include_input_nets
        -sort_mode dynamic_power
Design : transbased
Version: S-2021.06-SP4
Date   : Mon May  6 18:26:15 2024
****************************************


Library(s) Used:

    NangateOpenCellLibrary (File:
    ↪  /home/mg.lowpower/do/libnangate/NangateOpenCellLibrary_typical_ecsm.db)


Operating Conditions: typical   Library: NangateOpenCellLibrary
Wire Load Model Mode: top

Design        Wire Load Model            Library
------------------------------------------------
transbased             5K_hvratio_1_1    NangateOpenCellLibrary


Global Operating Voltage = 1.1
Power-specific unit information :
    Voltage Units = 1V
    Capacitance Units = 1.000000ff
    Time Units = 1ns
    Dynamic Power Units = 1uW    (derived from V,C,T units)
    Leakage Power Units = 1nW



  Attributes
  ----------
      a  -  Switching activity information annotated on net
      d  -  Default switching activity information on net

                              Total      Static   Toggle   Switching
Net                           Net Load   Prob.    Rate     Power      Attrs
--------------------------------------------------------------------------------
ck                             39.765    0.500    0.2000      4.8115  a
B[1]                            4.507    0.250    0.0500      0.1363  a
B[3]                            4.507    0.249    0.0500      0.1363  a
B[2]                            4.507    0.249    0.0500      0.1363  a
B[5]                            4.507    0.249    0.0499      0.1362  a
B[4]                            4.507    0.249    0.0499      0.1362  a
B[7]                            4.507    0.240    0.0481      0.1313  a
n14                             2.542    0.750    0.0500      0.0769  a
n12                             2.542    0.750    0.0500      0.0769  a
```

```
n10                          2.542    0.750    0.0500      0.0768  a
n6                           2.542    0.750    0.0499      0.0768  a
n8                           2.542    0.750    0.0499      0.0768  a
n2                           2.542    0.759    0.0481      0.0740  a
B[0]                         4.507    0.500    0.0500      0.1363  a
B[6]                         4.507    0.189    0.0378      0.1030  a
n4                           2.542    0.811    0.0378      0.0581  a
n16                          2.542    0.500    0.0500      0.0769  a
n15                          2.721    0.750    0.0500      0.0823  a
n13                          2.721    0.750    0.0500      0.0823  a
n11                          2.721    0.750    0.0500      0.0823  a
n7                           2.721    0.750    0.0499      0.0822  a
n9                           2.721    0.750    0.0499      0.0822  a
n3                           2.721    0.759    0.0481      0.0792  a
CENC[1]                      1.438    0.250    0.0500      0.0435  a
CENC[2]                      1.438    0.250    0.0500      0.0435  a
CENC[3]                      1.438    0.249    0.0500      0.0435  a
CENC[4]                      1.438    0.249    0.0499      0.0434  a
CENC[5]                      1.438    0.249    0.0499      0.0434  a
CENC[7]                      1.438    0.240    0.0481      0.0419  a
n17                          2.721    0.500    0.0500      0.0823  a
n5                           2.721    0.811    0.0378      0.0622  a
CENC[6]                      1.438    0.189    0.0378      0.0329  a
CENC[0]                      1.438    0.500    0.0500      0.0435  a
C[0]                         0.310    0.500    0.1000      0.0187  a
N6                           1.438    0.250    0.0514      0.0447  a
N5                           1.438    0.250    0.0514      0.0447  a
N7                           1.438    0.499    0.0514      0.0447  a
N4                           1.438    0.250    0.0514      0.0447  a
N3                           1.438    0.250    0.0513      0.0447  a
N2                           1.438    0.250    0.0513      0.0447  a
N0                           1.438    0.241    0.0482      0.0419  a
A[0]                         2.721    0.500    0.1000      0.1646  a
N1                           1.438    0.189    0.0378      0.0329  a
C[1]                         0.310    0.499    0.0500      0.0094  a
A[1]                         2.721    0.500    0.0500      0.0823  a
C[2]                         0.310    0.500    0.0250      0.0047  a
A[2]                         2.721    0.500    0.0250      0.0412  a
C[3]                         0.310    0.500    0.0125      0.0023  a
A[3]                         2.721    0.500    0.0125      0.0206  a
C[4]                         0.310    0.499    0.0062      0.0012  a
A[4]                         2.721    0.499    0.0062      0.0103  a
C[5]                         0.310    0.499    0.0031      0.0006  a
A[5]                         2.721    0.499    0.0031      0.0051  a
C[6]                         0.310    0.378    0.0012      0.0002  a
C[7]                         0.310    0.481    0.0010      0.0002  a
A[6]                         2.721    0.378    0.0012      0.0019  a
A[7]                         2.721    0.481    0.0010      0.0016  a
n1                          59.011    1.000    0.10e-4     0.0004  a
rst                          2.010    0.000    0.20e-4  2.433e-05  a
--------------------------------------------------------------------------------
Total (59 nets)                                                8.1355 uW


  Attributes
  ----------
      h  -  Hierarchical cell

                        Cell      Driven Net  Tot Dynamic      Cell
```

```
                          Internal  Switching   Power            Leakage
Cell                      Power     Power       (% Cell/Tot)     Power      Attrs
--------------------------------------------------------------------------------
buss_reg[1]                  0.9823    0.1363      1.119 (88%)     87.9647
buss_reg[3]                  0.9822    0.1363      1.118 (88%)     87.9643
buss_reg[2]                  0.9822    0.1363      1.118 (88%)     87.9644
buss_reg[5]                  0.9819    0.1362      1.118 (88%)     87.9637
buss_reg[4]                  0.9819    0.1362      1.118 (88%)     87.9637
CENC_reg[1]                  0.9812    0.1258      1.107 (89%)     87.9590
CENC_reg[2]                  0.9811    0.1258      1.107 (89%)     87.9583
CENC_reg[3]                  0.9811    0.1257      1.107 (89%)     87.9587
CENC_reg[4]                  0.9809    0.1257      1.107 (89%)     87.9577
CENC_reg[5]                  0.9809    0.1257      1.107 (89%)     87.9577
buss_reg[7]                  0.9684    0.1313      1.100 (88%)     87.9359
CENC_reg[7]                  0.9689    0.1211      1.090 (89%)     87.9310
CENCOLD_reg[1]               0.9784    0.0769      1.055 (93%)     87.9577
CENCOLD_reg[2]               0.9784    0.0769      1.055 (93%)     87.9577
CENCOLD_reg[3]               0.9783    0.0768      1.055 (93%)     87.9574
CENCOLD_reg[4]               0.9782    0.0768      1.055 (93%)     87.9571
CENCOLD_reg[5]               0.9782    0.0768      1.055 (93%)     87.9571
CENCOLD_reg[7]               0.9662    0.0740      1.040 (93%)     87.9298
buss_reg[0]                  0.8820    0.1363      1.018 (87%)     88.2491
CENC_reg[0]                  0.8814    0.1258      1.007 (88%)     88.2494
buss_reg[6]                  0.9038    0.1030      1.007 (90%)     87.7389
CENC_reg[6]                  0.9043    0.0951      0.999 (90%)     87.7345
CENCOLD_reg[6]               0.9022    0.0581      0.960 (94%)     87.7342
CENCOLD_reg[0]               0.8789    0.0769      0.956 (92%)     88.2486
U36                          0.2933    0.0187      0.312 (94%)     36.1652
U22                          0.1690    0.0447      0.214 (79%)     35.4218
U23                          0.1616    0.0447      0.206 (78%)     35.4176
U21                          0.1560    0.0447      0.201 (78%)     36.1646
U24                          0.1556    0.0447      0.200 (78%)     35.4176
U25                          0.1516    0.0447      0.196 (77%)     35.4092
U26                          0.1492    0.0447      0.194 (77%)     35.4092
U28                          0.1407    0.0419      0.183 (77%)     35.0313
U27                          0.1216    0.0329      0.154 (79%)     32.9388
U35                          0.1145 9.368e-03      0.124 (92%)     43.2845
U34                          0.0572 4.683e-03   6.19e-02 (92%)     43.2846
U33                          0.0286 2.342e-03   3.10e-02 (92%)     43.2876
U32                          0.0143 1.170e-03   1.55e-02 (92%)     43.2908
U31                       7.147e-03 5.849e-04   7.73e-03 (92%)     43.2908
U30                       2.518e-03 2.212e-04   2.74e-03 (92%)     45.2489
U29                       2.199e-03 1.819e-04   2.38e-03 (92%)     43.5782
U20                       9.108e-06 3.572e-04   3.66e-04 (2%)      10.1022
--------------------------------------------------------------------------------
Totals (41 cells)          24.688uW   2.996uW    27.685uW (89%)    2.744uW
```

B.3.2 Dati, carico 1 fF

```
****************************************
Report : power
        -net
        -cell
        -analysis_effort low
        -include_input_nets
        -sort_mode dynamic_power
Design : transbased
```

```
Version: S-2021.06-SP4
Date   : Mon May  6 18:33:46 2024
****************************************


Library(s) Used:

    NangateOpenCellLibrary (File:
    ↪  /home/mg.lowpower/do/libnangate/NangateOpenCellLibrary_typical_ecsm.db)


Operating Conditions: typical   Library: NangateOpenCellLibrary
Wire Load Model Mode: top

Design        Wire Load Model            Library
------------------------------------------------
transbased             5K_hvratio_1_1    NangateOpenCellLibrary


Global Operating Voltage = 1.1
Power-specific unit information :
    Voltage Units = 1V
    Capacitance Units = 1.000000ff
    Time Units = 1ns
    Dynamic Power Units = 1uW    (derived from V,C,T units)
    Leakage Power Units = 1nW



  Attributes
  ----------
      a  -  Switching activity information annotated on net
      d  -  Default switching activity information on net

                              Total      Static   Toggle   Switching
Net                           Net Load   Prob.    Rate     Power      Attrs
--------------------------------------------------------------------------------
ck                             39.765    0.500    0.2000      4.8116  a
B[3]                            4.507    0.499    0.0512      0.1397  a
B[7]                            4.507    0.498    0.0500      0.1364  a
B[1]                            4.507    0.499    0.0500      0.1363  a
B[4]                            4.507    0.495    0.0500      0.1363  a
B[0]                            4.507    0.495    0.0499      0.1362  a
B[2]                            4.507    0.502    0.0499      0.1360  a
B[6]                            4.507    0.498    0.0494      0.1348  a
B[5]                            4.507    0.504    0.0494      0.1346  a
n10                             2.542    0.501    0.0512      0.0788  a
n2                              2.542    0.502    0.0500      0.0769  a
n14                             2.542    0.501    0.0500      0.0769  a
n8                              2.542    0.504    0.0500      0.0768  a
n16                             2.542    0.505    0.0499      0.0768  a
n12                             2.542    0.497    0.0499      0.0767  a
n4                              2.542    0.502    0.0494      0.0760  a
n6                              2.542    0.495    0.0494      0.0759  a
n11                             2.721    0.501    0.0512      0.0844  a
n3                              2.721    0.502    0.0500      0.0824  a
n15                             2.721    0.501    0.0500      0.0823  a
n9                              2.721    0.504    0.0500      0.0823  a
n17                             2.721    0.505    0.0499      0.0822  a
```

```
n13                          2.721    0.497    0.0499      0.0821  a
n5                           2.721    0.502    0.0494      0.0814  a
n7                           2.721    0.495    0.0494      0.0813  a
CENC[3]                      1.438    0.499    0.0512      0.0446  a
CENC[7]                      1.438    0.498    0.0500      0.0435  a
CENC[1]                      1.438    0.499    0.0500      0.0435  a
CENC[4]                      1.438    0.495    0.0500      0.0435  a
CENC[0]                      1.438    0.495    0.0499      0.0434  a
CENC[2]                      1.438    0.502    0.0499      0.0434  a
CENC[6]                      1.438    0.498    0.0494      0.0430  a
CENC[5]                      1.438    0.504    0.0494      0.0429  a
N4                           1.438    0.499    0.0513      0.0446  a
N0                           1.438    0.498    0.0500      0.0435  a
N3                           1.438    0.496    0.0500      0.0435  a
N7                           1.438    0.495    0.0500      0.0435  a
N6                           1.438    0.499    0.0500      0.0435  a
N5                           1.438    0.502    0.0499      0.0434  a
N1                           1.438    0.498    0.0495      0.0430  a
N2                           1.438    0.505    0.0494      0.0430  a
C[0]                         0.310    0.499    0.0506      0.0095  a
C[1]                         0.310    0.500    0.0502      0.0094  a
C[6]                         0.310    0.494    0.0502      0.0094  a
C[5]                         0.310    0.493    0.0499      0.0093  a
C[2]                         0.310    0.499    0.0497      0.0093  a
C[7]                         0.310    0.500    0.0497      0.0093  a
C[3]                         0.310    0.512    0.0496      0.0093  a
C[4]                         0.310    0.500    0.0497      0.0093  a
A[0]                         2.721    0.500    0.0506      0.0833  a
A[1]                         2.721    0.500    0.0502      0.0827  a
A[6]                         2.721    0.495    0.0502      0.0827  a
A[5]                         2.721    0.494    0.0499      0.0821  a
A[7]                         2.721    0.500    0.0497      0.0819  a
A[4]                         2.721    0.500    0.0497      0.0819  a
A[2]                         2.721    0.499    0.0497      0.0817  a
A[3]                         2.721    0.513    0.0496      0.0816  a
n1                          59.011    1.000    0.10e-4     0.0004  a
rst                          2.010    0.000    0.20e-4  2.433e-05  a
--------------------------------------------------------------------------------
Total (59 nets)                                                8.6041 uW


  Attributes
  ----------
      h  -  Hierarchical cell

                        Cell      Driven Net  Tot Dynamic      Cell
                        Internal  Switching   Power            Leakage
Cell                    Power     Power       (% Cell/Tot)     Power      Attrs
--------------------------------------------------------------------------------
buss_reg[3]                0.8937    0.1397      1.033 (86%)     88.2505
CENC_reg[3]                0.8946    0.1289      1.023 (87%)     88.2491
buss_reg[7]                0.8809    0.1364      1.017 (87%)     88.2498
buss_reg[1]                0.8806    0.1363      1.017 (87%)     88.2501
buss_reg[4]                0.8804    0.1363      1.017 (87%)     88.2488
buss_reg[0]                0.8801    0.1362      1.016 (87%)     88.2482
buss_reg[2]                0.8796    0.1360      1.016 (87%)     88.2521
buss_reg[6]                0.8748    0.1348      1.010 (87%)     88.2497
buss_reg[5]                0.8741    0.1346      1.009 (87%)     88.2534
CENC_reg[7]                0.8817    0.1259      1.008 (88%)     88.2484
```

```
CENC_reg[1]                0.8814    0.1258      1.007 (88%)     88.2484
CENC_reg[4]                0.8812    0.1257      1.007 (88%)     88.2466
CENC_reg[0]                0.8809    0.1257      1.007 (88%)     88.2469
CENC_reg[2]                0.8804    0.1255      1.006 (88%)     88.2504
CENC_reg[6]                0.8756    0.1244      1.000 (88%)     88.2484
CENC_reg[5]                0.8749    0.1242      0.999 (88%)     88.2521
CENCOLD_reg[3]             0.8920    0.0788      0.971 (92%)     88.2483
CENCOLD_reg[7]             0.8792    0.0769      0.956 (92%)     88.2476
CENCOLD_reg[1]             0.8789    0.0769      0.956 (92%)     88.2477
CENCOLD_reg[4]             0.8786    0.0768      0.955 (92%)     88.2463
CENCOLD_reg[0]             0.8783    0.0768      0.955 (92%)     88.2458
CENCOLD_reg[2]             0.8779    0.0767      0.955 (92%)     88.2497
CENCOLD_reg[6]             0.8731    0.0760      0.949 (92%)     88.2473
CENCOLD_reg[5]             0.8723    0.0759      0.948 (92%)     88.2510
U24                        0.1522    0.0446      0.197 (77%)     36.4431
U28                        0.1497    0.0435      0.193 (77%)     36.1645
U25                        0.1497    0.0435      0.193 (77%)     36.1458
U21                        0.1497    0.0435      0.193 (78%)     36.1385
U22                        0.1496    0.0435      0.193 (77%)     36.1576
U23                        0.1491    0.0434      0.192 (77%)     36.1457
U27                        0.1484    0.0430      0.191 (78%)     36.0343
U26                        0.1478    0.0430      0.191 (77%)     36.0351
U36                        0.1479 9.483e-03      0.157 (94%)     36.2799
U35                        0.1473 9.413e-03      0.157 (94%)     36.1904
U30                        0.1471 9.409e-03      0.157 (94%)     36.2083
U31                        0.1470 9.348e-03      0.156 (94%)     36.0427
U34                        0.1460 9.305e-03      0.155 (94%)     36.0987
U29                        0.1456 9.318e-03      0.155 (94%)     36.2111
U33                        0.1453 9.288e-03      0.155 (94%)     36.1779
U32                        0.1453 9.316e-03      0.155 (94%)     36.2725
U20                     9.106e-06 3.571e-04   3.66e-04 (2%)      10.1022
--------------------------------------------------------------------------------
Totals (41 cells)         23.493uW   3.135uW    26.627uW (88%)    2.707uW
```

B.4 Codifica Gray

B.4.1 Indirizzi, carico 1 fF

```
****************************************
Report : power
        -net
        -cell
        -analysis_effort low
        -include_input_nets
        -sort_mode dynamic_power
Design : grayencoder
Version: S-2021.06-SP4
Date   : Mon May  6 18:26:32 2024
****************************************


Library(s) Used:

    NangateOpenCellLibrary (File:
    ↪  /home/mg.lowpower/do/libnangate/NangateOpenCellLibrary_typical_ecsm.db)


Operating Conditions: typical   Library: NangateOpenCellLibrary
Wire Load Model Mode: top

Design        Wire Load Model            Library
------------------------------------------------
grayencoder            5K_hvratio_1_1    NangateOpenCellLibrary


Global Operating Voltage = 1.1
Power-specific unit information :
    Voltage Units = 1V
    Capacitance Units = 1.000000ff
    Time Units = 1ns
    Dynamic Power Units = 1uW    (derived from V,C,T units)
    Leakage Power Units = 1nW



  Attributes
  ----------
      a  -  Switching activity information annotated on net
      d  -  Default switching activity information on net

                              Total      Static   Toggle   Switching
Net                           Net Load   Prob.    Rate     Power      Attrs
--------------------------------------------------------------------------------
ck                             24.856    0.500    0.2000      3.0076  a
n2                              2.542    0.500    0.0500      0.0769  a
B[0]                            1.827    0.500    0.0500      0.0553  a
BTMP[1]                         2.542    0.500    0.0250      0.0384  a
B[1]                            1.827    0.500    0.0250      0.0276  a
BTMP[2]                         2.542    0.500    0.0125      0.0192  a
B[2]                            1.827    0.500    0.0125      0.0138  a
n3                              2.883    0.756    0.0006      0.0010  a
B[6]                            1.827    0.244    0.0006      0.0006  a
```

```
BTMP[3]                          2.542    0.500    0.0063      0.0096  a
B[3]                             1.827    0.500    0.0063      0.0069  a
BTMP[4]                          2.542    0.499    0.0031      0.0048  a
B[4]                             1.827    0.499    0.0031      0.0035  a
BTMP[5]                          2.542    0.499    0.0019      0.0030  a
B[5]                             1.827    0.499    0.0019      0.0021  a
C[7]                             2.932    0.481    0.0010      0.0017  a
B[7]                             1.827    0.481    0.0010      0.0011  a
C[0]                             0.310    0.507    0.1000      0.0187  a
C[1]                             3.272    0.503    0.0500      0.0990  a
N0                               1.438    0.499    0.0500      0.0435  a
A[0]                             2.721    0.500    0.1000      0.1646  a
A[1]                             5.342    0.500    0.0500      0.1616  a
C[2]                             3.110    0.501    0.0250      0.0470  a
N1                               1.438    0.500    0.0250      0.0218  a
A[2]                             5.342    0.500    0.0250      0.0808  a
C[3]                             3.110    0.500    0.0125      0.0235  a
N2                               1.438    0.500    0.0125      0.0109  a
A[3]                             5.342    0.500    0.0125      0.0404  a
C[4]                             3.110    0.500    0.0062      0.0117  a
N3                               1.438    0.500    0.0063      0.0054  a
A[4]                             5.342    0.499    0.0062      0.0202  a
C[5]                             3.110    0.499    0.0031      0.0059  a
N4                               1.438    0.499    0.0031      0.0027  a
N5                               1.438    0.499    0.0026      0.0022  a
A[5]                             5.342    0.499    0.0031      0.0101  a
C[6]                             3.110    0.378    0.0012      0.0022  a
A[6]                             5.342    0.378    0.0012      0.0038  a
A[7]                             4.059    0.481    0.0010      0.0024  a
N6                               1.438    0.245    0.0006      0.0005  a
n1                              37.687    1.000    0.20e-4     0.0005  a
rst                              2.010    0.000    0.20e-4  2.433e-05  a
--------------------------------------------------------------------------------
Total (41 nets)                                                 4.0526 uW


  Attributes
  ----------
      h  -  Hierarchical cell

                        Cell      Driven Net  Tot Dynamic      Cell
                        Internal  Switching   Power            Leakage
Cell                    Power     Power       (% Cell/Tot)     Power      Attrs
--------------------------------------------------------------------------------
BTMP_reg[0]                0.8789    0.0769      0.956 (92%)     88.2487
buss_reg[0]                0.8789    0.0553      0.934 (94%)     88.2485
BTMP_reg[1]                0.6182    0.0384      0.657 (94%)     88.2505
buss_reg[1]                0.6179    0.0276      0.646 (96%)     88.2498
BTMP_reg[2]                0.4875    0.0192      0.507 (96%)     88.2506
buss_reg[2]                0.4873    0.0138      0.501 (97%)     88.2503
BTMP_reg[6]                0.4544 9.599e-04      0.455 (100%)    87.9447
buss_reg[6]                0.4543 6.082e-04      0.455 (100%)    87.9450
BTMP_reg[3]                0.4222 9.616e-03      0.432 (98%)     88.2504
buss_reg[3]                0.4222 6.912e-03      0.429 (98%)     88.2503
BTMP_reg[4]                0.3895 4.800e-03      0.394 (99%)     88.2499
buss_reg[4]                0.3895 3.450e-03      0.393 (99%)     88.2497
BTMP_reg[5]                0.3772 2.985e-03      0.380 (99%)     88.2499
buss_reg[5]                0.3777 2.145e-03      0.380 (99%)     88.2499
BTMP_reg[7]                0.3673 1.721e-03      0.369 (100%)    88.2408
```

```
buss_reg[7]                 0.3673 1.073e-03      0.368 (100%)    88.2409
U26                         0.2885    0.0187      0.307 (94%)     36.4327
U27                         0.1492    0.0990      0.248 (60%)     36.1894
U25                         0.1531    0.0435      0.197 (78%)     36.1661
U28                         0.0746    0.0470      0.122 (61%)     36.1691
U24                         0.0766    0.0218   9.83e-02 (78%)     36.1655
U29                         0.0373    0.0235   6.08e-02 (61%)     36.1551
U23                         0.0383    0.0109   4.92e-02 (78%)     36.1611
U30                         0.0186    0.0117   3.04e-02 (61%)     36.1501
U22                         0.0192 5.440e-03   2.46e-02 (78%)     36.1599
U31                      9.912e-03 5.874e-03   1.58e-02 (63%)     33.4094
U21                      9.564e-03 2.716e-03   1.23e-02 (78%)     36.1508
U20                      8.482e-03 2.246e-03   1.07e-02 (79%)     35.7900
U32                      3.945e-03 2.221e-03   6.17e-03 (64%)     36.0010
U19                      1.773e-03 4.787e-04   2.25e-03 (79%)     33.3821
U18                      1.967e-05 4.562e-04   4.76e-04 (4%)      10.1022
--------------------------------------------------------------------------------
Totals (31 cells)           8.879uW 561.120nW     9.440uW (94%)    1.922uW
```

B.4.2 Dati, carico 1 fF

```
****************************************
Report : power
        -net
        -cell
        -analysis_effort low
        -include_input_nets
        -sort_mode dynamic_power
Design : grayencoder
Version: S-2021.06-SP4
Date   : Mon May  6 18:34:03 2024
****************************************


Library(s) Used:

    NangateOpenCellLibrary (File:
    ↪  /home/mg.lowpower/do/libnangate/NangateOpenCellLibrary_typical_ecsm.db)


Operating Conditions: typical   Library: NangateOpenCellLibrary
Wire Load Model Mode: top

Design        Wire Load Model            Library
------------------------------------------------
grayencoder            5K_hvratio_1_1    NangateOpenCellLibrary


Global Operating Voltage = 1.1
Power-specific unit information :
    Voltage Units = 1V
    Capacitance Units = 1.000000ff
    Time Units = 1ns
    Dynamic Power Units = 1uW    (derived from V,C,T units)
    Leakage Power Units = 1nW


```

```

  Attributes
  ----------
      a  -  Switching activity information annotated on net
      d  -  Default switching activity information on net

                              Total      Static   Toggle   Switching
Net                           Net Load   Prob.    Rate     Power      Attrs
--------------------------------------------------------------------------------
ck                             24.856    0.500    0.2000      3.0076  a
C[1]                            3.272    0.499    0.2183      0.4322  a
n3                              2.883    0.499    0.0509      0.0887  a
C[7]                            2.932    0.500    0.0497      0.0882  a
n2                              2.542    0.503    0.0508      0.0781  a
BTMP[2]                         2.542    0.503    0.0505      0.0777  a
BTMP[4]                         2.542    0.505    0.0498      0.0766  a
BTMP[1]                         2.542    0.507    0.0496      0.0763  a
BTMP[5]                         2.542    0.501    0.0495      0.0762  a
BTMP[3]                         2.542    0.494    0.0494      0.0759  a
B[6]                            1.827    0.501    0.0509      0.0562  a
B[0]                            1.827    0.497    0.0508      0.0561  a
B[2]                            1.827    0.503    0.0506      0.0559  a
B[7]                            1.827    0.500    0.0497      0.0550  a
B[4]                            1.827    0.505    0.0498      0.0551  a
B[1]                            1.827    0.507    0.0496      0.0548  a
B[5]                            1.827    0.501    0.0495      0.0548  a
B[3]                            1.827    0.494    0.0494      0.0546  a
C[2]                            3.110    0.498    0.1886      0.3549  a
C[0]                            0.310    0.498    0.2607      0.0488  a
C[3]                            3.110    0.512    0.1548      0.2913  a
C[4]                            3.110    0.499    0.1212      0.2280  a
C[5]                            3.110    0.493    0.0815      0.1534  a
C[6]                            3.110    0.494    0.0622      0.1170  a
N6                              1.438    0.501    0.0509      0.0443  a
N0                              1.438    0.497    0.0508      0.0442  a
N2                              1.438    0.503    0.0506      0.0440  a
N4                              1.438    0.505    0.0498      0.0433  a
N5                              1.438    0.501    0.0495      0.0431  a
N1                              1.438    0.507    0.0496      0.0432  a
N3                              1.438    0.494    0.0494      0.0430  a
A[1]                            5.342    0.500    0.0502      0.1624  a
A[6]                            5.342    0.495    0.0502      0.1623  a
A[5]                            5.342    0.494    0.0499      0.1612  a
A[4]                            5.342    0.500    0.0497      0.1607  a
A[2]                            5.342    0.499    0.0497      0.1605  a
A[3]                            5.342    0.513    0.0496      0.1603  a
A[7]                            4.059    0.500    0.0497      0.1222  a
A[0]                            2.721    0.500    0.0506      0.0833  a
n1                             37.687    1.000    0.20e-4     0.0005  a
rst                             2.010    0.000    0.20e-4  2.433e-05  a
--------------------------------------------------------------------------------
Total (41 nets)                                                7.1918 uW


  Attributes
  ----------
      h  -  Hierarchical cell

                        Cell      Driven Net  Tot Dynamic      Cell
```

```
                          Internal  Switching   Power            Leakage
Cell                      Power     Power       (% Cell/Tot)     Power      Attrs
--------------------------------------------------------------------------------
U27                          0.6615    0.4322      1.094 (60%)     36.1416
BTMP_reg[6]                  0.8881    0.0887      0.977 (91%)     88.2493
BTMP_reg[7]                  0.8769    0.0882      0.965 (91%)     88.2503
BTMP_reg[0]                  0.8869    0.0781      0.965 (92%)     88.2470
BTMP_reg[2]                  0.8853    0.0777      0.963 (92%)     88.2519
BTMP_reg[4]                  0.8776    0.0766      0.954 (92%)     88.2529
BTMP_reg[1]                  0.8757    0.0763      0.952 (92%)     88.2542
BTMP_reg[5]                  0.8746    0.0762      0.951 (92%)     88.2507
BTMP_reg[3]                  0.8729    0.0759      0.949 (92%)     88.2473
buss_reg[6]                  0.8879    0.0562      0.944 (94%)     88.2520
buss_reg[0]                  0.8868    0.0561      0.943 (94%)     88.2502
buss_reg[2]                  0.8847    0.0559      0.941 (94%)     88.2537
buss_reg[7]                  0.8774    0.0550      0.932 (94%)     88.2523
buss_reg[4]                  0.8770    0.0551      0.932 (94%)     88.2542
buss_reg[1]                  0.8750    0.0548      0.930 (94%)     88.2554
buss_reg[5]                  0.8740    0.0548      0.929 (94%)     88.2520
buss_reg[3]                  0.8722    0.0546      0.927 (94%)     88.2481
U28                          0.5696    0.3549      0.925 (62%)     36.4322
U26                          0.7611    0.0488      0.810 (94%)     36.4115
U29                          0.4700    0.2913      0.761 (62%)     36.1248
U30                          0.3645    0.2280      0.593 (62%)     36.0257
U31                          0.2447    0.1534      0.398 (61%)     36.0248
U32                          0.1824    0.1170      0.299 (61%)     36.4464
U19                          0.1546    0.0443      0.199 (78%)     36.0413
U25                          0.1540    0.0442      0.198 (78%)     36.1528
U23                          0.1526    0.0440      0.197 (78%)     36.1765
U21                          0.1514    0.0433      0.195 (78%)     36.1411
U20                          0.1509    0.0431      0.194 (78%)     36.0065
U24                          0.1505    0.0432      0.194 (78%)     36.1588
U22                          0.1488    0.0430      0.192 (78%)     36.4454
U18                        1.966e-05 4.561e-04   4.76e-04 (4%)      10.1022
--------------------------------------------------------------------------------
Totals (31 cells)          18.390uW   3.011uW    21.401uW (86%)    1.929uW
1
```

B.5 Codifica T0

B.5.1 Indirizzi, carico 1 fF

```
****************************************
Report : power
        -net
        -cell
        -analysis_effort low
        -include_input_nets
        -sort_mode dynamic_power
Design : t0encoder
Version: S-2021.06-SP4
Date   : Mon May  6 18:26:48 2024
****************************************


Library(s) Used:

    NangateOpenCellLibrary (File:
    ↪  /home/mg.lowpower/do/libnangate/NangateOpenCellLibrary_typical_ecsm.db)


Operating Conditions: typical   Library: NangateOpenCellLibrary
Wire Load Model Mode: top

Design        Wire Load Model            Library
------------------------------------------------
t0encoder              5K_hvratio_1_1    NangateOpenCellLibrary


Global Operating Voltage = 1.1
Power-specific unit information :
    Voltage Units = 1V
    Capacitance Units = 1.000000ff
    Time Units = 1ns
    Dynamic Power Units = 1uW    (derived from V,C,T units)
    Leakage Power Units = 1nW



  Attributes
  ----------
      a  -  Switching activity information annotated on net
      d  -  Default switching activity information on net

                              Total      Static   Toggle   Switching
Net                           Net Load   Prob.    Rate     Power      Attrs
--------------------------------------------------------------------------------
ck                             41.629    0.500    0.2000      5.0370  a
N10                            21.009    0.984    0.1988      2.5270  a
Aprev[0]                        5.847    0.500    0.1000      0.3537  a
C[1]                            3.885    0.500    0.0500      0.1175  a
Aprev[1]                        3.496    0.500    0.0500      0.1057  a
C[0]                            4.147    0.500    0.1000      0.2508  a
B[0]                            3.036    0.000    0.0000      0.0000  a
B[1]                            3.036    0.000    0.0000      0.0000  a
B[2]                            3.036    0.000    0.0000      0.0000  a
```

```
B[3]                    3.036    0.000    0.0000    0.0000  a
B[4]                    3.036    0.000    0.0000    0.0000  a
B[5]                    3.036    0.000    0.0000    0.0000  a
n49                     2.047    0.010    0.2000    0.2476  a
n57                     1.256    0.500    0.1000    0.0760  a
C[2]                    3.885    0.500    0.0250    0.0587  a
Aprev[2]                3.496    0.500    0.0250    0.0529  a
n21                    19.382    0.006    0.0012    0.0140  a
B[8]                    0.310    0.994    0.0012    0.0002  a
B[7]                    3.036    0.731    0.0003    0.0005  a
n48                     1.284    0.986    0.1992    0.1548  a
C[3]                    3.885    0.500    0.0125    0.0294  a
Aprev[3]                3.496    0.500    0.0125    0.0264  a
n32                     1.438    0.005    0.1000    0.0870  a
n34                     1.438    0.005    0.0999    0.0869  a
n31                     1.438    0.005    0.1000    0.0870  a
n33                     1.438    0.005    0.0999    0.0869  a
n30                     1.438    0.005    0.1000    0.0870  a
n37                     1.438    0.005    0.1000    0.0870  a
B[6]                    3.036    0.346    0.0002    0.0004  a
C[4]                    3.885    0.499    0.0062    0.0147  a
Aprev[4]                3.496    0.499    0.0062    0.0132  a
n50                     1.984    0.005    0.1000    0.1200  a
C[5]                    3.885    0.499    0.0031    0.0073  a
Aprev[5]                3.496    0.499    0.0031    0.0066  a
C[6]                    3.885    0.378    0.0012    0.0028  a
Aprev[6]                3.496    0.378    0.0012    0.0025  a
n46                     1.438    0.500    0.1000    0.0870  a
C[7]                    3.110    0.481    0.0010    0.0018  a
Aprev[7]                2.721    0.481    0.0010    0.0016  a
n35                     1.438    0.346    0.0757    0.0659  a
n36                     1.438    0.729    0.0756    0.0657  a
A[0]                    5.633    0.500    0.1000    0.3408  a
N2                      2.542    0.500    0.1000    0.1538  a
N3                      2.542    0.500    0.0500    0.0769  a
n51                     1.946    0.003    0.0500    0.0589  a
n45                     1.438    0.500    0.0500    0.0435  a
N16                     1.256    0.500    0.0500    0.0380  a
A[1]                    5.633    0.500    0.0500    0.1704  a
N4                      2.542    0.500    0.0250    0.0384  a
n53                     2.047    0.001    0.0250    0.0309  a
N17                     1.256    0.500    0.0250    0.0190  a
n44                     1.438    0.500    0.0250    0.0217  a
A[2]                    5.633    0.500    0.0250    0.0852  a
n47                     1.228    0.995    0.0250    0.0186  a
N5                      2.542    0.500    0.0125    0.0192  a
n54                     1.984    0.001    0.0125    0.0150  a
N18                     1.256    0.500    0.0125    0.0095  a
n43                     1.438    0.500    0.0125    0.0109  a
A[3]                    5.633    0.500    0.0125    0.0426  a
N6                      2.542    0.499    0.0062    0.0096  a
n55                     1.946    0.000    0.0062    0.0073  a
N19                     1.256    0.499    0.0062    0.0047  a
n42                     1.438    0.499    0.0062    0.0054  a
A[4]                    5.633    0.499    0.0062    0.0213  a
N7                      2.542    0.499    0.0031    0.0048  a
n56                     1.916    0.004    0.0031    0.0036  a
N20                     1.256    0.499    0.0031    0.0024  a
n41                     1.438    0.499    0.0031    0.0027  a
```

```
A[5]                          5.633    0.499    0.0031      0.0106  a
N8                            2.542    0.382    0.0019      0.0030  a
n52                           1.916    0.004    0.0019      0.0022  a
N21                           1.256    0.382    0.0019      0.0015  a
N9                            2.542    0.478    0.0010      0.0015  a
n40                           1.438    0.378    0.0012      0.0010  a
N22                           1.256    0.478    0.0010      0.0007  a
A[6]                          5.633    0.378    0.0012      0.0040  a
n39                           1.438    0.481    0.0010      0.0008  a
A[7]                          5.633    0.481    0.0010      0.0033  a
n58                          61.677    1.000    0.20e-4     0.0007  a
rst                           3.561    0.000    0.20e-4  4.310e-05  a
--------------------------------------------------------------------------------
Total (80 nets)                                              11.2484 uW


  Attributes
  ----------
      h  -  Hierarchical cell

                        Cell      Driven Net  Tot Dynamic      Cell
                        Internal  Switching   Power            Leakage
Cell                    Power     Power       (% Cell/Tot)     Power      Attrs
--------------------------------------------------------------------------------
U56                        0.5649    2.5270      3.092 (18%)     28.3695
Aprev_reg[0]               1.4100    0.3537      1.764 (80%)     88.2509
C_reg[0]                   1.4080    0.3268      1.735 (81%)     88.2502
INC_reg                    1.0911    0.0142      1.105 (99%)     91.1924
C_reg[1]                   0.8801    0.1175      0.998 (88%)     88.2505
Aprev_reg[1]               0.8810    0.1057      0.987 (89%)     88.2509
buss_reg[0]                0.9086    0.0000      0.909 (100%)    86.2932
buss_reg[1]                0.9086    0.0000      0.909 (100%)    86.2932
buss_reg[2]                0.9086    0.0000      0.909 (100%)    86.2932
buss_reg[3]                0.9086    0.0000      0.909 (100%)    86.2932
buss_reg[4]                0.9084    0.0000      0.908 (100%)    86.2931
buss_reg[5]                0.9084    0.0000      0.908 (100%)    86.2931
U61                        0.6017    0.2476      0.849 (71%)     36.1660
C_reg[2]                   0.6185    0.0587      0.677 (91%)     88.2501
Aprev_reg[2]               0.6189    0.0529      0.672 (92%)     88.2504
buss_reg[7]                0.5258 5.329e-04      0.526 (100%)    88.7095
U57                        0.3644    0.1548      0.519 (70%)     39.8901
C_reg[3]                   0.4877    0.0294      0.517 (94%)     88.2504
Aprev_reg[3]               0.4879    0.0264      0.514 (95%)     88.2508
U53                        0.4077    0.0870      0.495 (82%)     36.6748
U51                        0.4075    0.0869      0.494 (82%)     36.6706
U54                        0.4074    0.0870      0.494 (82%)     36.6748
U52                        0.4074    0.0869      0.494 (82%)     36.6706
U55                        0.4071    0.0870      0.494 (82%)     36.6768
U48                        0.4063    0.0870      0.493 (82%)     36.6768
buss_reg[6]                0.4711 4.410e-04      0.472 (100%)    88.1506
C_reg[4]                   0.4222    0.0147      0.437 (97%)     88.2499
Aprev_reg[4]               0.4223    0.0132      0.436 (97%)     88.2502
U60                        0.3000    0.1200      0.420 (71%)     36.1659
C_reg[5]                   0.3895 7.336e-03      0.397 (98%)     88.2499
Aprev_reg[5]               0.3896 6.601e-03      0.396 (98%)     88.2502
C_reg[6]                   0.3893 2.775e-03      0.392 (99%)     88.1810
Aprev_reg[6]               0.3894 2.497e-03      0.392 (99%)     88.1810
U40                        0.2919    0.0870      0.379 (77%)     29.8961
C_reg[7]                   0.3673 1.826e-03      0.369 (100%)    88.2408
```

```
Aprev_reg[7]                0.3673 1.598e-03      0.369 (100%)    88.2409
U50                         0.2971    0.0659      0.363 (82%)     36.5034
U49                         0.2896    0.0657      0.355 (81%)     38.4259
U59                         0.1500    0.0589      0.209 (72%)     36.1609
U41                         0.1461    0.0435      0.190 (77%)     29.8954
U66                         0.0750    0.0309      0.106 (71%)     36.1609
U42                         0.0734    0.0217   9.51e-02 (77%)     29.8948
U62                         0.0473    0.0186   6.59e-02 (72%)     40.2294
U65                         0.0375    0.0150   5.25e-02 (71%)     36.1506
U43                         0.0370    0.0109   4.79e-02 (77%)     29.8943
U64                         0.0187 7.349e-03   2.61e-02 (72%)     36.1506
U44                         0.0188 5.431e-03   2.42e-02 (78%)     29.8928
U63                         0.0103 3.618e-03   1.39e-02 (74%)     33.2310
U45                      9.673e-03 2.716e-03   1.24e-02 (78%)     29.8928
U58                      5.923e-03 2.249e-03   8.17e-03 (72%)     35.6836
U46                      3.706e-03 1.027e-03   4.73e-03 (78%)     32.2445
U47                      3.175e-03 8.443e-04   4.02e-03 (79%)     35.6586
U39                      3.726e-05 7.466e-04   7.84e-04 (5%)      20.2045
add_31                      0.7244       N/A        N/A (N/A)    352.6280  h
add_51                      0.6215       N/A        N/A (N/A)    338.0108  h
--------------------------------------------------------------------------------
Totals (55 cells)          24.604uW     N/A         N/A (N/A)      3.845uW
```

B.5.2 Dati, carico 1 fF

```
****************************************
Report : power
        -net
        -cell
        -analysis_effort low
        -include_input_nets
        -sort_mode dynamic_power
Design : t0encoder
Version: S-2021.06-SP4
Date   : Mon May  6 18:34:19 2024
****************************************


Library(s) Used:

    NangateOpenCellLibrary (File:
    ↪  /home/mg.lowpower/do/libnangate/NangateOpenCellLibrary_typical_ecsm.db)


Operating Conditions: typical   Library: NangateOpenCellLibrary
Wire Load Model Mode: top

Design        Wire Load Model            Library
------------------------------------------------
t0encoder              5K_hvratio_1_1    NangateOpenCellLibrary


Global Operating Voltage = 1.1
Power-specific unit information :
    Voltage Units = 1V
    Capacitance Units = 1.000000ff
    Time Units = 1ns
```

```
     Dynamic Power Units = 1uW    (derived from V,C,T units)
     Leakage Power Units = 1nW



   Attributes
   ----------
       a  -  Switching activity information annotated on net
       d  -  Default switching activity information on net

                              Total      Static   Toggle   Switching
 Net                          Net Load   Prob.    Rate     Power      Attrs
 --------------------------------------------------------------------------------
 ck                            41.629    0.500    0.2000      5.0371  a
 Aprev[0]                       5.847    0.499    0.0506      0.1790  a
 C[1]                           3.885    0.500    0.0502      0.1181  a
 C[6]                           3.885    0.494    0.0502      0.1180  a
 C[5]                           3.885    0.494    0.0499      0.1172  a
 C[4]                           3.885    0.500    0.0497      0.1169  a
 C[2]                           3.885    0.499    0.0497      0.1167  a
 C[3]                           3.885    0.512    0.0496      0.1165  a
 Aprev[1]                       3.496    0.500    0.0502      0.1062  a
 Aprev[6]                       3.496    0.494    0.0502      0.1062  a
 Aprev[5]                       3.496    0.494    0.0499      0.1055  a
 Aprev[4]                       3.496    0.500    0.0497      0.1052  a
 Aprev[2]                       3.496    0.499    0.0497      0.1050  a
 Aprev[3]                       3.496    0.512    0.0496      0.1049  a
 B[0]                           3.036    0.499    0.0503      0.0924  a
 B[6]                           3.036    0.494    0.0502      0.0922  a
 B[1]                           3.036    0.499    0.0500      0.0919  a
 C[7]                           3.110    0.500    0.0497      0.0936  a
 B[5]                           3.036    0.494    0.0499      0.0916  a
 B[7]                           3.036    0.500    0.0497      0.0914  a
 B[4]                           3.036    0.500    0.0497      0.0913  a
 B[2]                           3.036    0.499    0.0496      0.0912  a
 B[3]                           3.036    0.512    0.0496      0.0910  a
 Aprev[7]                       2.721    0.500    0.0497      0.0819  a
 C[0]                           4.147    0.499    0.0506      0.1269  a
 n47                            1.228    0.073    0.1649      0.1225  a
 n57                            1.256    0.501    0.0506      0.0385  a
 n49                            2.047    0.499    0.1012      0.1253  a
 n50                            1.984    0.498    0.1010      0.1212  a
 n56                            1.916    0.497    0.1005      0.1165  a
 n53                            2.047    0.495    0.0994      0.1230  a
 n55                            1.946    0.494    0.0996      0.1173  a
 n54                            1.984    0.490    0.0991      0.1189  a
 n51                            1.946    0.499    0.0993      0.1169  a
 n52                            1.916    0.493    0.0995      0.1153  a
 n21                           19.382    0.996    0.0007      0.0084  a
 B[8]                           0.310    0.004    0.0007      0.0001  a
 N9                             2.542    0.501    0.0498      0.0766  a
 N22                            1.256    0.501    0.0498      0.0378  a
 N3                             2.542    0.497    0.0508      0.0781  a
 N4                             2.542    0.498    0.0496      0.0763  a
 n37                            1.438    0.500    0.0506      0.0440  a
 n30                            1.438    0.499    0.0502      0.0437  a
 n35                            1.438    0.495    0.0502      0.0437  a
 N5                             2.542    0.511    0.0498      0.0766  a
 n34                            1.438    0.494    0.0499      0.0434  a
```

```
n46                          1.438    0.499    0.0506      0.0440  a
n36                          1.438    0.500    0.0497      0.0433  a
n33                          1.438    0.500    0.0497      0.0433  a
n31                          1.438    0.499    0.0497      0.0432  a
n32                          1.438    0.512    0.0496      0.0431  a
n45                          1.438    0.500    0.0502      0.0437  a
n40                          1.438    0.494    0.0502      0.0437  a
N8                           2.542    0.493    0.0503      0.0773  a
n41                          1.438    0.494    0.0499      0.0434  a
n39                          1.438    0.500    0.0497      0.0433  a
n42                          1.438    0.500    0.0497      0.0433  a
n44                          1.438    0.499    0.0497      0.0432  a
n43                          1.438    0.512    0.0496      0.0431  a
N7                           2.542    0.493    0.0497      0.0765  a
N6                           2.542    0.501    0.0493      0.0758  a
A[0]                         5.633    0.500    0.0506      0.1725  a
A[1]                         5.633    0.500    0.0502      0.1712  a
A[6]                         5.633    0.495    0.0502      0.1711  a
A[5]                         5.633    0.494    0.0499      0.1700  a
A[7]                         5.633    0.500    0.0497      0.1695  a
A[4]                         5.633    0.500    0.0497      0.1695  a
A[2]                         5.633    0.499    0.0497      0.1692  a
A[3]                         5.633    0.513    0.0496      0.1690  a
N16                          1.256    0.497    0.0508      0.0386  a
N17                          1.256    0.498    0.0496      0.0377  a
N18                          1.256    0.511    0.0498      0.0378  a
N21                          1.256    0.493    0.0503      0.0382  a
N20                          1.256    0.493    0.0497      0.0378  a
N19                          1.256    0.501    0.0493      0.0375  a
N2                           2.542    0.501    0.0506      0.0778  a
n48                          1.284    0.062    0.0124      0.0097  a
N10                         21.009    0.004    0.0007      0.0092  a
n58                         61.677    1.000    0.20e-4     0.0007  a
rst                          3.561    0.000    0.20e-4  4.309e-05  a
--------------------------------------------------------------------------------
Total (80 nets)                                              11.6692 uW


  Attributes
  ----------
      h  -  Hierarchical cell

                        Cell      Driven Net  Tot Dynamic      Cell
                        Internal  Switching   Power            Leakage
Cell                    Power     Power       (% Cell/Tot)     Power      Attrs
--------------------------------------------------------------------------------
Aprev_reg[0]               0.8898    0.1790      1.069 (83%)     88.2503
C_reg[0]                   0.8888    0.1654      1.054 (84%)     88.2503
C_reg[1]                   0.8827    0.1181      1.001 (88%)     88.2501
C_reg[6]                   0.8825    0.1180      1.001 (88%)     88.2475
C_reg[5]                   0.8790    0.1172      0.996 (88%)     88.2471
C_reg[4]                   0.8773    0.1169      0.994 (88%)     88.2504
C_reg[2]                   0.8766    0.1167      0.993 (88%)     88.2496
C_reg[3]                   0.8762    0.1165      0.993 (88%)     88.2575
Aprev_reg[1]               0.8835    0.1062      0.990 (89%)     88.2501
Aprev_reg[6]               0.8833    0.1062      0.990 (89%)     88.2476
Aprev_reg[5]               0.8798    0.1055      0.985 (89%)     88.2472
Aprev_reg[4]               0.8781    0.1052      0.983 (89%)     88.2505
Aprev_reg[2]               0.8774    0.1050      0.982 (89%)     88.2496
```

```
Aprev_reg[3]                0.8771    0.1049      0.982 (89%)     88.2579
buss_reg[0]                 0.8830    0.0924      0.975 (91%)     88.2503
buss_reg[6]                 0.8821    0.0922      0.974 (91%)     88.2476
buss_reg[1]                 0.8801    0.0919      0.972 (91%)     88.2498
C_reg[7]                    0.8770    0.0936      0.971 (90%)     88.2503
buss_reg[5]                 0.8785    0.0916      0.970 (91%)     88.2472
buss_reg[7]                 0.8771    0.0914      0.968 (91%)     88.2508
buss_reg[4]                 0.8769    0.0913      0.968 (91%)     88.2505
buss_reg[2]                 0.8759    0.0912      0.967 (91%)     88.2494
buss_reg[3]                 0.8756    0.0910      0.967 (91%)     88.2579
Aprev_reg[7]                0.8780    0.0819      0.960 (91%)     88.2508
INC_reg                     0.7199 8.580e-03      0.728 (99%)     86.2745
U62                         0.3704    0.1225      0.493 (75%)     32.3855
U61                         0.3045    0.1253      0.430 (71%)     36.1547
U60                         0.3033    0.1212      0.425 (71%)     36.1532
U63                         0.3030    0.1165      0.419 (72%)     36.0195
U66                         0.2952    0.1230      0.418 (71%)     36.4788
U64                         0.3005    0.1173      0.418 (72%)     36.0013
U65                         0.2972    0.1189      0.416 (71%)     36.1619
U59                         0.2982    0.1169      0.415 (72%)     36.1330
U58                         0.2984    0.1153      0.414 (72%)     36.1732
U48                         0.1492    0.0440      0.193 (77%)     33.8415
U55                         0.1482    0.0437      0.192 (77%)     33.8417
U50                         0.1481    0.0437      0.192 (77%)     33.7892
U51                         0.1471    0.0434      0.190 (77%)     33.7808
U40                         0.1461    0.0440      0.190 (77%)     38.0133
U49                         0.1467    0.0433      0.190 (77%)     33.8499
U52                         0.1466    0.0433      0.190 (77%)     33.8446
U54                         0.1464    0.0432      0.190 (77%)     33.8329
U53                         0.1462    0.0431      0.189 (77%)     33.9756
U41                         0.1450    0.0437      0.189 (77%)     37.9833
U46                         0.1450    0.0437      0.189 (77%)     37.9375
U45                         0.1440    0.0434      0.187 (77%)     37.9347
U47                         0.1436    0.0433      0.187 (77%)     38.0157
U44                         0.1436    0.0433      0.187 (77%)     38.0137
U42                         0.1434    0.0432      0.187 (77%)     37.9884
U43                         0.1432    0.0431      0.186 (77%)     38.1231
U57                         0.0278 9.669e-03   3.75e-02 (74%)     32.5050
U56                      1.944e-03 9.154e-03   1.11e-02 (18%)     20.9825
U39                      3.725e-05 7.465e-04   7.84e-04 (5%)      20.2045
add_31                      1.6461       N/A        N/A (N/A)    352.5091  h
add_51                      1.5855       N/A        N/A (N/A)    338.1261  h
--------------------------------------------------------------------------------
Totals (55 cells)          30.201uW     N/A         N/A (N/A)      3.865uW
```

C Scripting

C.1 Automatizzazione della simulazione ModelSim

```
# Loads the technological library and the SDF, resolution is ps
vsim -t ps -voptargs=+acc work.testbench

# caso 1: no codifica (BUSNORM)
power add /testbench/ck /testbench/rst /testbench/A /testbench/C*BUSNORM
run 100us
power report -file 41_power_report_data_busnorm.rpt

# caso 2: codifica bus invert (BUSINVBEH)
restart
power add /testbench/ck /testbench/rst /testbench/A /testbench/*BUSINVBEH
run 100us
power report -file 41_power_report_data_businvbeh.rpt

# caso 3: codifica transition based (TRANSBASED)
restart
power add /testbench/ck /testbench/rst /testbench/A /testbench/*TRANSBASED
run 100us
power report -file 41_power_report_data_transbased.rpt

# caso 4: codifica Gray (GRAYENCODER)
restart
power add /testbench/ck /testbench/rst /testbench/A /testbench/*GRAYENCODER
run 100us
power report -file 41_power_report_data_grayencoder.rpt

# caso 5: codifica T0 (T0ENCODER)
restart
power add /testbench/ck /testbench/rst /testbench/A /testbench/*T0ENCODER
run 100us
power report -file 41_power_report_data_t0encoder.rpt

# power report di tutti i segnali
restart
power add *
run 100us
power report -file 41_power_report_data_tot.rpt
```

C.2 Automatizzazione della sintesi

C.2.1 `definitions.scr`

```
# Selects the inputs type...
#
source ../datatype.def

variable period 10
set load1 15
set load2 75
set load3 150
variable normtag "_BUSNORM_"
variable invtag  "_BUSINV_"
```

```
variable trantag "_BUSTRAN_"
variable graytag "_BUSGRAY_"
variable t0tag "_BUST0_"

variable extension ".txt"

variable norme "ubusnorm"
variable inve "ubusinv"
variable trane "ubustran"
variable graye "ubusgray"
variable t0e "ubust0"
```

C.2.2 create_sdf.scr

```
source definitions.scr

# busnormal
variable targetcompilation "../busnormal.vhd"
variable top_hierarchy "busnormal"
analyze -format vhdl $targetcompilation
elaborate -library work $top_hierarchy
compile -exact_map
write -hierarchy -format ddc -output $top_hierarchy.ddc
ungroup -all -flatten
change_names -hierarchy -rules verilog
write_sdf ../$top_hierarchy.sdf
write -f verilog -hierarchy -output ../fromsynopsys$normtag.v

# businvert
variable targetcompilation "../businvbeh.vhd"
variable top_hierarchy "businvbeh"
analyze -format vhdl $targetcompilation
elaborate -library work $top_hierarchy
compile -exact_map
write -hierarchy -format ddc -output $top_hierarchy.ddc
ungroup -all -flatten
change_names -hierarchy -rules verilog
write_sdf ../$top_hierarchy.sdf
write -f verilog -hierarchy -output ../fromsynopsys$invtag.v

# transbased
variable targetcompilation "../transbased.vhd"
variable top_hierarchy "transbased"
analyze -format vhdl $targetcompilation
elaborate -library work $top_hierarchy
compile -exact_map
write -hierarchy -format ddc -output $top_hierarchy.ddc
ungroup -all -flatten
change_names -hierarchy -rules verilog
write_sdf ../$top_hierarchy.sdf
write -f verilog -hierarchy -output ../fromsynopsys$trantag.v

# grayencoder
variable targetcompilation "../grayencoder.vhd"
variable top_hierarchy "grayencoder"
analyze -format vhdl $targetcompilation
elaborate -library work $top_hierarchy
```

```
compile -exact_map
write -hierarchy -format ddc -output $top_hierarchy.ddc
ungroup -all -flatten
change_names -hierarchy -rules verilog
write_sdf ../$top_hierarchy.sdf
write -f verilog -hierarchy -output ../fromsynopsys$graytag.v

# t0encoder
variable targetcompilation "../t0encoder.vhd"
variable top_hierarchy "t0encoder"
analyze -format vhdl $targetcompilation
elaborate -library work $top_hierarchy
compile -exact_map
write -hierarchy -format ddc -output $top_hierarchy.ddc
ungroup -all -flatten
change_names -hierarchy -rules verilog
write_sdf ../$top_hierarchy.sdf
write -f verilog -hierarchy -output ../fromsynopsys$t0tag.v
```

C.2.3 fill_forward.scr

```
# Defines DATA TYPE
do datatype.def

# Loads the technological library and the SDFs
vsim -voptargs=+acc -L /eda/dk/nangate45/verilog/qsim2020.4 -sdftyp
↪  /testbench/UBUSNORM=busnormal.sdf -sdftyp /testbench/UBUSINV=businvbeh.sdf -sdftyp
↪  /testbench/UBUSTRAN=transbased.sdf -sdftyp /testbench/UBUSGRAY=grayencoder.sdf
↪  work.testbench -t 1ps +nowarnTSCALE

#add wave *

# Generates the VCD file and add all the DUT signals
vcd file frommentor_$DATATYPE.vcd
vcd add /testbench/UBUSNORM/*
vcd add /testbench/UBUSINV/*
vcd add /testbench/UBUSTRAN/*
vcd add /testbench/UBUSGRAY/*
vcd add /testbench/UBUST0/*


# runs the simulation
run 100us
```

C.2.4 backward_all.scr

```
source definitions.scr

read_ddc busnormal.ddc
set BUSTYPE "UBUSNORM"
set annotateentity $norme
source backward.scr

read_ddc businvbeh.ddc
set BUSTYPE "UBUSINV"
set annotateentity $inve
```

```
source backward.scr

read_ddc transbased.ddc
set BUSTYPE "UBUSTRAN"
set annotateentity $trane
source backward.scr

read_ddc grayencoder.ddc
set BUSTYPE "UBUSGRAY"
set annotateentity $graye
source backward.scr

read_ddc t0encoder.ddc
set BUSTYPE "UBUST0"
set annotateentity $t0e
source backward.scr
```

C.2.5 backward.scr

```
# This script compiles the designs one by one...

# Creates the clock
create_clock -name "clock" -period $period {ck}

# Reads data from backward.saif file...
# THE CLOCK IN THE TESTBENCH MUST BE THE SAME AS THE CLOCK 'CK'
# DECLARED UNDER DESIGN VISION!!
read_saif -input ../backward.saif -instance testbench/$BUSTYPE -scale 1 -unit_base ns

variable loadset 1
source save_power_report.scr

set_load $load1 "B"
compile -exact_map
set loadset $load1
source save_power_report.scr

set_load $load2 "B"
compile -exact_map
set loadset $load2
source save_power_report.scr

set_load $load3 "B"
compile -exact_map
set loadset $load3
source save_power_report.scr
```

C.2.6 save_power_report.scr

```
variable powerfile "power_report$BUSTYPE$loadset$DATATYPE$extension"
report_power -net -cell -include_input_nets > $powerfile
```

D Descrizione dell'hardware

D.1 Non-encoded bus (VHDL)

```
library IEEE;
use IEEE.std_logic_1164.all;
use IEEE.std_logic_unsigned.all;
use work.all;

entity busnormal is
  port (
    ck  : in std_logic;
    rst : in std_logic;
    A   : in std_logic_vector(7 downto 0);
    B   : out std_logic_vector(7 downto 0);
    C   : out std_logic_vector(7 downto 0));
end busnormal;

architecture behavioral of busnormal is

  signal buss : std_logic_vector(7 downto 0);

begin

  pck : process (ck, rst)
  begin
    if rst = '1' then
      buss <= (others => '0');
    elsif ck'event and ck = '1' then
      buss <= A;
    end if;
  end process;

  B <= buss;

  pout : process (ck, rst)
  begin
    if rst = '1' then
      C <= (others => '0');
    elsif ck'event and ck = '1' then
      C <= buss;
    end if;

  end process;

end behavioral;
```

D.2 Codifica *bus invert* (VHDL)

```
library IEEE;
use IEEE.std_logic_1164.all;
use IEEE.std_logic_unsigned.all;
use work.all;

entity businvbeh is
  port (
```

```
    ck  : in std_logic;
    rst : in std_logic;
    A   : in std_logic_vector(7 downto 0);
    B   : out std_logic_vector(8 downto 0);
    C   : out std_logic_vector(7 downto 0));
end businvbeh;

architecture behavioral of businvbeh is

  signal AOLD, buss  : std_logic_vector(7 downto 0);
  signal AX          : std_logic_vector(8 downto 0);
  signal inv, invold : std_logic;
  signal invtmp      : std_logic;

begin

  inv <= invold;

  pck : process (ck, rst)
  begin
    if rst = '1' then
      AOLD   <= (others => '0');
      invold <= '0';
    elsif ck'event and ck = '1' then
      if invtmp = '0' then
        AOLD <= A;
      else
        AOLD <= not(A);
      end if;
      invold <= invtmp;
    end if;
  end process;

  AX(7 downto 0) <= A xor AOLD;
  AX(8)          <= invold;

  buss <= AOLD;
  pinv : process (AX)
    variable hamdist : integer := 0;
  begin
    hamdist := 0;
    for I in 0 to 8 loop
      if AX(I) = '1' then
        hamdist := hamdist + 1;
      end if;
    end loop;
    if (hamdist > 4) then
      invtmp <= '1';
    else
      invtmp <= '0';
    end if;
  end process;

  pdec : process (ck, rst)
  begin
    if rst = '1' then
      C <= (others => '0');
    elsif ck'event and ck = '1' then
      if inv = '0' then
```

```
        C <= buss;
      else
        C <= not(buss);
      end if;
    end if;
  end process;

  B(7 downto 0) <= buss;
  B(8)          <= inv;

end behavioral;
```

D.3 Codifica *transition based* (VHDL)

```
library IEEE;
use IEEE.std_logic_1164.all;
use IEEE.std_logic_unsigned.all;
use work.all;

entity transbased is
  port (
    ck  : in std_logic;
    rst : in std_logic;
    A   : in std_logic_vector(7 downto 0);
    B   : out std_logic_vector(7 downto 0);
    C   : out std_logic_vector(7 downto 0));
end transbased;

architecture behavioral of transbased is

  signal buss, CENC, CENCOLD, CDECTMP : std_logic_vector(7 downto 0);

begin
  penc : process (ck, rst)
  begin
    if rst = '1' then
      buss <= (others => '0');
    elsif ck'event and ck = '1' then
      buss <= buss xor A;
    end if;
  end process;

  B <= buss;

  pdec : process (rst, ck)
  begin
    if rst = '1' then
      CENC <= (others => '0');
    elsif ck'event and ck = '1' then
      CENC <= buss;
    end if;
  end process;

  pdecold : process (rst, ck)
  begin
    if rst = '1' then
      CENCOLD <= (others => '0');
```

```
    elsif ck'event and ck = '1' then
      CENCOLD <= CENC;
    end if;
  end process;

  CDECTMP <= CENC xor CENCOLD;
  C       <= CDECTMP;

end behavioral;
```

D.4 Codifica Gray (VHDL)

```
library IEEE;
use IEEE.std_logic_1164.all;
use IEEE.std_logic_unsigned.all;
use work.all;

entity grayencoder is
  port (
    ck  : in std_logic;
    rst : in std_logic;
    A   : in std_logic_vector(7 downto 0);
    B   : out std_logic_vector(7 downto 0);
    C   : out std_logic_vector(7 downto 0));
end grayencoder;

architecture behavioral of grayencoder is

  signal BTMP, C_tmp, buss : std_logic_vector(7 downto 0);

begin

  pck : process (ck, rst)
  begin
    if rst = '1' then
      buss <= (others => '0');
    elsif ck'event and ck = '1' then
      buss(7) <= A(7);
      for I in 0 to 7 - 1 loop
        buss(I) <= A(I) xor A(I + 1);
      end loop;
    end if;
  end process;

  B <= buss;

  pdec : process (ck, rst)
  begin
    if rst = '1' then
      BTMP <= (others => '0');
    elsif ck'event and ck = '1' then
      BTMP <= buss;
    end if;
  end process;

  C_tmp(7) <= BTMP(7);
  BancoRx : for I in 0 to 7 - 1 generate
```

```
    C_tmp(I) <= C_tmp(I + 1) xor BTMP(I);
  end generate;
  C <= C_tmp;

end behavioral;
```

D.5 Codifica T0 (VHDL)

```
library IEEE;
use IEEE.std_logic_1164.all;
use IEEE.numeric_std.all;
use work.all;

entity t0encoder is
  port (
    ck  : in std_logic;
    rst : in std_logic;
    A   : in std_logic_vector(7 downto 0);      -- ingresso
    B   : out std_logic_vector(8 downto 0);     -- uscita codificata
    C   : buffer std_logic_vector(7 downto 0)); -- uscita decodificata
end t0encoder;

architecture behavioral of t0encoder is

  signal Aprev : std_logic_vector(7 downto 0); -- ingresso dello step precedente
  signal buss  : std_logic_vector(7 downto 0); -- segnale codificato
  signal INC   : std_logic;                    -- flag di incremento

begin

  -- process per la codifica
  pck : process (ck, rst)
  begin
    if (rst = '1') then
      buss  <= (others => '0');
      Aprev <= (others => '0');
      INC   <= '0';

    elsif (ck'event and ck = '1') then
      if (A = std_logic_vector(unsigned(Aprev) + "00000001")) then
        INC <= '1';
      else
        INC  <= '0';
        buss <= A;
      end if;
      Aprev <= A;
    end if;
  end process;

  B <= INC & buss; -- uso il bit di incremento come MSB

  -- process per la decodifica
  pout : process (ck, rst)
  begin
    if (rst = '1') then
      C <= (others => '0');

```

```
    elsif (ck'event and ck = '1') then
      if (INC = '1') then
        C <= std_logic_vector(unsigned(C) + "00000001");
      else
        C <= buss;
      end if;
    end if;

  end process;

end behavioral;
```

D.6 Testbench (Verilog)

```
`timescale 1ns/1ps
//`define ADDRESS  // uncomment for address analysis
`define DATA  // uncomment for data analysis
module testbench();

  // inputs of the DUT.
  reg [7:0] Ain;
  reg ck, rst;

  // outputs of the DUT.
  //busnormal
  wire [7:0] ABUSNORM, COUNTBUSNORM, CBUSNORM;

  //businvert
  wire [8:0] COUNTBUSINVBEH;
  wire [7:0] CBUSINVBEH;

  //transbased
  wire [7:0] COUNTTRANSBASED, CTRANSBASED;

  //grayencoder
  wire [7:0] COUNTGRAYENCODER, CGRAYENCODER;

  //toencoder
  wire [8:0] COUNTTOENCODER;
  wire [7:0] CTOENCODER;

  // just for power report.
  wire CK, RST;
  wire [7:0] A;

  // file descriptor
  integer infile, count;

  // store each line of file
  reg [7:0] line;

  parameter CLOCK_PERIOD = 10;
  parameter DELAY = 0.1;

  // component busnormal
  busnormal UBUSNORM (
    .ck(ck),
```

```
      .rst(rst),
      .A(ABUSNORM),
      .B(COUNTBUSNORM),
      .C(CBUSNORM)
    );


    // component businvbeh
    businvbeh UBUSINV (
      .ck(ck),
      .rst(rst),
      .A(ABUSNORM),
      .B(COUNTBUSINVBEH),
      .C(CBUSINVBEH)
    );

    // component transbases
    transbased UBUSTRAN (
      .ck(ck),
      .rst(rst),
      .A(ABUSNORM),
      .B(COUNTTRANSBASED),
      .C(CTRANSBASED)
    );

    // component grayencoder
    grayencoder UBUSGRAY (
      .ck(ck),
      .rst(rst),
      .A(ABUSNORM),
      .B(COUNTGRAYENCODER),
      .C(CGRAYENCODER)
    );

    // component t0encdec
    t0encoder UBUST0 (
      .ck(ck),
      .rst(rst),
      .A(ABUSNORM),
      .B(COUNTTOENCODER),
      .C(CTOENCODER)
    );

    // Executed only once at the beginning of the simulation
    initial
    begin
      ck = 1'b0;
      rst = 1'b0;
      Ain = 0;
      #0.1;
      rst = 1'b1;
      #0.2;
      rst = 1'b0;
    end

    initial
    begin
      infile = $fopen("rndin.txt", "r");
      if (infile == 0) begin
```

```
      $display("infile descriptor is NULL");
      $finish;
    end
  end

  // clock generation
  always
  begin
    #(CLOCK_PERIOD/2.0)ck <= ~ck;
  end

`ifdef ADDRESS
    // add like inputs
  always @(posedge ck or posedge rst)
  begin
    if (rst) begin
      Ain <= 0;
    end
    else begin
      if(!$feof(infile)) begin
        count = $fscanf(infile, "%b\n", line);
        if(A == 63) begin
          #DELAY Ain[7:6] <= line[7:6];
          #DELAY Ain[5:0] <= 6'b0;
        end
        else begin
          #DELAY Ain <= Ain + 1;
        end
      end
      end
  end
`endif

`ifdef DATA
  // data like inputs
  always @(posedge ck or posedge rst)
  begin
    if (rst) begin
      Ain <= 0;
    end
    else begin
      if(!$feof(infile)) begin
        count = $fscanf(infile, "%b\n", line);
        // data with almost equal 1 and 0 probability
        #DELAY Ain <= line;
      end
    end
  end
`endif

  assign ABUSNORM = Ain;
  assign A = Ain;
  assign CK = ck;
  assign RST = rst;


endmodule
```

DIPARTIMENTO DI ELETTRONICA E TELECOMUNICAZIONI
Corso di Laurea Magistrale in Ingegneria Elettronica

Sistemi Elettronici a Basso Consumo
LABORATORIO 5

Using Spice for characterizing cells

Prof. Maurizio Zamboni

20 maggio 2024
Gruppo 8
Laboratorio LED2

Bricco Letizia 328719
Caviasso Lorenzo 331706
Olivieri Vincenzo 324328

A.A. 2023/2024

Indice

1 Caratterizzazione di un gate di libreria **2**

2 Caratterizzazione di un gate al variare del carico **6**

3 Caratterizzazione di un gate in base alla *strength* **9**

4 Confronto tra gate *high speed* e *low leakage* **11**

5 Effetto della temperatura e della tensione di alimentazione **14**
5.1 Temperatura 14
5.2 Tensione di alimentazione 16

A Netlist SPICE **18**
A.1 Porta NAND2 x1 HS 18
A.2 Porta NAND2 x8 HS 18
A.3 Porta NAND2 x1 LL 19
A.4 Porta NAND2 x8 LL 20
A.5 Netlist `nandHS.sp` 21
A.6 Netlist `nandHScharLoad.sp` 22
A.7 Netlist `nandHScharMaxLoad.sp` 23
A.8 Netlist `nandHSX8MaxLoad.sp` 25
A.9 Netlist `nandLLcharMaxLoad.sp` 26
A.10 Netlist `nandLLX8MaxLoad.sp` 28
A.11 Netlist `nandHScharVoltage.sp` 30

B Script MATLAB **31**

Sommario

Questa esperienza di laboratorio si propone di studiare in maniera completa i consumi di potenza di un semplice gate di libreria, una NAND a due ingressi realizzata in tecnologia CMOS, al variare delle condizioni di lavoro, con particolare attenzione alla potenza di leakage.

Il report è articolato in cinque parti.

1. Nella Sezione 1, sono state analizzate le performance di una NAND2 di *strength* unitaria ottimizzata per le applicazioni *high speed* (HS); in particolare, sono stati misurati il consumo totale di potenza, i tempi di salita e di discesa, i ritardi di propagazione e le tensioni di soglia dei transistori.
2. Nella Sezione 2, le stesse analisi sono state ripetute al variare della capacità di uscita nel range 10^{-18} F $\div$ 10^{-14} F.
3. Nella Sezione 3, la porta NAND2 x1, ottimizzata per un carico massimo di 0.16 fF, è stata confrontata con la NAND2 x8 della stessa libreria, che supporta un carico massimo 8 volte più grande (1.28 fF); entrambe le porte sono state simulate per due valori della capacità di carico e, per entrambe, sono state misurate la dissipazione totale di potenza e le tensioni di soglia dei transistori.
4. Nella Sezione 4, le porte NAND2 x1 e x8 *high speed* sono state messe a confronto con i corrispondenti gate *low leakage* (LL), i.e., ottimizzati per minimizzare la conduzione sottosoglia.
5. Nella Sezione 5, si è analizzato come i consumi della porta NAND2 x1 LL si modificano al variare della temperatura di lavoro e della tensione di alimentazione.

L'esperienza è stata condotta in ambiente Unix sul server `led-x3850-2.polito.it`, su cui è presente il sistema operativo CentOS 7. Le simulazioni sono state condotte utilizzando l'ambiente SPICE ELDO e parte dei dati raccolti è stata analizzata con uno script MATLAB®.

1 Caratterizzazione di un gate di libreria

In questa sezione si analizzano le prestazioni di una porta NAND a due ingressi con *strength*[1] unitaria (x1) ottimizzata per le applicazioni *high speed* (HS), ovvero realizzata con transistor a bassa soglia. L'analisi è fatta attraverso simulazioni a livello SPICE.

La netlist della porta NAND è contenuta nel file `nandHS.sp`, riportato in forma integrale in Appendice A.5. In tale netlist viene inclusa la libreria `CMOS013.spi`, che contiene la descrizione SPICE della NAND che viene istanziata (`ND2HS`).

Il circuito corrispondente alla descrizione SPICE della NAND, riportata in Appendice A.1, può essere osservato in Figura 1.1. I transistor XMN0, XMN1, XMP0 e XMP1 sono istanze dei modelli MOS contenuti nella libreria: `ENHSGP_BS3JU` è il modello *n*MOS e `EPHSGP_BS3JU` è il modello *p*MOS. Nel file `CMOS013.spi` vengono specificate, tra le altre cose, le dimensioni dei MOS che compongono la porta, in termini di larghezza e lunghezza, aree e perimetri di source e drain (AS, AD, PS, PD).

Vengono definite le forme d'onda sugli ingressi della porta, in particolare l'ingresso *inA* è tenuto costante a $V_{DD} = 1.2$ V mentre sull'ingresso *inB* viene fornito un segnale che ha un fronte di salita a 1 ns e un fronte di discesa a 2 ns.

La porta NAND2 x1 HS è stata simulata con un carico $C_L = 10$ fF; a rigore, il carico massimo supportato dal gate è $C_L = 0.16$ fF, ma l'utilizzo di una capacità più grande è utile, a scopo puramente didattico, per potere osservare variazioni apprezzabili sulle forme d'onda.

Sono state fatte **due simulazioni**.

[1] In microelettronica, si definisce *drive strength*, o semplicemente *strength*, di una porta logica la misura della corrente che tale porta è in grado di fornire al carico per caricare e scaricare le capcacità di uscita più o meno rapidamente.

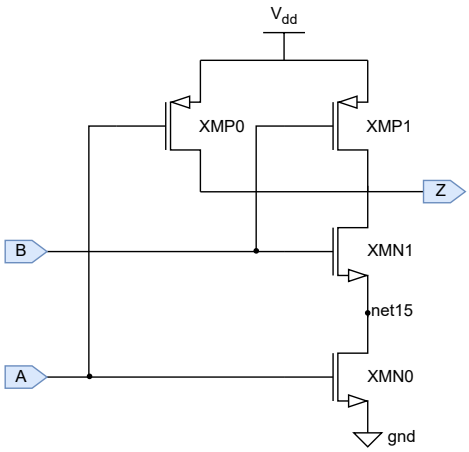


Figura 1.1: Schematico della porta NAND2 x1 HS; i nomi dei transistor e dei nodi sono coerenti con le assegnazioni fatte all'interno della libreria `CMOS013.spi`.

- Simulazione **dinamica** (`.tran`) per misurare i tempi di salita e discesa (t_r e t_f) e i ritardi di propagazione (t_{pd}^{HL} e t_{pd}^{LH}); per eseguire la simulazione è necessario inserire nella netlist la direttiva:

  ```
  .tran 1p 3n
  ```

  dove `1p` (1 ps) e `3n` (3 ns) rappresentano, rispettivamente, gli istanti iniziale e finale della simulazione.

  Le forme d'onda ottenute sono riportate nelle Figure 1.2, 1.3, 1.4, 1.5 and 1.6, che rappresentano l'andamento delle tensioni sui nodi di ingresso (V_{in}) e di uscita (V_{out}) in funzione del tempo.

- Simulazione **statica** (`.dc`) per misurare le tensioni di soglia dei transistor, mediante le seguenti direttive:

  ```
  .dc
  .print VT(XNAND.XMN0.M1) VT(XNAND.XMN1.M1)
  .print VT(XNAND.XMP0.M1) VT(XNAND.XMP1.M1)
  ```

Le misure dei **tempi di propagazione** sono state realizzate sia in modo automatico, sfruttando istruzioni SPICE, sia manualmente sui grafici ottenuti dalle simulazioni. Ad esempio, il comando:

```
.measure tran nanddelayLH TRIG V(inB) VAL='alim*0.5' FALL=1
+ TARG V(out) VAL='alim*0.5' RISE=1
```

misura l'intervallo di tempo tra l'istante in cui la tensione sul nodo B raggiunge $0.5V_{DD} = 0.6\,V$ in discesa a l'istante in cui la tensione di uscita raggiunge 0.6 V in salita (tempo di propagazione LH). Per gli altri ritardi sono stati utilizzati comandi analoghi.

I risultati sono riportati nelle Tabelle 1.1 e 1.2: come si può notare, le misure manuali e automatiche coincidono.

Le **tensioni di soglia** sono uguali per i due *p*MOS, mentre il MOS N1 ha una soglia leggermente inferiore a quella di N0. Questo può essere dovuto al *drain induced barrier lowering* (DIBL), fenomeno che rende la tensione di soglia dipendente dalla tensione di drain: in una porta

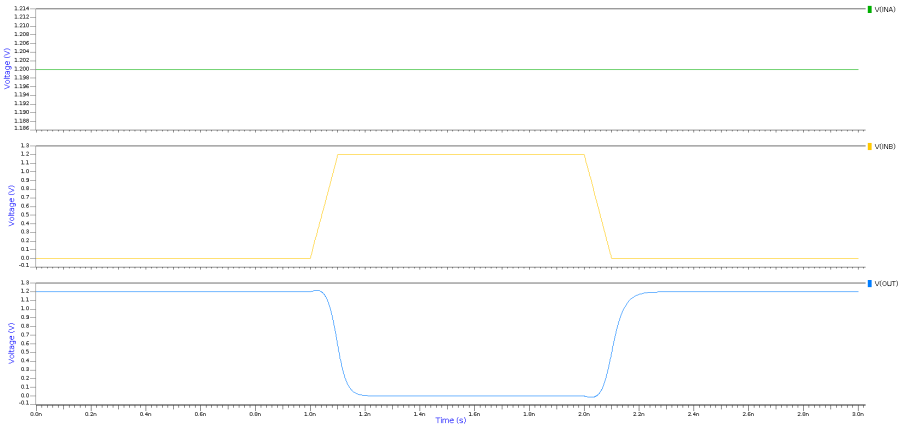


Figura 1.2: Forme d'onda in ingresso e uscita per la porta NAND2 x1 HS.

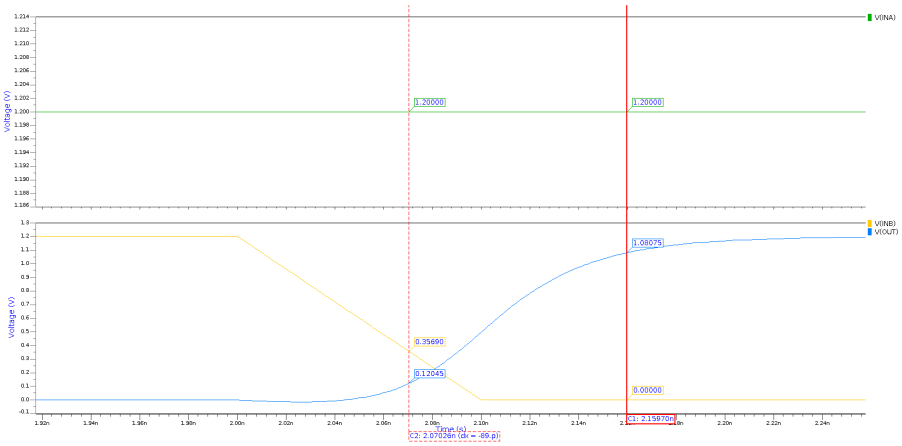


Figura 1.3: Misura del tempo di salita t_r per la porta NAND2 x1 HS.

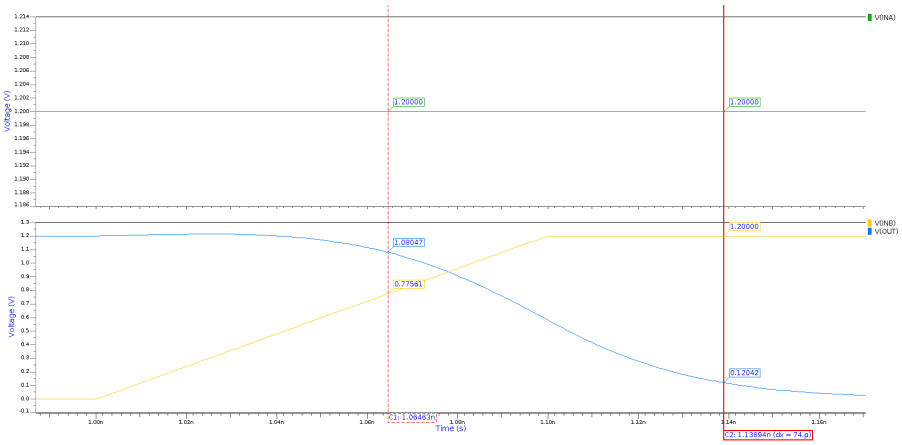


Figura 1.4: Misura del tempo di discesa t_f per la porta NAND2 x1 HS.

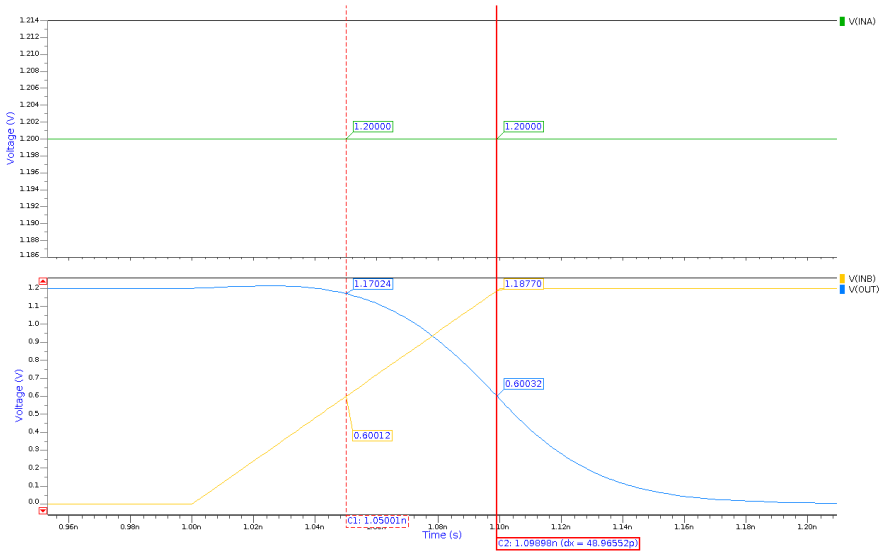


Figura 1.5: Misura del ritardo di propagazione t_{pd}^{HL} per la porta NAND2 x1 HS.

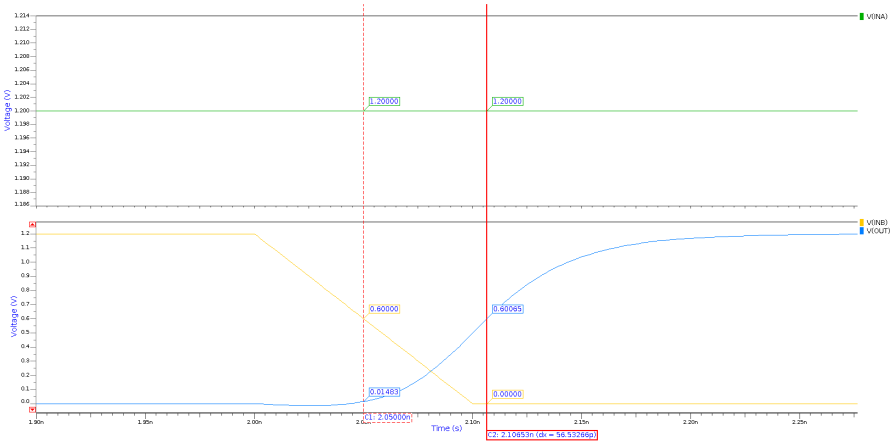


Figura 1.6: Misura del ritardo di propagazione t_{pd}^{LH} per la porta NAND2 x1 HS.

Tabella 1.1: Tempi di salita, discesa e propagazione della NAND2 x1 HS ottenuti, rispettivamente, dalle misure con i cursori e dall'analisi del file di output della simulazione, `nandHS.chi`.

	t_{pd}^{HL} [ps]	t_{pd}^{LH} [ps]	t_r [ps]	t_f [ps]
cursori	49	57	89	74
file	48.9	56.5	89.3	74.3

Tabella 1.2: Tensioni di soglia dei transistori, NAND2 x1 HS.

transistore	V_{th} [V]
N0	0.314
N1	0.272
P0, P1	−0.247

NAND i *p*MOS sono in parallelo mentre gli *n*MOS sono in serie, quindi, a causa della caduta di tensione sulla resistenza di canale, i drain di N1 e N0 non sono alla stessa tensione.

Infine, il simulatore calcola la ***total power dissipation*** della porta P_{tot}, che, in questo caso, è risultata pari a:

$$P_{tot} = 6.7908\,\text{nW}. \tag{1.1}$$

2 Caratterizzazione di un gate al variare del carico

In questa parte dell'esperienza, la stessa porta NAND, simulata nella sezione precedente con un carico fisso di 10 fF, è stata analizzata al variare del carico C_L.

Per fare ciò, è stata usata la netlist SPICE `nandHScharLoad.sp` che, oltre a istanziare la porta ND2HS, definisce il vettore di capacità di carico `vectorload`:

```
.data vectorload
load
0.005f
0.055f
0.55f
5.5f
55.0f
.enddata
```

La simulazione viene ripetuta per ogni valore del carico aggiungendo il comando:

```
sweep data=vectorload
```

alle direttive `.dc` e `.tran`. Rispetto al file `nandHS.sp` vengono aggiunte le istruzioni per stampare e misurare le correnti sui nodi di alimentazione (V_{DD} e GND) e sul carico. In particolare, le correnti sono state determinate inserendo i generatori ausiliari `vdummy_vdd`, `vdummy_gnd` and `vdummy_c` e misurando la corrente che scorre al loro interno.

La Figura 2.1 mostra l'andamento delle tensioni e delle correnti al variare del carico C_L, mentre i risultati delle misure automatiche sono riportati in Tabella 2.1; le quantità di interesse sono le seguenti.

1. **Tensioni** sulle porte di ingresso (V_{in}) e di uscita (V_{out}): coerentemente con quanto atteso, i ritardi di propagazione ($t_{\text{pd}}^{\text{HL}}$ e $t_{\text{pd}}^{\text{LH}}$) e i tempi di transizione (t_{f} e t_{r}) aumentano con il carico C_{L} a causa dell'aumento dalla costante di tempo della forma d'onda di uscita, il che si traduce in fronti sempre più lenti.

2. **Correnti** nei nodi di alimentazione (I_{vdd}), massa (I_{gnd}) e uscita (I_{load}): si può osservare un andamento impulsivo perché in un circuito CMOS, in prima approssimazione, la corrente viene assorbita solo al momento della commutazione.

Per quanto riguarda le **correnti**, è opportuno fare un discorso a parte perché l'andamento osservato è dovuto alla combinazione di due effetti che si manifestano durante la commutazione.

Assorbimento di corrente da parte del carico. $|I_{\text{load}}|$ aumenta con C_{L} perché capacità di carico maggiori richiedono picchi di corrente elevati per essere caricate e scaricate, soprattutto per applicazioni *high speed*.

Infatti, riducendo C_{L} da 55 fF a 5 aF, i picchi di corrente nel carico $|I_{\text{load}}|$ diminuiscono di poco meno di un fattore 2000, passando da circa 200 µA a circa 0.1 µA.

Scorrimento di correnti di corto circuito. Di solito, in tecnologia CMOS le reti di *pull up* e di *pull down* non sono mai attive contemporaneamente ma, durante una transizione, può accadere che il *pull up* si spenga quando il *pull down* è già acceso e viceversa, creando un percorso conduttivo tra alimentazione e massa che fa aumentare i consumi dinamici del sistema. Tale fenomeno può essere modellato aggiungendo una capacità di corto circuito fittizia in parallelo a C_{L}. Tale capacità, che si denota con C_{sc}, è molto difficile da modellare analiticamente, ma è intuitivo capire che il suo valore è tanto più grande quanto più C_{L} è piccola: infatti, più i fronti d'onda in uscita sono veloci, più aumenta la probabilità che ci sia un intervallo di tempo non nullo in cui sia i *p*MOS sia gli *n*MOS sono accesi. In particolare, si dimostra che:

$$C_{\text{sc}} = \kappa \left(a \frac{\tau_{\text{in}}}{\tau_{\text{out}}} + b \right) \tag{2.1}$$

dove:

- a e b sono parametri dipendenti dalla tecnologia;
- κ è funzione della tensione di alimentazione, della tensione di soglia e della larghezza dei transistor;
- τ_{in} e τ_{out} sono, rispettivamente, le costanti di tempo dei fronti di ingresso e di uscita.

Dal momento che la potenza di corto circuito è di tipo dinamico[2] possiamo scrivere che:

$$P_{\text{sc}} = C_{\text{sc}} V_{\text{DD}}^2 E_{\text{sw}} f_{\text{ck}} \tag{2.2}$$

dove E_{sw} è la *switching activity* e f_{ck} è la frequenza di clock.

Il contributo della corrente di corto circuito è osservabile negli andamenti di I_{vdd} e I_{gnd}; per analizzarlo, è opportuno distinguere tra la transizione di discesa e quella di salita.

Discesa. C_{L} si scarica perché lo zero logico si propaga da GND verso l'uscita, facendo accendere la rete di *pull down* e spegnere quella di *pull up*; $|I_{\text{vdd}}|$ aumenta al diminuire del carico perché è data dalla sola corrente di corto circuito I_{sc}, mentre I_{gnd} è data dalla somma algebrica tra I_{sc} e I_{load}, ragion per cui l'altezza dei picchi diminuisce con il carico.

[2] Ricordiamo che con *potenza dinamica* si intende la potenza dissipata da un circuito logico durante una commutazione.

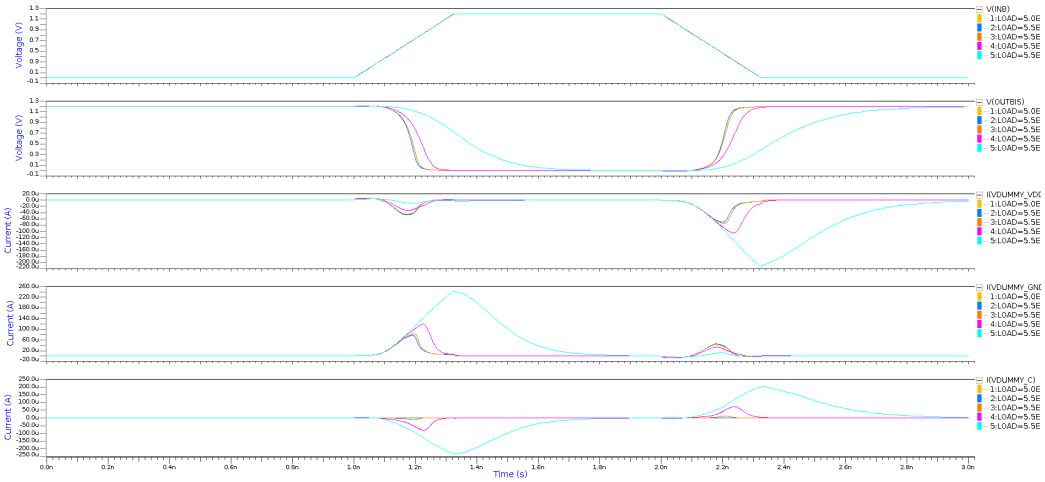


Figura 2.1: Tensioni e correnti della porta NAND2 x1 HS al variare del carico da $C_L = 55\,\text{fF}$ (curve azzurre) a $C_L = 5\,\text{aF}$ (curve arancioni).

Tabella 2.1: Ritardi e correnti della porta NAND2 x1 HS al variare della capacità di carico C_L.

C_L [F]	t_f [ps]	t_r [ps]	t_{pd}^{HL} [ps]	t_{pd}^{LH} [ps]	$I_{gnd,f}$ [μA]	$I_{vdd,f}$ [μA]	$I_{load,f}$ [μA]	$I_{gnd,r}$ [μA]	$I_{vdd,r}$ [μA]	$I_{load,r}$ [μA]
5.5×10^{-14}	319	394	192	223	244	−10.2	−234	11.7	−212	203
5.5×10^{-15}	101	106	50.8	69.0	120	−33.6	−80.0	34.0	−105	71.7
5.5×10^{-16}	72.5	71.6	24.3	41.9	82.5	−45.4	−12.7	43.9	−74.8	11.6
5.5×10^{-17}	68.9	67.7	20.9	38.3	77.1	−47.7	−1.37	45.7	−70.5	1.26
5.0×10^{-18}	68.5	67.2	20.5	37.9	76.5	−47.9	−0.126	45.9	−70.0	0.115

Salita. Il discorso è duale a quello della discesa: C_L si carica perché l'uno logico si propaga da V_{DD} verso l'uscita, quindi la rete di *pull up* si accende e quella di *pull down* si spegne; I_{gnd} aumenta al diminuire del carico perché è data dalla sola I_{sc}, mentre I_{vdd} diminuisce in modulo con il carico poichè è data dalla somma algebrica tra I_{sc} e I_{load}.

Durante il funzionamento del gate, le correnti misurate attraversano le interconnessioni, dissipando potenza e aumentando la temperatura del circuito, come la Sezione 5.1 metterà chiaramente in luce.

Per quanto riguarda le **tensioni di soglia**, misurate durante l'analisi `.dc`, i valori ottenuti sono, ovviamente, identici a quelli della precedente simulazione, in quanto indipendenti dal carico.

Infine, anche in questo caso è stata misurata la **dissipazione totale di potenza** P_{tot}, che è risultata esattamente uguale a quella ottenuta durante la simulazione descritta nella Sezione 1:

$$P_{tot} = 6.7908\,\text{nW} \tag{2.3}$$

Dal momento che la simulazione restituisce un unico valore, questo significa che SPICE non fa un'analisi parametrica per il calcolo di P_{tot}; in teoria, all'aumentare del carico ci si aspetterebbe un aumento della potenza dissipata.

3 Caratterizzazione di un gate in base alla *strength*

La porta NAND2 x1 HS analizzata nelle Sezioni 1 e 2 è caratterizzata da una *strength* $x = 1$; è interessante confrontare il suo comportamento con quello di una porta che implementa la stessa funzione logica ma ha *strength* $x = 8$.

A tale scopo, prendiamo in esame il gate NAND2 x8 HS, la cui netlist è contenuta nel file `nandHSX8charMaxLoad.sp` riportato in Appendice A.8: come nel caso della NAND2 x1 HS, viene inclusa la libreria `CMOS013.spi` e viene istanziata la porta `ND2HSX8` (Appendice A.2).

Analizzando la netlist della porta, la cui rappresentazione grafica può essere osservata in Figura 3.1, si nota che, contrariamente alla versione x1, sono presenti ben otto *n*MOS e sei *p*MOS; questo perché, all'aumentare della *strength*, aumenta anche la larghezza W dei transistori e, per evitare di utilizzare dispositivi troppo grandi, è opportuno istanziare la NAND x8 come cascata di porte più piccole.

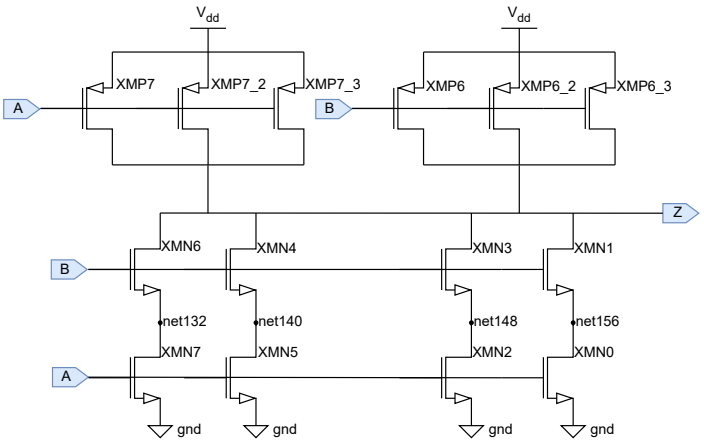


Figura 3.1: Schematico della porta NAND2 x8 HS; i nomi dei transistor e dei nodi sono coerenti con le assegnazioni fatte all'interno della libreria `CMOS013.spi`.

Per confrontare le due porte x1 e x8, entrambe sono state simulate con carichi pari a $C_L = 60\,\text{fF}$ e $C_L = 0.06\,\text{fF}$ e, come nella Sezione precedente, è stata condotta un'analisi `.tran` per misurare le tensioni di ingresso (V_{in}) e uscita (V_{out}) e le correnti di alimentazione (I_{vdd}), massa (I_{gnd}) e carico (I_{load}).

I risultati sono riportati nella Tabella 3.1 e rappresentati graficamente nelle Figure 3.2 e 3.3.

Tabella 3.1: Ritardi e correnti delle porte NAND2 x1 HS e NAND2 x8 HS al variare della *strength* della capacità di carico C_L.

strength	C_L [F]	t_r [ps]	t_f [ps]	t_{pd}^{HL} [ps]	t_{pd}^{LH} [ps]	$I_{gnd,f}$ [μA]	$I_{vdd,f}$ [μA]	$I_{load,f}$ [μA]	$I_{gnd,r}$ [μA]	$I_{vdd,r}$ [μA]	$I_{load,r}$ [μA]
x1	60	425	341	204	237	245	−9.48	−236	11.0	−215	206
x1	0.06	67.7	69.0	20.9	38.4	77.2	−47.6	−1.50	45.6	−70.5	1.37
x8	60	113	107	57.4	72.3	1070	−259	−812	265	−929	727
x8	0.06	62.3	63.8	17.5	31.4	637	−410	−1.71	379	−553	1.55

Analizzando separatamente le due porte, ritroviamo il comportamento già descritto nella Sezione 2: a parità di x e all'aumentare di C_L, i ritardi e i picchi di corrente nel carico ($|I_{load}|$)

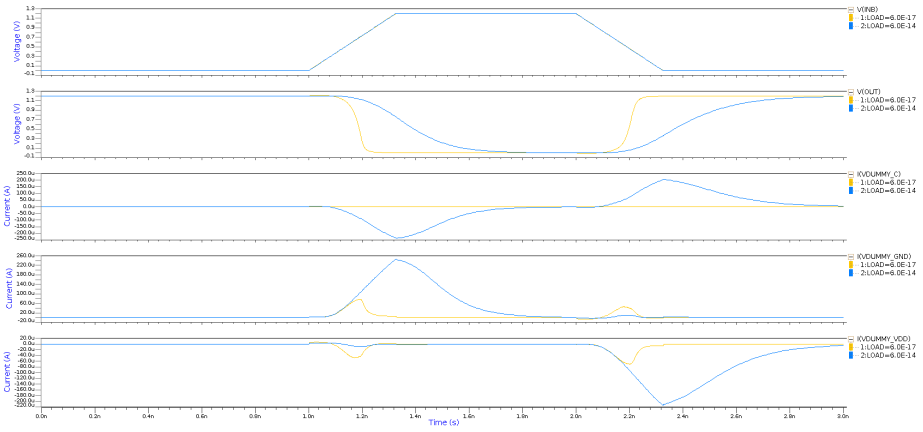


Figura 3.2: Tensioni e correnti per la porta NAND2 x1 HS con carichi $C_L = 60\,\text{fF}$ (curve blu) e $C_L = 0.06\,\text{fF}$ (curve gialle).

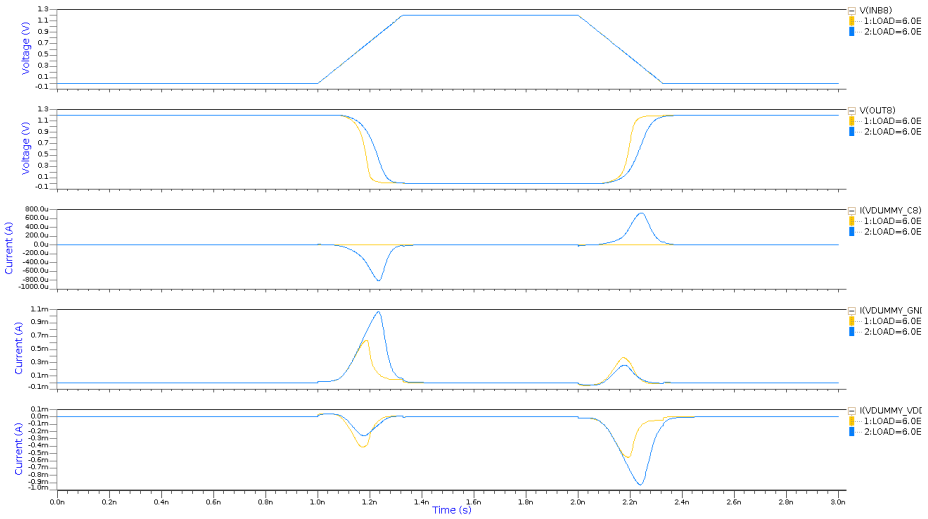


Figura 3.3: Tensioni e correnti per la porta NAND2 x8 HS con carichi $C_L = 60\,\text{fF}$ (curve blu) e $C_L = 0.06\,\text{fF}$ (curve gialle).

Tabella 3.2: Tensioni di soglia dei transistori, NAND2 x8 HS.

transistore	V_{th} [V]
N0, N2, N5, N7	0.319
N1, N3, N4, N6	0.278
P6, P7, P6_2, P7_2, P6_3, P7_3	−0.242

aumentano, mentre l'impatto della corrente di corto circuito, osservabile in I_{gnd} per la transizione di salita e in I_{vdd} per quella di discesa, si riduce.

Viceversa, a parità di C_L e all'aumentare di x, si può notare quanto segue:

- i picchi di **corrente** diventano più alti e marcati perché, per definizione, all'aumentare delle *strength* aumenta la corrente che la porta è in grado di pilotare.
- i **ritardi** si riducono, i.e., i fronti diventano più ripidi, perché maggiore è la corrente pilotata dalla porta, maggiore è la velocità con cui C_L viene caricata e scaricata durante le commutazioni.

  Per condurre un'analisi più quantitativa, si può usare il modello microelettronico del *logical effort*[3], secondo il quale il ritardo normalizzato d di una porta con *strength* x è dato da:

  $$d = p + \frac{c_\ell}{x} \tag{3.1}$$

  dove p e c_ℓ sono, rispettivamente, il ritardo intrinseco e il carico normalizzati.

  Si osservi che la diminuzione dei ritardi all'aumentare della *strength* è tanto più marcata quanto più il carico è grande: ad esempio, il tempo di salita t_r aumenta di un fattore 4 per $C_L = 60\,\text{fF}$ (da 113 a 425 ps), e resta pressoché costante per $C_L = 60\,\text{fF}$ (da 62 a 67 ps); questo è dovuto, ancora una volta, all'Equazione (3.1): al diminuire di $c_\ell \propto C_L$, l'impatto di x si riduce e il ritardo tende a quello intrinseco.

Per misurare le **tensioni di soglia** della porta x8, è stata condotta un'analisi `.dc`, che ha condotto a risultati pressoché identici a quelli ottenuti per la porta x1 nelle sezioni precedenti. I valori misurati sono riportati nella Tabella 3.2.

Infine, per entrambe le porte sono stati estratti i valori della **dissipazione totale di potenza**:

$$P_{tot}^{x1} = 6.7908\,\text{nW}, \quad P_{tot}^{x8} = 49.469\,\text{nW} \tag{3.2}$$

Come atteso dalla teoria, passando dalla porta x1 alla porta x8 la potenza dissipata aumenta, all'incirca di un fattore 8.

4 Confronto tra gate *high speed* e *low leakage*

I gate utilizzati finora durante le simulazioni erano ottimizzati per le applicazioni *high speed*; l'obiettivo di questa Sezione, invece, è caratterizzare due gate di tipo *low leakage* (LL), i.e., ottimizzati per minimizzare la dissipazione di potenza dovuta alle correnti sotto soglia.

[3] Il metodo del *logical effort* è utilizzato in microelettronica per stimare i ritardi delle porte logiche CMOS mediante semplici calcoli manuali, basati su un modello di ritardo lineare. In questo modo, è possibile fare delle valutazioni di progetto rapide ed approssimative riguardo a numero di stadi di logica, topologia della rete e dimensionamento dei transistor senza ricorrere ad alcuna simulazione.

In particolare, sono state utilizzate le netlist contenute nei file `nandLLcharMaxLoad.sp` e `nandLLX8MaxLoad.sp`, riportati nelle Appendici A.9 e A.10.

I codici sono stati ottenuti apportando modifiche minime alle netlist `nandHScharMaxLoad.sp` e `nandHSX8MaxLoad.sp`, utilizzate nella Sezione 3: in particolare, le istanze delle porte `ND2HS` e `ND2HSX8` sono state sostituite con quelle delle porte `ND2LL` e `ND2LLX8`, due NAND2 LL aventi, rispettivamente, $x = 1$ e $x = 8$.

Per caratterizzare le due porte, sono state condotte una simulazione `.tran` e una `.dc`, perfettamente analoghe a quelle descritte nel paragrafo precedente.

I risultati dell'analisi `.tran` sono riportati nella Tabella 4.1 e nelle Figure 4.1 e 4.2: l'andamento di ritardi e correnti, a parità di condizioni, è lo stesso osservato per le due porte HS, ma ci sono due differenze sostanziali, coerenti con un comportamento di tipo *low leakage*.

1. I **ritardi** aumentano leggermente, i.e., i fronti di V_{out} sono meno ripidi; infatti, come sarà evidente dai risultati della simulazione `.dc`, le porte LL sono realizzate con transistori ad alta soglia, che riducono i consumi di potenza statica a scapito dei ritardi.

   Per giustificare questo comportamento a livello quantitativo, è sufficiente ricordare che il ritardo di una porta può essere espresso come:

   $$t = \frac{C_{\text{L}} V_{\text{DD}}}{I} \propto \frac{V_{\text{DD}}}{(V_{\text{DD}} - V_{\text{th}})^2} \tag{4.1}$$

   dove è stata usata la relazione $I \propto (V_{\text{DD}} - V_{\text{th}})^2$.

2. Il contributo della **corrente di corto circuito**, visibile soprattutto in I_{gnd} per la transizione *rising* e in I_{vdd} per la transizione *falling*, diminuisce di un fattore variabile tra 2.5 e 4.

Tabella 4.1: Ritardi e correnti delle porte NAND2 x1 LL e NAND2 x8 LL al variare della *strength* della capacità di carico C_{L}.

strength	C_{L} [F]	t_{r} [ps]	t_{f} [ps]	$t_{\text{pd}}^{\text{HL}}$ [ps]	$t_{\text{pd}}^{\text{LH}}$ [ps]	$I_{\text{gnd,f}}$ [μA]	$I_{\text{vdd,f}}$ [μA]	$I_{\text{load,f}}$ [μA]	$I_{\text{gnd,r}}$ [μA]	$I_{\text{vdd,r}}$ [μA]	$I_{\text{load,r}}$ [μA]
x1	60	592	406	258	331	194	−2.48	−187	3.63	−151	145
x1	0.06	71.6	63.5	31.6	52.7	51.9	−19.8	−1.34	17.0	−42.3	1.07
x8	60	138	112	78.3	103	867	−70.3	−689	68.4	−684	543
x8	0.06	63.5	57.4	26.8	44.5	404	−166	−1.52	133	−303	1.22

Le tensioni di soglia di tutti i transistori, misurate con l'analisi `.dc`, sono riportate nella Tabella 4.2 e, coerentemente con quanto atteso, i valori ottenuti sono più alti di quelli dei dispositivi usati per la costruzione delle porte HS; infatti, la corrente di leakage dipende esponenzialmente dalla tensione di soglia secondo la relazione

$$I_{\text{lk}} \propto 10^{V_{\text{th}}/\mathcal{S}} \tag{4.2}$$

dove $\mathcal{S} := nV_{\text{T}} \ln 10 \approx 60 \div 80\,\text{mV}$ prende il nome di *subthreshold slope*.

Infine, per entrambe le porte sono stati estratti i valori della **dissipazione totale di potenza**:

$$P_{\text{tot}}^{\text{x1}} = 445.1\,\text{pW} \tag{4.3}$$

$$P_{\text{tot}}^{\text{x8}} = 2.97\,\text{nW} \tag{4.4}$$

Tabella 4.2: Tensioni di soglia dei transistori, NAND2 x1 LL e NAND2 x8 LL.

porta	transistore	V_{th} [V]
x1	N0	0.413
	N1	0.381
	P0, P1	−0.367
x8	N0, N2, N5, N7	0.419
	N1, N3, N4, N6	0.386
	P6, P7, P6_2, P7_2, P6_3, P7_3	−0.368

Passando dalle porte HS alle porte LL i consumi diminuiscono, all'incirca, di un fattore 16 grazie al minore impatto delle correnti di leakage.

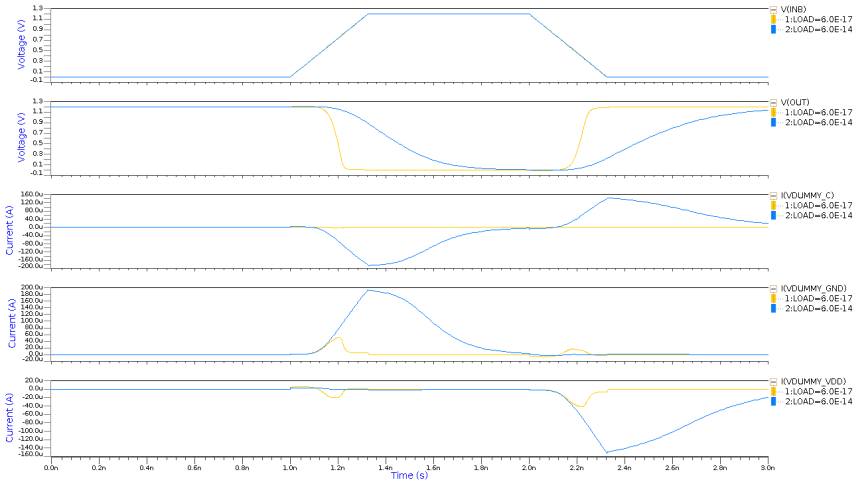


Figura 4.1: Tensioni e correnti per la porta NAND2 x1 LL con carichi $C_{\text{L}} = 60\,\text{fF}$ (curve blu) e $C_{\text{L}} = 0.06\,\text{fF}$ (curve gialle).

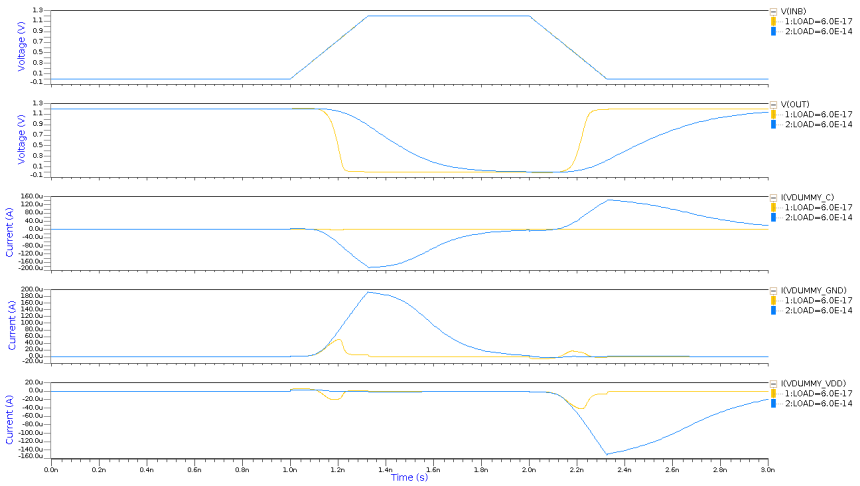


Figura 4.2: Tensioni e correnti per la porta NAND2 x8 LL con carichi $C_{\text{L}} = 60\,\text{fF}$ (curve blu) e $C_{\text{L}} = 0.06\,\text{fF}$ (curve gialle).

Tabella 5.1: Consumo del gate NAND2 x1 LL al variare della temperatura.

T [°C]	P_{tot} [nW]
−50	0.006
0	0.121
50	1.13
100	5.81
130	12.64
160	24.57
190	43.62

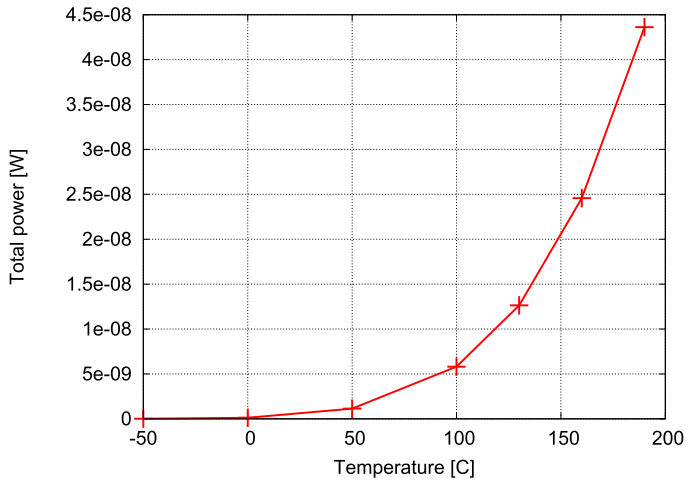


Figura 5.1: Influenza della temperatura sulla dissipazione di potenza della porta NAND2 x1 LL.

Una riduzione tanto marcata non deve stupire perché, usando tecnologie con lunghezze di canale inferiori ai 100 nm, i consumi di potenza statici giocano un ruolo confrontabile a quelli dinamici nel bilancio complessivo.

5 Effetto della temperatura e della tensione di alimentazione

L'ultima parte dell'esperienza consiste nell'analizzare l'impatto della temperatura e della tensione di alimentazione sulla dissipazione totale di potenza e sulla tensione di soglia dei transistori che compongono la porta logica. In particolare:

1. nella Sezione 5.1 la porta NAND2 x1 LL è stata simulata variando la temperatura di lavoro T tra −50 °C e 190 °C;
2. nella Sezione 5.2, la porta NAND2 x1 HS è stata simulata variando la tensione di alimentazione V_{DD} tra 0.7 V e 1.4 V.

5.1 Temperatura

Per analizzare l'effetto della temperatura di lavoro T sul comportamento del gate NAND2 x1 LL, il file `nandLLcharMaxLoad.sp`, riportato in Appendice A.9 è stato modificato aggiungendo, dopo il comando `.tran`, la direttiva:

Tabella 5.2: Tensioni di soglia dei transistori del gate NAND2 x1 LL al variare della temperatura.

	$\lvert V_{th}\rvert$ [V]						
	−50 °C	0 °C	50 °C	100 °C	130 °C	160 °C	190 °C
N0	0.464	0.431	0.398	0.365	0.345	0.326	0.306
N1	0.431	0.398	0.365	0.332	0.313	0.293	0.273
P0, P1	0.423	0.386	0.350	0.314	0.293	0.271	0.249

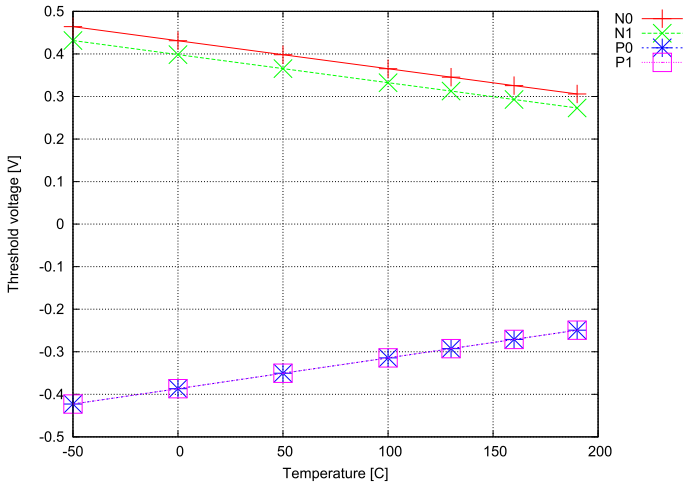


Figura 5.2: Influenza della temperatura sulle tensioni di soglia dei transistori della porta NAND2 x1 LL.

```
.temp -50 0 50 100 130 160 190
```

che consente di svolgere una simulazione parametrica variando T tra −50 °C e 190 °C. Per semplicità, la capacità di carico è costante e pari a 60 fF[4].

I valori di P_{tot} e V_{th} calcolati dal simulatore sono riportati nelle Tabelle 5.1 e 5.2 e rappresentati graficamente nelle Figure 5.1 e 5.2.

Osservando i grafici, si può osservare che, all'aumentare della temperatura, gli andamenti delle grandezza di esame sono i seguenti.

- Il **consumo** P_{tot} aumenta con T perché, come già anticipato nei paragrafi precedenti, la dissipazione di potenza da parte del circuito si traduce in un aumento della temperatura. L'impatto di questa grandezza si ripercuote principalmente sul leakage; infatti, è possibile dimostrare che $P_{lk} \propto e^T$.

- Il valore assoluto della **tensione di soglia** dei transistori diminuisce linearmente con T, come ci si aspetta dal modello fisico del sistema:

$$V_{th}(T) = V_{th0} - \kappa(T - T_0) \tag{5.1}$$

  dove $\kappa > 0$ prende il nome di *coefficiente termico* e $T_0 = 330\,\mathrm{K}$. Il valore di κ, determinato interpolando i dati con un semplice script MATLAB® (Appendice B), è risultato in tutti e tre i casi dell'ordine di 0.6 mV °C^{-1}.

[4] Nel vettore delle capacità di carico è stato commentato il valore 0.06 fF affinché la simulazione venisse svolta solo per $C_L = 60\,\mathrm{fF}$.

5.2 Tensione di alimentazione

Per analizzare l'effetto della tensione di alimentazione V_{DD} sulla dissipazione totale di potenza P_{tot} della porta NAND2 x1 HS, è stato utilizzato il file `nandHScharVoltage.sp`, riportato in Appendice A.11 e ottenuto apportando delle modifiche minime al file `nandHScharLoad.sp`, già analizzato nella Sezione 2.

In questo caso, la variabile da usare per lo *sweep* parametrico è la tensione (`alim`): per questo motivo viene definito il vettore `vectoralim`, che fa variare la tensione tra 0.7 V e 1.4 V a step di 0.1 V.

```
.data vectoralim
alim
0.7V
0.8V
0.9V
1.0V
1.1V
1.2V
1.3V
1.4V
.enddata
```

A questo punto, è stata eseguita una simulazione `.tran` mediante la direttiva:

```
.tran 1p 3n sweep data=vectoralim
```

che consente di ripetere la simulazione per tutti i valori di V_{DD} definiti in `vectoralim`. La capacità di carico, invece, è costante e pari a 0.028 fF.

I valori di P_{tot} calcolati dal simulatore sono riportati nella Tabella 5.3 e rappresentati graficamente in Figura 5.3a: raddoppiando V_{DD} (da 0.7 V a 1.4 V), la potenza consumata aumenta di un fattore:

$$\varepsilon = \frac{P_{tot}(V_{DD} = 1.4\,\mathrm{V})}{P_{tot}(V_{DD} = 0.7\,\mathrm{V})} \approx 4.2 \tag{5.2}$$

confermando la dipendenza quadratica prevista dalla teoria.

A rigore, la relazione $P_{tot} \propto V_{DD}^2$ non è completa; infatti, interpolando i dati estratti dal simulatore con una funzione del second'ordine grazie ad un semplice script MATLAB® (Appendice B), si ottiene la curva riportata in Figura 5.3b, avente equazione:

$$P_{tot} = aV_{DD}^2 + bV_{DD} + c, \quad \text{dove} \begin{cases} a = 7.8393\,\mathrm{nW\,V^{-2}} \\ b = -5.9946\,\mathrm{nW\,V^{-1}} \\ c = 2.7312\,\mathrm{nW} \end{cases} \tag{5.3}$$

Questo comportamento è dovuto al fatto che, nel calcolo della potenza totale consumata dalla porta logica, si dovrebbe tenere conto di diversi fattori:

$$P_{tot} = P_{dyn} + P_{stat} = P_{sw} + P_{sc} + P_{lk} + P_{DC} \tag{5.4}$$

dove

- P_{dyn} è il **consumo di potenza dinamico**, dato dalla somma di due contributi:
  - $P_{sw} \propto C_L V_{DD}^2$: potenza dovuta alle commutazioni;

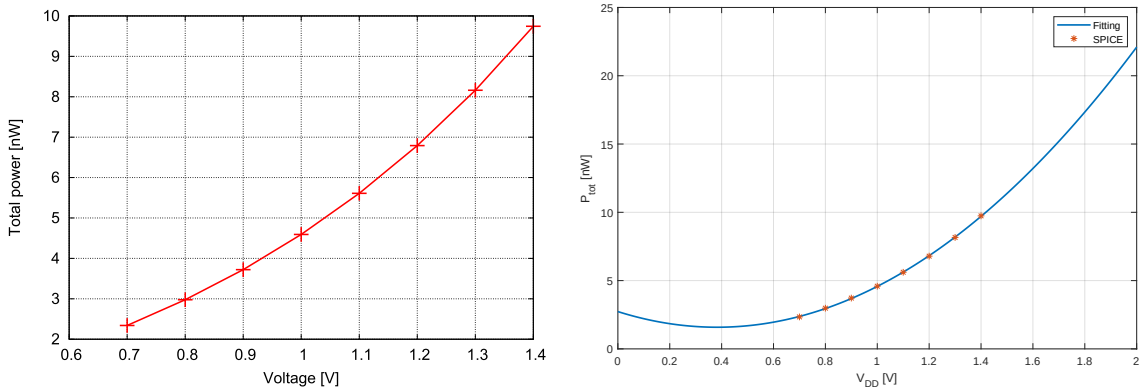
Tabella 5.3: Consumo del gate NAND2 x1 HS al variare della tensione di alimentazione.

V_{DD} [V]	P_{tot} [nW]
0.7	2.34
0.8	2.98
0.9	3.72
1.0	4.59
1.1	5.61
1.2	6.79
1.3	8.16
1.4	9.74

  - $P_{sc} \propto C_{sc} V_{DD}^2$: potenza di corto circuito, di cui si è discusso nella Sezione 2;

- P_{stat} è il **consumo di potenza statico**, dato dalla somma di due contributi:
  - $P_{lk} = I_{lk} V_{DD}$: potenza dovuta alle correnti di leakage I_{lk}, di cui si è discusso nella Sezione 4;
  - $P_{DC} = I_{DC} V_{DD}$: potenza dovuta alle correnti di polarizzazione I_{DC}.

Il buon designer è colui che progetta il circuito in modo da posizionarsi nel punto di minimo della funzione $V_{DD} \mapsto P_{tot}(V_{DD})$.



(a) $V_{DD} \mapsto P_{tot}(V_{DD})$, simulazione **(b)** $V_{DD} \mapsto P_{tot}(V_{DD})$, fitting

Figura 5.3: Influenza della tensione di alimentazione sul consumo di potenza della porta NAND2 x1 HS.

A Netlist SPICE

A.1 Porta NAND2 x1 HS

```
.subckt ND2HS A B Z gnd vdd
*** Version 5.500
*** Create time, Fri Jul 13 23:38:12 2001
*** spice backannotate

XMN0 net15 A gnd gnd ENHSGP_BS3JU W=0.640U L=0.130U
+  AD=0.061P AS=0.305P PD=0.190U PS=2.870U
XMN1 Z B net15 gnd ENHSGP_BS3JU W=0.640U L=0.130U
+  AD=0.218P AS=0.061P PD=1.320U PS=0.190U
XMP0 Z A vdd vdd EPHSGP_BS3JU W=0.770U L=0.130U
+  AD=0.192P AS=0.471P PD=1.130U PS=4.130U
XMP1 Z B vdd vdd EPHSGP_BS3JU W=0.770U L=0.130U
+  AS=0.471P AD=0.192P PS=4.130U PD=1.130U

C1 vdd gnd 0.142ff
C2 gnd gnd 0.897ff
C4 Z gnd 0.108ff
C5 A gnd 0.129ff
C6 B gnd 0.132ff
C1-2 vdd gnd 0.132ff
C1-4 vdd Z 0.018ff
C1-5 vdd A 0.002ff
C1-6 vdd B 0.002ff
C2-4 gnd Z 0.178ff
C2-5 gnd A 0.067ff
C2-6 gnd B 0.063ff
C4-5 Z A 0.099ff
C4-6 Z B 0.132ff
C5-6 A B 0.131ff
.ends ND2HS
```

A.2 Porta NAND2 x8 HS

```
.subckt ND2HSX8 A B Z gnd vdd
*** Version 5.500
*** Create time, Fri Jul 13 23:39:37 2001
*** spice backannotate

XMN7 net132 A gnd gnd ENHSGP_BS3JU W=1.280U L=0.130U
+  AD=0.160P AS=0.531P PD=0.250U PS=2.110U
XMN6 Z B net132 gnd ENHSGP_BS3JU W=1.280U L=0.130U
+  AD=0.243P AS=0.160P PD=0.380U PS=0.250U
XMN4 Z B net140 gnd ENHSGP_BS3JU W=1.280U L=0.130U
+  AS=0.150P AD=0.243P PS=0.235U PD=0.380U
XMN5 net140 A gnd gnd ENHSGP_BS3JU W=1.280U L=0.130U
+  AS=0.243P AD=0.150P PS=0.380U PD=0.235U
XMN2 net148 A gnd gnd ENHSGP_BS3JU W=1.280U L=0.130U
+  AD=0.150P AS=0.243P PD=0.235U PS=0.380U
XMN3 Z B net148 gnd ENHSGP_BS3JU W=1.280U L=0.130U
+  AD=0.243P AS=0.150P PD=0.380U PS=0.235U
XMN1 Z B net156 gnd ENHSGP_BS3JU W=1.280U L=0.130U
+  AS=0.150P AD=0.243P PS=0.235U PD=0.380U
```

```
XMN0 net156 A gnd gnd ENHSGP_BS3JU W=1.280U L=0.130U
+  AS=0.435P AD=0.150P PS=1.960U PD=0.235U
XMP7 Z A vdd vdd EPHSGP_BS3JU W=2.050U L=0.130U
+  AD=0.482P AS=0.674P PD=0.470U PS=2.810U
XMP6 Z B vdd vdd EPHSGP_BS3JU W=2.050U L=0.130U
+  AS=0.482P AD=0.482P PS=0.470U PD=0.470U
XMP6_2 Z B vdd vdd EPHSGP_BS3JU W=2.050U L=0.130U
+  AD=0.482P AS=0.482P PD=0.470U PS=0.470U
XMP7_2 Z A vdd vdd EPHSGP_BS3JU W=2.050U L=0.130U
+  AS=0.482P AD=0.482P PS=0.470U PD=0.470U
XMP6_3 Z B vdd vdd EPHSGP_BS3JU W=2.050U L=0.130U
+  AD=0.482P AS=0.482P PD=0.470U PS=0.470U
XMP7_3 Z A vdd vdd EPHSGP_BS3JU W=2.050U L=0.130U
+  AS=0.674P AD=0.482P PS=2.810U PD=0.470U

C1 vdd gnd 0.341ff
C2 gnd gnd 1.486ff
C4 Z gnd 0.213ff
C8 A gnd 0.398ff
C9 B gnd 0.300ff
C1-2 vdd gnd 0.409ff
C1-8 vdd A 0.112ff
C1-9 vdd B 0.102ff
C2-4 gnd Z 0.602ff
C2-8 gnd A 0.475ff
C2-9 gnd B 0.341ff
C4-8 Z A 0.414ff
C4-9 Z B 0.243ff
C8-9 A B 0.825ff
.ends ND2HSX8
```

A.3 Porta NAND2 x1 LL

```

.subckt ND2LL A B Z gnd vdd
*** Version 5.500
*** Create time, Fri Jul 13 23:38:12 2001
*** spice backannotate

XMN0 net15 A gnd gnd ENLLGP_BS3JU W=0.640U L=0.130U
+  AD=0.061P AS=0.305P PD=0.190U PS=2.870U
XMN1 Z B net15 gnd ENLLGP_BS3JU W=0.640U L=0.130U
+  AD=0.218P AS=0.061P PD=1.320U PS=0.190U
XMP0 Z A vdd vdd EPLLGP_BS3JU W=0.770U L=0.130U
+  AD=0.192P AS=0.471P PD=1.130U PS=4.130U
XMP1 Z B vdd vdd EPLLGP_BS3JU W=0.770U L=0.130U
+  AS=0.471P AD=0.192P PS=4.130U PD=1.130U

C1 vdd gnd 0.142ff
C2 gnd gnd 0.897ff
C4 Z gnd 0.108ff
C5 A gnd 0.129ff
C6 B gnd 0.132ff
C1-2 vdd gnd 0.132ff
C1-4 vdd Z 0.018ff
C1-5 vdd A 0.002ff
C1-6 vdd B 0.002ff
```

```
C2-4 gnd Z 0.178ff
C2-5 gnd A 0.067ff
C2-6 gnd B 0.063ff
C4-5 Z A 0.099ff
C4-6 Z B 0.132ff
C5-6 A B 0.131ff
.ends ND2LL
```

A.4 Porta NAND2 x8 LL

```
.subckt ND2LLX8 A B Z gnd vdd
*** Version 5.500
*** Create time, Fri Jul 13 23:39:37 2001
*** spice backannotate

XMN7 net132 A gnd gnd ENLLGP_BS3JU W=1.280U L=0.130U
+  AD=0.160P AS=0.531P PD=0.250U PS=2.110U
XMN6 Z B net132 gnd ENLLGP_BS3JU W=1.280U L=0.130U
+  AD=0.243P AS=0.160P PD=0.380U PS=0.250U
XMN4 Z B net140 gnd ENLLGP_BS3JU W=1.280U L=0.130U
+  AS=0.150P AD=0.243P PS=0.235U PD=0.380U
XMN5 net140 A gnd gnd ENLLGP_BS3JU W=1.280U L=0.130U
+  AS=0.243P AD=0.150P PS=0.380U PD=0.235U
XMN2 net148 A gnd gnd ENLLGP_BS3JU W=1.280U L=0.130U
+  AD=0.150P AS=0.243P PD=0.235U PS=0.380U
XMN3 Z B net148 gnd ENLLGP_BS3JU W=1.280U L=0.130U
+  AD=0.243P AS=0.150P PD=0.380U PS=0.235U
XMN1 Z B net156 gnd ENLLGP_BS3JU W=1.280U L=0.130U
+  AS=0.150P AD=0.243P PS=0.235U PD=0.380U
XMN0 net156 A gnd gnd ENLLGP_BS3JU W=1.280U L=0.130U
+  AS=0.435P AD=0.150P PS=1.960U PD=0.235U
XMP7 Z A vdd vdd EPLLGP_BS3JU W=2.050U L=0.130U
+  AD=0.482P AS=0.674P PD=0.470U PS=2.810U
XMP6 Z B vdd vdd EPLLGP_BS3JU W=2.050U L=0.130U
+  AS=0.482P AD=0.482P PS=0.470U PD=0.470U
XMP6_2 Z B vdd vdd EPLLGP_BS3JU W=2.050U L=0.130U
+  AD=0.482P AS=0.482P PD=0.470U PS=0.470U
XMP7_2 Z A vdd vdd EPLLGP_BS3JU W=2.050U L=0.130U
+  AS=0.482P AD=0.482P PS=0.470U PD=0.470U
XMP6_3 Z B vdd vdd EPLLGP_BS3JU W=2.050U L=0.130U
+  AD=0.482P AS=0.482P PD=0.470U PS=0.470U
XMP7_3 Z A vdd vdd EPLLGP_BS3JU W=2.050U L=0.130U
+  AS=0.674P AD=0.482P PS=2.810U PD=0.470U

C1 vdd gnd 0.341ff
C2 gnd gnd 1.486ff
C4 Z gnd 0.213ff
C8 A gnd 0.398ff
C9 B gnd 0.300ff
C1-2 vdd gnd 0.409ff
C1-8 vdd A 0.112ff
C1-9 vdd B 0.102ff
C2-4 gnd Z 0.602ff
C2-8 gnd A 0.475ff
C2-9 gnd B 0.341ff
C4-8 Z A 0.414ff
C4-9 Z B 0.243ff
```

```
C8-9 A B 0.825ff
.ends ND2LLX8
```

A.5 Netlist nandHS.sp

```
* Simulating a simple nand with parasitics

*.param MOSHS_DEV = 0

* including MOS model
.lib '$ST_HSPICE_LIB/include_CMOS013.lib' CMOS013lib

* including a small set of gates containing parasitics informations
.include '$ST_HSPICE_LIB/CMOS013.spi'

*********************************************************

* the nand  subcircuit is already described in the file CMOS013.spi
* included above. the name of the subcircuit is ND2HS
* and its template is: .subckt ND2HS A B Z gnd vdd


* instance of the nand (like a port map in vhdl!!!):
* only the references to the template name are used
xnand inA inB out 0 vdd ND2HS
* a load is connected to the output node
cload out 0 10f

*********************************************************
* defining inputs
vina inA 0 dc 1.2
vinb inB 0 pwl 0 0 1n 0 1.1n 1.2 2n 1.2 2.1n 0
v_vdd vdd 0 DC alim
.param alim=1.2

*********************************************************
*    Measuring rising delay and rising times
.measure tran rnand TRIG v(out) VAL='alim*0.1' RISE=1
+TARG v(out) VAL='alim*0.9' RISE=1
.measure tran fnand TRIG v(out) VAL='alim*0.9' FALL=1
+TARG v(out) VAL='alim*0.1' FALL=1

*    Measuring delay
.measure tran nanddelayHL TRIG V(inB) VAL='alim*0.5' RISE=1
+ TARG V(out) VAL='alim*0.5' FALL=1

** ADD THE instruction for the fall delay at 50%!!!
.measure tran nanddelayLH TRIG V(inB) VAL='alim*0.5' FALL=1
+ TARG V(out) VAL='alim*0.5' RISE=1

*********************************************************
* defining the simulation step and duration
*commentare tran e scommentare dc per il punto della tensione di soglia
*.tran 1p 3n
.dc
.print VT(XNAND.XMN0.M1) VT(XNAND.XMN1.M1) VT(XNAND.XMP0.M1) VT(XNAND.XMP1.M1)

```

```
* instruction necessary for creating output data
* to be processed by a waveform viewer
.option post

.OPTION LIMPROBE = 200000
.OPTION EPS=1.0e-9 NOMOD NOTRC SIMUDIV=4 BE ABSTOL=1e-15

.end
```

A.6 Netlist `nandHScharLoad.sp`

```
* Characterizing a simple nand with load variation

* including MOS model
.lib '$ST_HSPICE_LIB/include_CMOS013.lib' CMOS013lib

* including a small set of gates containing parasitics informations
.include '$ST_HSPICE_LIB/CMOS013.spi'

*********************************************************

* the nand  subcircuit is already described in the file CMOS013.spi
* included above. the name of the subcircuit is ND2HS
* and its template is: .subckt ND2HS A B Z gnd vdd


* instance of the nand: can be the same as for mynand
* only the reference to the template name must be changed
xnand inA inB outbis gnd_int vdd_int ND2HS
cload out 0 load

* dummy 0 voltage generator used for measuring current
vdummy_c outbis out dc 0
vdummy_gnd gnd_int 0 dc 0
vdummy_vdd vdd_int vdd dc 0

.plot i(vdummy_c)
.plot i(vdummy_gnd)
.plot i(vdummy_vdd)

*********************************************************
* defining inputs
vina inA 0 dc 1.2
vinb inB 0 pwl 0 0 1n 0 '1n+t_tran/0.8' 1.2 2n 1.2 '2n+t_tran/0.8' 0
v_vdd vdd 0 DC alim
.param alim=1.2

* average values for load and rise/fall times
.param t_tran=0.2608n
.param load=0.028f

*********************************************************
* defining load variations
.data vectorload
load
0.005f
0.055f
```

```
0.55f
5.5f
55.0f
.enddata

*********************************************************
*    Measuring rising and rising times
.measure tran rnand TRIG v(out) VAL='alim*0.1' RISE=1
+TARG v(out) VAL='alim*0.9' RISE=1
.measure tran fnand TRIG v(out) VAL='alim*0.9' FALL=1
+TARG v(out) VAL='alim*0.1' FALL=1

*    Measuring delay
.measure tran nanddelayHL TRIG V(inB) VAL='alim*0.5' RISE=1
+ TARG V(out) VAL='alim*0.5' FALL=1

** ADD THE instruction for the fall delay!!!
.measure tran nanddelayLH TRIG V(inB) VAL='alim*0.5' FALL=1
+ TARG V(out) VAL='alim*0.5' RISE=1

* Measuring peak current
.measure tran maxIgndF MAX I(vdummy_gnd) FROM=1n TO 2ns
.measure tran maxIvddR MIN I(vdummy_vdd) FROM=2n TO 3ns
.measure tran maxIgndR MAX I(vdummy_gnd) FROM=2n TO 3ns
.measure tran maxIvddF MIN I(vdummy_vdd) FROM=1n TO 2ns
.measure tran maxIloadF MIN I(vdummy_c) FROM=1n TO 2ns
.measure tran maxIloadR MAX I(vdummy_c) FROM=2n TO 3ns

*********************************************************
* defining the simulation step and duration
*.tran 1p 3n sweep data=vectorload
.dc sweep data=vectorload
.print VT(XNAND.XMN0.M1) VT(XNAND.XMN1.M1) VT(XNAND.XMP0.M1) VT(XNAND.XMP1.M1)

* instruction necessary for creating output data
* to be processed by a waveform viewer
.option post

.OPTION LIMPROBE = 200000
.OPTION EPS=1.0e-9 NOMOD NOTRC SIMUDIV=4 BE ABSTOL=1e-15

.end
```

A.7 Netlist `nandHScharMaxLoad.sp`

```
* Characterizing a nand with maximum load

* including MOS model
.lib '$ST_HSPICE_LIB/include_CMOS013.lib' CMOS013lib

* including a small set of gates containing parasitics informations
.include '$ST_HSPICE_LIB/CMOS013.spi'

*********************************************************

* the nand  subcircuit is already described in the file CMOS013.spi
* included above. the name of the subcircuit is ND2HS
```

```
* and its template is: .subckt ND2HS A B Z gnd vdd


* instance of the nand: can be the same as for mynand
* only the reference to the template name must be changed
xnand inA inB outbis gnd_int vdd_int ND2HS
cload out 0 load

vdummy_c outbis out dc 0
vdummy_gnd gnd_int 0 dc 0
vdummy_vdd vdd_int vdd dc 0

.plot i(vdummy_c)
.plot i(vdummy_gnd)
.plot i(vdummy_vdd)

*********************************************************
* defining inputs
vina inA 0 dc 1.2
vinb inB 0 pwl 0 0 1n 0 '1n+t_tran/0.8' 1.2 2n 1.2 '2n+t_tran/0.8' 0
v_vdd vdd 0 DC alim
.param alim=1.2

* average values for load and rise/fall times
.param t_tran=0.2608n
.param load=0.028f

*********************************************************
* defining load variations
.data vectorload
load
0.06f
60.0f
.enddata

**********************************************************
*    Measuring rising and rising times
.measure tran rnand TRIG v(out) VAL='alim*0.1' RISE=1
+TARG v(out) VAL='alim*0.9' RISE=1
.measure tran fnand TRIG v(out) VAL='alim*0.9' FALL=1
+TARG v(out) VAL='alim*0.1' FALL=1

*    Measuring delay
.measure tran nanddelayHL TRIG V(inB) VAL='alim*0.5' RISE=1
+ TARG V(out) VAL='alim*0.5' FALL=1

* ADD THE RISE propagation time measure
.measure tran nanddelayLH TRIG V(inB) VAL='alim*0.5' FALL=1
+ TARG V(out) VAL='alim*0.5' RISE=1

* Measuring peak current

* ADD THE CORRECT MEASURES FOR GND and CDD CURRENTS
.measure tran maxIgndF MAX I(vdummy_gnd) FROM=1n TO 2ns
.measure tran maxIvddR MIN I(vdummy_vdd) FROM=2n TO 3ns
.measure tran maxIgndR MAX I(vdummy_gnd) FROM=2n TO 3ns
.measure tran maxIvddF MIN I(vdummy_vdd) FROM=1n TO 2ns
.measure tran maxIloadF MIN I(vdummy_c) FROM=1n TO 2ns
.measure tran maxIloadR MAX I(vdummy_c) FROM=2n TO 3ns
```

```

*************************************************************
* defining the simulation step and duration
*.tran 1p 3n sweep data=vectorload
.dc
.print VT(XNAND.XMN0.M1) VT(XNAND.XMN1.M1) VT(XNAND.XMP0.M1) VT(XNAND.XMP1.M1)

* instruction necessary for creating output data
* to be processed by a waveform viewer
.option post

.OPTION LIMPROBE = 200000
.OPTION EPS=1.0e-9 NOMOD NOTRC SIMUDIV=4 BE ABSTOL=1e-15

.end
```

A.8 Netlist `nandHSX8MaxLoad.sp`

```
* Characterizing a simple nand X8 with maximum load

* including MOS model
.lib '$ST_HSPICE_LIB/include_CMOS013.lib' CMOS013lib

* including a small set of gates containing parasitics informations
.include '$ST_HSPICE_LIB/CMOS013.spi'

*****************************************************

* the nand  subcircuit is already described in the file CMOS013.spi
* included above. the name of the subcircuit is ND2HSX8
* and its template is: .subckt ND2HSX8 A B Z gnd vdd

* instance of the nand: can be the same as for mynand
* only the reference to the template name must be changed
xnand inA8 inB8 outbis gnd_int vdd_int ND2HSX8
cload out8 0 load

vdummy_c8 outbis out8 dc 0
vdummy_gnd8 gnd_int 0 dc 0
vdummy_vdd8 vdd_int vdd dc 0

.plot i(vdummy_c8)
.plot i(vdummy_gnd8)
.plot i(vdummy_vdd8)

*************************************************************
* defining inputs
vina inA8 0 dc 1.2
vinb inB8 0 pwl 0 0 1n 0 '1n+t_tran/0.8' 1.2 2n 1.2 '2n+t_tran/0.8' 0
v_vdd vdd 0 DC alim
.param alim=1.2

* average values for load and rise/fall times
.param t_tran=0.2608n
.param load=0.028f

*************************************************************
```

```
* defining load variations
.data vectorload8
load
0.06f
60.0f
.enddata

*********************************************************
*    Measuring rising and rising times
.measure tran rnand TRIG v(out8) VAL='alim*0.1' RISE=1
+TARG v(out8) VAL='alim*0.9' RISE=1
.measure tran fnand TRIG v(out8) VAL='alim*0.9' FALL=1
+TARG v(out8) VAL='alim*0.1' FALL=1

*    Measuring delay
.measure tran nanddelay TRIG V(inB8) VAL='alim*0.5' RISE=1
+ TARG V(out8) VAL='alim*0.5' FALL=1

* ADD THE RISE propagation time measure
.measure tran nanddelay TRIG V(inB8) VAL='alim*0.5' FALL=1
+ TARG V(out8) VAL='alim*0.5' RISE=1

* Measuring peak current

* ADD THE CORRECT MEASURES FOR GND and CDD CURRENTS
.measure tran maxIgndF MAX I(vdummy_gnd8) FROM=1n TO 2ns
.measure tran maxIvddR MIN I(vdummy_vdd8) FROM=2n TO 3ns
.measure tran maxIgndR MAX I(vdummy_gnd8) FROM=2n TO 3ns
.measure tran maxIvddF MIN I(vdummy_vdd8) FROM=1n TO 2ns
.measure tran maxIloadF MIN I(vdummy_c8) FROM=1n TO 2ns
.measure tran maxIloadR MAX I(vdummy_c8) FROM=2n TO 3ns

*********************************************************
* defining the simulation step and duration
.tran 1p 3n sweep data=vectorload8
*.dc
*.print VT(XNAND.XMN0.M1) VT(XNAND.XMN1.M1) VT(XNAND.XMN2.M1) VT(XNAND.XMN3.M1)
*.print VT(XNAND.XMN4.M1) VT(XNAND.XMN5.M1) VT(XNAND.XMN6.M1) VT(XNAND.XMN7.M1)
*.print VT(XNAND.XMP6.M1) VT(XNAND.XMP7.M1) VT(XNAND.XMP6_2.M1) VT(XNAND.XMP7_2.M1)
*.print VT(XNAND.XMP6_3.M1) VT(XNAND.XMP7_3.M1)

* instruction necessary for creating output data
* to be processed by a waveform viewer
.option post

.OPTION LIMPROBE = 200000
.OPTION EPS=1.0e-9 NOMOD NOTRC SIMUDIV=4 BE ABSTOL=1e-15

.end
```

A.9 Netlist `nandLLcharMaxLoad.sp`

```
* Characterizing a nand with maximum load

* including MOS model
.lib '$ST_HSPICE_LIB/include_CMOS013.lib' CMOS013lib

```

```
* including a small set of gates containing parasitics informations
.include '$ST_HSPICE_LIB/CMOS013.spi'

*****************************************************

* the nand  subcircuit is already described in the file CMOS013.spi
* included above. the name of the subcircuit is ND2HS
* and its template is: .subckt ND2HS A B Z gnd vdd

* instance of the nand: can be the same as for mynand
* only the reference to the template name must be changed
xnand inA inB outbis gnd_int vdd_int ND2LL
cload out 0 load

vdummy_c outbis out dc 0
vdummy_gnd gnd_int 0 dc 0
vdummy_vdd vdd_int vdd dc 0

.plot i(vdummy_c)
.plot i(vdummy_gnd)
.plot i(vdummy_vdd)

*****************************************************
* defining inputs
vina inA 0 dc 1.2
vinb inB 0 pwl 0 0 1n 0 '1n+t_tran/0.8' 1.2 2n 1.2 '2n+t_tran/0.8' 0
v_vdd vdd 0 DC alim
.param alim=1.2

* average values for load and rise/fall times
.param t_tran=0.2608n
.param load=0.028f

*********************************************************
* defining load variations
.data vectorload
load
*0.06f
60.0f
.enddata

**********************************************************
*    Measuring rising and rising times
.measure tran rnand TRIG v(out) VAL='alim*0.1' RISE=1
+TARG v(out) VAL='alim*0.9' RISE=1
.measure tran fnand TRIG v(out) VAL='alim*0.9' FALL=1
+TARG v(out) VAL='alim*0.1' FALL=1

*    Measuring delay
.measure tran nanddelayHL TRIG V(inB) VAL='alim*0.5' RISE=1
+ TARG V(out) VAL='alim*0.5' FALL=1

* ADD THE RISE propagation time measure
.measure tran nanddelayLH TRIG V(inB) VAL='alim*0.5' FALL=1
+ TARG V(out) VAL='alim*0.5' RISE=1

* Measuring peak current

* ADD THE CORRECT MEASURES FOR GND and CDD CURRENTS
```

```
.measure tran maxIgndF MAX I(vdummy_gnd) FROM=1n TO 2ns
.measure tran maxIvddR MIN I(vdummy_vdd) FROM=2n TO 3ns
.measure tran maxIgndR MAX I(vdummy_gnd) FROM=2n TO 3ns
.measure tran maxIvddF MIN I(vdummy_vdd) FROM=1n TO 2ns
.measure tran maxIloadF MIN I(vdummy_c) FROM=1n TO 2ns
.measure tran maxIloadR MAX I(vdummy_c) FROM=2n TO 3ns

************************************************************
* defining the simulation step and duration
*.tran 1p 3n sweep data=vectorload
.dc
.temp -50 0 50 100 130 160 190
.print VT(XNAND.XMN0.M1) VT(XNAND.XMN1.M1) VT(XNAND.XMP0.M1) VT(XNAND.XMP1.M1)

* instruction necessary for creating output data
* to be processed by a waveform viewer
.option post

.OPTION LIMPROBE = 200000
.OPTION EPS=1.0e-9 NOMOD NOTRC SIMUDIV=4 BE ABSTOL=1e-15

.end
```

A.10 Netlist `nandLLX8MaxLoad.sp`

```
* Characterizing a simple nand X8 with maximum load

* including MOS model
.lib '$ST_HSPICE_LIB/include_CMOS013.lib' CMOS013lib

* including a small set of gates containing parasitics informations
.include '$ST_HSPICE_LIB/CMOS013.spi'

*****************************************************

* the nand  subcircuit is already described in the file CMOS013.spi
* included above. the name of the subcircuit is ND2HSX8
* and its template is: .subckt ND2HSX8 A B Z gnd vdd


* instance of the nand: can be the same as for mynand
* only the reference to the template name must be changed
xnand inA8 inB8 outbis gnd_int vdd_int ND2LLX8
cload out8 0 load

vdummy_c8 outbis out8 dc 0
vdummy_gnd8 gnd_int 0 dc 0
vdummy_vdd8 vdd_int vdd dc 0

.plot i(vdummy_c8)
.plot i(vdummy_gnd8)
.plot i(vdummy_vdd8)

*****************************************************
* defining inputs
vina inA8 0 dc 1.2
vinb inB8 0 pwl 0 0 1n 0 '1n+t_tran/0.8' 1.2 2n 1.2 '2n+t_tran/0.8' 0
```

```
v_vdd vdd 0 DC alim
.param alim=1.2

* average values for load and rise/fall times
.param t_tran=0.2608n
.param load=0.028f


*********************************************************
* defining load variations
.data vectorload8
load
0.06f
60.0f
.enddata


**********************************************************
*    Measuring rising and rising times
.measure tran rnand TRIG v(out8) VAL='alim*0.1' RISE=1
+TARG v(out8) VAL='alim*0.9' RISE=1
.measure tran fnand TRIG v(out8) VAL='alim*0.9' FALL=1
+TARG v(out8) VAL='alim*0.1' FALL=1

*    Measuring delay
.measure tran nanddelay TRIG V(inB8) VAL='alim*0.5' RISE=1
+ TARG V(out8) VAL='alim*0.5' FALL=1

* ADD THE RISE propagation time measure
.measure tran nanddelay TRIG V(inB8) VAL='alim*0.5' FALL=1
+ TARG V(out8) VAL='alim*0.5' RISE=1


* Measuring peak current

* ADD THE CORRECT MEASURES FOR GND and CDD CURRENTS
.measure tran maxIgndF MAX I(vdummy_gnd8) FROM=1n TO 2ns
.measure tran maxIvddR MIN I(vdummy_vdd8) FROM=2n TO 3ns
.measure tran maxIgndR MAX I(vdummy_gnd8) FROM=2n TO 3ns
.measure tran maxIvddF MIN I(vdummy_vdd8) FROM=1n TO 2ns
.measure tran maxIloadF MIN I(vdummy_c8) FROM=1n TO 2ns
.measure tran maxIloadR MAX I(vdummy_c8) FROM=2n TO 3ns


*********************************************************
* defining the simulation step and duration
*.tran 1p 3n sweep data=vectorload8
.dc
.print VT(XNAND.XMN0.M1) VT(XNAND.XMN1.M1) VT(XNAND.XMN2.M1) VT(XNAND.XMN3.M1)
.print VT(XNAND.XMN4.M1) VT(XNAND.XMN5.M1) VT(XNAND.XMN6.M1) VT(XNAND.XMN7.M1)
.print VT(XNAND.XMP6.M1) VT(XNAND.XMP7.M1) VT(XNAND.XMP6_2.M1) VT(XNAND.XMP7_2.M1)
.print VT(XNAND.XMP6_3.M1) VT(XNAND.XMP7_3.M1)

* instruction necessary for creating output data
* to be processed by a waveform viewer
.option post

.OPTION LIMPROBE = 200000
.OPTION EPS=1.0e-9 NOMOD NOTRC SIMUDIV=4 BE ABSTOL=1e-15
```

```

.end
```

A.11 Netlist `nandHScharVoltage.sp`

```
* Characterizing a simple nand with load variation

* including MOS model
.lib '$ST_HSPICE_LIB/include_CMOS013.lib' CMOS013lib

* including a small set of gates containing parasitics informations
.include '$ST_HSPICE_LIB/CMOS013.spi'

*****************************************************
* the nand  subcircuit is already described in the file CMOS013.spi
* included above. the name of the subcircuit is ND2HS
* and its template is: .subckt ND2HS A B Z gnd vdd


* instance of the nand: can be the same as for mynand
* only the reference to the template name must be changed
xnand inA inB outbis gnd_int vdd_int ND2HS
cload out 0 load

* dummy 0 voltage generator used for measuring current
vdummy_c outbis out dc 0
vdummy_gnd gnd_int 0 dc 0
vdummy_vdd vdd_int vdd dc 0

.plot i(vdummy_c)
.plot i(vdummy_gnd)
.plot i(vdummy_vdd)

*****************************************************
* defining inputs
vina inA 0 dc 1.2
vinb inB 0 pwl 0 0 1n 0 '1n+t_tran/0.8' 1.2 2n 1.2 '2n+t_tran/0.8' 0
v_vdd vdd 0 DC alim
.param alim=1.2

* average values for load and rise/fall times
.param t_tran=0.2608n
.param load=0.028f

*********************************************************
* defining supply voltage variations
.data vectoralim
alim
0.7V
0.8V
0.9V
1.0V
1.1V
1.2V
1.3V
1.4V
.enddata
```

```
*************************************************************
*    Measuring rising and rising times
.measure tran rnand TRIG v(out) VAL='alim*0.1' RISE=1
+TARG v(out) VAL='alim*0.9' RISE=1
.measure tran fnand TRIG v(out) VAL='alim*0.9' FALL=1
+TARG v(out) VAL='alim*0.1' FALL=1

*    Measuring delay
.measure tran nanddelayHL TRIG V(inB) VAL='alim*0.5' RISE=1
+ TARG V(out) VAL='alim*0.5' FALL=1

** ADD THE instruction for the fall delay!!!
.measure tran nanddelayLH TRIG V(inB) VAL='alim*0.5' FALL=1
+ TARG V(out) VAL='alim*0.5' RISE=1

* Measuring peak current
.measure tran maxIgndF MAX I(vdummy_gnd) FROM=1n TO 2ns
.measure tran maxIvddR MIN I(vdummy_vdd) FROM=2n TO 3ns
.measure tran maxIgndR MAX I(vdummy_gnd) FROM=2n TO 3ns
.measure tran maxIvddF MIN I(vdummy_vdd) FROM=1n TO 2ns
.measure tran maxIloadF MIN I(vdummy_c) FROM=1n TO 2ns
.measure tran maxIloadR MAX I(vdummy_c) FROM=2n TO 3ns

*************************************************************
* defining the simulation step and duration
.tran 1p 3n sweep data=vectoralim
*.dc sweep data=vectoralim
*.print VT(XNAND.XMN0.M1) VT(XNAND.XMN1.M1) VT(XNAND.XMP0.M1) VT(XNAND.XMP1.M1)

* instruction necessary for creating output data
* to be processed by a waveform viewer
.option post

.OPTION LIMPROBE = 200000
.OPTION EPS=1.0e-9 NOMOD NOTRC SIMUDIV=4 BE ABSTOL=1e-15

.end
```

B Script MATLAB

```
close all
clearvars
clc
format long e

%% 5.5 Dipendenza da T
T0 = 330; % [K]
T = [-50 0 50 100 130 160 190] + 273.15; % [K]
Vth_N0 = [0.464 0.431 0.398 0.365 0.345 0.326 0.306];
Vth_N1 = [0.431 0.398 0.365 0.332 0.313 0.293 0.273];
Vth_P = [0.423 0.386 0.350 0.314 0.293 0.271 0.249];

myfittype_Vth_N0 = fittype("Vth0_n0 - k_n0*(T-330)", dependent="Vth_N0",independent="T",
coefficients=["Vth0_n0" "k_n0"]);
f_Vth_N0 = fit(T', Vth_N0', myfittype_Vth_N0, 'StartPoint', [0 0.431]);
```

```
myfittype_Vth_N1 = fittype("Vth0_n1 - k_n1*(T-330)", dependent="Vth_N1",independent="T",
coefficients=["Vth0_n1" "k_n1"]);
f_Vth_N1 = fit(T', Vth_N1', myfittype_Vth_N1, 'StartPoint', [0 0.431]);
myfittype_Vth_P = fittype("Vth0_p - k_p*(T-330)", dependent="Vth_N0",independent="T",
coefficients=["Vth0_p" "k_p"]);
f_Vth_P = fit(T', Vth_P', myfittype_Vth_P, 'StartPoint', [0 0.431]);

%% 5.6 Dipendenza da VDD
VDD = 0.7:0.1:1.4;
P_tot = [2.34 2.98 3.72 4.59 5.61 6.79 8.16 9.74];
f_P_tot = fit(VDD', P_tot', 'poly2');

figure
h = plot(f_P_tot, VDD, P_tot, '*');
set(h(2), 'LineWidth', 1.5, 'Color', [0.8500 0.3250 0.0980])
grid on
%xlim([0 2])
xlabel('V_{DD} [V]')
ylabel('P_{tot} [nW]')
fig = gcf;
fig.Position(3:4)=[800,500];
exportgraphics(fig, 'immagini/P_tot_vs_Vdd_polyfit.pdf')
```

DIPARTIMENTO DI ELETTRONICA E TELECOMUNICAZIONI
Corso di Laurea Magistrale in Ingegneria Elettronica

Sistemi Elettronici a Basso Consumo
LABORATORIO 6

FSM assignments
and VHDL synthesis

Prof. Maurizio Zamboni

3 giugno 2024
Gruppo 8
Laboratorio LED2

Bricco Letizia 328719
Caviasso Lorenzo 331706
Olivieri Vincenzo 324328

A.A. 2023/2024

Indice

1 Introduzione all'UPF **2**
1.1 Breve introduzione teorica . . . 2
1.2 Esercizio 1 . . . 3

2 Design con Power Intent **6**
2.1 Esercizio 2 . . . 6

A Report Synopsys **20**
A.1 Esercizio 1 . . . 20
A.1.1 Condizione iniziale: adder @ 0.8 V e multiplier @ 1.2 V . . . 20
A.1.2 Condizione iniziale: adder e multiplier @ 0.8 V . . . 24
A.1.3 Condizione iniziale: adder e multiplier @ 1.2 V . . . 40
A.2 Esercizio 2 . . . 56
A.2.1 Low voltage . . . 56
A.2.2 High voltage . . . 59

B Scripting **64**
B.1 Esercizio 1 . . . 64
B.1.1 ModelSim . . . 64
B.1.2 Synopsys . . . 64
B.2 Esercizio 2 . . . 67
B.2.1 ModelSim . . . 67
B.2.2 Synopsys . . . 67

C Descrizione dell'hardware e del *power intent* **70**
C.1 Esercizio 1 . . . 70
C.1.1 Execution Unit (VHDL) . . . 70
C.1.2 Power Management Unit (VHDL) . . . 71
C.1.3 Top level entity (VHDL) . . . 73
C.1.4 Power intent (UPF) . . . 74
C.1.5 Testbench (System Verilog) . . . 75
C.2 Esercizio 2 . . . 77
C.2.1 Top Level Entity (ALU) (VHDL) . . . 77
C.2.2 LUT (VHDL) . . . 80
C.2.3 Logic (VHDL) . . . 81
C.2.4 Power Management Unit (VHDL) . . . 81
C.2.5 Top level entity (VHDL) . . . 84
C.2.6 Power intent (UPF) . . . 85
C.2.7 Testbench (System Verilog) . . . 88

Sommario

Questa esperienza di laboratorio si propone il duplice obiettivo di analizzare gli aspetti fondamentali del linguaggio **Unified Power Format** (**UPF**) e di sviluppare il progetto di un circuito completo con la metodologia ***power aware***, secondo la quale si deve tenere conto non soltanto delle specifiche funzionali, ma anche delle specifiche di potenza.

Il report è articolato in due parti.

1. Nella Sezione 1, sono stati analizzati i codici RTL e UPF di una semplice ALU (*dummy ALU*, costituita da un sommatore e un moltiplicatore a 8 bit) contenenti, rispettivamente, la descrizione funzionale e il *power intent* del circuito.

   Dopo aver compreso la sintassi, il circuito è stato dapprima simulato per testarne il corretto funzionamento in tutte le condizioni operative e, successivamente, sintetizzato variando l'alimentazione dei componenti, al fine di osservare come ciò influisse sui consumi complessivi.

2. Nella Sezione 2, è stata progettata una ALU leggermente più complessa della precedente in cui, oltre al sommatore e al moltiplicatore, sono presenti anche un'unità logica programmabile e una LUT a 3 bit.

   Il progetto è stato realizzato considerando sia gli aspetti architetturali, descritti a livello RTL, sia quelli legati alla potenza, descritti in un file UPF; in seguito, il circuito è stato simulato con una testbench in Verilog e sintetizzato variando l'alimentazione, analogamente a quanto fatto per la *dummy ALU*.

L'esperienza è stata condotta in ambiente Unix sul server `led-x3850-2.polito.it`, su cui è presente il sistema operativo CentOS 7.

Le simulazioni sono state effettuate con il software Questa Sim by Menthor Graphics che, contrariamente alla versione di ModelSim comunemente in uso agli studenti, consente di analizzare l'hardware dal punto di vista dell'attività e del rate di commutazione dei segnali.

Le operazioni di sintesi, invece, sono state condotte con il tool Synopsys Design Compiler e l'interfaccia grafica Synopsys Design Vision.

1 Introduzione all'UPF

1.1 Breve introduzione teorica

L'UPF, acronimo di *Unified Power Format*, è uno standard introdotto dall'organizzazione Accellera nel 2007 e riconosciuto dall'IEEE nel 2009. Serve per descrivere il ***power intent*** di un circuito, i.e., l'insieme di tecniche da mettere in atto per minimizzare i consumi del sistema e rispettare non solo le specifiche funzionali del circuito in esame, ma anche le **specifiche di potenza**.

È nato dall'esigenza, comune al mondo della ricerca e dell'industria, di creare delle convenzioni universalmente riconosciute che permettessero di descrivere tutte le strategie messe a punto fino ad allora nel mondo dell'elettronica a basso consumo.

Infatti, analizzando le diverse tecniche per l'ottimizzazione della potenza, ci si rende conto che i linguaggi di descrizione dell'hardware,e.g.,VHDL e Verilog, non sono sufficienti alla realizzazione di un progetto completo perché sono in grado di dare una descrizione puramente funzionale del sistema e non consentono di mettere in atto le principali strategie di riduzione del consumo:

- Accensione, spegnimento e variazione del livello dell'alimentazione;
- Isolamento/interfacciamento tra i diversi domini di alimentazione;
- Adattamento della dinamica dei segnali nel passaggio da un dominio all'altro.

L'unica parziale eccezione è rappresentata dal *clock gating*, che può essere descritto a livello RTL sia per quanto riguarda l'hardware sia per quanto riguarda i segnali di abilitazione ma, come ha messo in luce il Laboratorio 3, viene attivato solo dando un comando specifico al sintetizzatore.

L'UPF, basato sul linguaggio di scripting TCL (Tool Command Language), viene usato sia a livello di implementazione sia nel mondo della verifica (formale o simulativa) e, diversamente dalla descrizione RTL, permette di implementare tutte le politiche di riduzione del consumo in modo da avere un progetto unificato e gestire la potenza anche run time.

Come il VHDL, è tutt'oggi in evoluzione: tutti gli sviluppatori di CAD, e.g., Synopsys, Cadence e Virtuoso, fanno parte della board di standardizzazione IEEE per introdurre nuove funzionalità o aggiornare quelle esistenti ed inserirle nelle nuove *release* dei loro software.

I principali componenti dell'UPF sono i seguenti:

Power domains (PD). Sono gruppi di elementi circuitali (*component*) in cui la potenza viene gestita in maniera condivisa; infatti, sono caratterizzati da:

1. stessa tensione di alimentazione;
2. stesso power state;
3. stesse transizioni da un power state all'altro;
4. stessa rete di distribuzione dell'alimentazione.

Power State Table (PST). Si tratta di un elenco, sottoforma di tabella, di tutti i possibili scenari operativi del sistema, dati da tutte le combinazioni consentite dei power state di tutti i power domain. È di fondamentale importanza per la gestione *dinamica* della potenza perché fornisce una visione d'insieme e consente di regolare i consumi di ogni blocco in base al *power budget* a disposizione.

Power supply networks. Comprendono i *power rails*, i.e., le reti distribuzione che, mediante opportuni cavi, portano ogni tensione di alimentazione a tutti i domini che la richiedono, e le porte di I/O.

Isolation strategies. Si tratta delle strategie di isolamento/interfacciamento dei diversi power domain, implementate attraverso blocchi che prendono il nome di *isolation cells* (ISO).

Level shifter strategies. Si tratta delle strategie di adattamento dei segnali durante il passaggio da un power domain all'altro, implementate con i cosiddetti *level shifters* (LS).

Retention strategies. Sono le strategie di mantenimento dei dati quando l'alimentazione viene spenta, implementate con un particolare tipo di registri noti come *retention registers* (RR).

1.2 Esercizio 1

Nel primo esercizio è richiesto di simulare e sintetizzare il circuito in Figura 1.1, utilizzando dei file VHDL e UPF forniti prima dell'esperienza di laboratorio e riportati in Appendice C.1. L'analisi del circuito è stata condotta in **tre fasi**, spiegate in dettaglio nel seguito.

Inizialmente, le alimentazioni del sommatore e del moltiplicatore sono state poste, rispettivamente, a $V_{\mathrm{DD}}^{\mathrm{L}} = 0.8\,\mathrm{V}$ e $V_{\mathrm{DD}}^{\mathrm{H}} = 1.2\,\mathrm{V}$.

Il funzionamento del circuito in tali condizioni è stato verificato con ModelSim e le forme d'onda relative agli istanti più significativi sono riportate in Appendice (reset, funzionamento in *active mode* e funzionamento in *sleep mode*).

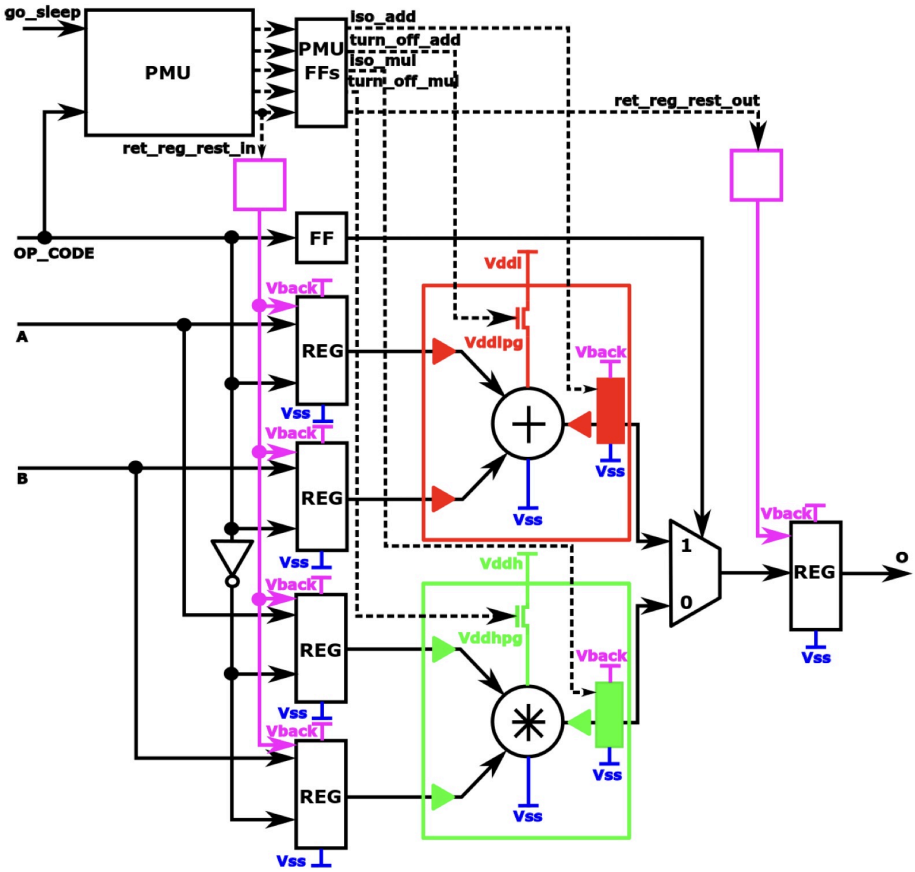


Figura 1.1: *Dummy ALU* analizzata nell'Esercizio 1.

Tabella 1.1: Condizione iniziale: $V_{DD}^{L} = 0.8\,V$; $V_{DD}^{H} = 1.2\,V$.

V_{DD}^{L} [V]	V_{DD}^{H} [V]	T_{arr} [ns]	T_{slack} [ns]	A_{tot} [μm^2]	P_{tot} [μW]
0.8	1.2	4.77	0.17	7678.11	83.076

I risultati ottenuti sintetizzando il circuito e generando i report relativi a timing, potenza e occupazione d'area, invece, sono riassunti nella Tabella 1.1.

Dal momento che $T_{slack} > 0$, possiamo dedurre che i constraint di timing sul critical path sono rispettati. Per quanto riguarda la potenza, il contributo maggiore alla potenza totale è dovuto al moltiplicatore, che consuma 10 volte rispetto al sommatore e ai registri. Questa differenza di peso tra i vari contributi è spiegabile con il fatto che, ragionevolmente, il circuito del moltiplicatore è molto più complicato di quello del sommatore o dei registri e, di conseguenza, consuma molto di più di questi ultimi.

In seguito, ci siamo serviti dei due script `compile_LL.src` e `compile_HH.src`, riportati in Appendice B.1.2, per sintetizzare nuovamente il circuito al variare dell'alimentazione dei blocchi.

In particolare, siamo partiti dalla condizione in cui le alimentazioni di sommatore e moltiplicatore sono entrambe pari a 0.8 V e abbiamo ottenuto i report del circuito nelle quattro possibili permutazioni che si hanno variando V_{DD}^{L} e V_{DD}^{H} tra 0.8 V e 1.2 V.

I risultati ottenuti sono riassunti nella Tabella 1.2.

Tabella 1.2: Condizione iniziale: $V_{DD}^{L} = V_{DD}^{H} = 0.8\,V$.

V_{DD}^{L} [V]	V_{DD}^{H} [V]	T_{arr} [ns]	T_{slack} [ns]	A_{tot} [μm^2]	P_{tot} [μW]
0.8	0.8	4.98	0.00	8330.67	67.820
0.8	1.2	4.04	0.94	8330.67	115.427
1.2	0.8	4.98	0.00	8330.67	72.850
1.2	1.2	3.94	1.00	8330.67	120.457

Come atteso, l'area occupata non cambia, dato che di fatto cambia solo l'alimentazione dei componenti ma non il loro numero o grandezza.

Sempre come atteso, la condizione di potenza minore si ha per alimentazione complessiva minore (0.8 V per entrambi i blocchi), e si può osservare come l'aumento dell'alimentazione di un particolare dominio comporti l'aumento proporzionale della potenza: aumentare l'alimentazione di 0.4 V rispetto alle condizioni iniziali comporta un aumento del consumo di 5 µW nel caso del sommatore e circa 50 µW nel caso del moltiplicatore, il che è del tutto ragionevole considerando la maggiore complessità circuitale di quest'ultimo.

Per quanto riguarda il timing, lo slack è sempre rispettato (MET) e, anzi, diventa tanto maggiore quanto più aumenta l'alimentazione dei blocchi, come ci aspettiamo dalla teoria.

Infine, abbiamo ripetuto l'analisi della ALU nelle quattro combinazioni di V_{DD}^{L} e V_{DD}^{H} imponendo che sia il sommatore sia il moltiplicatore partano da un alimentazione di 1.2 V. I risultati ottenuti sono riportati nella Tabella 1.3.

Tabella 1.3: Condizione iniziale: $V_{DD}^{L} = V_{DD}^{H} = 1.2\,V$.

V_{DD}^{L} [V]	V_{DD}^{H} [V]	T_{arr} [ns]	T_{slack} [ns]	A_{tot} [μm^2]	P_{tot} [μW]
0.8	0.8	7.18	−2.24	7691.73	57.807
0.8	1.2	4.70	0.24	7691.73	83.074
1.2	0.8	7.18	−2.24	7691.73	62.630
1.2	1.2	4.70	0.24	7691.73	87.897

Osserviamo che in questo secondo caso l'area complessiva è minore rispetto a prima ma, come in precedenza, non varia cambiando l'alimentazione dei blocchi. L'area è leggermente maggiore quando le condizioni iniziali sono minori: in particolare l'occupazione della logica non combinatoria è uguale nei due casi, ma l'area per la logica combinatoria è maggiore per alimentazione minore risultando quindi in un area complessiva maggiore, come si può osservare dai report in Appendice A.1.

Per quanto riguarda la potenza, essa è più bassa rispetto al caso di prima e segue lo stesso andamento al variare dell'alimentazione.

Il timing invece presenta delle novità: infatti, lo slack è raggiunto solo quando il moltiplicatore è alimentato a $V_{DD}^{H} = 1.2\,V$, mentre negli altri casi risulta $T_{slack} < 0$.

I risultati riportati nei due casi hanno andamenti qualitativamente simili, ma numericamente diversi, e questo è causato dalle condizioni iniziali di alimentazione con le quali sintetizziamo il circuito. Synopsys guarda alle condizioni iniziali per sintetizzare nel miglior modo possibile

l'architettura con una data alimentazione, e quando facciamo i test cambiando l'alimentazione di alcuni blocchi di fatto non lo stiamo ri-sintetizzando da zero.

Sebbene quindi l'andamento dei risultati sia simile, la loro interpretazione necessita di un po' di accortezza; in particolare:

- **CASO 1**: Synopsys sintetizza i blocchi ottimizzando per l'alimentazione a 0.8 V, e quando cambiamo l'alimentazione aumentandola rispetto ai valori nominali di sintesi, i blocchi lavorano a prestazioni maggiori di quelle pensate per la sintesi iniziale di conseguenza aumenta lo slack, e ovviamente aumenta anche la potenza;

- **CASO 2**: Synopsys sintetizza il circuito ottimizzando per l'alimentazione a 1.2 V, quindi quando cambiamo l'alimentazione diminuendola rispetto a quella nominale della sintesi, i blocchi ad alimentazione minore lavorano a prestazioni minori tanto che in alcuni casi lo slack non è più rispettato.

È importante sottolineare un'ultima cosa riguardo alla potenza: sebbene sembri che nel caso 2 il circuito consumi complessivamente meno del caso 1 a parità di alimentazione, questo non significa che alimentando a tensioni più alte si consumi di meno.

Infatti, se guardiamo alle tensioni riferite alle condizioni iniziali della sintesi dei circuiti, il **caso 1** è sintetizzato con $V_{\mathrm{DD}}^{\mathrm{H}} = 0.8\,\mathrm{V}$ e $V_{\mathrm{DD}}^{\mathrm{H}} = 0.8\,\mathrm{V}$ a cui corrisponde

$$P_{\mathrm{tot}} = 67.820\,\mu\mathrm{W}, \tag{1.1}$$

mentre nel **caso 2** le condizioni sono $V_{\mathrm{DD}}^{\mathrm{H}} = 1.2\,\mathrm{V}$ e $V_{\mathrm{DD}}^{\mathrm{H}} = 1.2\,\mathrm{V}$, a cui corrisponde

$$P_{\mathrm{tot}} = 87.897\,\mu\mathrm{W} \tag{1.2}$$

In pratica, come ben sappiamo, alimentazione maggiore comporta un consumo maggiore. Gli altri valori di potenza riportati in tabella sono da interpretare come valori nel caso di alimentazione maggiore/minore rispetto al caso nominale di sintesi.

2 Design con Power Intent

2.1 Esercizio 2

Nel secondo esercizio è richiesto di realizzare il design del circuito in Figura 2.1, completo di

- descrizione RTL dei componenti logici;

- descrizione UPF del *power intent*;

- simulazione ModelSim con una testbench in System Verilog;

- sintesi su Synopsys, con relativi report.

Per descrivere il circuito a livello RTL abbiamo "riciclato" il codice dell'Esercizio 1 creando i due blocchi aggiuntivi *LUT* e *Logic*, che usiamo come component nella *top_level*.

In seguito abbiamo descritto in VHDL la Power Mangagement Unit (PMU), che si occupa della gestione dei segnali relativi alla potenza, prestando attenzione anche alla temporizzazione con cui i segnali vengono inviati agli stadi di pipeline.

Riguardo alla PMU, abbiamo previsto che, in qualsiasi modalità di funzionamento, se un blocco non viene selezionato dall'opcode allora viene spento; in questo modo, se il *power state* del circuito

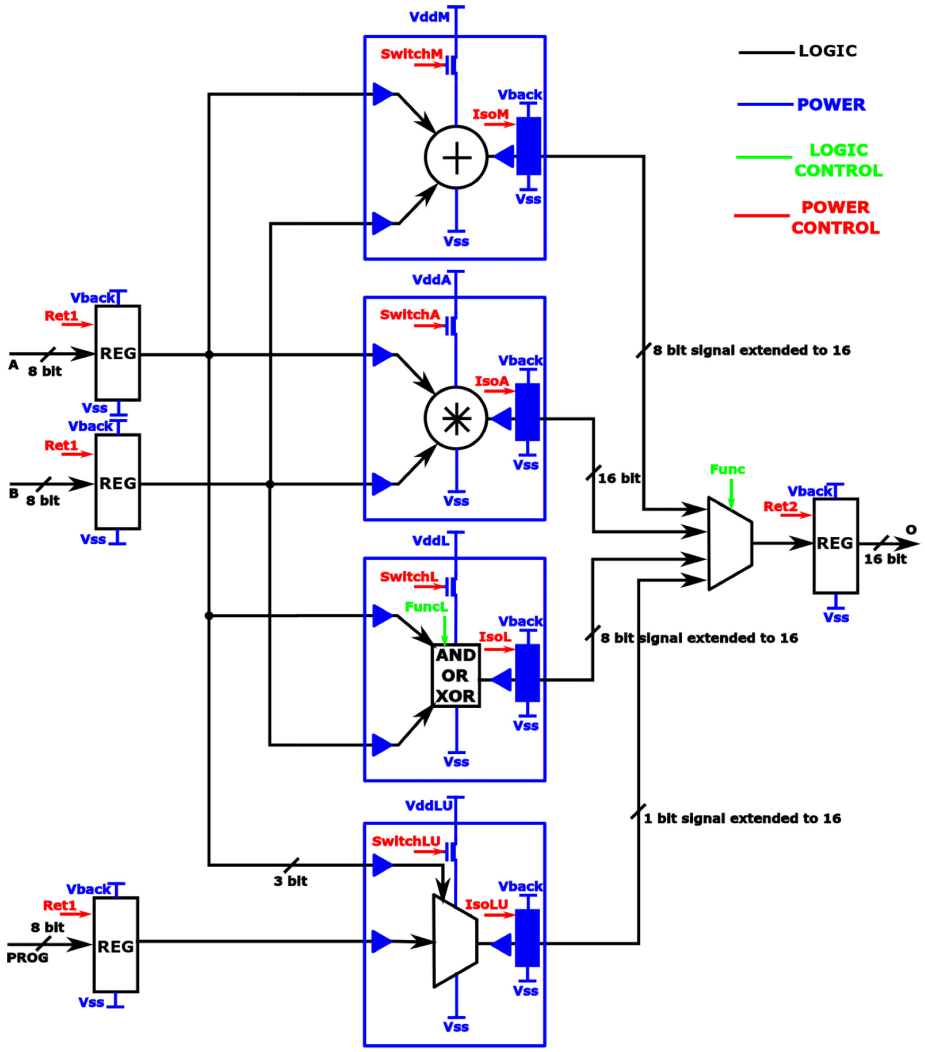


Figura 2.1: ALU progettata nell'Esercizio 2.

prevede che il blocco selezionato dall'opcode sia spento, anche gli blocchi si spegnerebbero per un risparmio totale. Tutti i listati VHDL sono riportati in Appendice C.2.

Per creare il file UPF, abbiamo modificato quello della dummy ALU dell'Esercizio 1, aggiungendo le parti nuove del circuito rispetto al precedente e impostando che gli isolatori blocchino allo 0 logico il valore di uscita quando attivi (*clamp low*). Il codice dell' UPF è riportato in Appendice C.2.6.

In seguito, è stata scritta la testbench in System Verilog in modo da verificare il corretto funzionamento nei quattro *power state* previsti: **sleep** (stato 0), **low power** (stato 1), **normal mode** (stato 2) e **full power** (stato 3). Il codice è riportato in Appendice C.2.7 , così come i report di ModelSim (transizione stato 0 → 3, transizione stato 1 → 0, transizione stato 2 → 1, transizione stato 3 → 2), che testimoniano il corretto funzionamento dell'architettura.

Infine, abbiamo usato gli script `compile_LLLL.src` e `compile_HHHH.src`, riportati in Appendice B.2.2, per sintetizzare il circuito nei casi in cui componenti siano alimentati tutti a 0.8 V o tutti a 1.2 V. I risultati dei report su timing, potenza e area sono riportati nella Tabella 2.1.

L'area risulta leggermente maggiore quando l'alimentazione è minore, in particolare l'occupazione della logica non combinatoria è uguale nei due casi, ma l'area per la logica combinatoria è

Tabella 2.1: Report Synopsys Esercizio 2.

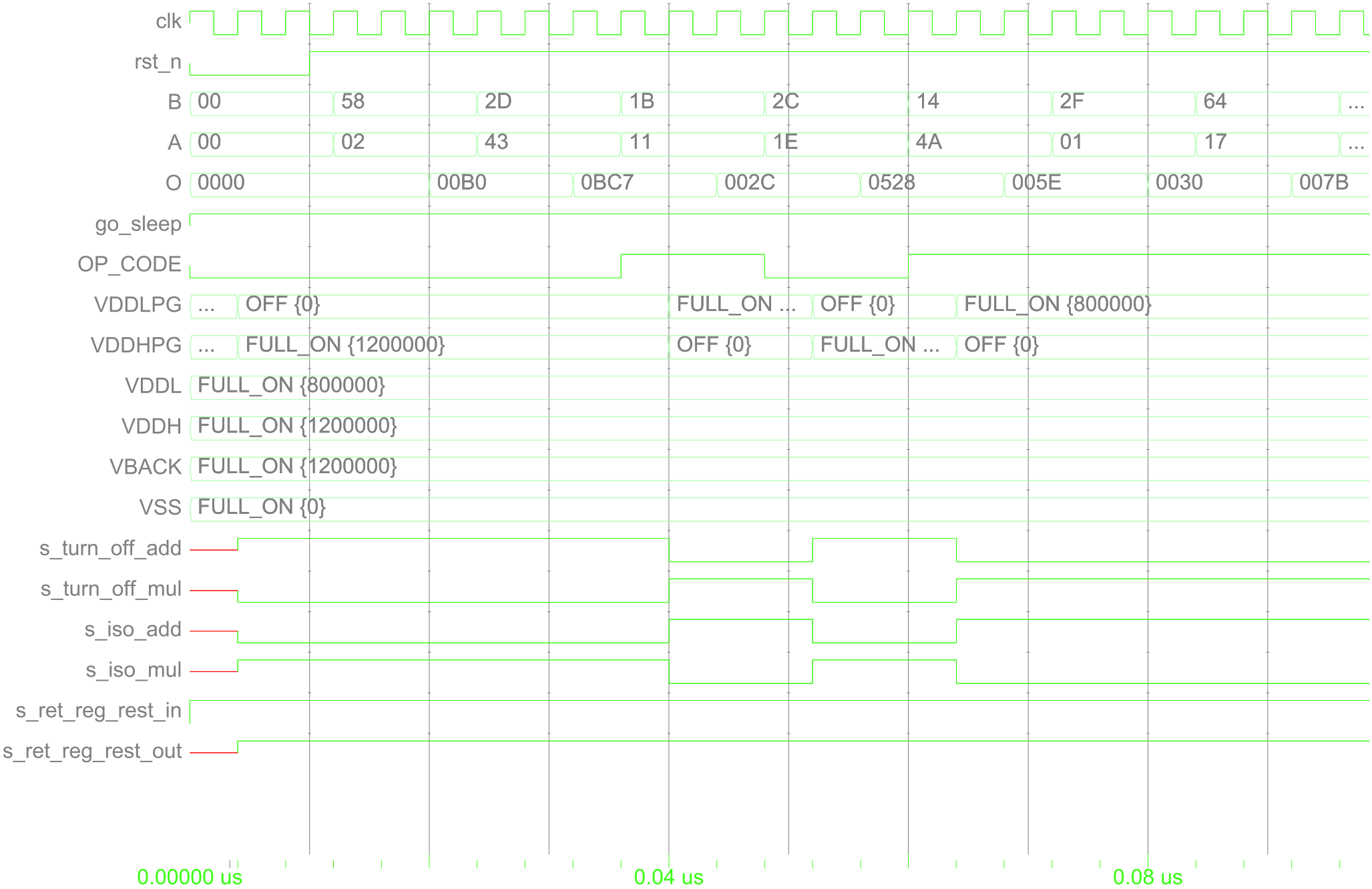
V_{DD} *Components* [V]	T_{arr} [ns]	T_{slack} [ns]	A_{tot} [μm^2]	P_{tot} [μW]
0.8	4.97	0.01	8404.79	78.208
1.2	4.82	0.17	7794.08	121.572

maggiore per alimentazione minore risultando quindi in un'area complessiva A_{tot} maggiore.

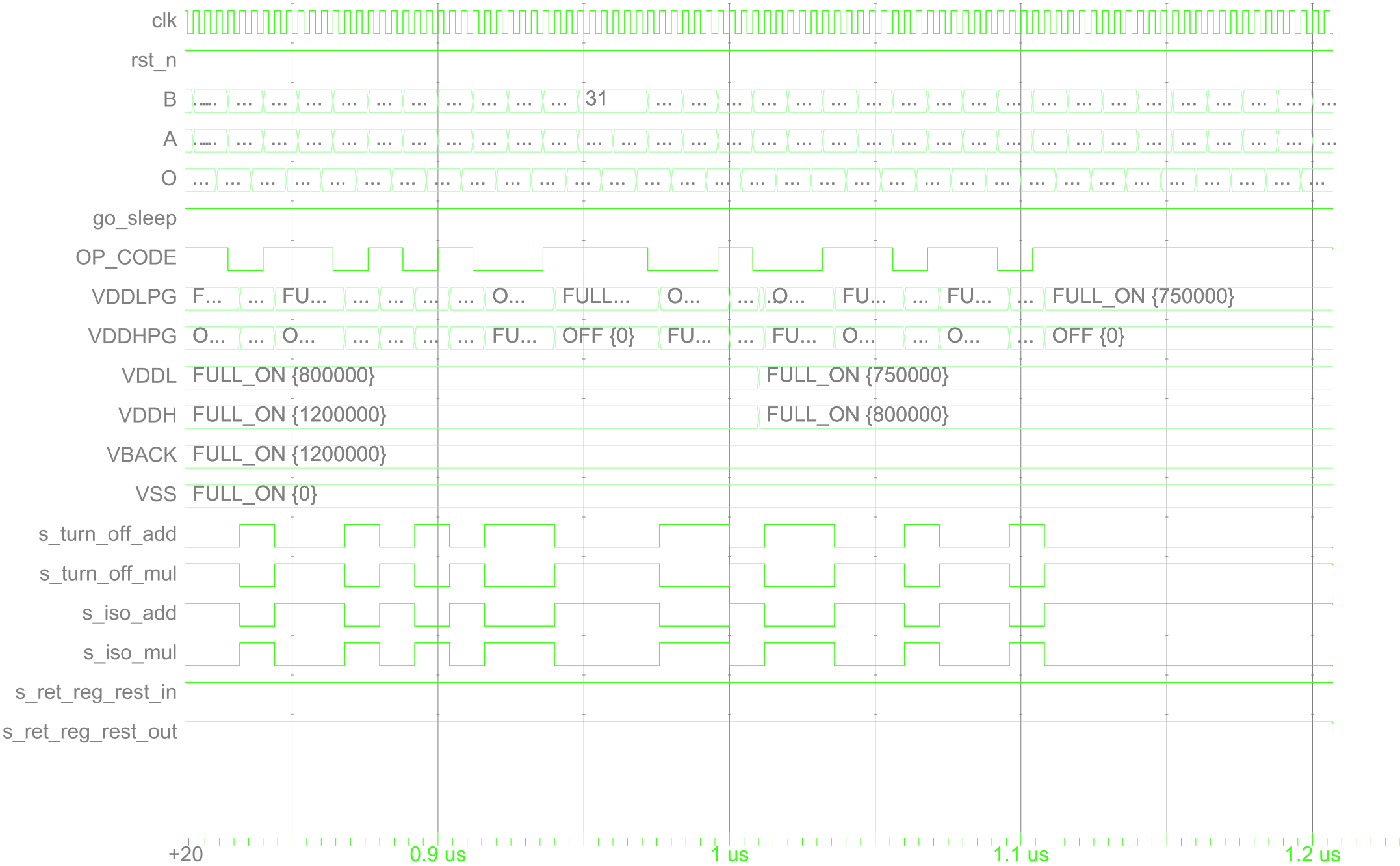
Lo slack è positivo in entrambi i casi, ma risulta leggermente maggiore nel caso dell'alimentazione a 1.2 V dal momento che, lavorando a tensione maggiore, le prestazioni sono migliori.

Come previsto, la potenza è maggiore in corrispondenza dell'alimentazione più grande, e in entrambi i casi il moltiplicatore porta il contributo maggiore tra tutti i componenti, seguito dal sommatore, dalla logica e infine dalla LUT.

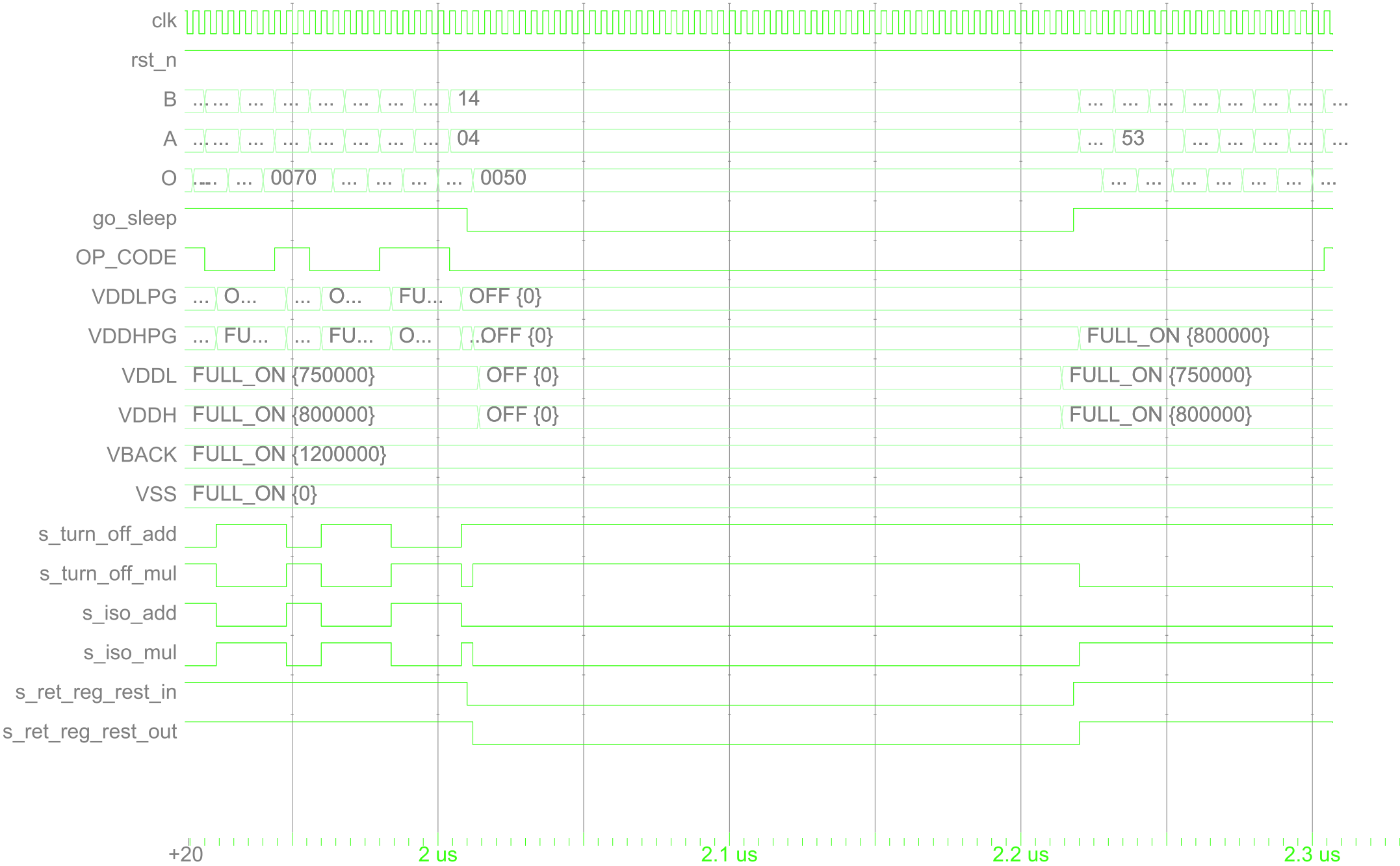
Tutti gli script, le forme d'onda di ModelSim e i report di Synopsys possono essere consultati in Appendice.



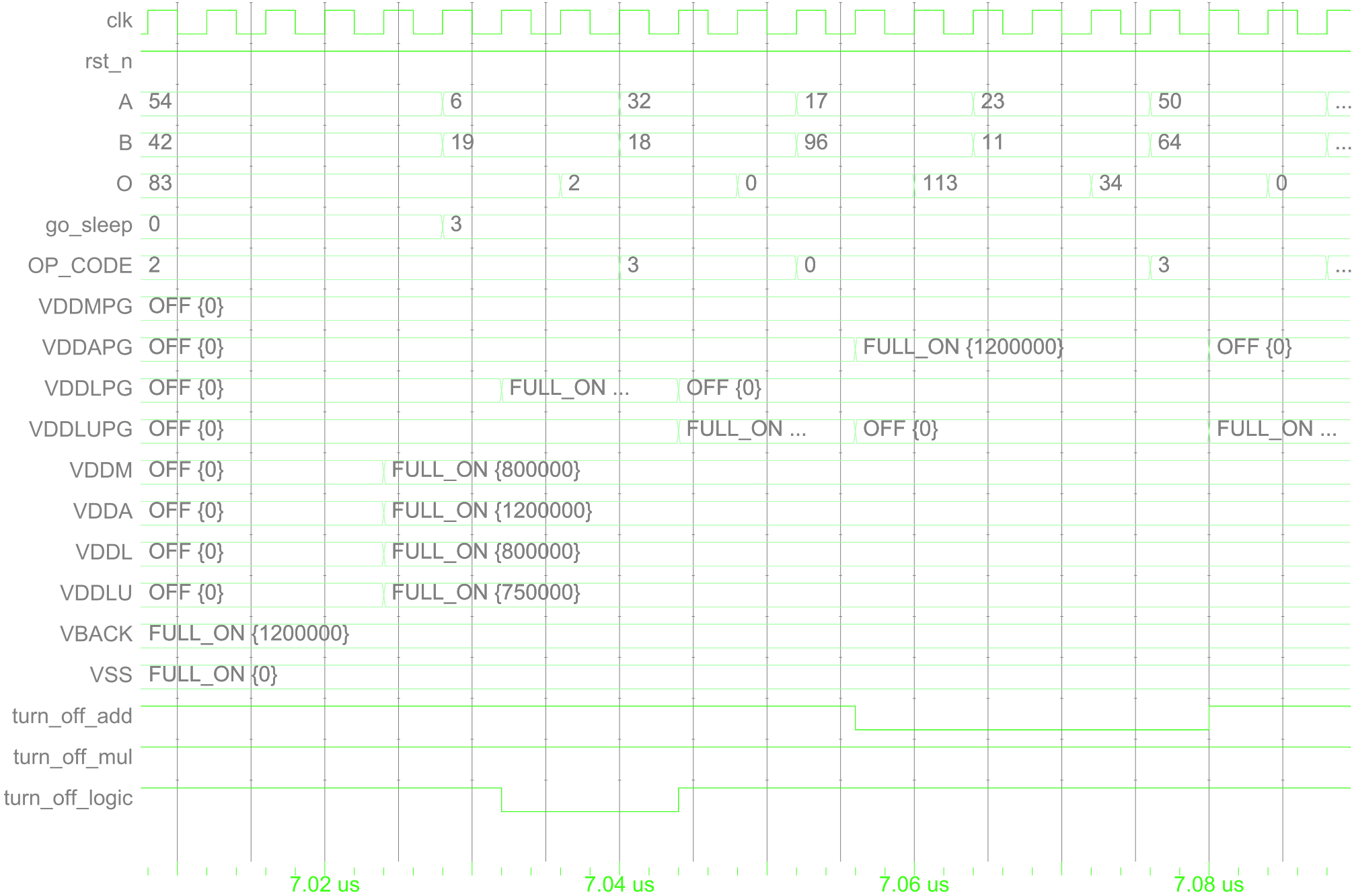
Entity:final_tb_pa Architecture:fast Date: Sun Jun 02 16:21:08 CEST 2024 Row: 1 Page: 1



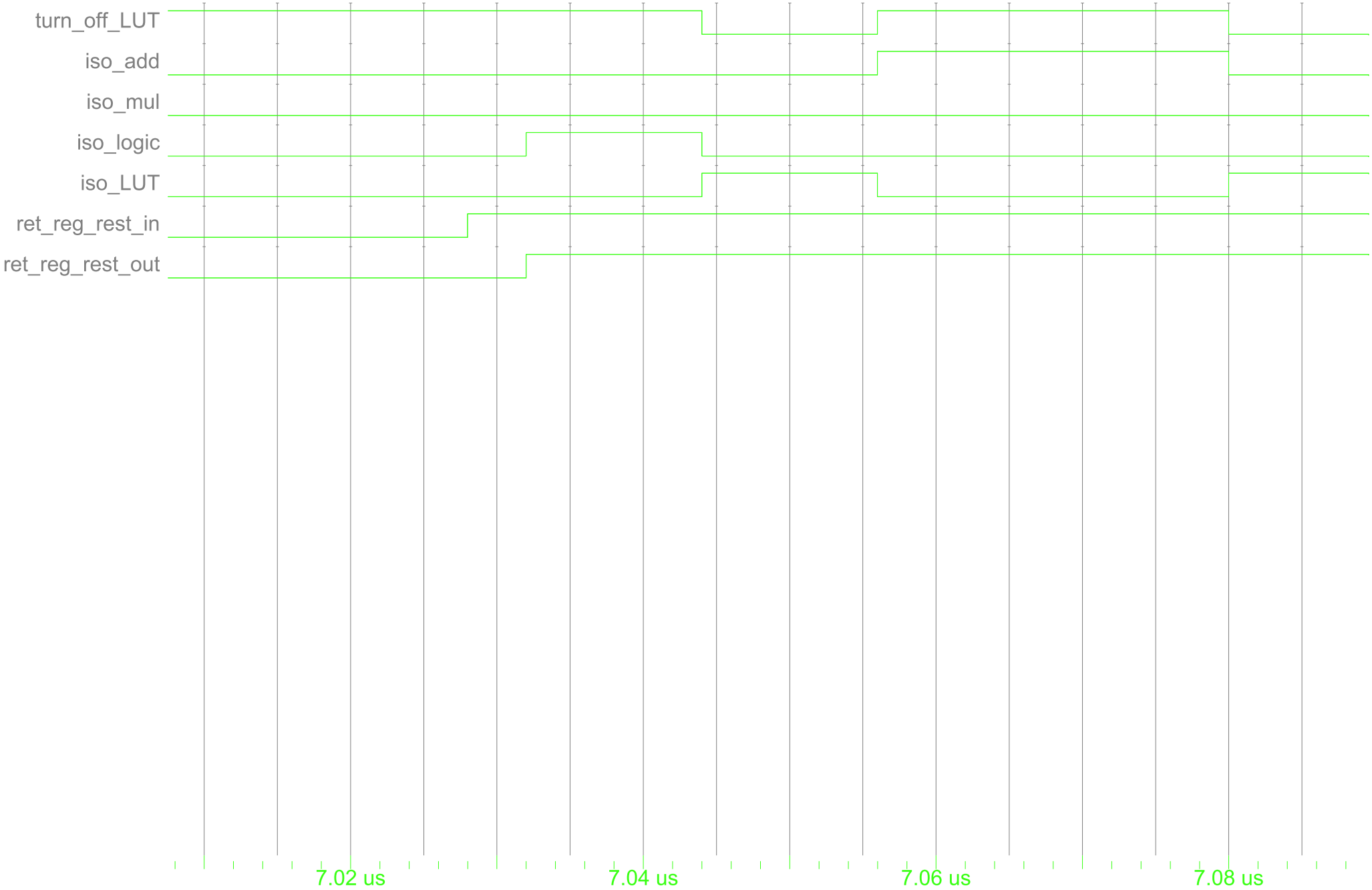
Entity:final_tb_pa Architecture:fast Date: Sun Jun 02 16:23:58 CEST 2024 Row: 1 Page: 1



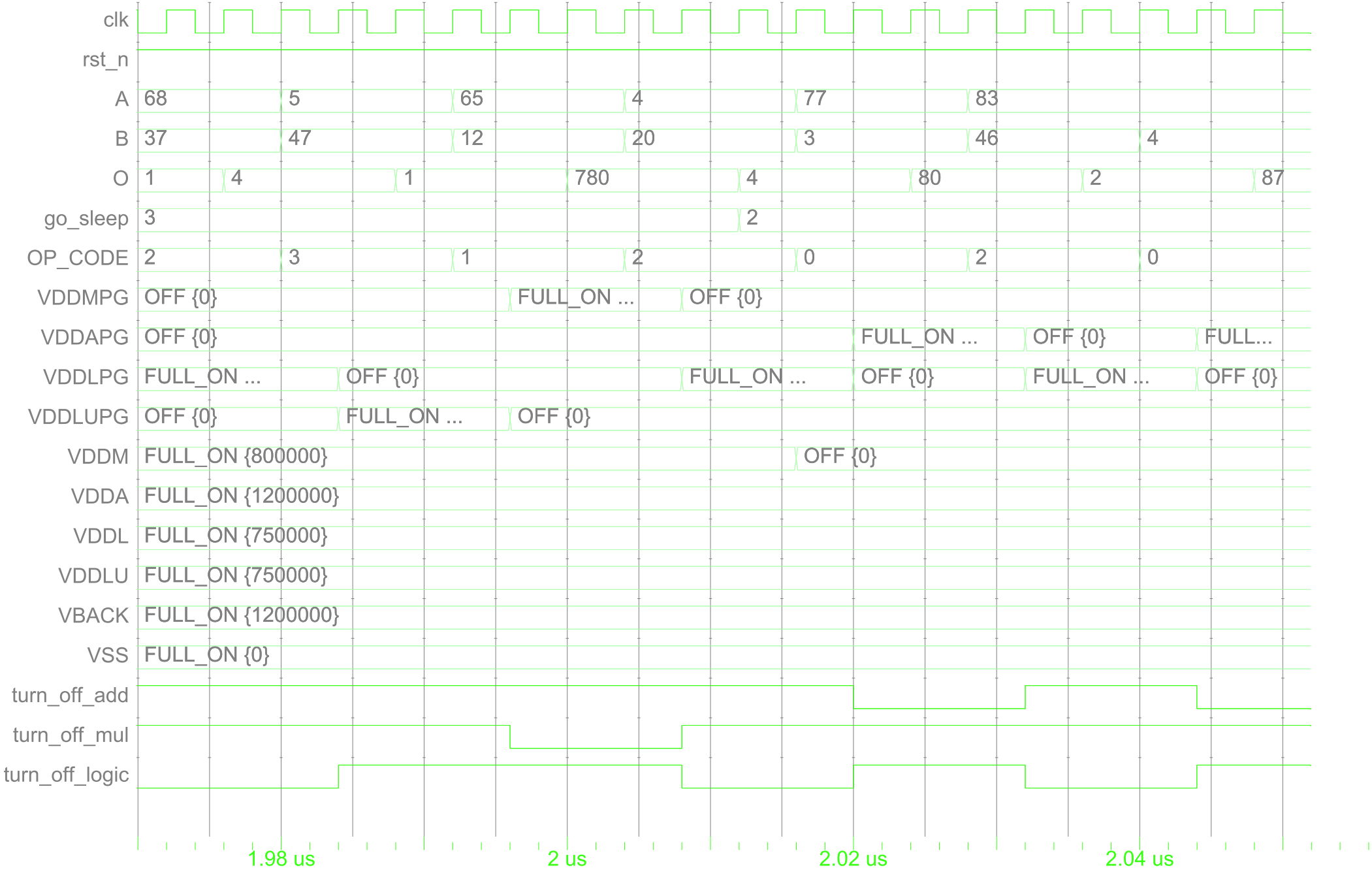
Entity:final_tb_pa Architecture:fast Date: Sun Jun 02 16:25:06 CEST 2024 Row: 1 Page: 1



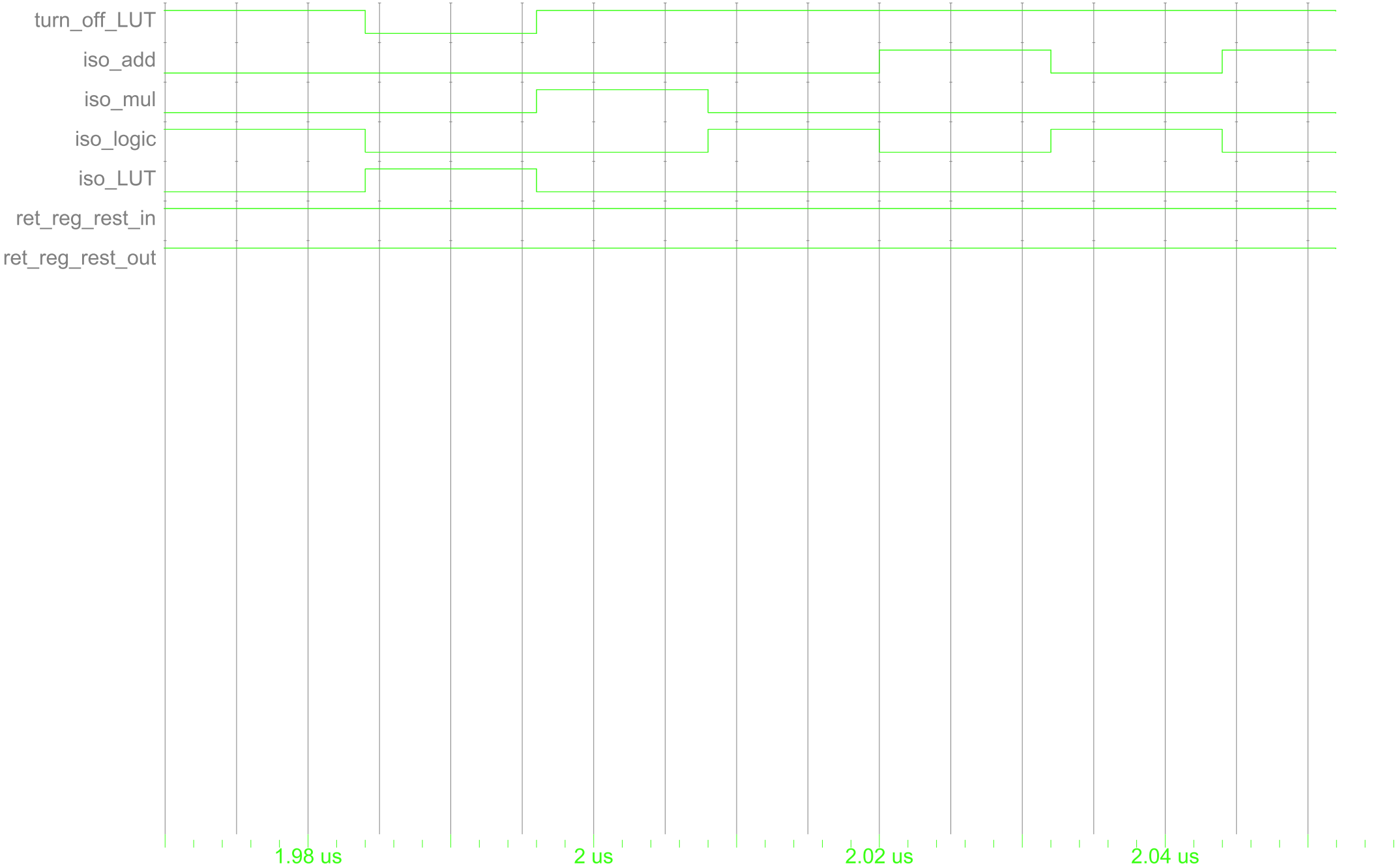
Entity:final_tb_pa Architecture:fast Date: Tue Jun 04 17:27:07 CEST 2024 Row: 1 Page: 1



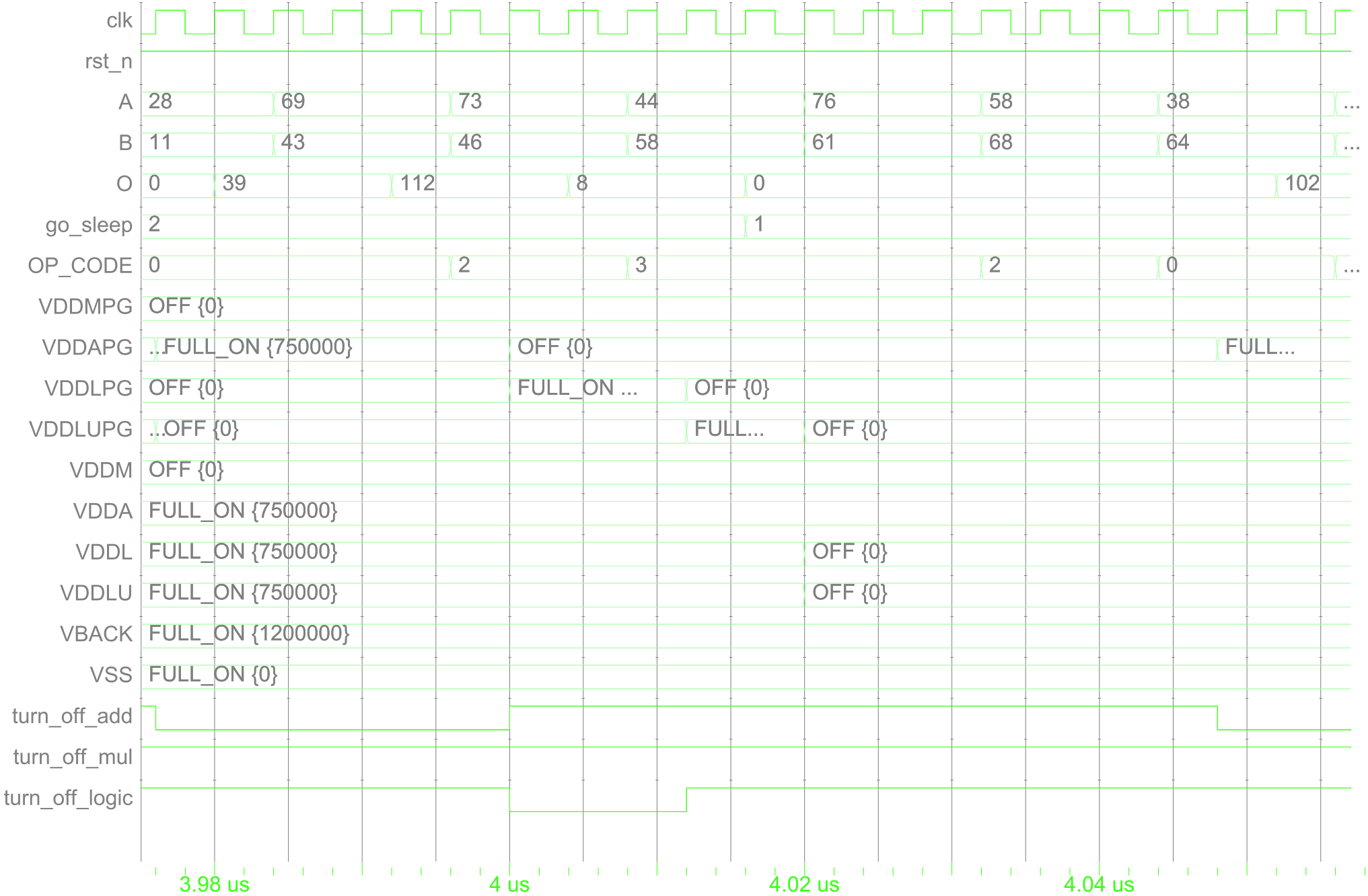
Entity:final_tb_pa Architecture:fast Date: Tue Jun 04 17:27:07 CEST 2024 Row: 1 Page: 2



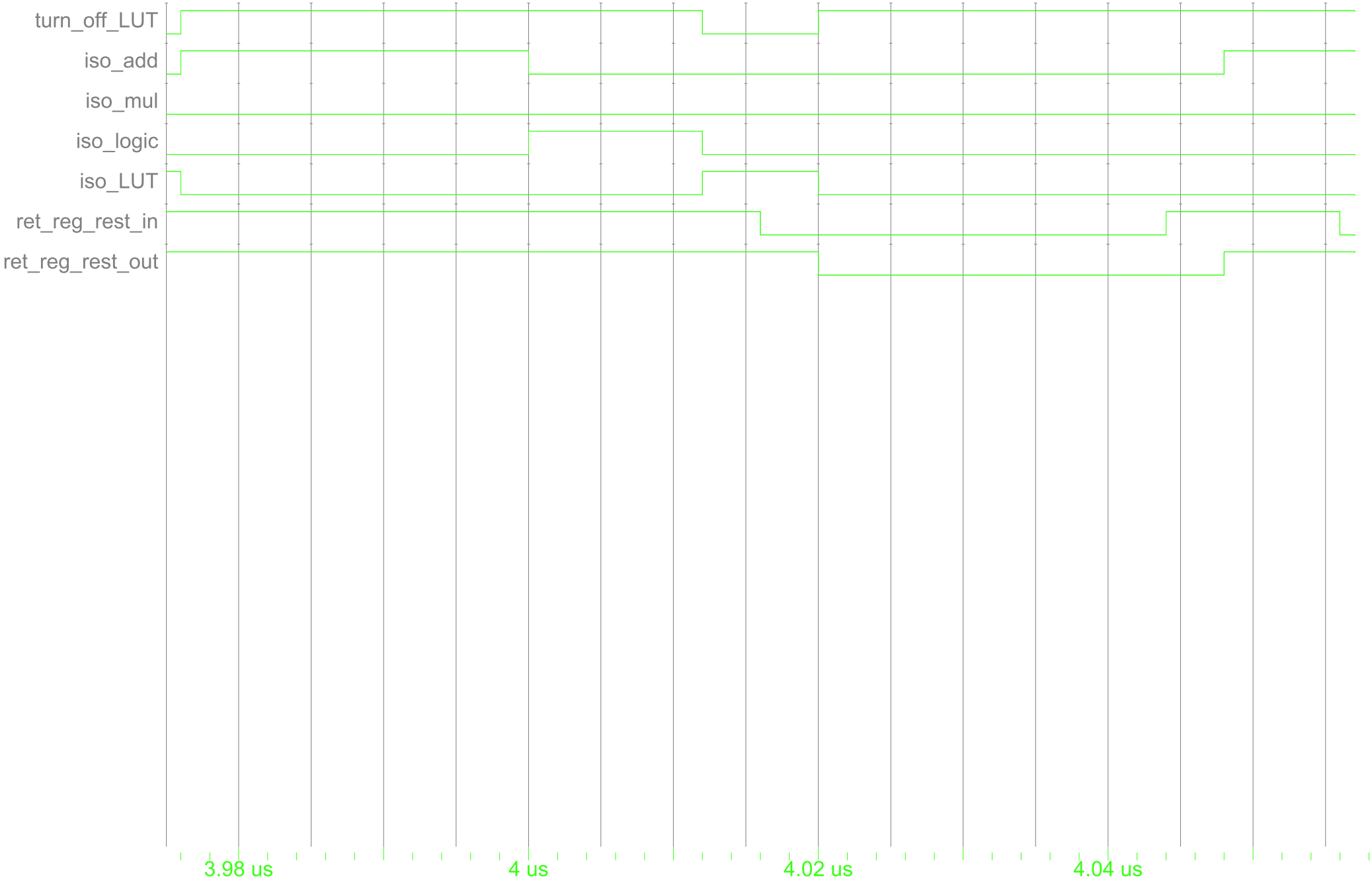
Entity:final_tb_pa Architecture:fast Date: Tue Jun 04 17:28:48 CEST 2024 Row: 1 Page: 1



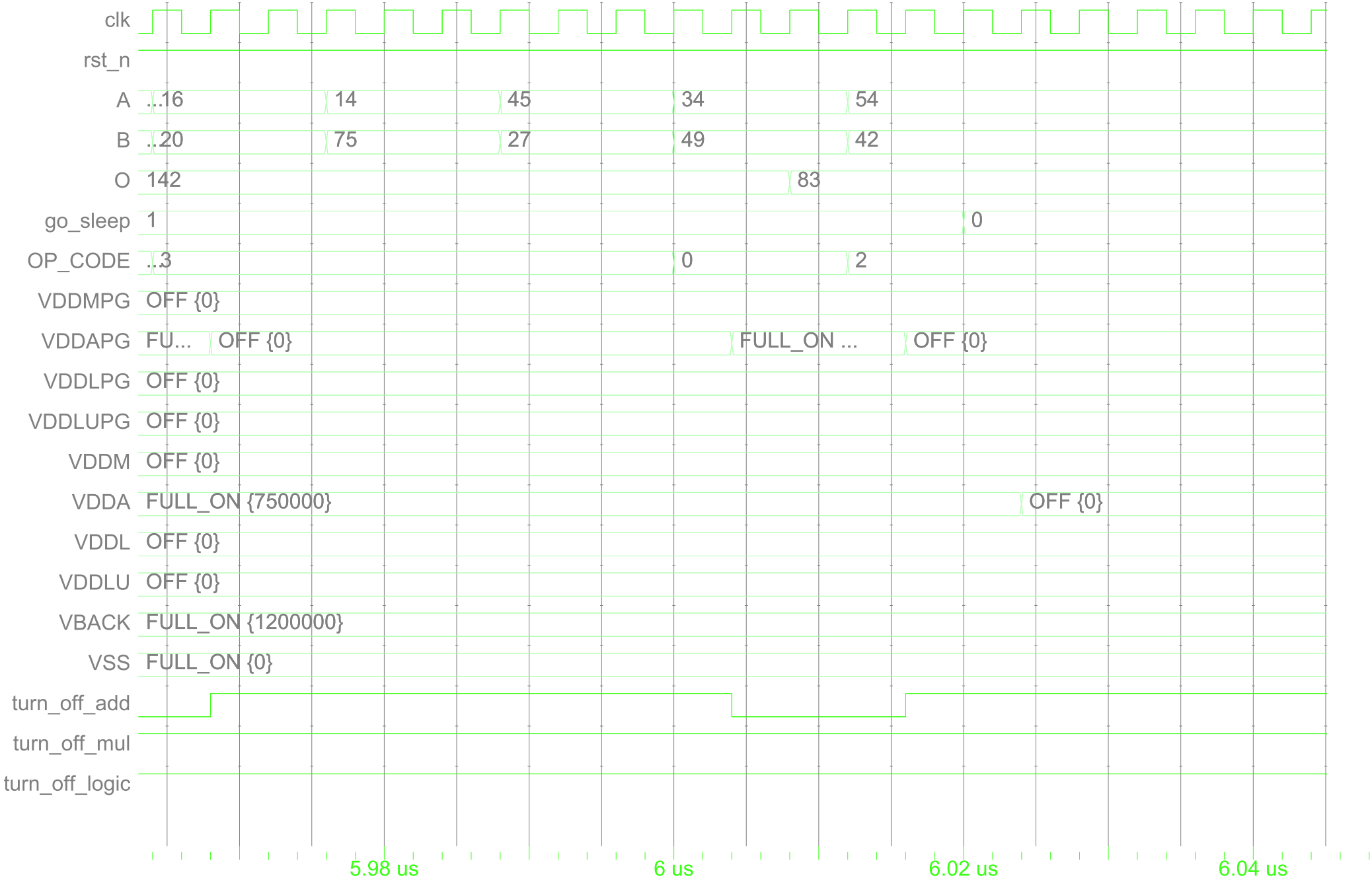
Entity:final_tb_pa Architecture:fast Date: Tue Jun 04 17:28:48 CEST 2024 Row: 1 Page: 2



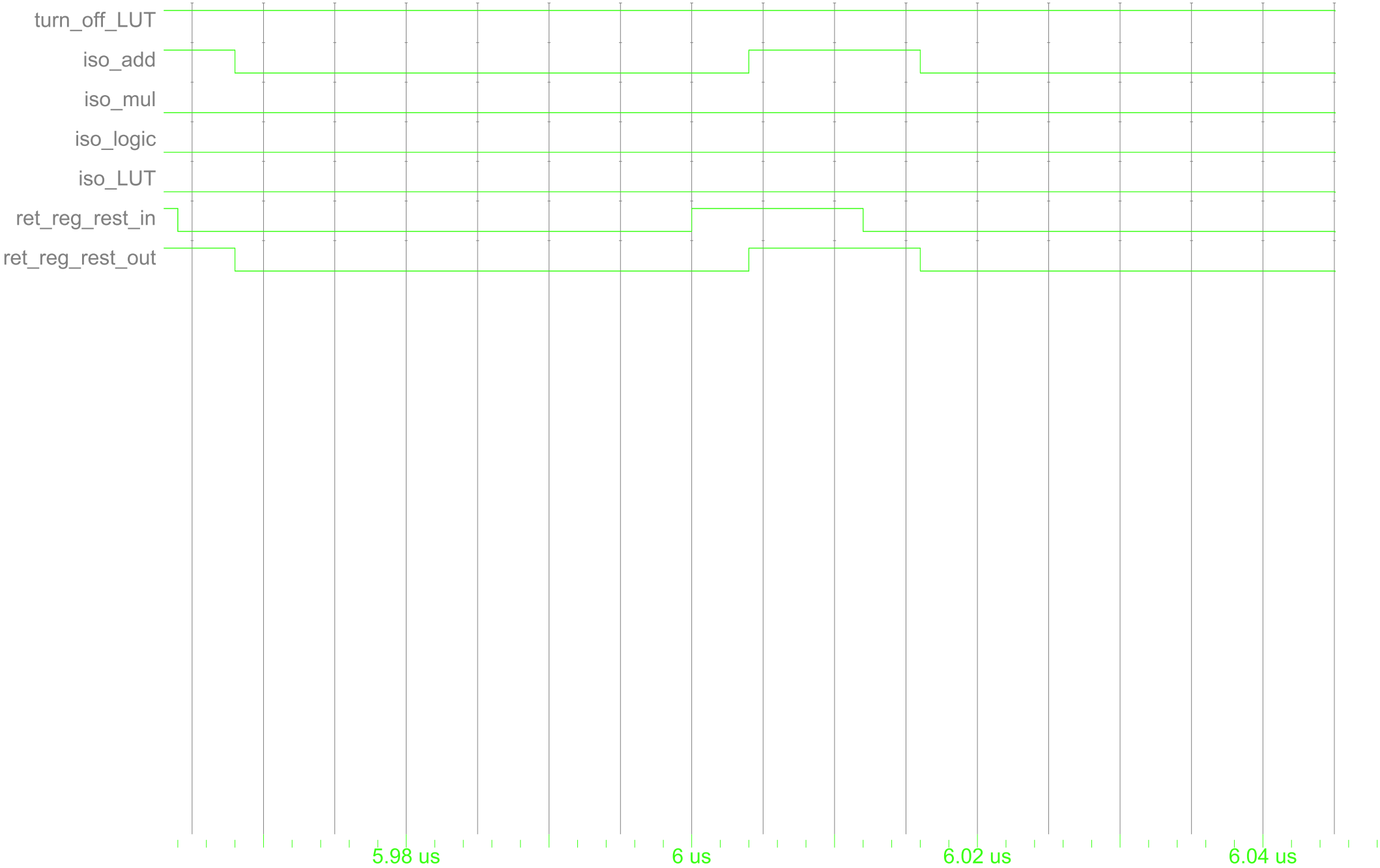
Entity:final_tb_pa Architecture:fast Date: Tue Jun 04 17:29:15 CEST 2024 Row: 1 Page: 1



Entity:final_tb_pa Architecture:fast Date: Tue Jun 04 17:29:15 CEST 2024 Row: 1 Page: 2



Entity:final_tb_pa Architecture:fast Date: Tue Jun 04 17:29:50 CEST 2024 Row: 1 Page: 1



Entity:final_tb_pa Architecture:fast Date: Tue Jun 04 17:29:50 CEST 2024 Row: 1 Page: 2

A Report Synopsys

A.1 Esercizio 1

A.1.1 Condizione iniziale: adder @ 0.8 V e multiplier @ 1.2 V

Report timing

```
Warning: No operating condition has been set explicitly on the current design. A default operating condition will be assumed. (MV-028)
Information: Updating design information... (UID-85)

****************************************
Report : timing
        -path full
        -delay max
        -max_paths 1
Design : dummyALU
Version: S-2021.06-SP4
Date   : Sun Jun  2 16:52:41 2024
****************************************
Wire Load Model Mode: enclosed

  Startpoint: comp_top_level/ff_mul_in_b/CELL_0/FLIPFLOP_0/QTemp_reg
              (rising edge-triggered flip-flop clocked by MYclk)
  Endpoint: comp_top_level/ff_out/CELL_14/FLIPFLOP_0/QTemp_reg
            (rising edge-triggered flip-flop clocked by MYclk)
  Path Group: MYclk
  Path Type: max

  Des/Clust/Port     Wire Load Model       Library
  ------------------------------------------------
  dummyALU           8000                  saed90nm_typ_lvt
  top_level          8000                  saed90nm_typ_lvt
  Multiplier_nbit8   8000                  saed90nm_typ_lvt

  Point                                                    Incr       Path      Voltage
  ---------------------------------------------------------------------------------------
  clock MYclk (rise edge)                                  0.00       0.00
  clock network delay (ideal)                              0.00       0.00
  comp_top_level/ff_mul_in_b/CELL_0/FLIPFLOP_0/QTemp_reg/CLK (RDFFARX1_HVT)
                                                           0.00       0.00 r    1.20
  comp_top_level/ff_mul_in_b/CELL_0/FLIPFLOP_0/QTemp_reg/Q (RDFFARX1_HVT)
                                                           0.18       0.18 r    1.20
  comp_top_level/ff_mul_in_b/Q[0] (Reg_nbit8_0)            0.00       0.18 r
  comp_top_level/Multiplier_1/B[0] (Multiplier_nbit8)      0.00       0.18 r
  comp_top_level/Multiplier_1/B[0]_UPF_LS/Q (LSDNSSX2)
                                                           0.13       0.31 r    1.20
  comp_top_level/Multiplier_1/U27/Q (AND2X1_HVT)           0.15       0.46 r    1.20
  comp_top_level/Multiplier_1/U45/QN (NAND3X0_HVT)         0.12       0.58 f    1.20
  comp_top_level/Multiplier_1/U7/Q (XNOR2X1_HVT)           0.24       0.81 r    1.20
  comp_top_level/Multiplier_1/U241/QN (OAI22X1_HVT)        0.20       1.01 f    1.20
  comp_top_level/Multiplier_1/U28/Q (XOR2X1_HVT)           0.18       1.19 f    1.20
  comp_top_level/Multiplier_1/U244/QN (NOR2X0_HVT)         0.10       1.30 r    1.20
  comp_top_level/Multiplier_1/U245/Q (AO21X1_HVT)          0.13       1.43 r    1.20
  comp_top_level/Multiplier_1/U247/Q (XOR2X1_HVT)          0.19       1.61 f    1.20
  comp_top_level/Multiplier_1/U249/QN (NOR2X0_HVT)         0.10       1.72 r    1.20
  comp_top_level/Multiplier_1/U250/Q (AO21X1_HVT)          0.13       1.85 r    1.20
```

```
  comp_top_level/Multiplier_1/U252/Q (XOR2X1_HVT)         0.19       2.04 f    1.20
  comp_top_level/Multiplier_1/U254/QN (NOR2X0_HVT)        0.10       2.14 r    1.20
  comp_top_level/Multiplier_1/U255/Q (AO21X1_HVT)         0.13       2.27 r    1.20
  comp_top_level/Multiplier_1/U257/Q (XOR2X1_HVT)         0.19       2.46 f    1.20
  comp_top_level/Multiplier_1/U259/QN (NOR2X0_HVT)        0.10       2.56 r    1.20
  comp_top_level/Multiplier_1/U260/Q (AO21X1_HVT)         0.13       2.69 r    1.20
  comp_top_level/Multiplier_1/U262/Q (XOR2X1_HVT)         0.18       2.87 r    1.20
  comp_top_level/Multiplier_1/U264/QN (NOR2X0_HVT)        0.11       2.98 f    1.20
  comp_top_level/Multiplier_1/U265/Q (AO21X1_HVT)         0.12       3.11 f    1.20
  comp_top_level/Multiplier_1/U266/QN (NAND2X0_HVT)       0.10       3.20 r    1.20
  comp_top_level/Multiplier_1/U31/QN (NAND2X0_HVT)        0.09       3.30 f    1.20
  comp_top_level/Multiplier_1/U29/QN (NAND2X0_HVT)        0.09       3.39 r    1.20
  comp_top_level/Multiplier_1/U2/QN (NAND2X0_HVT)         0.09       3.47 f    1.20
  comp_top_level/Multiplier_1/U10/QN (NAND2X0_HVT)        0.10       3.58 r    1.20
  comp_top_level/Multiplier_1/U288/CO (FADDX1_HVT)        0.31       3.88 r    1.20
  comp_top_level/Multiplier_1/U121/QN (NAND2X0_HVT)       0.09       3.98 f    1.20
  comp_top_level/Multiplier_1/U150/QN (NAND3X0_HVT)       0.11       4.09 r    1.20
  comp_top_level/Multiplier_1/U152/QN (NAND2X0_HVT)       0.10       4.18 f    1.20
  comp_top_level/Multiplier_1/U153/QN (NAND3X0_HVT)       0.11       4.30 r    1.20
  comp_top_level/Multiplier_1/U154/Q (XNOR2X1_HVT)        0.23       4.52 r    1.20
  comp_top_level/Multiplier_1/O[14] (Multiplier_nbit8)
                                                          0.00       4.52 r
  comp_top_level/snps_PD2__iso_cell_PD2_snps_O[14]_UPF_ISO/Q (LSUPENX2)
                                                          0.11       4.63 r    1.20
  comp_top_level/U4/Q (AND2X1_HVT)                        0.11       4.74 r    1.20
  comp_top_level/ff_out/D[14] (Reg_nbit16)                0.00       4.74 r
  comp_top_level/ff_out/CELL_14/FLIPFLOP_0/QTemp_reg/D (RDFFARX1_HVT)
                                                          0.03       4.77 r    1.20
  data arrival time                                                  4.77

  clock MYclk (rise edge)                                 5.00       5.00
  clock network delay (ideal)                             0.00       5.00
  comp_top_level/ff_out/CELL_14/FLIPFLOP_0/QTemp_reg/CLK (RDFFARX1_HVT)
                                                          0.00       5.00 r
  library setup time                                     -0.06       4.94
  data required time                                                 4.94
  -------------------------------------------------------------------------------
  data required time                                                 4.94
  data arrival time                                                 -4.77
  -------------------------------------------------------------------------------
  slack (MET)                                                        0.17


1
```

Report area

```

****************************************
Report : area
Design : dummyALU
Version: S-2021.06-SP4
Date   : Sun Jun  2 16:52:41 2024
****************************************

Library(s) Used:

```

```
    saed90nm_typ_hvt (File: /eda/dk/SAED_EDK90nm/Digital_Standard_cell_Library/synopsys/models/saed90nm_typ_hvt.db)
    saed90nm_typ_nthh_hvt_lsh (File: /eda/dk/SAED_EDK90nm/Digital_Standard_cell_Library/synopsys/models/level_shifters/saed90nm_typ_nthh_hvt_lsh.db)
    saed90nm_typ_nthh_lsh (File: /eda/dk/SAED_EDK90nm/Digital_Standard_cell_Library/synopsys/models/level_shifters/saed90nm_typ_nthh_lsh.db)
    saed90nm_typ_nthn_hvt_lsh (File: /eda/dk/SAED_EDK90nm/Digital_Standard_cell_Library/synopsys/models/level_shifters/saed90nm_typ_nthn_hvt_lsh.db)
    saed90nm_typ_ntl_hvt (File: /eda/dk/SAED_EDK90nm/Digital_Standard_cell_Library/synopsys/models/saed90nm_typ_ntl_hvt.db)
    saed90nm_typ_nthn_hvt_lshss (File: /eda/dk/SAED_EDK90nm/Digital_Standard_cell_Library/synopsys/models/level_shifters_ss/saed90nm_typ_nthn_hvt_lshss.db)
    saed90nm_typ_nthn_lshss (File: /eda/dk/SAED_EDK90nm/Digital_Standard_cell_Library/synopsys/models/level_shifters_ss/saed90nm_typ_nthn_lshss.db)
    saed90nm_typ_nthh_lshss (File: /eda/dk/SAED_EDK90nm/Digital_Standard_cell_Library/synopsys/models/level_shifters_ss/saed90nm_typ_nthh_lshss.db)
    saed90nm_typ_nthh_hvt_lshss (File: /eda/dk/SAED_EDK90nm/Digital_Standard_cell_Library/synopsys/models/level_shifters_ss/saed90nm_typ_nthh_hvt_lshss.db)
    saed90nm_typ_rdr_hvt (File: /eda/dk/SAED_EDK90nm/Digital_Standard_cell_Library/synopsys/models/retention/with_async_reset/saed90nm_typ_rdr_hvt.db)

Number of ports:                          250
Number of nets:                           701
Number of cells:                          471
Number of combinational cells:            407
Number of sequential cells:                54
Number of macros/black boxes:               0
Number of buf/inv:                         25
Number of references:                       5

Combinational area:               4270.694440
Buf/Inv area:                      138.240004
Noncombinational area:            3120.537600
Macro/Black Box area:                0.000000
Net Interconnect area:             286.873873

Total cell area:                  7391.232039
Total area:                       7678.105912

Hierarchical area distribution
------------------------------

                                  Global cell area          Local cell area
                                  ------------------  ----------------------------
Hierarchical cell                 Absolute   Percent  Combi-     Noncombi-  Black-
                                  Total      Total    national   national   boxes
                                  Design
--------------------------------  ---------  -------  ---------  ---------  ------
dummyALU                          7391.2320    100.0    18.4320   124.4160  0.0000
dummyALU
comp_top_level                    7248.3840     98.1   923.4432    32.2560  0.0000
top_level
comp_top_level/Adder_1             315.1872      4.3   315.1872     0.0000  0.0000
Adder_nbit8
comp_top_level/Multiplier_1       2659.7376     36.0  2659.7376     0.0000  0.0000
Multiplier_nbit8
comp_top_level/ff_mul_in_a         582.4512      7.9    88.4736   493.9776  0.0000
Reg_nbit8_1
```

```
comp_top_level/ff_mul_in_b         582.4512      7.9    88.4736   493.9776  0.0000  Reg_nbit8_0
comp_top_level/ff_out              987.9552     13.4     0.0000   987.9552  0.0000  Reg_nbit16
comp_top_level/ff_sum_in_a         582.4512      7.9    88.4736   493.9776  0.0000  Reg_nbit8_3
comp_top_level/ff_sum_in_b         582.4512      7.9    88.4736   493.9776  0.0000  Reg_nbit8_2
--------------------------------  ---------  -------  ---------  ---------  ------  ----------------
Total                                                  4270.6944  3120.5376  0.0000

1
```

Report power

```

****************************************
Report : power
        -hier
        -analysis_effort low
Design : dummyALU
Version: S-2021.06-SP4
Date   : Sun Jun  2 16:52:41 2024
****************************************


Library(s) Used:

    saed90nm_typ_hvt (File: /eda/dk/SAED_EDK90nm/Digital_Standard_cell_Library/synopsys/models/saed90nm_typ_hvt.db)
    saed90nm_typ_nthh_hvt_lsh (File: /eda/dk/SAED_EDK90nm/Digital_Standard_cell_Library/synopsys/models/level_shifters/saed90nm_typ_nthh_hvt_lsh.db)
    saed90nm_typ_nthh_lsh (File: /eda/dk/SAED_EDK90nm/Digital_Standard_cell_Library/synopsys/models/level_shifters/saed90nm_typ_nthh_lsh.db)
    saed90nm_typ_nthn_hvt_lsh (File: /eda/dk/SAED_EDK90nm/Digital_Standard_cell_Library/synopsys/models/level_shifters/saed90nm_typ_nthn_hvt_lsh.db)
    saed90nm_typ_ntl_hvt (File: /eda/dk/SAED_EDK90nm/Digital_Standard_cell_Library/synopsys/models/saed90nm_typ_ntl_hvt.db)
    saed90nm_typ_nthn_hvt_lshss (File: /eda/dk/SAED_EDK90nm/Digital_Standard_cell_Library/synopsys/models/level_shifters_ss/saed90nm_typ_nthn_hvt_lshss.db)
    saed90nm_typ_nthn_lshss (File: /eda/dk/SAED_EDK90nm/Digital_Standard_cell_Library/synopsys/models/level_shifters_ss/saed90nm_typ_nthn_lshss.db)
    saed90nm_typ_nthh_lshss (File: /eda/dk/SAED_EDK90nm/Digital_Standard_cell_Library/synopsys/models/level_shifters_ss/saed90nm_typ_nthh_lshss.db)
    saed90nm_typ_nthh_hvt_lshss (File: /eda/dk/SAED_EDK90nm/Digital_Standard_cell_Library/synopsys/models/level_shifters_ss/saed90nm_typ_nthh_hvt_lshss.db)
    saed90nm_typ_rdr_hvt (File: /eda/dk/SAED_EDK90nm/Digital_Standard_cell_Library/synopsys/models/retention/with_async_reset/saed90nm_typ_rdr_hvt.db)


Global Operating Voltage = 1.2
Power-specific unit information :
    Voltage Units = 1V
    Capacitance Units = 1.000000ff
    Time Units = 1ns
    Dynamic Power Units = 1uW    (derived from V,C,T units)
    Leakage Power Units = 1pW
```

```


--------------------------------------------------------------------------------
                                      Switch   Int      Leak     Total
Hierarchy                             Power    Power    Power    Power    %
--------------------------------------------------------------------------------
dummyALU                                17.449   59.458 6.17e+06   83.076 100.0
  comp_top_level (top_level)            15.894   57.813 6.03e+06   79.734  96.0
    Adder_1 (Adder_nbit8)                0.751    2.461 1.84e+05    3.396   4.1
    Multiplier_1 (Multiplier_nbit8)     10.511   28.407 2.33e+06   41.245  49.6
    ff_out (Reg_nbit16)               1.46e-03    2.896 7.87e+05    3.684   4.4
    ff_mul_in_b (Reg_nbit8_0)            0.408    3.234 4.93e+05    4.135   5.0
    ff_mul_in_a (Reg_nbit8_1)            0.405    3.147 4.93e+05    4.045   4.9
    ff_sum_in_b (Reg_nbit8_2)            0.377    2.519 4.93e+05    3.389   4.1
    ff_sum_in_a (Reg_nbit8_3)            0.373    2.511 4.93e+05    3.378   4.1
1
```

A.1.2 Condizione iniziale: adder e multiplier @ 0.8 V

Report timing: adder @ 0.8 V, multiplier @ 0.8 V

```
****************************************
Report : timing
        -path full
        -delay max
        -max_paths 1
Design : dummyALU
Version: S-2021.06-SP4
Date   : Mon Jun  3 18:05:22 2024
****************************************
Wire Load Model Mode: enclosed

  Startpoint: comp_top_level/ff_mul_in_b/CELL_0/FLIPFLOP_0/QTemp_reg
              (rising edge-triggered flip-flop clocked by MYclk)
  Endpoint: comp_top_level/ff_out/CELL_11/FLIPFLOP_0/QTemp_reg
            (rising edge-triggered flip-flop clocked by MYclk)
  Path Group: MYclk
  Path Type: max

  Des/Clust/Port     Wire Load Model       Library
  ------------------------------------------------
  dummyALU           16000                 saed90nm_typ_lvt
  top_level          8000                  saed90nm_typ_lvt
  Multiplier_nbit8   8000                  saed90nm_typ_lvt

  Point                                                    Incr       Path      Voltage
  -----------------------------------------------------------------------------------------
  clock MYclk (rise edge)                                  0.00       0.00
  clock network delay (ideal)                              0.00       0.00
  comp_top_level/ff_mul_in_b/CELL_0/FLIPFLOP_0/QTemp_reg/CLK (RDFFARX1_HVT)
                                                           0.00       0.00 r    1.20
  comp_top_level/ff_mul_in_b/CELL_0/FLIPFLOP_0/QTemp_reg/Q (RDFFARX1_HVT)
                                                           0.17       0.17 f    1.20
  comp_top_level/ff_mul_in_b/Q[0] (Reg_nbit8_0)            0.00       0.17 f
  comp_top_level/Multiplier_1/B[0] (Multiplier_nbit8)      0.00       0.17 f
  comp_top_level/Multiplier_1/B[0]_UPF_LS/Q (LSDNSSX2)
                                                           0.16       0.33 f    0.80
  comp_top_level/Multiplier_1/U166/QN (NAND2X0)            0.17       0.50 r    0.80
```

```
  comp_top_level/Multiplier_1/U162/ZN (INVX0)              0.12       0.62 f    0.80
  comp_top_level/Multiplier_1/U160/QN (NAND2X0_HVT)        0.14       0.76 r    0.80
  comp_top_level/Multiplier_1/U342/Q (XOR2X1_HVT)          0.31       1.07 f    0.80
  comp_top_level/Multiplier_1/U41/QN (NAND2X0)             0.11       1.17 r    0.80
  comp_top_level/Multiplier_1/U40/QN (NAND2X1_HVT)         0.16       1.33 f    0.80
  comp_top_level/Multiplier_1/U199/Q (XOR2X1_HVT)          0.29       1.62 f    0.80
  comp_top_level/Multiplier_1/U147/Q (OA22X1)              0.16       1.78 f    0.80
  comp_top_level/Multiplier_1/U142/Q (XNOR2X1)             0.25       2.03 r    0.80
  comp_top_level/Multiplier_1/U140/Q (OA22X1)              0.15       2.18 r    0.80
  comp_top_level/Multiplier_1/U137/Q (XNOR2X1)             0.23       2.41 r    0.80
  comp_top_level/Multiplier_1/U238/Q (OA22X1_HVT)          0.21       2.63 r    0.80
  comp_top_level/Multiplier_1/U217/Q (XNOR2X1_LVT)         0.19       2.82 r    0.80
  comp_top_level/Multiplier_1/U126/Q (AO22X1)              0.15       2.98 r    0.80
  comp_top_level/Multiplier_1/U192/Q (XNOR2X1_HVT)         0.37       3.35 r    0.80
  comp_top_level/Multiplier_1/U355/Q (OA22X1_HVT)          0.23       3.58 r    0.80
  comp_top_level/Multiplier_1/U79/ZN (INVX0)               0.09       3.67 f    0.80
  comp_top_level/Multiplier_1/U77/QN (NAND2X0)             0.10       3.76 r    0.80
  comp_top_level/Multiplier_1/U22/QN (NAND2X1_HVT)         0.15       3.91 f    0.80
  comp_top_level/Multiplier_1/U218/QN (OAI21X1_LVT)        0.16       4.07 r    0.80
  comp_top_level/Multiplier_1/U366/ZN (INVX0_HVT)          0.10       4.17 f    0.80
  comp_top_level/Multiplier_1/U106/QN (OAI21X1)            0.19       4.37 r    0.80
  comp_top_level/Multiplier_1/U370/Q (XOR2X1_HVT)          0.25       4.62 f    0.80
  comp_top_level/Multiplier_1/O[11] (Multiplier_nbit8)
                                                           0.00       4.62 f
  comp_top_level/snps_PD2__iso_cell_PD2_snps_O[11]_UPF_ISO/Q (LSUPENX1_HVT)
                                                           0.23       4.85 f    1.20
  comp_top_level/U6/Q (AND2X1_HVT)                         0.11       4.96 f    1.20
  comp_top_level/ff_out/D[11] (Reg_nbit16)                 0.00       4.96 f
  comp_top_level/ff_out/CELL_11/FLIPFLOP_0/QTemp_reg/D (RDFFARX1_HVT)
                                                           0.02       4.98 f    1.20
  data arrival time                                                   4.98

  clock MYclk (rise edge)                                  5.00       5.00
  clock network delay (ideal)                              0.00       5.00
  comp_top_level/ff_out/CELL_11/FLIPFLOP_0/QTemp_reg/CLK (RDFFARX1_HVT)
                                                           0.00       5.00 r
  library setup time                                      -0.02       4.98
  data required time                                                  4.98
  -------------------------------------------------------------------------------
  data required time                                                  4.98
  data arrival time                                                  -4.98
  -------------------------------------------------------------------------------
  slack (MET)                                                         0.00
```

Report timing: adder @ 0.8 V**, multiplier @** 1.2 V

```
****************************************
Report : timing
        -path full
        -delay max
        -max_paths 1
Design : dummyALU
Version: S-2021.06-SP4
Date   : Mon Jun  3 18:05:23 2024
****************************************
Wire Load Model Mode: enclosed

  Startpoint: comp_top_level/ff_sum_in_a/CELL_0/FLIPFLOP_0/QTemp_reg
```

```
              (rising edge-triggered flip-flop clocked by MYclk)
  Endpoint: comp_top_level/ff_out/CELL_7/FLIPFLOP_0/QTemp_reg
            (rising edge-triggered flip-flop clocked by MYclk)
  Path Group: MYclk
  Path Type: max

  Des/Clust/Port     Wire Load Model       Library
  ------------------------------------------------
  dummyALU           16000                 saed90nm_typ_lvt
  top_level          8000                  saed90nm_typ_lvt
  Adder_nbit8        8000                  saed90nm_typ_lvt

  Point                                                    Incr       Path      Voltage
  -----------------------------------------------------------------------------------------
  clock MYclk (rise edge)                                  0.00       0.00
  clock network delay (ideal)                              0.00       0.00
  comp_top_level/ff_sum_in_a/CELL_0/FLIPFLOP_0/QTemp_reg/CLK (RDFFARX1_HVT)
                                                           0.00       0.00 r    1.20
  comp_top_level/ff_sum_in_a/CELL_0/FLIPFLOP_0/QTemp_reg/Q (RDFFARX1_HVT)
                                                           0.17       0.17 f    1.20
  comp_top_level/ff_sum_in_a/Q[0] (Reg_nbit8_3)            0.00       0.17 f
  comp_top_level/Adder_1/A[0] (Adder_nbit8)                0.00       0.17 f
  comp_top_level/Adder_1/A[0]_UPF_LS/Q (LSDNSSX1_HVT)      0.17       0.34 f    0.80
  comp_top_level/Adder_1/U1/Q (AND2X1_HVT)                 0.21       0.55 f    0.80
  comp_top_level/Adder_1/intadd_8/U7/CO (FADDX1_HVT)       0.44       0.99 f    0.80
  comp_top_level/Adder_1/intadd_8/U6/CO (FADDX1_HVT)       0.42       1.41 f    0.80
  comp_top_level/Adder_1/intadd_8/U5/CO (FADDX1_HVT)       0.42       1.83 f    0.80
  comp_top_level/Adder_1/intadd_8/U4/CO (FADDX1_HVT)       0.42       2.25 f    0.80
  comp_top_level/Adder_1/intadd_8/U3/CO (FADDX1_HVT)       0.42       2.68 f    0.80
  comp_top_level/Adder_1/intadd_8/U2/CO (FADDX1_HVT)       0.40       3.08 f    0.80
  comp_top_level/Adder_1/U2/Q (XOR3X1_HVT)                 0.57       3.64 f    0.80
  comp_top_level/Adder_1/SUM[7] (Adder_nbit8)              0.00       3.64 f
  comp_top_level/snps_PD1__iso_cell_PD1_snps_SUM[7]_UPF_ISO/Q (LSUPENX1_HVT)
                                                           0.24       3.88 f    1.20
  comp_top_level/U25/Q (MUX21X1_HVT)                       0.14       4.02 f    1.20
  comp_top_level/ff_out/D[7] (Reg_nbit16)                  0.00       4.02 f
  comp_top_level/ff_out/CELL_7/FLIPFLOP_0/QTemp_reg/D (RDFFARX1_HVT)
                                                           0.02       4.04 f    1.20
  data arrival time                                                   4.04

  clock MYclk (rise edge)                                  5.00       5.00
  clock network delay (ideal)                              0.00       5.00
  comp_top_level/ff_out/CELL_7/FLIPFLOP_0/QTemp_reg/CLK (RDFFARX1_HVT)
                                                           0.00       5.00 r
  library setup time                                      -0.02       4.98
  data required time                                                  4.98
  -----------------------------------------------------------------------------------------
  data required time                                                  4.98
  data arrival time                                                  -4.04
  -----------------------------------------------------------------------------------------
  slack (MET)                                                         0.94
```

Report timing: adder @ 1.2 V**, multiplier @** 0.8 V

```
****************************************
Report : timing
        -path full
        -delay max
```

```
        -max_paths 1
Design : dummyALU
Version: S-2021.06-SP4
Date   : Mon Jun  3 18:05:25 2024
****************************************
Wire Load Model Mode: enclosed

  Startpoint: comp_top_level/ff_mul_in_b/CELL_0/FLIPFLOP_0/QTemp_reg
              (rising edge-triggered flip-flop clocked by MYclk)
  Endpoint: comp_top_level/ff_out/CELL_11/FLIPFLOP_0/QTemp_reg
            (rising edge-triggered flip-flop clocked by MYclk)
  Path Group: MYclk
  Path Type: max

  Des/Clust/Port     Wire Load Model       Library
  ------------------------------------------------
  dummyALU           16000                 saed90nm_typ_lvt
  top_level          8000                  saed90nm_typ_lvt
  Multiplier_nbit8   8000                  saed90nm_typ_lvt

  Point                                                    Incr       Path      Voltage
  -----------------------------------------------------------------------------------------
  clock MYclk (rise edge)                                  0.00       0.00
  clock network delay (ideal)                              0.00       0.00
  comp_top_level/ff_mul_in_b/CELL_0/FLIPFLOP_0/QTemp_reg/CLK (RDFFARX1_HVT)
                                                           0.00       0.00 r    1.20
  comp_top_level/ff_mul_in_b/CELL_0/FLIPFLOP_0/QTemp_reg/Q (RDFFARX1_HVT)
                                                           0.17       0.17 f    1.20
  comp_top_level/ff_mul_in_b/Q[0] (Reg_nbit8_0)            0.00       0.17 f
  comp_top_level/Multiplier_1/B[0] (Multiplier_nbit8)      0.00       0.17 f
  comp_top_level/Multiplier_1/B[0]_UPF_LS/Q (LSDNSSX2)
                                                           0.16       0.33 f    0.80
  comp_top_level/Multiplier_1/U166/QN (NAND2X0)            0.17       0.50 r    0.80
  comp_top_level/Multiplier_1/U162/ZN (INVX0)              0.12       0.62 f    0.80
  comp_top_level/Multiplier_1/U160/QN (NAND2X0_HVT)        0.14       0.76 r    0.80
  comp_top_level/Multiplier_1/U342/Q (XOR2X1_HVT)          0.31       1.07 f    0.80
  comp_top_level/Multiplier_1/U41/QN (NAND2X0)             0.11       1.17 r    0.80
  comp_top_level/Multiplier_1/U40/QN (NAND2X1_HVT)         0.16       1.33 f    0.80
  comp_top_level/Multiplier_1/U199/Q (XOR2X1_HVT)          0.29       1.62 f    0.80
  comp_top_level/Multiplier_1/U147/Q (OA22X1)              0.16       1.78 f    0.80
  comp_top_level/Multiplier_1/U142/Q (XNOR2X1)             0.25       2.03 r    0.80
  comp_top_level/Multiplier_1/U140/Q (OA22X1)              0.15       2.18 r    0.80
  comp_top_level/Multiplier_1/U137/Q (XNOR2X1)             0.23       2.41 r    0.80
  comp_top_level/Multiplier_1/U238/Q (OA22X1_HVT)          0.21       2.63 r    0.80
  comp_top_level/Multiplier_1/U217/Q (XNOR2X1_LVT)         0.19       2.82 r    0.80
  comp_top_level/Multiplier_1/U126/Q (AO22X1)              0.15       2.98 r    0.80
  comp_top_level/Multiplier_1/U192/Q (XNOR2X1_HVT)         0.37       3.35 r    0.80
  comp_top_level/Multiplier_1/U355/Q (OA22X1_HVT)          0.23       3.58 r    0.80
  comp_top_level/Multiplier_1/U79/ZN (INVX0)               0.09       3.67 f    0.80
  comp_top_level/Multiplier_1/U77/QN (NAND2X0)             0.10       3.76 r    0.80
  comp_top_level/Multiplier_1/U22/QN (NAND2X1_HVT)         0.15       3.91 f    0.80
  comp_top_level/Multiplier_1/U218/QN (OAI21X1_LVT)        0.16       4.07 r    0.80
  comp_top_level/Multiplier_1/U366/ZN (INVX0_HVT)          0.10       4.17 f    0.80
  comp_top_level/Multiplier_1/U106/QN (OAI21X1)            0.19       4.37 r    0.80
  comp_top_level/Multiplier_1/U370/Q (XOR2X1_HVT)          0.25       4.62 f    0.80
  comp_top_level/Multiplier_1/O[11] (Multiplier_nbit8)
                                                           0.00       4.62 f
  comp_top_level/snps_PD2__iso_cell_PD2_snps_O[11]_UPF_ISO/Q (LSUPENX1_HVT)
                                                           0.23       4.85 f    1.20
```

```
  comp_top_level/U6/Q (AND2X1_HVT)                        0.11       4.96 f    1.20
  comp_top_level/ff_out/D[11] (Reg_nbit16)                0.00       4.96 f
  comp_top_level/ff_out/CELL_11/FLIPFLOP_0/QTemp_reg/D (RDFFARX1_HVT)
                                                          0.02       4.98 f    1.20
  data arrival time                                                  4.98

  clock MYclk (rise edge)                                 5.00       5.00
  clock network delay (ideal)                             0.00       5.00
  comp_top_level/ff_out/CELL_11/FLIPFLOP_0/QTemp_reg/CLK (RDFFARX1_HVT)
                                                          0.00       5.00 r
  library setup time                                     -0.02       4.98
  data required time                                                 4.98
  -------------------------------------------------------------------------------
  data required time                                                 4.98
  data arrival time                                                 -4.98
  -------------------------------------------------------------------------------
  slack (MET)                                                        0.00
```

Report timing: adder @ 1.2 V, multiplier @ 1.2 V

```
****************************************
Report : timing
        -path full
        -delay max
        -max_paths 1
Design : dummyALU
Version: S-2021.06-SP4
Date   : Mon Jun  3 18:05:26 2024
****************************************
Wire Load Model Mode: enclosed

  Startpoint: comp_top_level/ff_mul_in_a/CELL_1/FLIPFLOP_0/QTemp_reg
              (rising edge-triggered flip-flop clocked by MYclk)
  Endpoint: comp_top_level/ff_out/CELL_13/FLIPFLOP_0/QTemp_reg
            (rising edge-triggered flip-flop clocked by MYclk)
  Path Group: MYclk
  Path Type: max

  Des/Clust/Port     Wire Load Model       Library
  ------------------------------------------------
  dummyALU           16000                 saed90nm_typ_lvt
  top_level          8000                  saed90nm_typ_lvt
  Multiplier_nbit8   8000                  saed90nm_typ_lvt

  Point                                                   Incr       Path      Voltage
  -------------------------------------------------------------------------------
  clock MYclk (rise edge)                                 0.00       0.00
  clock network delay (ideal)                             0.00       0.00
  comp_top_level/ff_mul_in_a/CELL_1/FLIPFLOP_0/QTemp_reg/CLK (RDFFARX1_HVT)
                                                          0.00       0.00 r    1.20
  comp_top_level/ff_mul_in_a/CELL_1/FLIPFLOP_0/QTemp_reg/Q (RDFFARX1_HVT)
                                                          0.17       0.17 f    1.20
  comp_top_level/ff_mul_in_a/Q[1] (Reg_nbit8_1)           0.00       0.17 f
  comp_top_level/Multiplier_1/A[1] (Multiplier_nbit8)     0.00       0.17 f
  comp_top_level/Multiplier_1/A[1]_UPF_LS/Q (LSDNSSX8)
                                                          0.18       0.35 f    1.20
  comp_top_level/Multiplier_1/U54/QN (NAND2X1_HVT)        0.14       0.49 r    1.20
  comp_top_level/Multiplier_1/U19/Q (OR2X1_LVT)           0.10       0.59 r    1.20
```

```
  comp_top_level/Multiplier_1/U103/Q (XNOR2X1)            0.20       0.79 r    1.20
  comp_top_level/Multiplier_1/U215/QN (NOR2X0_LVT)        0.10       0.89 f    1.20
  comp_top_level/Multiplier_1/U228/Q (OR2X1)              0.12       1.01 f    1.20
  comp_top_level/Multiplier_1/U227/Q (XNOR2X1)            0.19       1.20 r    1.20
  comp_top_level/Multiplier_1/U202/QN (NAND2X1_LVT)       0.10       1.29 f    1.20
  comp_top_level/Multiplier_1/U144/QN (NAND2X1_HVT)       0.11       1.40 r    1.20
  comp_top_level/Multiplier_1/U92/Q (XOR2X1)              0.17       1.57 f    1.20
  comp_top_level/Multiplier_1/U210/QN (NOR2X0_LVT)        0.09       1.66 r    1.20
  comp_top_level/Multiplier_1/U232/Q (OR2X1)              0.13       1.79 r    1.20
  comp_top_level/Multiplier_1/U231/Q (XNOR2X1)            0.19       1.98 r    1.20
  comp_top_level/Multiplier_1/U209/QN (NAND2X1_LVT)       0.10       2.08 f    1.20
  comp_top_level/Multiplier_1/U129/QN (NAND2X0)           0.08       2.16 r    1.20
  comp_top_level/Multiplier_1/U230/Q (XNOR2X1)            0.20       2.36 r    1.20
  comp_top_level/Multiplier_1/U229/Q (AND2X1)             0.11       2.46 r    1.20
  comp_top_level/Multiplier_1/U233/Q (OR2X1_HVT)          0.14       2.60 r    1.20
  comp_top_level/Multiplier_1/U121/Q (XOR2X1)             0.17       2.77 r    1.20
  comp_top_level/Multiplier_1/U116/Q (XOR2X1)             0.17       2.94 f    1.20
  comp_top_level/Multiplier_1/U77/QN (NAND2X0)            0.08       3.02 r    1.20
  comp_top_level/Multiplier_1/U22/QN (NAND2X1_HVT)        0.11       3.13 f    1.20
  comp_top_level/Multiplier_1/U218/QN (OAI21X1_LVT)       0.13       3.26 r    1.20
  comp_top_level/Multiplier_1/U225/QN (AOI21X1)           0.14       3.39 f    1.20
  comp_top_level/Multiplier_1/U74/Q (OR2X1)               0.12       3.51 f    1.20
  comp_top_level/Multiplier_1/U73/QN (NAND2X0)            0.07       3.58 r    1.20
  comp_top_level/Multiplier_1/U168/Q (XNOR2X1_LVT)        0.15       3.72 r    1.20
  comp_top_level/Multiplier_1/O[13] (Multiplier_nbit8)
                                                          0.00       3.72 r
  comp_top_level/snps_PD2__iso_cell_PD2_snps_O[13]_UPF_ISO/Q (LSUPENX2_HVT)
                                                          0.08       3.81 r    1.20
  comp_top_level/U7/Q (AND2X1_HVT)                        0.10       3.91 r    1.20
  comp_top_level/ff_out/D[13] (Reg_nbit16)                0.00       3.91 r
  comp_top_level/ff_out/CELL_13/FLIPFLOP_0/QTemp_reg/D (RDFFARX1_HVT)
                                                          0.03       3.94 r    1.20
  data arrival time                                                  3.94

  clock MYclk (rise edge)                                 5.00       5.00
  clock network delay (ideal)                             0.00       5.00
  comp_top_level/ff_out/CELL_13/FLIPFLOP_0/QTemp_reg/CLK (RDFFARX1_HVT)
                                                          0.00       5.00 r
  library setup time                                     -0.06       4.94
  data required time                                                 4.94
  -------------------------------------------------------------------------------
  data required time                                                 4.94
  data arrival time                                                 -3.94
  -------------------------------------------------------------------------------
  slack (MET)                                                        1.00
```

Report area: adder @ 0.8 V**, multiplier @** 0.8 V

```
****************************************
Report : area
Design : dummyALU
Version: S-2021.06-SP4
Date   : Mon Jun  3 18:05:22 2024
****************************************

Library(s) Used:

```

```
    saed90nm_typ_hvt (File: /eda/dk/SAED_EDK90nm/Digital_Standard_cell_Library/synopsys /models/saed90nm_typ_hvt.db)
    saed90nm_typ_nthn_hvt_lsh (File: /eda/dk/SAED_EDK90nm/Digital_Standard_cell_Library /synopsys/models/level_shifters/saed90nm_typ_nthn_hvt_lsh.db)
    saed90nm_typ_ntl_hvt (File: /eda/dk/SAED_EDK90nm/Digital_Standard_cell_Library/syno psys/models/saed90nm_typ_ntl_hvt.db)
    saed90nm_typ_nthn_hvt_lshss (File: /eda/dk/SAED_EDK90nm/Digital_Standard_cell_Libra ry/synopsys/models/level_shifters_ss/saed90nm_typ_nthn_hvt_lshss.db)
    saed90nm_typ_nthn_lshss (File: /eda/dk/SAED_EDK90nm/Digital_Standard_cell_Library/s ynopsys/models/level_shifters_ss/saed90nm_typ_nthn_lshss.db)
    saed90nm_typ_ntl (File: /eda/dk/SAED_EDK90nm/Digital_Standard_cell_Library/synopsys /models/saed90nm_typ_ntl.db)
    saed90nm_typ_ntl_lvt (File: /eda/dk/SAED_EDK90nm/Digital_Standard_cell_Library/syno psys/models/saed90nm_typ_ntl_lvt.db)
    saed90nm_typ_nthn_lvt_lshss (File: /eda/dk/SAED_EDK90nm/Digital_Standard_cell_Libra ry/synopsys/models/level_shifters_ss/saed90nm_typ_nthn_lvt_lshss.db)
    saed90nm_typ_rdr_hvt (File: /eda/dk/SAED_EDK90nm/Digital_Standard_cell_Library/syno psys/models/retention/with_async_reset/saed90nm_typ_rdr_hvt.db)

Number of ports:                          250
Number of nets:                           795
Number of cells:                          566
Number of combinational cells:            502
Number of sequential cells:                54
Number of macros/black boxes:               0
Number of buf/inv:                         66
Number of references:                       5


Combinational area:               4880.793661
Buf/Inv area:                      364.953609
Noncombinational area:            3120.537600
Macro/Black Box area:                0.000000
Net Interconnect area:             329.337525

Total cell area:                  8001.331261
Total area:                       8330.668786


Hierarchical area distribution
------------------------------

                                  Global cell area          Local cell area
                                  ------------------  ----------------------------
Hierarchical cell                 Absolute   Percent  Combi-     Noncombi-  Black-
                                  Total      Total    national   national   boxes
                                  Design
--------------------------------  ---------  -------  ---------  ---------  ------
dummyALU                          8001.3313    100.0    18.4320   124.4160  0.0000
dummyALU
comp_top_level                    7858.4833     98.2   938.1888    32.2560  0.0000
top_level
comp_top_level/Adder_1             309.6576      3.9   309.6576     0.0000  0.0000
Adder_nbit8
comp_top_level/Multiplier_1       3260.6208     40.8  3260.6208     0.0000  0.0000
Multiplier_nbit8
comp_top_level/ff_mul_in_a         582.4512      7.3    88.4736   493.9776  0.0000
Reg_nbit8_1
```

```
comp_top_level/ff_mul_in_b         582.4512      7.3    88.4736   493.9776  0.0000
↪  Reg_nbit8_0
comp_top_level/ff_out              987.9552     12.3     0.0000   987.9552  0.0000
↪  Reg_nbit16
comp_top_level/ff_sum_in_a         582.4512      7.3    88.4736   493.9776  0.0000
↪  Reg_nbit8_3
comp_top_level/ff_sum_in_b         582.4512      7.3    88.4736   493.9776  0.0000
↪  Reg_nbit8_2
-------------------------------  ---------  -------  ---------  ---------  ------
Total                                                 4880.7937  3120.5376  0.0000
```

Report area: adder @ 0.8 V**, multiplier @** 1.2 V

```
****************************************
Report : area
Design : dummyALU
Version: S-2021.06-SP4
Date   : Mon Jun  3 18:05:23 2024
****************************************

Library(s) Used:

    saed90nm_typ_hvt (File: /eda/dk/SAED_EDK90nm/Digital_Standard_cell_Library/synopsys
    ↪  /models/saed90nm_typ_hvt.db)
    saed90nm_typ_nthh_hvt_lsh (File: /eda/dk/SAED_EDK90nm/Digital_Standard_cell_Library
    ↪  /synopsys/models/level_shifters/saed90nm_typ_nthh_hvt_lsh.db)
    saed90nm_typ_nthn_hvt_lsh (File: /eda/dk/SAED_EDK90nm/Digital_Standard_cell_Library
    ↪  /synopsys/models/level_shifters/saed90nm_typ_nthn_hvt_lsh.db)
    saed90nm_typ_ntl_hvt (File: /eda/dk/SAED_EDK90nm/Digital_Standard_cell_Library/syno
    ↪  psys/models/saed90nm_typ_ntl_hvt.db)
    saed90nm_typ_nthn_hvt_lshss (File: /eda/dk/SAED_EDK90nm/Digital_Standard_cell_Libra
    ↪  ry/synopsys/models/level_shifters_ss/saed90nm_typ_nthn_hvt_lshss.db)
    saed90nm_typ_nthn_lshss (File: /eda/dk/SAED_EDK90nm/Digital_Standard_cell_Library/s
    ↪  ynopsys/models/level_shifters_ss/saed90nm_typ_nthn_lshss.db)
    saed90nm_typ (File: /eda/dk/SAED_EDK90nm/Digital_Standard_cell_Library/synopsys/mo
    ↪  dels/saed90nm_typ.db)
    saed90nm_typ_lvt (File: /eda/dk/SAED_EDK90nm/Digital_Standard_cell_Library/synopsys
    ↪  /models/saed90nm_typ_lvt.db)
    saed90nm_typ_nthh_lshss (File: /eda/dk/SAED_EDK90nm/Digital_Standard_cell_Library/s
    ↪  ynopsys/models/level_shifters_ss/saed90nm_typ_nthh_lshss.db)
    saed90nm_typ_nthh_lvt_lshss (File: /eda/dk/SAED_EDK90nm/Digital_Standard_cell_Libra
    ↪  ry/synopsys/models/level_shifters_ss/saed90nm_typ_nthh_lvt_lshss.db)
    saed90nm_typ_rdr_hvt (File: /eda/dk/SAED_EDK90nm/Digital_Standard_cell_Library/syno
    ↪  psys/models/retention/with_async_reset/saed90nm_typ_rdr_hvt.db)

Number of ports:                          250
Number of nets:                           795
Number of cells:                          566
Number of combinational cells:            502
Number of sequential cells:                54
Number of macros/black boxes:               0
Number of buf/inv:                         66
Number of references:                       5

Combinational area:               4880.793661
Buf/Inv area:                      364.953609
Noncombinational area:            3120.537600
Macro/Black Box area:                0.000000
```

```
Net Interconnect area:             329.337525

Total cell area:                  8001.331261
Total area:                       8330.668786

Hierarchical area distribution
------------------------------

                                  Global cell area          Local cell area
                                  ------------------  ----------------------------
Hierarchical cell                 Absolute   Percent  Combi-     Noncombi-  Black-
                                  Total      Total    national   national   boxes
                                  ↪  Design
--------------------------------  ---------  -------  ---------  ---------  ------
dummyALU                          8001.3313    100.0    18.4320   124.4160  0.0000
↪  dummyALU
comp_top_level                    7858.4833     98.2   938.1888    32.2560  0.0000
↪  top_level
comp_top_level/Adder_1             309.6576      3.9   309.6576     0.0000  0.0000
↪  Adder_nbit8
comp_top_level/Multiplier_1       3260.6208     40.8  3260.6208     0.0000  0.0000
↪  Multiplier_nbit8
comp_top_level/ff_mul_in_a         582.4512      7.3    88.4736   493.9776  0.0000
↪  Reg_nbit8_1
comp_top_level/ff_mul_in_b         582.4512      7.3    88.4736   493.9776  0.0000
↪  Reg_nbit8_0
comp_top_level/ff_out              987.9552     12.3     0.0000   987.9552  0.0000
↪  Reg_nbit16
comp_top_level/ff_sum_in_a         582.4512      7.3    88.4736   493.9776  0.0000
↪  Reg_nbit8_3
comp_top_level/ff_sum_in_b         582.4512      7.3    88.4736   493.9776  0.0000
↪  Reg_nbit8_2
--------------------------------  ---------  -------  ---------  ---------  ------
Total                                                 4880.7937  3120.5376  0.0000
```

Report area: adder @ 1.2 V, multiplier @ 0.8 V

```
****************************************
Report : area
Design : dummyALU
Version: S-2021.06-SP4
Date   : Mon Jun  3 18:05:25 2024
****************************************

Library(s) Used:

    saed90nm_typ_hvt (File: /eda/dk/SAED_EDK90nm/Digital_Standard_cell_Library/synopsys
    ↪  /models/saed90nm_typ_hvt.db)
    saed90nm_typ_nthn_hvt_lsh (File: /eda/dk/SAED_EDK90nm/Digital_Standard_cell_Library
    ↪  /synopsys/models/level_shifters/saed90nm_typ_nthn_hvt_lsh.db)
    saed90nm_typ_nthh_hvt_lsh (File: /eda/dk/SAED_EDK90nm/Digital_Standard_cell_Library
    ↪  /synopsys/models/level_shifters/saed90nm_typ_nthh_hvt_lsh.db)
    saed90nm_typ_nthh_hvt_lshss (File: /eda/dk/SAED_EDK90nm/Digital_Standard_cell_Libra
    ↪  ry/synopsys/models/level_shifters_ss/saed90nm_typ_nthh_hvt_lshss.db)
    saed90nm_typ_nthh_lshss (File: /eda/dk/SAED_EDK90nm/Digital_Standard_cell_Library/s
    ↪  ynopsys/models/level_shifters_ss/saed90nm_typ_nthh_lshss.db)
    saed90nm_typ_ntl_hvt (File: /eda/dk/SAED_EDK90nm/Digital_Standard_cell_Library/syno
    ↪  psys/models/saed90nm_typ_ntl_hvt.db)
```

```
    saed90nm_typ_ntl (File: /eda/dk/SAED_EDK90nm/Digital_Standard_cell_Library/synopsys /models/saed90nm_typ_ntl.db)
    saed90nm_typ_ntl_lvt (File: /eda/dk/SAED_EDK90nm/Digital_Standard_cell_Library/synopsys/models/saed90nm_typ_ntl_lvt.db)
    saed90nm_typ_nthn_lshss (File: /eda/dk/SAED_EDK90nm/Digital_Standard_cell_Library/synopsys/models/level_shifters_ss/saed90nm_typ_nthn_lshss.db)
    saed90nm_typ_nthn_lvt_lshss (File: /eda/dk/SAED_EDK90nm/Digital_Standard_cell_Library/synopsys/models/level_shifters_ss/saed90nm_typ_nthn_lvt_lshss.db)
    saed90nm_typ_rdr_hvt (File: /eda/dk/SAED_EDK90nm/Digital_Standard_cell_Library/synopsys/models/retention/with_async_reset/saed90nm_typ_rdr_hvt.db)

Number of ports:                          250
Number of nets:                           795
Number of cells:                          566
Number of combinational cells:            502
Number of sequential cells:                54
Number of macros/black boxes:               0
Number of buf/inv:                         66
Number of references:                       5

Combinational area:               4880.793661
Buf/Inv area:                      364.953609
Noncombinational area:            3120.537600
Macro/Black Box area:                0.000000
Net Interconnect area:             329.337525

Total cell area:                  8001.331261
Total area:                       8330.668786

Hierarchical area distribution
------------------------------

                                  Global cell area          Local cell area
                                  ------------------  ----------------------------
Hierarchical cell                 Absolute   Percent  Combi-     Noncombi-  Black-
                                  Total      Total    national   national   boxes
                                  Design
--------------------------------  ---------  -------  ---------  ---------  ------
dummyALU                          8001.3313    100.0    18.4320   124.4160  0.0000
dummyALU
comp_top_level                    7858.4833     98.2   938.1888    32.2560  0.0000
top_level
comp_top_level/Adder_1             309.6576      3.9   309.6576     0.0000  0.0000
Adder_nbit8
comp_top_level/Multiplier_1       3260.6208     40.8  3260.6208     0.0000  0.0000
Multiplier_nbit8
comp_top_level/ff_mul_in_a         582.4512      7.3    88.4736   493.9776  0.0000
Reg_nbit8_1
comp_top_level/ff_mul_in_b         582.4512      7.3    88.4736   493.9776  0.0000
Reg_nbit8_0
comp_top_level/ff_out              987.9552     12.3     0.0000   987.9552  0.0000
Reg_nbit16
comp_top_level/ff_sum_in_a         582.4512      7.3    88.4736   493.9776  0.0000
Reg_nbit8_3
comp_top_level/ff_sum_in_b         582.4512      7.3    88.4736   493.9776  0.0000
Reg_nbit8_2
--------------------------------  ---------  -------  ---------  ---------  ------
Total                                                 4880.7937  3120.5376  0.0000
```

Report area: adder @ 1.2 V**, multiplier @** 1.2 V

```
****************************************
Report : area
Design : dummyALU
Version: S-2021.06-SP4
Date   : Mon Jun  3 18:05:26 2024
****************************************

Library(s) Used:

    saed90nm_typ_hvt (File: /eda/dk/SAED_EDK90nm/Digital_Standard_cell_Library/synopsys/models/saed90nm_typ_hvt.db)
    saed90nm_typ_nthh_hvt_lsh (File: /eda/dk/SAED_EDK90nm/Digital_Standard_cell_Library/synopsys/models/level_shifters/saed90nm_typ_nthh_hvt_lsh.db)
    saed90nm_typ_nthh_hvt_lshss (File: /eda/dk/SAED_EDK90nm/Digital_Standard_cell_Library/synopsys/models/level_shifters_ss/saed90nm_typ_nthh_hvt_lshss.db)
    saed90nm_typ_nthh_lshss (File: /eda/dk/SAED_EDK90nm/Digital_Standard_cell_Library/synopsys/models/level_shifters_ss/saed90nm_typ_nthh_lshss.db)
    saed90nm_typ (File: /eda/dk/SAED_EDK90nm/Digital_Standard_cell_Library/synopsys/models/saed90nm_typ.db)
    saed90nm_typ_lvt (File: /eda/dk/SAED_EDK90nm/Digital_Standard_cell_Library/synopsys/models/saed90nm_typ_lvt.db)
    saed90nm_typ_nthh_lvt_lshss (File: /eda/dk/SAED_EDK90nm/Digital_Standard_cell_Library/synopsys/models/level_shifters_ss/saed90nm_typ_nthh_lvt_lshss.db)
    saed90nm_typ_rdr_hvt (File: /eda/dk/SAED_EDK90nm/Digital_Standard_cell_Library/synopsys/models/retention/with_async_reset/saed90nm_typ_rdr_hvt.db)

Number of ports:                          250
Number of nets:                           795
Number of cells:                          566
Number of combinational cells:            502
Number of sequential cells:                54
Number of macros/black boxes:               0
Number of buf/inv:                         66
Number of references:                       5

Combinational area:               4880.793661
Buf/Inv area:                      364.953609
Noncombinational area:            3120.537600
Macro/Black Box area:                0.000000
Net Interconnect area:             329.337525

Total cell area:                  8001.331261
Total area:                       8330.668786

Hierarchical area distribution
------------------------------

                                  Global cell area          Local cell area
                                  ------------------  ----------------------------
Hierarchical cell                 Absolute   Percent  Combi-     Noncombi-  Black-
                                  Total      Total    national   national   boxes
                                  Design
--------------------------------  ---------  -------  ---------  ---------  ------
dummyALU                          8001.3313    100.0    18.4320   124.4160  0.0000
dummyALU
comp_top_level                    7858.4833     98.2   938.1888    32.2560  0.0000
top_level
```

```
comp_top_level/Adder_1              309.6576      3.9   309.6576     0.0000  0.0000  Adder_nbit8
comp_top_level/Multiplier_1        3260.6208     40.8  3260.6208     0.0000  0.0000  Multiplier_nbit8
comp_top_level/ff_mul_in_a          582.4512      7.3    88.4736   493.9776  0.0000  Reg_nbit8_1
comp_top_level/ff_mul_in_b          582.4512      7.3    88.4736   493.9776  0.0000  Reg_nbit8_0
comp_top_level/ff_out               987.9552     12.3     0.0000   987.9552  0.0000  Reg_nbit16
comp_top_level/ff_sum_in_a          582.4512      7.3    88.4736   493.9776  0.0000  Reg_nbit8_3
comp_top_level/ff_sum_in_b          582.4512      7.3    88.4736   493.9776  0.0000  Reg_nbit8_2
--------------------------------  ---------  -------  ---------  ---------  ------
Total                                                 4880.7937  3120.5376  0.0000
```

Report power: adder @ 0.8 V, multiplier @ 0.8 V

```
****************************************
Report : power
        -hier
        -analysis_effort low
Design : dummyALU
Version: S-2021.06-SP4
Date   : Mon Jun  3 18:05:22 2024
****************************************

Library(s) Used:

    saed90nm_typ_hvt (File: /eda/dk/SAED_EDK90nm/Digital_Standard_cell_Library/synopsys/models/saed90nm_typ_hvt.db)
    saed90nm_typ_nthn_hvt_lsh (File: /eda/dk/SAED_EDK90nm/Digital_Standard_cell_Library/synopsys/models/level_shifters/saed90nm_typ_nthn_hvt_lsh.db)
    saed90nm_typ_ntl_hvt (File: /eda/dk/SAED_EDK90nm/Digital_Standard_cell_Library/synopsys/models/saed90nm_typ_ntl_hvt.db)
    saed90nm_typ_nthn_hvt_lshss (File: /eda/dk/SAED_EDK90nm/Digital_Standard_cell_Library/synopsys/models/level_shifters_ss/saed90nm_typ_nthn_hvt_lshss.db)
    saed90nm_typ_nthn_lshss (File: /eda/dk/SAED_EDK90nm/Digital_Standard_cell_Library/synopsys/models/level_shifters_ss/saed90nm_typ_nthn_lshss.db)
    saed90nm_typ_ntl (File: /eda/dk/SAED_EDK90nm/Digital_Standard_cell_Library/synopsys/models/saed90nm_typ_ntl.db)
    saed90nm_typ_ntl_lvt (File: /eda/dk/SAED_EDK90nm/Digital_Standard_cell_Library/synopsys/models/saed90nm_typ_ntl_lvt.db)
    saed90nm_typ_nthn_lvt_lshss (File: /eda/dk/SAED_EDK90nm/Digital_Standard_cell_Library/synopsys/models/level_shifters_ss/saed90nm_typ_nthn_lvt_lshss.db)
    saed90nm_typ_rdr_hvt (File: /eda/dk/SAED_EDK90nm/Digital_Standard_cell_Library/synopsys/models/retention/with_async_reset/saed90nm_typ_rdr_hvt.db)

Global Operating Voltage = 1.2
Power-specific unit information :
    Voltage Units = 1V
    Capacitance Units = 1.000000ff
    Time Units = 1ns
    Dynamic Power Units = 1uW    (derived from V,C,T units)
    Leakage Power Units = 1pW

--------------------------------------------------------------------------------
```

```
                                        Switch   Int      Leak     Total
Hierarchy                               Power    Power    Power    Power    %
--------------------------------------------------------------------------------
dummyALU                                  11.839   45.556 1.04e+07   67.820 100.0
  comp_top_level (top_level)              10.281   43.911 1.03e+07   64.474  95.1
    Adder_1 (Adder_nbit8)                  0.749    2.364 1.38e+05    3.251   4.8
    Multiplier_1 (Multiplier_nbit8)        5.032   16.203 6.94e+06   28.175  41.5
    ff_out (Reg_nbit16)                 2.87e-03    2.897 7.87e+05    3.686   5.4
    ff_mul_in_b (Reg_nbit8_0)              0.367    3.098 4.93e+05    3.958   5.8
    ff_mul_in_a (Reg_nbit8_1)              0.365    2.932 4.93e+05    3.790   5.6
    ff_sum_in_b (Reg_nbit8_2)              0.374    2.515 4.93e+05    3.383   5.0
    ff_sum_in_a (Reg_nbit8_3)              0.373    2.511 4.93e+05    3.378   5.0
```

Report power: adder @ 0.8 V, multiplier @ 1.2 V

```
****************************************
Report : power
        -hier
        -analysis_effort low
Design : dummyALU
Version: S-2021.06-SP4
Date   : Mon Jun  3 18:05:23 2024
****************************************

Library(s) Used:

    saed90nm_typ_hvt (File: /eda/dk/SAED_EDK90nm/Digital_Standard_cell_Library/synopsys/models/saed90nm_typ_hvt.db)
    saed90nm_typ_nthh_hvt_lsh (File: /eda/dk/SAED_EDK90nm/Digital_Standard_cell_Library/synopsys/models/level_shifters/saed90nm_typ_nthh_hvt_lsh.db)
    saed90nm_typ_nthn_hvt_lsh (File: /eda/dk/SAED_EDK90nm/Digital_Standard_cell_Library/synopsys/models/level_shifters/saed90nm_typ_nthn_hvt_lsh.db)
    saed90nm_typ_ntl_hvt (File: /eda/dk/SAED_EDK90nm/Digital_Standard_cell_Library/synopsys/models/saed90nm_typ_ntl_hvt.db)
    saed90nm_typ_nthn_hvt_lshss (File: /eda/dk/SAED_EDK90nm/Digital_Standard_cell_Library/synopsys/models/level_shifters_ss/saed90nm_typ_nthn_hvt_lshss.db)
    saed90nm_typ_nthn_lshss (File: /eda/dk/SAED_EDK90nm/Digital_Standard_cell_Library/synopsys/models/level_shifters_ss/saed90nm_typ_nthn_lshss.db)
    saed90nm_typ (File: /eda/dk/SAED_EDK90nm/Digital_Standard_cell_Library/synopsys/models/saed90nm_typ.db)
    saed90nm_typ_lvt (File: /eda/dk/SAED_EDK90nm/Digital_Standard_cell_Library/synopsys/models/saed90nm_typ_lvt.db)
    saed90nm_typ_nthh_lshss (File: /eda/dk/SAED_EDK90nm/Digital_Standard_cell_Library/synopsys/models/level_shifters_ss/saed90nm_typ_nthh_lshss.db)
    saed90nm_typ_nthh_lvt_lshss (File: /eda/dk/SAED_EDK90nm/Digital_Standard_cell_Library/synopsys/models/level_shifters_ss/saed90nm_typ_nthh_lvt_lshss.db)
    saed90nm_typ_rdr_hvt (File: /eda/dk/SAED_EDK90nm/Digital_Standard_cell_Library/synopsys/models/retention/with_async_reset/saed90nm_typ_rdr_hvt.db)

Global Operating Voltage = 1.2
Power-specific unit information :
    Voltage Units = 1V
    Capacitance Units = 1.000000ff
    Time Units = 1ns
    Dynamic Power Units = 1uW    (derived from V,C,T units)
    Leakage Power Units = 1pW

--------------------------------------------------------------------------------
```

```
                                        Switch   Int      Leak     Total
Hierarchy                               Power    Power    Power    Power    %
--------------------------------------------------------------------------------
dummyALU                                  19.378   70.115 2.59e+07  115.427 100.0
  comp_top_level (top_level)              17.820   68.470 2.58e+07  112.081  97.1
    Adder_1 (Adder_nbit8)                  0.749    2.364 1.38e+05    3.251   2.8
    Multiplier_1 (Multiplier_nbit8)       12.534   40.627 2.24e+07   75.544  65.4
    ff_out (Reg_nbit16)                 2.87e-03    2.897 7.87e+05    3.686   3.2
    ff_mul_in_b (Reg_nbit8_0)              0.383    3.122 4.93e+05    3.998   3.5
    ff_mul_in_a (Reg_nbit8_1)              0.385    2.961 4.93e+05    3.840   3.3
    ff_sum_in_b (Reg_nbit8_2)              0.374    2.515 4.93e+05    3.383   2.9
    ff_sum_in_a (Reg_nbit8_3)              0.373    2.511 4.93e+05    3.378   2.9
```

Report power: adder @ 1.2 V, multiplier @ 0.8 V

```
****************************************
Report : power
        -hier
        -analysis_effort low
Design : dummyALU
Version: S-2021.06-SP4
Date   : Mon Jun  3 18:05:25 2024
****************************************

Library(s) Used:

    saed90nm_typ_hvt (File: /eda/dk/SAED_EDK90nm/Digital_Standard_cell_Library/synopsys
    ↪  /models/saed90nm_typ_hvt.db)
    saed90nm_typ_nthn_hvt_lsh (File: /eda/dk/SAED_EDK90nm/Digital_Standard_cell_Library
    ↪  /synopsys/models/level_shifters/saed90nm_typ_nthn_hvt_lsh.db)
    saed90nm_typ_nthh_hvt_lsh (File: /eda/dk/SAED_EDK90nm/Digital_Standard_cell_Library
    ↪  /synopsys/models/level_shifters/saed90nm_typ_nthh_hvt_lsh.db)
    saed90nm_typ_nthh_hvt_lshss (File: /eda/dk/SAED_EDK90nm/Digital_Standard_cell_Libra
    ↪  ry/synopsys/models/level_shifters_ss/saed90nm_typ_nthh_hvt_lshss.db)
    saed90nm_typ_nthh_lshss (File: /eda/dk/SAED_EDK90nm/Digital_Standard_cell_Library/s
    ↪  ynopsys/models/level_shifters_ss/saed90nm_typ_nthh_lshss.db)
    saed90nm_typ_ntl_hvt (File: /eda/dk/SAED_EDK90nm/Digital_Standard_cell_Library/syno
    ↪  psys/models/saed90nm_typ_ntl_hvt.db)
    saed90nm_typ_ntl (File: /eda/dk/SAED_EDK90nm/Digital_Standard_cell_Library/synopsys
    ↪  /models/saed90nm_typ_ntl.db)
    saed90nm_typ_ntl_lvt (File: /eda/dk/SAED_EDK90nm/Digital_Standard_cell_Library/syno
    ↪  psys/models/saed90nm_typ_ntl_lvt.db)
    saed90nm_typ_nthn_lshss (File: /eda/dk/SAED_EDK90nm/Digital_Standard_cell_Library/s
    ↪  ynopsys/models/level_shifters_ss/saed90nm_typ_nthn_lshss.db)
    saed90nm_typ_nthn_lvt_lshss (File: /eda/dk/SAED_EDK90nm/Digital_Standard_cell_Libra
    ↪  ry/synopsys/models/level_shifters_ss/saed90nm_typ_nthn_lvt_lshss.db)
    saed90nm_typ_rdr_hvt (File: /eda/dk/SAED_EDK90nm/Digital_Standard_cell_Library/syno
    ↪  psys/models/retention/with_async_reset/saed90nm_typ_rdr_hvt.db)

Global Operating Voltage = 1.2
Power-specific unit information :
    Voltage Units = 1V
    Capacitance Units = 1.000000ff
    Time Units = 1ns
    Dynamic Power Units = 1uW    (derived from V,C,T units)
    Leakage Power Units = 1pW

--------------------------------------------------------------------------------
```

```
                                        Switch   Int      Leak     Total
Hierarchy                               Power    Power    Power    Power    %
--------------------------------------------------------------------------------
dummyALU                                  12.994   48.965 1.09e+07   72.850 100.0
  comp_top_level (top_level)              11.436   47.319 1.07e+07   69.504  95.4
    Adder_1 (Adder_nbit8)                  1.850    5.668 5.72e+05    8.090  11.1
    Multiplier_1 (Multiplier_nbit8)        5.032   16.203 6.94e+06   28.175  38.7
    ff_out (Reg_nbit16)                 2.87e-03    2.897 7.87e+05    3.686   5.1
    ff_mul_in_b (Reg_nbit8_0)              0.367    3.098 4.93e+05    3.958   5.4
    ff_mul_in_a (Reg_nbit8_1)              0.365    2.932 4.93e+05    3.790   5.2
    ff_sum_in_b (Reg_nbit8_2)              0.401    2.554 4.93e+05    3.448   4.7
    ff_sum_in_a (Reg_nbit8_3)              0.400    2.550 4.93e+05    3.443   4.7
```

Report power: adder @ 1.2 V, multiplier @ 1.2 V

```
****************************************
Report : power
        -hier
        -analysis_effort low
Design : dummyALU
Version: S-2021.06-SP4
Date   : Mon Jun  3 18:05:26 2024
****************************************

Library(s) Used:

    saed90nm_typ_hvt (File: /eda/dk/SAED_EDK90nm/Digital_Standard_cell_Library/synopsys
    ↪  /models/saed90nm_typ_hvt.db)
    saed90nm_typ_nthh_hvt_lsh (File: /eda/dk/SAED_EDK90nm/Digital_Standard_cell_Library
    ↪  /synopsys/models/level_shifters/saed90nm_typ_nthh_hvt_lsh.db)
    saed90nm_typ_nthh_hvt_lshss (File: /eda/dk/SAED_EDK90nm/Digital_Standard_cell_Libra
    ↪  ry/synopsys/models/level_shifters_ss/saed90nm_typ_nthh_hvt_lshss.db)
    saed90nm_typ_nthh_lshss (File: /eda/dk/SAED_EDK90nm/Digital_Standard_cell_Library/s
    ↪  ynopsys/models/level_shifters_ss/saed90nm_typ_nthh_lshss.db)
    saed90nm_typ (File: /eda/dk/SAED_EDK90nm/Digital_Standard_cell_Library/synopsys/mo
    ↪  dels/saed90nm_typ.db)
    saed90nm_typ_lvt (File: /eda/dk/SAED_EDK90nm/Digital_Standard_cell_Library/synopsys
    ↪  /models/saed90nm_typ_lvt.db)
    saed90nm_typ_nthh_lvt_lshss (File: /eda/dk/SAED_EDK90nm/Digital_Standard_cell_Libra
    ↪  ry/synopsys/models/level_shifters_ss/saed90nm_typ_nthh_lvt_lshss.db)
    saed90nm_typ_rdr_hvt (File: /eda/dk/SAED_EDK90nm/Digital_Standard_cell_Library/syno
    ↪  psys/models/retention/with_async_reset/saed90nm_typ_rdr_hvt.db)

Global Operating Voltage = 1.2
Power-specific unit information :
    Voltage Units = 1V
    Capacitance Units = 1.000000ff
    Time Units = 1ns
    Dynamic Power Units = 1uW    (derived from V,C,T units)
    Leakage Power Units = 1pW

--------------------------------------------------------------------------------
                                        Switch   Int      Leak     Total
Hierarchy                               Power    Power    Power    Power    %
--------------------------------------------------------------------------------
dummyALU                                  20.533   73.524 2.64e+07  120.457 100.0
  comp_top_level (top_level)              18.975   71.879 2.63e+07  117.111  97.2
    Adder_1 (Adder_nbit8)                  1.850    5.668 5.72e+05    8.090   6.7
```

```
    Multiplier_1 (Multiplier_nbit8)      12.534   40.627 2.24e+07   75.544  62.7
    ff_out (Reg_nbit16)               2.87e-03    2.897 7.87e+05    3.686   3.1
    ff_mul_in_b (Reg_nbit8_0)            0.383    3.122 4.93e+05    3.998   3.3
    ff_mul_in_a (Reg_nbit8_1)            0.385    2.961 4.93e+05    3.840   3.2
    ff_sum_in_b (Reg_nbit8_2)            0.401    2.554 4.93e+05    3.448   2.9
    ff_sum_in_a (Reg_nbit8_3)            0.400    2.550 4.93e+05    3.443   2.9
```

A.1.3 Condizione iniziale: adder e multiplier @ 1.2 V

Report timing: adder @ 0.8 V, multiplier @ 0.8 V

```
****************************************
Report : timing
        -path full
        -delay max
        -max_paths 1
Design : dummyALU
Version: S-2021.06-SP4
Date   : Mon Jun  3 18:08:17 2024
****************************************
Wire Load Model Mode: enclosed

  Startpoint: comp_top_level/ff_mul_in_b/CELL_1/FLIPFLOP_0/QTemp_reg
              (rising edge-triggered flip-flop clocked by MYclk)
  Endpoint: comp_top_level/ff_out/CELL_14/FLIPFLOP_0/QTemp_reg
            (rising edge-triggered flip-flop clocked by MYclk)
  Path Group: MYclk
  Path Type: max

  Des/Clust/Port     Wire Load Model       Library
  ------------------------------------------------
  dummyALU           8000                  saed90nm_typ_lvt
  top_level          8000                  saed90nm_typ_lvt
  Multiplier_nbit8   8000                  saed90nm_typ_lvt

  Point                                                    Incr       Path      Voltage
  ---------------------------------------------------------------------------------------
  clock MYclk (rise edge)                                  0.00       0.00
  clock network delay (ideal)                              0.00       0.00
  comp_top_level/ff_mul_in_b/CELL_1/FLIPFLOP_0/QTemp_reg/CLK (RDFFARX1_HVT)
                                                           0.00       0.00 r    1.20
  comp_top_level/ff_mul_in_b/CELL_1/FLIPFLOP_0/QTemp_reg/Q (RDFFARX1_HVT)
                                                           0.17       0.17 f    1.20
  comp_top_level/ff_mul_in_b/Q[1] (Reg_nbit8_0)            0.00       0.17 f
  comp_top_level/Multiplier_1/B[1] (Multiplier_nbit8)      0.00       0.17 f
  comp_top_level/Multiplier_1/B[1]_UPF_LS/Q (LSDNSSX2_HVT)
                                                           0.22       0.39 f    0.80
  comp_top_level/Multiplier_1/U101/ZN (INVX0_HVT)          0.19       0.58 r    0.80
  comp_top_level/Multiplier_1/U164/QN (NOR2X0_HVT)         0.18       0.76 f    0.80
  comp_top_level/Multiplier_1/U166/Q (OA21X1_HVT)          0.26       1.02 f    0.80
  comp_top_level/Multiplier_1/U167/QN (NAND2X0_HVT)        0.11       1.13 r    0.80
  comp_top_level/Multiplier_1/U168/Q (OA21X1_HVT)          0.23       1.35 r    0.80
  comp_top_level/Multiplier_1/U50/Q (XOR2X1_HVT)           0.30       1.65 r    0.80
  comp_top_level/Multiplier_1/U175/QN (NAND2X0_HVT)        0.13       1.79 f    0.80
  comp_top_level/Multiplier_1/U176/Q (OA21X1_HVT)          0.21       2.00 f    0.80
  comp_top_level/Multiplier_1/U23/Q (XOR2X1_HVT)           0.30       2.30 r    0.80
  comp_top_level/Multiplier_1/U183/QN (NAND2X0_HVT)        0.13       2.43 f    0.80
  comp_top_level/Multiplier_1/U184/Q (OA21X1_HVT)          0.21       2.64 f    0.80
  comp_top_level/Multiplier_1/U20/Q (XOR2X1_HVT)           0.30       2.94 r    0.80
  comp_top_level/Multiplier_1/U191/QN (NAND2X0_HVT)        0.13       3.08 f    0.80
  comp_top_level/Multiplier_1/U192/Q (OA21X1_HVT)          0.21       3.29 f    0.80
  comp_top_level/Multiplier_1/U51/Q (XNOR2X1_HVT)          0.36       3.65 r    0.80
  comp_top_level/Multiplier_1/U47/Q (OA22X1_HVT)           0.25       3.90 r    0.80
  comp_top_level/Multiplier_1/U28/Q (XNOR2X1_HVT)          0.38       4.28 r    0.80
  comp_top_level/Multiplier_1/U206/QN (NAND2X0_HVT)        0.15       4.42 f    0.80
  comp_top_level/Multiplier_1/U35/QN (OAI21X1_HVT)         0.30       4.73 r    0.80
```

```
  comp_top_level/Multiplier_1/U239/Q (OR2X1_HVT)          0.19       4.92 r    0.80
  comp_top_level/Multiplier_1/U11/QN (NAND2X0_HVT)        0.11       5.03 f    0.80
  comp_top_level/Multiplier_1/U9/QN (NAND2X0_HVT)         0.13       5.16 r    0.80
  comp_top_level/Multiplier_1/U4/QN (NAND2X0_HVT)         0.15       5.31 f    0.80
  comp_top_level/Multiplier_1/U36/QN (NAND2X0_HVT)        0.15       5.47 r    0.80
  comp_top_level/Multiplier_1/intadd_9/U4/CO (FADDX1_HVT)
                                                          0.44       5.90 r    0.80
  comp_top_level/Multiplier_1/U13/QN (NAND2X0_HVT)        0.14       6.04 f    0.80
  comp_top_level/Multiplier_1/U56/QN (NAND2X0_HVT)        0.13       6.17 r    0.80
  comp_top_level/Multiplier_1/U160/Q (AO22X1_HVT)         0.27       6.45 r    0.80
  comp_top_level/Multiplier_1/U161/Q (XNOR2X1_HVT)        0.37       6.82 r    0.80
  comp_top_level/Multiplier_1/O[14] (Multiplier_nbit8)
                                                          0.00       6.82 r
  comp_top_level/snps_PD2__iso_cell_PD2_snps_O[14]_UPF_ISO/Q (LSUPENX2)
                                                          0.22       7.04 r    1.20
  comp_top_level/U5/Q (AND2X1_HVT)                        0.11       7.15 r    1.20
  comp_top_level/ff_out/D[14] (Reg_nbit16)                0.00       7.15 r
  comp_top_level/ff_out/CELL_14/FLIPFLOP_0/QTemp_reg/D (RDFFARX1_HVT)
                                                          0.03       7.18 r    1.20
  data arrival time                                                  7.18

  clock MYclk (rise edge)                                 5.00       5.00
  clock network delay (ideal)                             0.00       5.00
  comp_top_level/ff_out/CELL_14/FLIPFLOP_0/QTemp_reg/CLK (RDFFARX1_HVT)
                                                          0.00       5.00 r
  library setup time                                     -0.06       4.94
  data required time                                                 4.94
  -------------------------------------------------------------------------------
  data required time                                                 4.94
  data arrival time                                                 -7.18
  -------------------------------------------------------------------------------
  slack (VIOLATED)                                                  -2.24
```

Report timing: adder @ 0.8 V**, multiplier @** 1.2 V

```
****************************************
Report : timing
        -path full
        -delay max
        -max_paths 1
Design : dummyALU
Version: S-2021.06-SP4
Date   : Mon Jun  3 18:08:14 2024
****************************************
Wire Load Model Mode: enclosed

  Startpoint: comp_top_level/ff_mul_in_b/CELL_0/FLIPFLOP_0/QTemp_reg
              (rising edge-triggered flip-flop clocked by MYclk)
  Endpoint: comp_top_level/ff_out/CELL_14/FLIPFLOP_0/QTemp_reg
            (rising edge-triggered flip-flop clocked by MYclk)
  Path Group: MYclk
  Path Type: max

  Des/Clust/Port     Wire Load Model       Library
  ------------------------------------------------
  dummyALU           8000                  saed90nm_typ_lvt
  top_level          8000                  saed90nm_typ_lvt
  Multiplier_nbit8   8000                  saed90nm_typ_lvt
```

```

  Point                                                   Incr       Path      Voltage
  ---------------------------------------------------------------------------------------
  clock MYclk (rise edge)                                 0.00       0.00
  clock network delay (ideal)                             0.00       0.00
  comp_top_level/ff_mul_in_b/CELL_0/FLIPFLOP_0/QTemp_reg/CLK (RDFFARX1_HVT)
                                                          0.00       0.00 r    1.20
  comp_top_level/ff_mul_in_b/CELL_0/FLIPFLOP_0/QTemp_reg/Q (RDFFARX1_HVT)
                                                          0.18       0.18 r    1.20
  comp_top_level/ff_mul_in_b/Q[0] (Reg_nbit8_0)           0.00       0.18 r
  comp_top_level/Multiplier_1/B[0] (Multiplier_nbit8)     0.00       0.18 r
  comp_top_level/Multiplier_1/B[0]_UPF_LS/Q (LSDNSSX2)
                                                          0.13       0.31 r    1.20
  comp_top_level/Multiplier_1/U59/Q (AND2X1_HVT)          0.15       0.46 r    1.20
  comp_top_level/Multiplier_1/U241/QN (NAND3X0_HVT)       0.12       0.58 f    1.20
  comp_top_level/Multiplier_1/U53/Q (XNOR2X1_HVT)         0.21       0.79 r    1.20
  comp_top_level/Multiplier_1/U245/QN (NOR2X0_HVT)        0.11       0.90 f    1.20
  comp_top_level/Multiplier_1/U246/Q (AO21X1_HVT)         0.13       1.03 f    1.20
  comp_top_level/Multiplier_1/U248/Q (XOR2X1_HVT)         0.18       1.21 f    1.20
  comp_top_level/Multiplier_1/U249/QN (NOR2X0_HVT)        0.10       1.32 r    1.20
  comp_top_level/Multiplier_1/U250/Q (AO21X1_HVT)         0.13       1.45 r    1.20
  comp_top_level/Multiplier_1/U252/Q (XOR2X1_HVT)         0.19       1.64 f    1.20
  comp_top_level/Multiplier_1/U253/QN (NOR2X0_HVT)        0.10       1.74 r    1.20
  comp_top_level/Multiplier_1/U254/Q (AO21X1_HVT)         0.13       1.87 r    1.20
  comp_top_level/Multiplier_1/U256/Q (XOR2X1_HVT)         0.19       2.06 f    1.20
  comp_top_level/Multiplier_1/U257/QN (NOR2X0_HVT)        0.10       2.16 r    1.20
  comp_top_level/Multiplier_1/U258/Q (AO21X1_HVT)         0.13       2.29 r    1.20
  comp_top_level/Multiplier_1/U32/Q (XOR2X1_HVT)          0.19       2.48 f    1.20
  comp_top_level/Multiplier_1/U260/QN (NOR2X0_HVT)        0.10       2.58 r    1.20
  comp_top_level/Multiplier_1/U261/Q (AO21X1_HVT)         0.13       2.72 r    1.20
  comp_top_level/Multiplier_1/U263/Q (XOR2X1_HVT)         0.19       2.90 f    1.20
  comp_top_level/Multiplier_1/U265/QN (NOR2X0_HVT)        0.10       3.01 r    1.20
  comp_top_level/Multiplier_1/U266/Q (AO21X1_HVT)         0.13       3.13 r    1.20
  comp_top_level/Multiplier_1/U37/QN (NAND2X0_HVT)        0.11       3.24 f    1.20
  comp_top_level/Multiplier_1/U11/QN (NAND2X0_HVT)        0.09       3.33 r    1.20
  comp_top_level/Multiplier_1/U9/QN (NAND2X0_HVT)         0.10       3.43 f    1.20
  comp_top_level/Multiplier_1/U4/QN (NAND2X0_HVT)         0.08       3.51 r    1.20
  comp_top_level/Multiplier_1/U36/QN (NAND2X0_HVT)        0.11       3.62 f    1.20
  comp_top_level/Multiplier_1/intadd_9/U4/CO (FADDX1_HVT)
                                                          0.30       3.92 f    1.20
  comp_top_level/Multiplier_1/U13/QN (NAND2X0_HVT)        0.08       3.99 r    1.20
  comp_top_level/Multiplier_1/U56/QN (NAND2X0_HVT)        0.10       4.09 f    1.20
  comp_top_level/Multiplier_1/U160/Q (AO22X1_HVT)         0.15       4.24 f    1.20
  comp_top_level/Multiplier_1/U161/Q (XNOR2X1_HVT)        0.22       4.46 r    1.20
  comp_top_level/Multiplier_1/O[14] (Multiplier_nbit8)
                                                          0.00       4.46 r
  comp_top_level/snps_PD2__iso_cell_PD2_snps_O[14]_UPF_ISO/Q (LSUPENX2)
                                                          0.11       4.57 r    1.20
  comp_top_level/U5/Q (AND2X1_HVT)                        0.11       4.67 r    1.20
  comp_top_level/ff_out/D[14] (Reg_nbit16)                0.00       4.67 r
  comp_top_level/ff_out/CELL_14/FLIPFLOP_0/QTemp_reg/D (RDFFARX1_HVT)
                                                          0.03       4.70 r    1.20
  data arrival time                                                  4.70

  clock MYclk (rise edge)                                 5.00       5.00
  clock network delay (ideal)                             0.00       5.00
  comp_top_level/ff_out/CELL_14/FLIPFLOP_0/QTemp_reg/CLK (RDFFARX1_HVT)
                                                          0.00       5.00 r
  library setup time                                     -0.06       4.94
```

```
  data required time                                                    4.94
  -------------------------------------------------------------------------------
  data required time                                                    4.94
  data arrival time                                                    -4.70
  -------------------------------------------------------------------------------
  slack (MET)                                                           0.24
```

Report timing: adder @ 1.2 V, multiplier @ 0.8 V

```
****************************************
Report : timing
        -path full
        -delay max
        -max_paths 1
Design : dummyALU
Version: S-2021.06-SP4
Date   : Mon Jun  3 18:08:16 2024
****************************************
Wire Load Model Mode: enclosed

  Startpoint: comp_top_level/ff_mul_in_b/CELL_1/FLIPFLOP_0/QTemp_reg
              (rising edge-triggered flip-flop clocked by MYclk)
  Endpoint: comp_top_level/ff_out/CELL_14/FLIPFLOP_0/QTemp_reg
            (rising edge-triggered flip-flop clocked by MYclk)
  Path Group: MYclk
  Path Type: max

  Des/Clust/Port     Wire Load Model       Library
  ------------------------------------------------
  dummyALU           8000                  saed90nm_typ_lvt
  top_level          8000                  saed90nm_typ_lvt
  Multiplier_nbit8   8000                  saed90nm_typ_lvt

  Point                                                    Incr       Path      Voltage
  -------------------------------------------------------------------------------
  clock MYclk (rise edge)                                  0.00       0.00
  clock network delay (ideal)                              0.00       0.00
  comp_top_level/ff_mul_in_b/CELL_1/FLIPFLOP_0/QTemp_reg/CLK (RDFFARX1_HVT)
                                                           0.00       0.00 r    1.20
  comp_top_level/ff_mul_in_b/CELL_1/FLIPFLOP_0/QTemp_reg/Q (RDFFARX1_HVT)
                                                           0.17       0.17 f    1.20
  comp_top_level/ff_mul_in_b/Q[1] (Reg_nbit8_0)            0.00       0.17 f
  comp_top_level/Multiplier_1/B[1] (Multiplier_nbit8)      0.00       0.17 f
  comp_top_level/Multiplier_1/B[1]_UPF_LS/Q (LSDNSSX2_HVT)
                                                           0.22       0.39 f    0.80
  comp_top_level/Multiplier_1/U101/ZN (INVX0_HVT)          0.19       0.58 r    0.80
  comp_top_level/Multiplier_1/U164/QN (NOR2X0_HVT)         0.18       0.76 f    0.80
  comp_top_level/Multiplier_1/U166/Q (OA21X1_HVT)          0.26       1.02 f    0.80
  comp_top_level/Multiplier_1/U167/QN (NAND2X0_HVT)        0.11       1.13 r    0.80
  comp_top_level/Multiplier_1/U168/Q (OA21X1_HVT)          0.23       1.35 r    0.80
  comp_top_level/Multiplier_1/U50/Q (XOR2X1_HVT)           0.30       1.65 r    0.80
  comp_top_level/Multiplier_1/U175/QN (NAND2X0_HVT)        0.13       1.79 f    0.80
  comp_top_level/Multiplier_1/U176/Q (OA21X1_HVT)          0.21       2.00 f    0.80
  comp_top_level/Multiplier_1/U23/Q (XOR2X1_HVT)           0.30       2.30 r    0.80
  comp_top_level/Multiplier_1/U183/QN (NAND2X0_HVT)        0.13       2.43 f    0.80
  comp_top_level/Multiplier_1/U184/Q (OA21X1_HVT)          0.21       2.64 f    0.80
  comp_top_level/Multiplier_1/U20/Q (XOR2X1_HVT)           0.30       2.94 r    0.80
  comp_top_level/Multiplier_1/U191/QN (NAND2X0_HVT)        0.13       3.08 f    0.80
```

```
  comp_top_level/Multiplier_1/U192/Q (OA21X1_HVT)         0.21       3.29 f    0.80
  comp_top_level/Multiplier_1/U51/Q (XNOR2X1_HVT)         0.36       3.65 r    0.80
  comp_top_level/Multiplier_1/U47/Q (OA22X1_HVT)          0.25       3.90 r    0.80
  comp_top_level/Multiplier_1/U28/Q (XNOR2X1_HVT)         0.38       4.28 r    0.80
  comp_top_level/Multiplier_1/U206/QN (NAND2X0_HVT)       0.15       4.42 f    0.80
  comp_top_level/Multiplier_1/U35/QN (OAI21X1_HVT)        0.30       4.73 r    0.80
  comp_top_level/Multiplier_1/U239/Q (OR2X1_HVT)          0.19       4.92 r    0.80
  comp_top_level/Multiplier_1/U11/QN (NAND2X0_HVT)        0.11       5.03 f    0.80
  comp_top_level/Multiplier_1/U9/QN (NAND2X0_HVT)         0.13       5.16 r    0.80
  comp_top_level/Multiplier_1/U4/QN (NAND2X0_HVT)         0.15       5.31 f    0.80
  comp_top_level/Multiplier_1/U36/QN (NAND2X0_HVT)        0.15       5.47 r    0.80
  comp_top_level/Multiplier_1/intadd_9/U4/CO (FADDX1_HVT)
                                                          0.44       5.90 r    0.80
  comp_top_level/Multiplier_1/U13/QN (NAND2X0_HVT)        0.14       6.04 f    0.80
  comp_top_level/Multiplier_1/U56/QN (NAND2X0_HVT)        0.13       6.17 r    0.80
  comp_top_level/Multiplier_1/U160/Q (AO22X1_HVT)         0.27       6.45 r    0.80
  comp_top_level/Multiplier_1/U161/Q (XNOR2X1_HVT)        0.37       6.82 r    0.80
  comp_top_level/Multiplier_1/O[14] (Multiplier_nbit8)
                                                          0.00       6.82 r
  comp_top_level/snps_PD2__iso_cell_PD2_snps_O[14]_UPF_ISO/Q (LSUPENX2)
                                                          0.22       7.04 r    1.20
  comp_top_level/U5/Q (AND2X1_HVT)                        0.11       7.15 r    1.20
  comp_top_level/ff_out/D[14] (Reg_nbit16)                0.00       7.15 r
  comp_top_level/ff_out/CELL_14/FLIPFLOP_0/QTemp_reg/D (RDFFARX1_HVT)
                                                          0.03       7.18 r    1.20
  data arrival time                                                  7.18

  clock MYclk (rise edge)                                 5.00       5.00
  clock network delay (ideal)                             0.00       5.00
  comp_top_level/ff_out/CELL_14/FLIPFLOP_0/QTemp_reg/CLK (RDFFARX1_HVT)
                                                          0.00       5.00 r
  library setup time                                     -0.06       4.94
  data required time                                                 4.94
  -------------------------------------------------------------------------------
  data required time                                                 4.94
  data arrival time                                                 -7.18
  -------------------------------------------------------------------------------
  slack (VIOLATED)                                                  -2.24
```

Report timing: adder @ 1.2 V, multiplier @ 1.2 V

```
****************************************
Report : timing
        -path full
        -delay max
        -max_paths 1
Design : dummyALU
Version: S-2021.06-SP4
Date   : Mon Jun  3 18:08:13 2024
****************************************
Wire Load Model Mode: enclosed

  Startpoint: comp_top_level/ff_mul_in_b/CELL_0/FLIPFLOP_0/QTemp_reg
              (rising edge-triggered flip-flop clocked by MYclk)
  Endpoint: comp_top_level/ff_out/CELL_14/FLIPFLOP_0/QTemp_reg
            (rising edge-triggered flip-flop clocked by MYclk)
  Path Group: MYclk
  Path Type: max
```

```

    Des/Clust/Port     Wire Load Model       Library
    ------------------------------------------------
    dummyALU           8000                  saed90nm_typ_lvt
    top_level          8000                  saed90nm_typ_lvt
    Multiplier_nbit8   8000                  saed90nm_typ_lvt

    Point                                                   Incr       Path      Voltage
    ---------------------------------------------------------------------------------------
    clock MYclk (rise edge)                                 0.00       0.00
    clock network delay (ideal)                             0.00       0.00
    comp_top_level/ff_mul_in_b/CELL_0/FLIPFLOP_0/QTemp_reg/CLK (RDFFARX1_HVT)
                                                            0.00       0.00 r    1.20
    comp_top_level/ff_mul_in_b/CELL_0/FLIPFLOP_0/QTemp_reg/Q (RDFFARX1_HVT)
                                                            0.18       0.18 r    1.20
    comp_top_level/ff_mul_in_b/Q[0] (Reg_nbit8_0)           0.00       0.18 r
    comp_top_level/Multiplier_1/B[0] (Multiplier_nbit8)     0.00       0.18 r
    comp_top_level/Multiplier_1/B[0]_UPF_LS/Q (LSDNSSX2)
                                                            0.13       0.31 r    1.20
    comp_top_level/Multiplier_1/U59/Q (AND2X1_HVT)          0.15       0.46 r    1.20
    comp_top_level/Multiplier_1/U241/QN (NAND3X0_HVT)       0.12       0.58 f    1.20
    comp_top_level/Multiplier_1/U53/Q (XNOR2X1_HVT)         0.21       0.79 r    1.20
    comp_top_level/Multiplier_1/U245/QN (NOR2X0_HVT)        0.11       0.90 f    1.20
    comp_top_level/Multiplier_1/U246/Q (AO21X1_HVT)         0.13       1.03 f    1.20
    comp_top_level/Multiplier_1/U248/Q (XOR2X1_HVT)         0.18       1.21 f    1.20
    comp_top_level/Multiplier_1/U249/QN (NOR2X0_HVT)        0.10       1.32 r    1.20
    comp_top_level/Multiplier_1/U250/Q (AO21X1_HVT)         0.13       1.45 r    1.20
    comp_top_level/Multiplier_1/U252/Q (XOR2X1_HVT)         0.19       1.64 f    1.20
    comp_top_level/Multiplier_1/U253/QN (NOR2X0_HVT)        0.10       1.74 r    1.20
    comp_top_level/Multiplier_1/U254/Q (AO21X1_HVT)         0.13       1.87 r    1.20
    comp_top_level/Multiplier_1/U256/Q (XOR2X1_HVT)         0.19       2.06 f    1.20
    comp_top_level/Multiplier_1/U257/QN (NOR2X0_HVT)        0.10       2.16 r    1.20
    comp_top_level/Multiplier_1/U258/Q (AO21X1_HVT)         0.13       2.29 r    1.20
    comp_top_level/Multiplier_1/U32/Q (XOR2X1_HVT)          0.19       2.48 f    1.20
    comp_top_level/Multiplier_1/U260/QN (NOR2X0_HVT)        0.10       2.58 r    1.20
    comp_top_level/Multiplier_1/U261/Q (AO21X1_HVT)         0.13       2.72 r    1.20
    comp_top_level/Multiplier_1/U263/Q (XOR2X1_HVT)         0.19       2.90 f    1.20
    comp_top_level/Multiplier_1/U265/QN (NOR2X0_HVT)        0.10       3.01 r    1.20
    comp_top_level/Multiplier_1/U266/Q (AO21X1_HVT)         0.13       3.13 r    1.20
    comp_top_level/Multiplier_1/U37/QN (NAND2X0_HVT)        0.11       3.24 f    1.20
    comp_top_level/Multiplier_1/U11/QN (NAND2X0_HVT)        0.09       3.33 r    1.20
    comp_top_level/Multiplier_1/U9/QN (NAND2X0_HVT)         0.10       3.43 f    1.20
    comp_top_level/Multiplier_1/U4/QN (NAND2X0_HVT)         0.08       3.51 r    1.20
    comp_top_level/Multiplier_1/U36/QN (NAND2X0_HVT)        0.11       3.62 f    1.20
    comp_top_level/Multiplier_1/intadd_9/U4/CO (FADDX1_HVT)
                                                            0.30       3.92 f    1.20
    comp_top_level/Multiplier_1/U13/QN (NAND2X0_HVT)        0.08       3.99 r    1.20
    comp_top_level/Multiplier_1/U56/QN (NAND2X0_HVT)        0.10       4.09 f    1.20
    comp_top_level/Multiplier_1/U160/Q (AO22X1_HVT)         0.15       4.24 f    1.20
    comp_top_level/Multiplier_1/U161/Q (XNOR2X1_HVT)        0.22       4.46 r    1.20
    comp_top_level/Multiplier_1/O[14] (Multiplier_nbit8)
                                                            0.00       4.46 r
    comp_top_level/snps_PD2__iso_cell_PD2_snps_O[14]_UPF_ISO/Q (LSUPENX2)
                                                            0.11       4.57 r    1.20
    comp_top_level/U5/Q (AND2X1_HVT)                        0.11       4.67 r    1.20
    comp_top_level/ff_out/D[14] (Reg_nbit16)                0.00       4.67 r
    comp_top_level/ff_out/CELL_14/FLIPFLOP_0/QTemp_reg/D (RDFFARX1_HVT)
                                                            0.03       4.70 r    1.20
    data arrival time                                                  4.70
```

```

  clock MYclk (rise edge)                                  5.00       5.00
  clock network delay (ideal)                              0.00       5.00
  comp_top_level/ff_out/CELL_14/FLIPFLOP_0/QTemp_reg/CLK (RDFFARX1_HVT)
                                                           0.00       5.00 r
  library setup time                                      -0.06       4.94
  data required time                                                  4.94
  -------------------------------------------------------------------------------
  data required time                                                  4.94
  data arrival time                                                  -4.70
  -------------------------------------------------------------------------------
  slack (MET)                                                         0.24
```

Report area: adder @ 0.8 V**, multiplier @** 0.8 V

```
****************************************
Report : area
Design : dummyALU
Version: S-2021.06-SP4
Date   : Mon Jun  3 18:08:17 2024
****************************************

Library(s) Used:

    saed90nm_typ_hvt (File: /eda/dk/SAED_EDK90nm/Digital_Standard_cell_Library/synopsys /models/saed90nm_typ_hvt.db)
    saed90nm_typ_nthn_hvt_lsh (File: /eda/dk/SAED_EDK90nm/Digital_Standard_cell_Library /synopsys/models/level_shifters/saed90nm_typ_nthn_hvt_lsh.db)
    saed90nm_typ_nthn_lsh (File: /eda/dk/SAED_EDK90nm/Digital_Standard_cell_Library/sy nopsys/models/level_shifters/saed90nm_typ_nthn_lsh.db)
    saed90nm_typ_ntl_hvt (File: /eda/dk/SAED_EDK90nm/Digital_Standard_cell_Library/syno psys/models/saed90nm_typ_ntl_hvt.db)
    saed90nm_typ_nthn_hvt_lshss (File: /eda/dk/SAED_EDK90nm/Digital_Standard_cell_Libra ry/synopsys/models/level_shifters_ss/saed90nm_typ_nthn_hvt_lshss.db)
    saed90nm_typ_ntl (File: /eda/dk/SAED_EDK90nm/Digital_Standard_cell_Library/synopsys /models/saed90nm_typ_ntl.db)
    saed90nm_typ_nthn_lshss (File: /eda/dk/SAED_EDK90nm/Digital_Standard_cell_Library/s ynopsys/models/level_shifters_ss/saed90nm_typ_nthn_lshss.db)
    saed90nm_typ_rdr_hvt (File: /eda/dk/SAED_EDK90nm/Digital_Standard_cell_Library/syno psys/models/retention/with_async_reset/saed90nm_typ_rdr_hvt.db)

Number of ports:                          250
Number of nets:                           703
Number of cells:                          473
Number of combinational cells:            409
Number of sequential cells:                54
Number of macros/black boxes:               0
Number of buf/inv:                         27
Number of references:                       5

Combinational area:               4283.596841
Buf/Inv area:                      149.299204
Noncombinational area:            3120.537600
Macro/Black Box area:                0.000000
Net Interconnect area:             287.595362

Total cell area:                  7404.134440
Total area:                       7691.729802
```

```

Hierarchical area distribution
------------------------------

                                  Global cell area          Local cell area
                                  ------------------  ----------------------------
Hierarchical cell                 Absolute   Percent  Combi-     Noncombi-  Black-
                                  Total      Total    national   national   boxes
                                  ↪  Design
--------------------------------  ---------  -------  ---------  ---------  ------
dummyALU                          7404.1344    100.0    18.4320   124.4160  0.0000
↪  dummyALU
comp_top_level                    7261.2864     98.1   923.4432    32.2560  0.0000
↪  top_level
comp_top_level/Adder_1             305.9712      4.1   305.9712     0.0000  0.0000
↪  Adder_nbit8
comp_top_level/Multiplier_1       2681.8560     36.2  2681.8560     0.0000  0.0000
↪  Multiplier_nbit8
comp_top_level/ff_mul_in_a         582.4512      7.9    88.4736   493.9776  0.0000
↪  Reg_nbit8_1
comp_top_level/ff_mul_in_b         582.4512      7.9    88.4736   493.9776  0.0000
↪  Reg_nbit8_0
comp_top_level/ff_out              987.9552     13.3     0.0000   987.9552  0.0000
↪  Reg_nbit16
comp_top_level/ff_sum_in_a         582.4512      7.9    88.4736   493.9776  0.0000
↪  Reg_nbit8_3
comp_top_level/ff_sum_in_b         582.4512      7.9    88.4736   493.9776  0.0000
↪  Reg_nbit8_2
--------------------------------  ---------  -------  ---------  ---------  ------
Total                                                 4283.5968  3120.5376  0.0000
```

Report area: adder @ 0.8 V**, multiplier @** 1.2 V

```
****************************************
Report : area
Design : dummyALU
Version: S-2021.06-SP4
Date   : Mon Jun  3 18:08:14 2024
****************************************

Library(s) Used:

    saed90nm_typ_hvt (File: /eda/dk/SAED_EDK90nm/Digital_Standard_cell_Library/synopsys
    ↪  /models/saed90nm_typ_hvt.db)
    saed90nm_typ_nthh_hvt_lsh (File: /eda/dk/SAED_EDK90nm/Digital_Standard_cell_Library
    ↪  /synopsys/models/level_shifters/saed90nm_typ_nthh_hvt_lsh.db)
    saed90nm_typ_nthh_lsh (File: /eda/dk/SAED_EDK90nm/Digital_Standard_cell_Library/sy
    ↪  nopsys/models/level_shifters/saed90nm_typ_nthh_lsh.db)
    saed90nm_typ_nthn_hvt_lsh (File: /eda/dk/SAED_EDK90nm/Digital_Standard_cell_Library
    ↪  /synopsys/models/level_shifters/saed90nm_typ_nthn_hvt_lsh.db)
    saed90nm_typ_ntl_hvt (File: /eda/dk/SAED_EDK90nm/Digital_Standard_cell_Library/syno
    ↪  psys/models/saed90nm_typ_ntl_hvt.db)
    saed90nm_typ_nthn_hvt_lshss (File: /eda/dk/SAED_EDK90nm/Digital_Standard_cell_Libra
    ↪  ry/synopsys/models/level_shifters_ss/saed90nm_typ_nthn_hvt_lshss.db)
    saed90nm_typ (File: /eda/dk/SAED_EDK90nm/Digital_Standard_cell_Library/synopsys/mo
    ↪  dels/saed90nm_typ.db)
    saed90nm_typ_nthh_lshss (File: /eda/dk/SAED_EDK90nm/Digital_Standard_cell_Library/s
    ↪  ynopsys/models/level_shifters_ss/saed90nm_typ_nthh_lshss.db)
```

```
    saed90nm_typ_nthh_hvt_lshss (File: /eda/dk/SAED_EDK90nm/Digital_Standard_cell_Library/synopsys/models/level_shifters_ss/saed90nm_typ_nthh_hvt_lshss.db)
    saed90nm_typ_rdr_hvt (File: /eda/dk/SAED_EDK90nm/Digital_Standard_cell_Library/synopsys/models/retention/with_async_reset/saed90nm_typ_rdr_hvt.db)

Number of ports:                          250
Number of nets:                           703
Number of cells:                          473
Number of combinational cells:            409
Number of sequential cells:                54
Number of macros/black boxes:               0
Number of buf/inv:                         27
Number of references:                       5

Combinational area:               4283.596841
Buf/Inv area:                      149.299204
Noncombinational area:            3120.537600
Macro/Black Box area:                0.000000
Net Interconnect area:             287.595362

Total cell area:                  7404.134440
Total area:                       7691.729802

Hierarchical area distribution
------------------------------

                                  Global cell area          Local cell area
                                  ------------------  ----------------------------
Hierarchical cell                 Absolute   Percent  Combi-     Noncombi-  Black-
                                  Total      Total    national   national   boxes
                                  ↪  Design
--------------------------------  ---------  -------  ---------  ---------  ------
dummyALU                          7404.1344    100.0    18.4320   124.4160  0.0000
↪  dummyALU
comp_top_level                    7261.2864     98.1   923.4432    32.2560  0.0000
↪  top_level
comp_top_level/Adder_1             305.9712      4.1   305.9712     0.0000  0.0000
↪  Adder_nbit8
comp_top_level/Multiplier_1       2681.8560     36.2  2681.8560     0.0000  0.0000
↪  Multiplier_nbit8
comp_top_level/ff_mul_in_a         582.4512      7.9    88.4736   493.9776  0.0000
↪  Reg_nbit8_1
comp_top_level/ff_mul_in_b         582.4512      7.9    88.4736   493.9776  0.0000
↪  Reg_nbit8_0
comp_top_level/ff_out              987.9552     13.3     0.0000   987.9552  0.0000
↪  Reg_nbit16
comp_top_level/ff_sum_in_a         582.4512      7.9    88.4736   493.9776  0.0000
↪  Reg_nbit8_3
comp_top_level/ff_sum_in_b         582.4512      7.9    88.4736   493.9776  0.0000
↪  Reg_nbit8_2
--------------------------------  ---------  -------  ---------  ---------  ------
Total                                                 4283.5968  3120.5376  0.0000
```

Report area: adder @ 1.2 V, **multiplier @** 0.8 V

```
****************************************
Report : area
Design : dummyALU
```

```
Version: S-2021.06-SP4
Date   : Mon Jun  3 18:08:16 2024
****************************************

Library(s) Used:

    saed90nm_typ_hvt (File: /eda/dk/SAED_EDK90nm/Digital_Standard_cell_Library/synopsys
    ↪  /models/saed90nm_typ_hvt.db)
    saed90nm_typ_nthn_hvt_lsh (File: /eda/dk/SAED_EDK90nm/Digital_Standard_cell_Library
    ↪  /synopsys/models/level_shifters/saed90nm_typ_nthn_hvt_lsh.db)
    saed90nm_typ_nthn_lsh (File: /eda/dk/SAED_EDK90nm/Digital_Standard_cell_Library/sy
    ↪  nopsys/models/level_shifters/saed90nm_typ_nthn_lsh.db)
    saed90nm_typ_nthh_hvt_lsh (File: /eda/dk/SAED_EDK90nm/Digital_Standard_cell_Library
    ↪  /synopsys/models/level_shifters/saed90nm_typ_nthh_hvt_lsh.db)
    saed90nm_typ_nthh_hvt_lshss (File: /eda/dk/SAED_EDK90nm/Digital_Standard_cell_Libra
    ↪  ry/synopsys/models/level_shifters_ss/saed90nm_typ_nthh_hvt_lshss.db)
    saed90nm_typ_ntl_hvt (File: /eda/dk/SAED_EDK90nm/Digital_Standard_cell_Library/syno
    ↪  psys/models/saed90nm_typ_ntl_hvt.db)
    saed90nm_typ_ntl (File: /eda/dk/SAED_EDK90nm/Digital_Standard_cell_Library/synopsys
    ↪  /models/saed90nm_typ_ntl.db)
    saed90nm_typ_nthn_lshss (File: /eda/dk/SAED_EDK90nm/Digital_Standard_cell_Library/s
    ↪  ynopsys/models/level_shifters_ss/saed90nm_typ_nthn_lshss.db)
    saed90nm_typ_nthn_hvt_lshss (File: /eda/dk/SAED_EDK90nm/Digital_Standard_cell_Libra
    ↪  ry/synopsys/models/level_shifters_ss/saed90nm_typ_nthn_hvt_lshss.db)
    saed90nm_typ_rdr_hvt (File: /eda/dk/SAED_EDK90nm/Digital_Standard_cell_Library/syno
    ↪  psys/models/retention/with_async_reset/saed90nm_typ_rdr_hvt.db)

Number of ports:                          250
Number of nets:                           703
Number of cells:                          473
Number of combinational cells:            409
Number of sequential cells:                54
Number of macros/black boxes:               0
Number of buf/inv:                         27
Number of references:                       5

Combinational area:               4283.596841
Buf/Inv area:                      149.299204
Noncombinational area:            3120.537600
Macro/Black Box area:                0.000000
Net Interconnect area:             287.595362

Total cell area:                  7404.134440
Total area:                       7691.729802

Hierarchical area distribution
------------------------------

                                  Global cell area          Local cell area
                                  ------------------  ----------------------------
Hierarchical cell                 Absolute   Percent  Combi-     Noncombi-  Black-
                                  Total      Total    national   national   boxes
                                  ↪  Design
--------------------------------  ---------  -------  ---------  ---------  ------
dummyALU                          7404.1344    100.0    18.4320   124.4160  0.0000
↪  dummyALU
comp_top_level                    7261.2864     98.1   923.4432    32.2560  0.0000
↪  top_level
```

```
comp_top_level/Adder_1              305.9712      4.1   305.9712     0.0000  0.0000
↪  Adder_nbit8
comp_top_level/Multiplier_1        2681.8560     36.2  2681.8560     0.0000  0.0000
↪  Multiplier_nbit8
comp_top_level/ff_mul_in_a          582.4512      7.9    88.4736   493.9776  0.0000
↪  Reg_nbit8_1
comp_top_level/ff_mul_in_b          582.4512      7.9    88.4736   493.9776  0.0000
↪  Reg_nbit8_0
comp_top_level/ff_out               987.9552     13.3     0.0000   987.9552  0.0000
↪  Reg_nbit16
comp_top_level/ff_sum_in_a          582.4512      7.9    88.4736   493.9776  0.0000
↪  Reg_nbit8_3
comp_top_level/ff_sum_in_b          582.4512      7.9    88.4736   493.9776  0.0000
↪  Reg_nbit8_2
--------------------------------  ---------  -------  ---------  ---------  ------
Total                                                  4283.5968  3120.5376  0.0000
```

Report area: adder @ 1.2 V**, multiplier @** 1.2 V

```
****************************************
Report : area
Design : dummyALU
Version: S-2021.06-SP4
Date   : Mon Jun  3 18:08:13 2024
****************************************

Library(s) Used:

    saed90nm_typ_hvt (File: /eda/dk/SAED_EDK90nm/Digital_Standard_cell_Library/synopsys
    ↪  /models/saed90nm_typ_hvt.db)
    saed90nm_typ_nthh_hvt_lsh (File: /eda/dk/SAED_EDK90nm/Digital_Standard_cell_Library
    ↪  /synopsys/models/level_shifters/saed90nm_typ_nthh_hvt_lsh.db)
    saed90nm_typ_nthh_lsh (File: /eda/dk/SAED_EDK90nm/Digital_Standard_cell_Library/sy
    ↪  nopsys/models/level_shifters/saed90nm_typ_nthh_lsh.db)
    saed90nm_typ_nthh_hvt_lshss (File: /eda/dk/SAED_EDK90nm/Digital_Standard_cell_Libra
    ↪  ry/synopsys/models/level_shifters_ss/saed90nm_typ_nthh_hvt_lshss.db)
    saed90nm_typ (File: /eda/dk/SAED_EDK90nm/Digital_Standard_cell_Library/synopsys/mo
    ↪  dels/saed90nm_typ.db)
    saed90nm_typ_nthh_lshss (File: /eda/dk/SAED_EDK90nm/Digital_Standard_cell_Library/s
    ↪  ynopsys/models/level_shifters_ss/saed90nm_typ_nthh_lshss.db)
    saed90nm_typ_rdr_hvt (File: /eda/dk/SAED_EDK90nm/Digital_Standard_cell_Library/syno
    ↪  psys/models/retention/with_async_reset/saed90nm_typ_rdr_hvt.db)

Number of ports:                          250
Number of nets:                           703
Number of cells:                          473
Number of combinational cells:            409
Number of sequential cells:                54
Number of macros/black boxes:               0
Number of buf/inv:                         27
Number of references:                       5

Combinational area:               4283.596841
Buf/Inv area:                      149.299204
Noncombinational area:            3120.537600
Macro/Black Box area:                0.000000
Net Interconnect area:             287.595362

```

```
Total cell area:                  7404.134440
Total area:                       7691.729802

Hierarchical area distribution
------------------------------

                                  Global cell area          Local cell area
                                  ------------------  ----------------------------
Hierarchical cell                 Absolute   Percent  Combi-     Noncombi-  Black-
                                  Total      Total    national   national   boxes
                                  ↪  Design
--------------------------------  ---------  -------  ---------  ---------  ------
dummyALU                          7404.1344    100.0    18.4320   124.4160  0.0000
↪  dummyALU
comp_top_level                    7261.2864     98.1   923.4432    32.2560  0.0000
↪  top_level
comp_top_level/Adder_1             305.9712      4.1   305.9712     0.0000  0.0000
↪  Adder_nbit8
comp_top_level/Multiplier_1       2681.8560     36.2  2681.8560     0.0000  0.0000
↪  Multiplier_nbit8
comp_top_level/ff_mul_in_a         582.4512      7.9    88.4736   493.9776  0.0000
↪  Reg_nbit8_1
comp_top_level/ff_mul_in_b         582.4512      7.9    88.4736   493.9776  0.0000
↪  Reg_nbit8_0
comp_top_level/ff_out              987.9552     13.3     0.0000   987.9552  0.0000
↪  Reg_nbit16
comp_top_level/ff_sum_in_a         582.4512      7.9    88.4736   493.9776  0.0000
↪  Reg_nbit8_3
comp_top_level/ff_sum_in_b         582.4512      7.9    88.4736   493.9776  0.0000
↪  Reg_nbit8_2
--------------------------------  ---------  -------  ---------  ---------  ------
Total                                                 4283.5968  3120.5376  0.0000
```

Report power: adder @ 0.8 V, multiplier @ 0.8 V

```
****************************************
Report : power
        -hier
        -analysis_effort low
Design : dummyALU
Version: S-2021.06-SP4
Date   : Mon Jun  3 18:08:17 2024
****************************************

Library(s) Used:

    saed90nm_typ_hvt (File: /eda/dk/SAED_EDK90nm/Digital_Standard_cell_Library/synopsys
    ↪  /models/saed90nm_typ_hvt.db)
    saed90nm_typ_nthn_hvt_lsh (File: /eda/dk/SAED_EDK90nm/Digital_Standard_cell_Library
    ↪  /synopsys/models/level_shifters/saed90nm_typ_nthn_hvt_lsh.db)
    saed90nm_typ_nthn_lsh (File: /eda/dk/SAED_EDK90nm/Digital_Standard_cell_Library/sy
    ↪  nopsys/models/level_shifters/saed90nm_typ_nthn_lsh.db)
    saed90nm_typ_ntl_hvt (File: /eda/dk/SAED_EDK90nm/Digital_Standard_cell_Library/syno
    ↪  psys/models/saed90nm_typ_ntl_hvt.db)
    saed90nm_typ_nthn_hvt_lshss (File: /eda/dk/SAED_EDK90nm/Digital_Standard_cell_Libra
    ↪  ry/synopsys/models/level_shifters_ss/saed90nm_typ_nthn_hvt_lshss.db)
    saed90nm_typ_ntl (File: /eda/dk/SAED_EDK90nm/Digital_Standard_cell_Library/synopsys
    ↪  /models/saed90nm_typ_ntl.db)
```

```
    saed90nm_typ_nthn_lshss (File: /eda/dk/SAED_EDK90nm/Digital_Standard_cell_Library/s
    ↪  ynopsys/models/level_shifters_ss/saed90nm_typ_nthn_lshss.db)
    saed90nm_typ_rdr_hvt (File: /eda/dk/SAED_EDK90nm/Digital_Standard_cell_Library/syno
    ↪  psys/models/retention/with_async_reset/saed90nm_typ_rdr_hvt.db)

Global Operating Voltage = 1.2
Power-specific unit information :
    Voltage Units = 1V
    Capacitance Units = 1.000000ff
    Time Units = 1ns
    Dynamic Power Units = 1uW    (derived from V,C,T units)
    Leakage Power Units = 1pW

--------------------------------------------------------------------------------
                                        Switch   Int      Leak     Total
Hierarchy                               Power    Power    Power    Power    %
--------------------------------------------------------------------------------
dummyALU                                  11.048   42.752 4.01e+06   57.807 100.0
  comp_top_level (top_level)               9.494   41.107 3.87e+06   54.466  94.2
    Adder_1 (Adder_nbit8)                  0.751    2.257 5.18e+04    3.060   5.3
    Multiplier_1 (Multiplier_nbit8)        4.171   12.009 4.01e+05   16.581  28.7
    ff_out (Reg_nbit16)                 1.46e-03    2.896 7.87e+05    3.684   6.4
    ff_mul_in_b (Reg_nbit8_0)              0.382    3.197 4.93e+05    4.072   7.0
    ff_mul_in_a (Reg_nbit8_1)              0.382    3.113 4.93e+05    3.989   6.9
    ff_sum_in_b (Reg_nbit8_2)              0.374    2.514 4.93e+05    3.381   5.8
    ff_sum_in_a (Reg_nbit8_3)              0.373    2.510 4.93e+05    3.376   5.8
```

Report power: adder @ 0.8 V, multiplier @ 1.2 V

```
****************************************
Report : power
        -hier
        -analysis_effort low
Design : dummyALU
Version: S-2021.06-SP4
Date   : Mon Jun  3 18:08:14 2024
****************************************

Library(s) Used:

    saed90nm_typ_hvt (File: /eda/dk/SAED_EDK90nm/Digital_Standard_cell_Library/synopsys
    ↪  /models/saed90nm_typ_hvt.db)
    saed90nm_typ_nthh_hvt_lsh (File: /eda/dk/SAED_EDK90nm/Digital_Standard_cell_Library
    ↪  /synopsys/models/level_shifters/saed90nm_typ_nthh_hvt_lsh.db)
    saed90nm_typ_nthh_lsh (File: /eda/dk/SAED_EDK90nm/Digital_Standard_cell_Library/sy
    ↪  nopsys/models/level_shifters/saed90nm_typ_nthh_lsh.db)
    saed90nm_typ_nthn_hvt_lsh (File: /eda/dk/SAED_EDK90nm/Digital_Standard_cell_Library
    ↪  /synopsys/models/level_shifters/saed90nm_typ_nthn_hvt_lsh.db)
    saed90nm_typ_ntl_hvt (File: /eda/dk/SAED_EDK90nm/Digital_Standard_cell_Library/syno
    ↪  psys/models/saed90nm_typ_ntl_hvt.db)
    saed90nm_typ_nthn_hvt_lshss (File: /eda/dk/SAED_EDK90nm/Digital_Standard_cell_Libra
    ↪  ry/synopsys/models/level_shifters_ss/saed90nm_typ_nthn_hvt_lshss.db)
    saed90nm_typ (File: /eda/dk/SAED_EDK90nm/Digital_Standard_cell_Library/synopsys/mo
    ↪  dels/saed90nm_typ.db)
    saed90nm_typ_nthh_lshss (File: /eda/dk/SAED_EDK90nm/Digital_Standard_cell_Library/s
    ↪  ynopsys/models/level_shifters_ss/saed90nm_typ_nthh_lshss.db)
    saed90nm_typ_nthh_hvt_lshss (File: /eda/dk/SAED_EDK90nm/Digital_Standard_cell_Libra
    ↪  ry/synopsys/models/level_shifters_ss/saed90nm_typ_nthh_hvt_lshss.db)
```

```
    saed90nm_typ_rdr_hvt (File: /eda/dk/SAED_EDK90nm/Digital_Standard_cell_Library/synopsys/models/retention/with_async_reset/saed90nm_typ_rdr_hvt.db)

Global Operating Voltage = 1.2
Power-specific unit information :
    Voltage Units = 1V
    Capacitance Units = 1.000000ff
    Time Units = 1ns
    Dynamic Power Units = 1uW    (derived from V,C,T units)
    Leakage Power Units = 1pW

--------------------------------------------------------------------------------
                                       Switch   Int      Leak     Total
Hierarchy                              Power    Power    Power    Power    %
--------------------------------------------------------------------------------
dummyALU                                 17.433   59.435 6.21e+06   83.074 100.0
  comp_top_level (top_level)             15.879   57.790 6.06e+06   79.733  96.0
    Adder_1 (Adder_nbit8)                 0.751    2.257 5.18e+04    3.060   3.7
    Multiplier_1 (Multiplier_nbit8)      10.504   28.796 2.53e+06   41.835  50.4
    ff_out (Reg_nbit16)                1.46e-03    2.896 7.87e+05    3.684   4.4
    ff_mul_in_b (Reg_nbit8_0)             0.408    3.234 4.93e+05    4.135   5.0
    ff_mul_in_a (Reg_nbit8_1)             0.408    3.151 4.93e+05    4.052   4.9
    ff_sum_in_b (Reg_nbit8_2)             0.374    2.514 4.93e+05    3.381   4.1
    ff_sum_in_a (Reg_nbit8_3)             0.373    2.510 4.93e+05    3.376   4.1
```

Report power: adder @ 1.2 V, multiplier @ 0.8 V

```
****************************************
Report : power
        -hier
        -analysis_effort low
Design : dummyALU
Version: S-2021.06-SP4
Date   : Mon Jun  3 18:08:16 2024
****************************************

Library(s) Used:

    saed90nm_typ_hvt (File: /eda/dk/SAED_EDK90nm/Digital_Standard_cell_Library/synopsys/models/saed90nm_typ_hvt.db)
    saed90nm_typ_nthn_hvt_lsh (File: /eda/dk/SAED_EDK90nm/Digital_Standard_cell_Library/synopsys/models/level_shifters/saed90nm_typ_nthn_hvt_lsh.db)
    saed90nm_typ_nthn_lsh (File: /eda/dk/SAED_EDK90nm/Digital_Standard_cell_Library/synopsys/models/level_shifters/saed90nm_typ_nthn_lsh.db)
    saed90nm_typ_nthh_hvt_lsh (File: /eda/dk/SAED_EDK90nm/Digital_Standard_cell_Library/synopsys/models/level_shifters/saed90nm_typ_nthh_hvt_lsh.db)
    saed90nm_typ_nthh_hvt_lshss (File: /eda/dk/SAED_EDK90nm/Digital_Standard_cell_Library/synopsys/models/level_shifters_ss/saed90nm_typ_nthh_hvt_lshss.db)
    saed90nm_typ_ntl_hvt (File: /eda/dk/SAED_EDK90nm/Digital_Standard_cell_Library/synopsys/models/saed90nm_typ_ntl_hvt.db)
    saed90nm_typ_ntl (File: /eda/dk/SAED_EDK90nm/Digital_Standard_cell_Library/synopsys/models/saed90nm_typ_ntl.db)
    saed90nm_typ_nthn_lshss (File: /eda/dk/SAED_EDK90nm/Digital_Standard_cell_Library/synopsys/models/level_shifters_ss/saed90nm_typ_nthn_lshss.db)
    saed90nm_typ_nthn_hvt_lshss (File: /eda/dk/SAED_EDK90nm/Digital_Standard_cell_Library/synopsys/models/level_shifters_ss/saed90nm_typ_nthn_hvt_lshss.db)
    saed90nm_typ_rdr_hvt (File: /eda/dk/SAED_EDK90nm/Digital_Standard_cell_Library/synopsys/models/retention/with_async_reset/saed90nm_typ_rdr_hvt.db)
```

```

Global Operating Voltage = 1.2
Power-specific unit information :
    Voltage Units = 1V
    Capacitance Units = 1.000000ff
    Time Units = 1ns
    Dynamic Power Units = 1uW    (derived from V,C,T units)
    Leakage Power Units = 1pW

--------------------------------------------------------------------------------
                                       Switch   Int      Leak     Total
Hierarchy                              Power    Power    Power    Power    %
--------------------------------------------------------------------------------
dummyALU                                 12.205   46.120 4.30e+06   62.630 100.0
  comp_top_level (top_level)             10.650   44.475 4.16e+06   59.289  94.7
    Adder_1 (Adder_nbit8)                 1.855    5.523 3.16e+05    7.694  12.3
    Multiplier_1 (Multiplier_nbit8)       4.171   12.009 4.01e+05   16.581  26.5
    ff_out (Reg_nbit16)                1.46e-03    2.896 7.87e+05    3.684   5.9
    ff_mul_in_b (Reg_nbit8_0)             0.382    3.197 4.93e+05    4.072   6.5
    ff_mul_in_a (Reg_nbit8_1)             0.382    3.113 4.93e+05    3.989   6.4
    ff_sum_in_b (Reg_nbit8_2)             0.400    2.552 4.93e+05    3.446   5.5
    ff_sum_in_a (Reg_nbit8_3)             0.399    2.548 4.93e+05    3.440   5.5
```

Report power: adder @ 1.2 V, multiplier @ 1.2 V

```
****************************************
Report : power
        -hier
        -analysis_effort low
Design : dummyALU
Version: S-2021.06-SP4
Date   : Mon Jun  3 18:08:13 2024
****************************************

Library(s) Used:

    saed90nm_typ_hvt (File: /eda/dk/SAED_EDK90nm/Digital_Standard_cell_Library/synopsys /models/saed90nm_typ_hvt.db)
    saed90nm_typ_nthh_hvt_lsh (File: /eda/dk/SAED_EDK90nm/Digital_Standard_cell_Library /synopsys/models/level_shifters/saed90nm_typ_nthh_hvt_lsh.db)
    saed90nm_typ_nthh_lsh (File: /eda/dk/SAED_EDK90nm/Digital_Standard_cell_Library/sy nopsys/models/level_shifters/saed90nm_typ_nthh_lsh.db)
    saed90nm_typ_nthh_hvt_lshss (File: /eda/dk/SAED_EDK90nm/Digital_Standard_cell_Libra ry/synopsys/models/level_shifters_ss/saed90nm_typ_nthh_hvt_lshss.db)
    saed90nm_typ (File: /eda/dk/SAED_EDK90nm/Digital_Standard_cell_Library/synopsys/mo dels/saed90nm_typ.db)
    saed90nm_typ_nthh_lshss (File: /eda/dk/SAED_EDK90nm/Digital_Standard_cell_Library/s ynopsys/models/level_shifters_ss/saed90nm_typ_nthh_lshss.db)
    saed90nm_typ_rdr_hvt (File: /eda/dk/SAED_EDK90nm/Digital_Standard_cell_Library/syno psys/models/retention/with_async_reset/saed90nm_typ_rdr_hvt.db)

Global Operating Voltage = 1.2
Power-specific unit information :
    Voltage Units = 1V
    Capacitance Units = 1.000000ff
    Time Units = 1ns
    Dynamic Power Units = 1uW    (derived from V,C,T units)
    Leakage Power Units = 1pW
```

```

--------------------------------------------------------------------------------
                                        Switch   Int      Leak     Total
Hierarchy                               Power    Power    Power    Power    %
--------------------------------------------------------------------------------
dummyALU                                  18.590   62.804 6.50e+06   87.897 100.0
  comp_top_level (top_level)              17.035   61.159 6.36e+06   84.556  96.2
    Adder_1 (Adder_nbit8)                  1.855    5.523 3.16e+05    7.694   8.8
    Multiplier_1 (Multiplier_nbit8)       10.504   28.796 2.53e+06   41.835  47.6
    ff_out (Reg_nbit16)                 1.46e-03    2.896 7.87e+05    3.684   4.2
    ff_mul_in_b (Reg_nbit8_0)              0.408    3.234 4.93e+05    4.135   4.7
    ff_mul_in_a (Reg_nbit8_1)              0.408    3.151 4.93e+05    4.052   4.6
    ff_sum_in_b (Reg_nbit8_2)              0.400    2.552 4.93e+05    3.446   3.9
    ff_sum_in_a (Reg_nbit8_3)              0.399    2.548 4.93e+05    3.440   3.9
```

A.2 Esercizio 2

A.2.1 Low voltage

Report timing

```
****************************************
Report : timing
        -path full
        -delay max
        -max_paths 1
Design : dummyALU
Version: S-2021.06-SP4
Date   : Tue Jun  4 17:20:23 2024
****************************************
Wire Load Model Mode: enclosed

  Startpoint: comp_top_level/ff_b/CELL_1/FLIPFLOP_0/QTemp_reg
              (rising edge-triggered flip-flop clocked by MYclk)
  Endpoint: comp_top_level/ff_out/CELL_15/FLIPFLOP_0/QTemp_reg
            (rising edge-triggered flip-flop clocked by MYclk)
  Path Group: MYclk
  Path Type: max

  Des/Clust/Port     Wire Load Model       Library
  ------------------------------------------------
  dummyALU           16000                 saed90nm_typ_lvt
  top_level          8000                  saed90nm_typ_lvt
  Multiplier_nbit8   8000                  saed90nm_typ_lvt

  Point                                                    Incr       Path      Voltage
  ---------------------------------------------------------------------------------------
  clock MYclk (rise edge)                                  0.00       0.00
  clock network delay (ideal)                              0.00       0.00
  comp_top_level/ff_b/CELL_1/FLIPFLOP_0/QTemp_reg/CLK (RDFFARX1_HVT)
                                                           0.00       0.00 r    1.20
  comp_top_level/ff_b/CELL_1/FLIPFLOP_0/QTemp_reg/Q (RDFFARX1_HVT)
                                                           0.18       0.18 f    1.20
  comp_top_level/ff_b/Q[1] (Reg_nbit8_1)                   0.00       0.18 f
  comp_top_level/Multiplier_1/B[1] (Multiplier_nbit8)      0.00       0.18 f
  comp_top_level/Multiplier_1/B[1]_UPF_LS/Q (LSDNSSX2)
                                                           0.16       0.34 f    0.80
  comp_top_level/Multiplier_1/U262/QN (NAND2X1_LVT)        0.17       0.51 r    0.80
  comp_top_level/Multiplier_1/U352/QN (NOR2X0_HVT)         0.19       0.70 f    0.80
  comp_top_level/Multiplier_1/U242/Q (XNOR2X1)             0.28       0.98 r    0.80
  comp_top_level/Multiplier_1/U61/QN (NAND2X1_HVT)         0.14       1.12 f    0.80
  comp_top_level/Multiplier_1/U22/QN (NAND2X0_HVT)         0.13       1.25 r    0.80
  comp_top_level/Multiplier_1/U302/Q (XNOR2X1)             0.26       1.51 r    0.80
  comp_top_level/Multiplier_1/U219/QN (NOR2X0_HVT)         0.13       1.64 f    0.80
  comp_top_level/Multiplier_1/U214/Q (OR2X1_HVT)           0.20       1.85 f    0.80
  comp_top_level/Multiplier_1/U273/Q (XOR2X1_HVT)          0.28       2.13 f    0.80
  comp_top_level/Multiplier_1/U59/Q (OA22X1)               0.16       2.29 f    0.80
  comp_top_level/Multiplier_1/U197/Q (XNOR2X1)             0.25       2.54 r    0.80
  comp_top_level/Multiplier_1/U192/Q (OA22X1)              0.17       2.71 r    0.80
  comp_top_level/Multiplier_1/U189/Q (XNOR2X1)             0.26       2.97 r    0.80
  comp_top_level/Multiplier_1/U180/QN (OAI22X1)            0.20       3.17 f    0.80
  comp_top_level/Multiplier_1/U303/Q (XNOR2X1_LVT)         0.20       3.38 r    0.80
  comp_top_level/Multiplier_1/U173/Q (OA22X1)              0.17       3.54 r    0.80
  comp_top_level/Multiplier_1/U305/Q (OR2X1)               0.16       3.70 r    0.80
```

```
  comp_top_level/Multiplier_1/U357/ZN (INVX0_HVT)         0.10       3.79 f    0.80
  comp_top_level/Multiplier_1/U298/Q (OR2X1_LVT)          0.12       3.91 f    0.80
  comp_top_level/Multiplier_1/U73/QN (NAND2X0)            0.09       4.00 r    0.80
  comp_top_level/Multiplier_1/U294/QN (AOI21X1_LVT)       0.17       4.17 f    0.80
  comp_top_level/Multiplier_1/U277/QN (NOR2X0_LVT)        0.09       4.26 r    0.80
  comp_top_level/Multiplier_1/U69/Q (OA21X1)              0.17       4.43 r    0.80
  comp_top_level/Multiplier_1/U66/QN (NOR2X0_HVT)         0.11       4.55 f    0.80
  comp_top_level/Multiplier_1/O[15] (Multiplier_nbit8)
                                                          0.00       4.55 f
  comp_top_level/snps_PD1__iso_cell_PD1_snps_O[15]_UPF_ISO/Q (LSUPENCLX2_HVT)
                                                          0.28       4.82 f    1.20
  comp_top_level/U7/Q (AND2X1_HVT)                        0.12       4.95 f    1.20
  comp_top_level/ff_out/D[15] (Reg_nbit16)                0.00       4.95 f
  comp_top_level/ff_out/CELL_15/FLIPFLOP_0/QTemp_reg/D (RDFFARX1_HVT)
                                                          0.02       4.97 f    1.20
  data arrival time                                                  4.97

  clock MYclk (rise edge)                                 5.00       5.00
  clock network delay (ideal)                             0.00       5.00
  comp_top_level/ff_out/CELL_15/FLIPFLOP_0/QTemp_reg/CLK (RDFFARX1_HVT)
                                                          0.00       5.00 r
  library setup time                                     -0.02       4.98
  data required time                                                 4.98
  -------------------------------------------------------------------------------
  data required time                                                 4.98
  data arrival time                                                 -4.97
  -------------------------------------------------------------------------------
  slack (MET)                                                        0.01
```

Report area

```
****************************************
Report : area
Design : dummyALU
Version: S-2021.06-SP4
Date   : Tue Jun  4 17:20:23 2024
****************************************

Library(s) Used:

    saed90nm_typ_hvt (File: /eda/dk/SAED_EDK90nm/Digital_Standard_cell_Library/synopsys/models/saed90nm_typ_hvt.db)
    saed90nm_typ (File: /eda/dk/SAED_EDK90nm/Digital_Standard_cell_Library/synopsys/models/saed90nm_typ.db)
    saed90nm_typ_nthn_hvt_lsh (File: /eda/dk/SAED_EDK90nm/Digital_Standard_cell_Library/synopsys/models/level_shifters/saed90nm_typ_nthn_hvt_lsh.db)
    saed90nm_typ_ntl_hvt (File: /eda/dk/SAED_EDK90nm/Digital_Standard_cell_Library/synopsys/models/saed90nm_typ_ntl_hvt.db)
    saed90nm_typ_nthn_hvt_lshss (File: /eda/dk/SAED_EDK90nm/Digital_Standard_cell_Library/synopsys/models/level_shifters_ss/saed90nm_typ_nthn_hvt_lshss.db)
    saed90nm_typ_nthn_lshss (File: /eda/dk/SAED_EDK90nm/Digital_Standard_cell_Library/synopsys/models/level_shifters_ss/saed90nm_typ_nthn_lshss.db)
    saed90nm_typ_ntl_lvt (File: /eda/dk/SAED_EDK90nm/Digital_Standard_cell_Library/synopsys/models/saed90nm_typ_ntl_lvt.db)
    saed90nm_typ_ntl (File: /eda/dk/SAED_EDK90nm/Digital_Standard_cell_Library/synopsys/models/saed90nm_typ_ntl.db)
    saed90nm_typ_nthn_lvt_lshss (File: /eda/dk/SAED_EDK90nm/Digital_Standard_cell_Library/synopsys/models/level_shifters_ss/saed90nm_typ_nthn_lvt_lshss.db)
```

```
    saed90nm_typ_rdr_hvt (File: /eda/dk/SAED_EDK90nm/Digital_Standard_cell_Library/synopsys/models/retention/with_async_reset/saed90nm_typ_rdr_hvt.db)

Number of ports:                          295
Number of nets:                           886
Number of cells:                          617
Number of combinational cells:            553
Number of sequential cells:                53
Number of macros/black boxes:               0
Number of buf/inv:                         63
Number of references:                       9

Combinational area:               5256.806472
Buf/Inv area:                      348.364809
Noncombinational area:            2822.860800
Macro/Black Box area:                0.000000
Net Interconnect area:             325.130527

Total cell area:                  8079.667272
Total area:                       8404.797798

Hierarchical area distribution
------------------------------

                                  Global cell area          Local cell area
                                  ------------------  ----------------------------
Hierarchical cell                 Absolute   Percent  Combi-     Noncombi-  Black-
                                  Total      Total    national   national   boxes
                                  Design
--------------------------------  ---------  -------  ---------  ---------  ------
dummyALU                          8079.6673    100.0    82.0224   223.9488  0.0000  dummyALU
comp_top_level                    7773.6961     96.2  1176.8832   129.0240  0.0000  top_level
comp_top_level/Adder_1             307.8144      3.8   307.8144     0.0000  0.0000  Adder_nbit8
comp_top_level/LUT_1               136.3968      1.7   136.3968     0.0000  0.0000  LUT
comp_top_level/Logic_1             346.5216      4.3   346.5216     0.0000  0.0000  Logic
comp_top_level/Multiplier_1       3207.1680     39.7  3207.1680     0.0000  0.0000  Multiplier_nbit8
comp_top_level/ff_LUT              493.9776      6.1     0.0000   493.9776  0.0000  Reg_nbit8_0
comp_top_level/ff_a                493.9776      6.1     0.0000   493.9776  0.0000  Reg_nbit8_2
comp_top_level/ff_b                493.9776      6.1     0.0000   493.9776  0.0000  Reg_nbit8_1
comp_top_level/ff_out              987.9552     12.2     0.0000   987.9552  0.0000  Reg_nbit16
--------------------------------  ---------  -------  ---------  ---------  ------
Total                                                 5256.8065  2822.8608  0.0000
```

Report power

```
****************************************
Report : power
        -hier
        -analysis_effort low
```

```
Design : dummyALU
Version: S-2021.06-SP4
Date   : Tue Jun  4 17:20:23 2024
****************************************

Library(s) Used:

    saed90nm_typ_hvt (File: /eda/dk/SAED_EDK90nm/Digital_Standard_cell_Library/synopsys
    ↪  /models/saed90nm_typ_hvt.db)
    saed90nm_typ (File: /eda/dk/SAED_EDK90nm/Digital_Standard_cell_Library/synopsys/mo
    ↪  dels/saed90nm_typ.db)
    saed90nm_typ_nthn_hvt_lsh (File: /eda/dk/SAED_EDK90nm/Digital_Standard_cell_Library
    ↪  /synopsys/models/level_shifters/saed90nm_typ_nthn_hvt_lsh.db)
    saed90nm_typ_ntl_hvt (File: /eda/dk/SAED_EDK90nm/Digital_Standard_cell_Library/syno
    ↪  psys/models/saed90nm_typ_ntl_hvt.db)
    saed90nm_typ_nthn_hvt_lshss (File: /eda/dk/SAED_EDK90nm/Digital_Standard_cell_Libra
    ↪  ry/synopsys/models/level_shifters_ss/saed90nm_typ_nthn_hvt_lshss.db)
    saed90nm_typ_nthn_lshss (File: /eda/dk/SAED_EDK90nm/Digital_Standard_cell_Library/s
    ↪  ynopsys/models/level_shifters_ss/saed90nm_typ_nthn_lshss.db)
    saed90nm_typ_ntl_lvt (File: /eda/dk/SAED_EDK90nm/Digital_Standard_cell_Library/syno
    ↪  psys/models/saed90nm_typ_ntl_lvt.db)
    saed90nm_typ_ntl (File: /eda/dk/SAED_EDK90nm/Digital_Standard_cell_Library/synopsys
    ↪  /models/saed90nm_typ_ntl.db)
    saed90nm_typ_nthn_lvt_lshss (File: /eda/dk/SAED_EDK90nm/Digital_Standard_cell_Libra
    ↪  ry/synopsys/models/level_shifters_ss/saed90nm_typ_nthn_lvt_lshss.db)
    saed90nm_typ_rdr_hvt (File: /eda/dk/SAED_EDK90nm/Digital_Standard_cell_Library/syno
    ↪  psys/models/retention/with_async_reset/saed90nm_typ_rdr_hvt.db)

Global Operating Voltage = 1.2
Power-specific unit information :
    Voltage Units = 1V
    Capacitance Units = 1.000000ff
    Time Units = 1ns
    Dynamic Power Units = 1uW    (derived from V,C,T units)
    Leakage Power Units = 1pW

--------------------------------------------------------------------------------
                                        Switch   Int      Leak     Total
Hierarchy                               Power    Power    Power    Power    %
--------------------------------------------------------------------------------
dummyALU                                  19.938   47.238 1.10e+07   78.208 100.0
  comp_top_level (top_level)              14.435   44.661 1.07e+07   69.838  89.3
    LUT_1 (LUT)                            0.348    1.182 2.82e+04    1.558   2.0
    Logic_1 (Logic)                        0.832    3.010 2.01e+05    4.043   5.2
    Adder_1 (Adder_nbit8)                  1.143    3.867 1.99e+05    5.209   6.7
    Multiplier_1 (Multiplier_nbit8)        8.536   26.909 7.72e+06   43.161  55.2
    ff_LUT (Reg_nbit8_0)                   0.173    1.293 3.93e+05    1.859   2.4
    ff_out (Reg_nbit16)                 8.27e-04    0.159 7.84e+05    0.943   1.2
    ff_b (Reg_nbit8_1)                     0.493    1.740 3.93e+05    2.625   3.4
    ff_a (Reg_nbit8_2)                     0.573    1.858 3.93e+05    2.824   3.6
```

A.2.2 High voltage

Report timing

```
****************************************
Report : timing
        -path full
```

```
        -delay max
        -max_paths 1
Design : dummyALU
Version: S-2021.06-SP4
Date   : Tue Jun  4 17:23:11 2024
****************************************
Wire Load Model Mode: enclosed

  Startpoint: comp_top_level/ff_b/CELL_1/FLIPFLOP_0/QTemp_reg
              (rising edge-triggered flip-flop clocked by MYclk)
  Endpoint: comp_top_level/ff_out/CELL_14/FLIPFLOP_0/QTemp_reg
            (rising edge-triggered flip-flop clocked by MYclk)
  Path Group: MYclk
  Path Type: max

  Des/Clust/Port     Wire Load Model       Library
  ------------------------------------------------
  dummyALU           8000                  saed90nm_typ_lvt
  top_level          8000                  saed90nm_typ_lvt
  Multiplier_nbit8   8000                  saed90nm_typ_lvt

  Point                                                    Incr       Path      Voltage
  -----------------------------------------------------------------------------------------
  clock MYclk (rise edge)                                  0.00       0.00
  clock network delay (ideal)                              0.00       0.00
  comp_top_level/ff_b/CELL_1/FLIPFLOP_0/QTemp_reg/CLK (RDFFARX1_HVT)
                                                           0.00       0.00 r    1.20
  comp_top_level/ff_b/CELL_1/FLIPFLOP_0/QTemp_reg/Q (RDFFARX1_HVT)
                                                           0.19       0.19 r    1.20
  comp_top_level/ff_b/Q[1] (Reg_nbit8_1)                   0.00       0.19 r
  comp_top_level/Multiplier_1/B[1] (Multiplier_nbit8)      0.00       0.19 r
  comp_top_level/Multiplier_1/B[1]_UPF_LS/Q (LSDNSSX2_HVT)
                                                           0.16       0.35 r    1.20
  comp_top_level/Multiplier_1/U57/ZN (INVX2_HVT)           0.33       0.67 f    1.20
  comp_top_level/Multiplier_1/U176/QN (NOR2X0_HVT)         0.10       0.77 r    1.20
  comp_top_level/Multiplier_1/U179/Q (OA21X1_HVT)          0.16       0.93 r    1.20
  comp_top_level/Multiplier_1/U180/QN (NAND2X0_HVT)        0.08       1.02 f    1.20
  comp_top_level/Multiplier_1/U181/Q (OA21X1_HVT)          0.12       1.14 f    1.20
  comp_top_level/Multiplier_1/U74/Q (XOR2X1_HVT)           0.19       1.33 f    1.20
  comp_top_level/Multiplier_1/U42/QN (NAND2X1_HVT)         0.10       1.43 r    1.20
  comp_top_level/Multiplier_1/U185/Q (OA21X1_HVT)          0.12       1.55 r    1.20
  comp_top_level/Multiplier_1/U75/Q (XOR2X1_HVT)           0.19       1.74 f    1.20
  comp_top_level/Multiplier_1/U41/QN (NAND2X1_HVT)         0.10       1.85 r    1.20
  comp_top_level/Multiplier_1/U190/Q (OA21X1_HVT)          0.12       1.97 r    1.20
  comp_top_level/Multiplier_1/U76/Q (XOR2X1_HVT)           0.19       2.15 r    1.20
  comp_top_level/Multiplier_1/U40/QN (NAND2X1_HVT)         0.11       2.26 f    1.20
  comp_top_level/Multiplier_1/U195/Q (OA21X1_HVT)          0.12       2.38 f    1.20
  comp_top_level/Multiplier_1/U96/Q (XNOR2X1_HVT)          0.21       2.59 r    1.20
  comp_top_level/Multiplier_1/U94/Q (OA22X1_HVT)           0.14       2.73 r    1.20
  comp_top_level/Multiplier_1/U64/Q (XNOR2X1_HVT)          0.22       2.96 r    1.20
  comp_top_level/Multiplier_1/U37/QN (NAND2X0_HVT)         0.09       3.04 f    1.20
  comp_top_level/Multiplier_1/U68/QN (OAI21X1_HVT)         0.17       3.21 r    1.20
  comp_top_level/Multiplier_1/U233/Q (OR2X1_HVT)           0.14       3.35 r    1.20
  comp_top_level/Multiplier_1/U84/QN (NAND2X0_HVT)         0.07       3.43 f    1.20
  comp_top_level/Multiplier_1/U100/QN (NAND2X0_HVT)        0.09       3.51 r    1.20
  comp_top_level/Multiplier_1/U63/QN (NAND2X0_HVT)         0.08       3.60 f    1.20
  comp_top_level/Multiplier_1/U69/QN (NAND2X0_HVT)         0.10       3.70 r    1.20
  comp_top_level/Multiplier_1/intadd_2/U4/CO (FADDX1_HVT)
                                                           0.30       4.01 r    1.20
```

```
  comp_top_level/Multiplier_1/U87/QN (NAND2X0_HVT)        0.08       4.09 f    1.20
  comp_top_level/Multiplier_1/U85/QN (NAND2X0_HVT)        0.09       4.18 r    1.20
  comp_top_level/Multiplier_1/U263/Q (AO22X1_HVT)         0.15       4.33 r    1.20
  comp_top_level/Multiplier_1/U266/Q (XNOR3X1_HVT)        0.17       4.50 f    1.20
  comp_top_level/Multiplier_1/O[14] (Multiplier_nbit8)
                                                          0.00       4.50 f
  comp_top_level/snps_PD1__iso_cell_PD1_snps_O[14]_UPF_ISO/Q (LSUPENCLX1_HVT)
                                                          0.18       4.68 f    1.20
  comp_top_level/U8/Q (AND2X1_HVT)                        0.12       4.79 f    1.20
  comp_top_level/ff_out/D[14] (Reg_nbit16)                0.00       4.79 f
  comp_top_level/ff_out/CELL_14/FLIPFLOP_0/QTemp_reg/D (RDFFARX1_HVT)
                                                          0.02       4.82 f    1.20
  data arrival time                                                  4.82

  clock MYclk (rise edge)                                 5.00       5.00
  clock network delay (ideal)                             0.00       5.00
  comp_top_level/ff_out/CELL_14/FLIPFLOP_0/QTemp_reg/CLK (RDFFARX1_HVT)
                                                          0.00       5.00 r
  library setup time                                     -0.02       4.98
  data required time                                                 4.98
  -------------------------------------------------------------------------------
  data required time                                                 4.98
  data arrival time                                                 -4.82
  -------------------------------------------------------------------------------
  slack (MET)                                                        0.17
```

Report area

```
****************************************
Report : area
Design : dummyALU
Version: S-2021.06-SP4
Date   : Tue Jun  4 17:23:11 2024
****************************************

Library(s) Used:

    saed90nm_typ_hvt (File: /eda/dk/SAED_EDK90nm/Digital_Standard_cell_Library/synopsys/models/saed90nm_typ_hvt.db)
    saed90nm_typ (File: /eda/dk/SAED_EDK90nm/Digital_Standard_cell_Library/synopsys/models/saed90nm_typ.db)
    saed90nm_typ_nthh_hvt_lsh (File: /eda/dk/SAED_EDK90nm/Digital_Standard_cell_Library/synopsys/models/level_shifters/saed90nm_typ_nthh_hvt_lsh.db)
    saed90nm_typ_nthh_lsh (File: /eda/dk/SAED_EDK90nm/Digital_Standard_cell_Library/synopsys/models/level_shifters/saed90nm_typ_nthh_lsh.db)
    saed90nm_typ_nthh_hvt_lshss (File: /eda/dk/SAED_EDK90nm/Digital_Standard_cell_Library/synopsys/models/level_shifters_ss/saed90nm_typ_nthh_hvt_lshss.db)
    saed90nm_typ_nthh_lshss (File: /eda/dk/SAED_EDK90nm/Digital_Standard_cell_Library/synopsys/models/level_shifters_ss/saed90nm_typ_nthh_lshss.db)
    saed90nm_typ_rdr_hvt (File: /eda/dk/SAED_EDK90nm/Digital_Standard_cell_Library/synopsys/models/retention/with_async_reset/saed90nm_typ_rdr_hvt.db)

Number of ports:                          295
Number of nets:                           792
Number of cells:                          523
Number of combinational cells:            459
Number of sequential cells:                53
Number of macros/black boxes:               0
```

```
Number of buf/inv:                        30
Number of references:                      9

Combinational area:               4683.571254
Buf/Inv area:                      168.652804
Noncombinational area:            2822.860800
Macro/Black Box area:                0.000000
Net Interconnect area:             287.649827

Total cell area:                  7506.432054
Total area:                       7794.081881

Hierarchical area distribution
------------------------------

                                  Global cell area          Local cell area
                                  ------------------  ----------------------------
Hierarchical cell                 Absolute   Percent  Combi-     Noncombi-  Black-
                                  Total      Total    national   national   boxes
                                  ↪  Design
--------------------------------  ---------  -------  ---------  ---------  ------
dummyALU                          7506.4321    100.0    82.0224   223.9488  0.0000
↪  dummyALU
comp_top_level                    7200.4609     95.9  1147.3920   129.0240  0.0000
↪  top_level
comp_top_level/Adder_1             305.9712      4.1   305.9712     0.0000  0.0000
↪  Adder_nbit8
comp_top_level/LUT_1               136.3968      1.8   136.3968     0.0000  0.0000  LUT
comp_top_level/Logic_1             346.5216      4.6   346.5216     0.0000  0.0000
↪  Logic
comp_top_level/Multiplier_1       2665.2672     35.5  2665.2672     0.0000  0.0000
↪  Multiplier_nbit8
comp_top_level/ff_LUT              493.9776      6.6     0.0000   493.9776  0.0000
↪  Reg_nbit8_0
comp_top_level/ff_a                493.9776      6.6     0.0000   493.9776  0.0000
↪  Reg_nbit8_2
comp_top_level/ff_b                493.9776      6.6     0.0000   493.9776  0.0000
↪  Reg_nbit8_1
comp_top_level/ff_out              987.9552     13.2     0.0000   987.9552  0.0000
↪  Reg_nbit16
--------------------------------  ---------  -------  ---------  ---------  ------
Total                                                 4683.5713  2822.8608  0.0000
```

Report power

```
****************************************
Report : power
        -hier
        -analysis_effort low
Design : dummyALU
Version: S-2021.06-SP4
Date   : Tue Jun  4 17:23:11 2024
****************************************

Library(s) Used:

    saed90nm_typ_hvt (File: /eda/dk/SAED_EDK90nm/Digital_Standard_cell_Library/synopsys
    ↪  /models/saed90nm_typ_hvt.db)
```

```
    saed90nm_typ (File: /eda/dk/SAED_EDK90nm/Digital_Standard_cell_Library/synopsys/models/saed90nm_typ.db)
    saed90nm_typ_nthh_hvt_lsh (File: /eda/dk/SAED_EDK90nm/Digital_Standard_cell_Library/synopsys/models/level_shifters/saed90nm_typ_nthh_hvt_lsh.db)
    saed90nm_typ_nthh_lsh (File: /eda/dk/SAED_EDK90nm/Digital_Standard_cell_Library/synopsys/models/level_shifters/saed90nm_typ_nthh_lsh.db)
    saed90nm_typ_nthh_hvt_lshss (File: /eda/dk/SAED_EDK90nm/Digital_Standard_cell_Library/synopsys/models/level_shifters_ss/saed90nm_typ_nthh_hvt_lshss.db)
    saed90nm_typ_nthh_lshss (File: /eda/dk/SAED_EDK90nm/Digital_Standard_cell_Library/synopsys/models/level_shifters_ss/saed90nm_typ_nthh_lshss.db)
    saed90nm_typ_rdr_hvt (File: /eda/dk/SAED_EDK90nm/Digital_Standard_cell_Library/synopsys/models/retention/with_async_reset/saed90nm_typ_rdr_hvt.db)

Global Operating Voltage = 1.2
Power-specific unit information :
    Voltage Units = 1V
    Capacitance Units = 1.000000ff
    Time Units = 1ns
    Dynamic Power Units = 1uW    (derived from V,C,T units)
    Leakage Power Units = 1pW

--------------------------------------------------------------------------------
                                       Switch   Int      Leak     Total
Hierarchy                              Power    Power    Power    Power    %
--------------------------------------------------------------------------------
dummyALU                                 33.260   81.867 6.45e+06  121.572 100.0
  comp_top_level (top_level)             27.772   79.290 6.16e+06  113.218  93.1
    LUT_1 (LUT)                           0.876    2.757 1.59e+05    3.792   3.1
    Logic_1 (Logic)                       2.104    6.065 3.40e+05    8.509   7.0
    Adder_1 (Adder_nbit8)                 2.837    8.336 3.20e+05   11.493   9.5
    Multiplier_1 (Multiplier_nbit8)      18.088   50.048 2.37e+06   70.503  58.0
    ff_LUT (Reg_nbit8_0)                  0.214    1.352 3.93e+05    1.959   1.6
    ff_out (Reg_nbit16)                4.19e-04    0.158 7.84e+05    0.942   0.8
    ff_b (Reg_nbit8_1)                    0.643    1.955 3.93e+05    2.991   2.5
    ff_a (Reg_nbit8_2)                    0.727    2.057 3.93e+05    3.177   2.6
```

B Scripting

B.1 Esercizio 1

B.1.1 ModelSim

```
vcom ../src/configpkg.vhd
vcom ../src/Gates/XOR2.vhd
vcom ../src/Gates/AND2.vhd
vcom ../src/Gates/NAND2.vhd
vcom ../src/Gates/OAI21.vhd
vcom ../src/Gates/FLIPFLOP.vhd
vcom ../src/Gates/FA.vhd
vcom ../src/Gates/HA.vhd
vcom ../src/Gates/Memory.vhd
vcom ../src/Blocks/Reg.vhd
vcom ../src/Blocks/Adder.vhd
vcom ../src/Blocks/Multiplier.vhd
vcom ../src/PMU.vhd
vcom ../src/top_level.vhd
vcom ../src/dummyALU.vhd
vlog ./final_tb_pa.sv

vopt +acc  final_tb_pa -pa_top final_tb_pa/UUT -pa_lib work -pa_upf ../syn/power.upf -o
↪  SimModel -warning 9903 -warning 9642
vsim SimModel -pa -pa_lib work
add wave -position insertpoint sim:/final_tb_pa/UUT/*
run 3 us
```

B.1.2 Synopsys

compile_LL.src

```
analyze -f VHDL -lib work ../src/configpkg.vhd
analyze -f VHDL -lib work ../src/Gates/XOR2.vhd
analyze -f VHDL -lib work ../src/Gates/AND2.vhd
analyze -f VHDL -lib work ../src/Gates/NAND2.vhd
analyze -f VHDL -lib work ../src/Gates/OAI21.vhd
analyze -f VHDL -lib work ../src/Gates/FLIPFLOP.vhd
analyze -f VHDL -lib work ../src/Gates/FA.vhd
analyze -f VHDL -lib work ../src/Gates/HA.vhd
analyze -f VHDL -lib work ../src/Gates/Memory.vhd
analyze -f VHDL -lib work ../src/Blocks/Reg.vhd
analyze -f VHDL -lib work ../src/Blocks/Adder.vhd
analyze -f VHDL -lib work ../src/Blocks/Multiplier.vhd
analyze -f VHDL -lib work ../src/PMU.vhd
analyze -f VHDL -lib work ../src/top_level.vhd
analyze -f VHDL -lib work ../src/dummyALU.vhd

set power_preserve_rtl_hier_names true

elaborate dummyALU -arch structure

source -echo -verb power.upf

##-------------------------------------STEP1: VDD
## Tensioni di alimentazione PRIMA della compilazione
```

```
set_voltage 0.8 -obj {VDDLPG}
set_voltage 0.8 -obj {VDDL}
set_voltage 0.8 -obj {VDDH}
set_voltage 1.2 -obj {VBACK}
set_voltage 1.2 -obj {VDDHPG}
set_voltage 0 -obj {VSS}

##-------------------------------------STEP2: CONSTRAINTS
create_clock -name MYclk -period 5.0 {clk}
set_dont_touch_network MYclk

##-------------------------------------STEP3: SYNTHESIS
compile_ultra

##-------------------------------------STEP4: results
report_timing > ./results/615_addL_multL_timing.txt
report_area -hier > ./results/615_addL_multL_area.txt
report_power -hier > ./results/615_addL_multL_power.txt

##
set_voltage 0.8 -obj {VDDLPG}
set_voltage 0.8 -obj {VDDL}
set_voltage 1.2 -obj {VDDH}
set_voltage 1.2 -obj {VBACK}
set_voltage 1.2 -obj {VDDHPG}
set_voltage 0 -obj {VSS}
report_timing > ./results/615_addL_multH_timing.txt
report_area -hier > ./results/615_addL_multH_area.txt
report_power -hier > ./results/615_addL_multH_power.txt

##
set_voltage 0.8 -obj {VDDLPG}
set_voltage 1.2 -obj {VDDL}
set_voltage 0.8 -obj {VDDH}
set_voltage 1.2 -obj {VBACK}
set_voltage 1.2 -obj {VDDHPG}
set_voltage 0 -obj {VSS}
report_timing > ./results/615_addH_multL_timing.txt
report_area -hier > ./results/615_addH_multL_area.txt
report_power -hier > ./results/615_addH_multL_power.txt

##
set_voltage 0.8 -obj {VDDLPG}
set_voltage 1.2 -obj {VDDL}
set_voltage 1.2 -obj {VDDH}
set_voltage 1.2 -obj {VBACK}
set_voltage 1.2 -obj {VDDHPG}
set_voltage 0 -obj {VSS}
report_timing > ./results/615_addH_multH_timing.txt
report_area -hier > ./results/615_addH_multH_area.txt
report_power -hier > ./results/615_addH_multH_power.txt
```

compile_HH.src

```
analyze -f VHDL -lib work ../src/configpkg.vhd
analyze -f VHDL -lib work ../src/Gates/XOR2.vhd
analyze -f VHDL -lib work ../src/Gates/AND2.vhd
analyze -f VHDL -lib work ../src/Gates/NAND2.vhd
```

```
analyze -f VHDL -lib work ../src/Gates/OAI21.vhd
analyze -f VHDL -lib work ../src/Gates/FLIPFLOP.vhd
analyze -f VHDL -lib work ../src/Gates/FA.vhd
analyze -f VHDL -lib work ../src/Gates/HA.vhd
analyze -f VHDL -lib work ../src/Gates/Memory.vhd
analyze -f VHDL -lib work ../src/Blocks/Reg.vhd
analyze -f VHDL -lib work ../src/Blocks/Adder.vhd
analyze -f VHDL -lib work ../src/Blocks/Multiplier.vhd
analyze -f VHDL -lib work ../src/PMU.vhd
analyze -f VHDL -lib work ../src/top_level.vhd
analyze -f VHDL -lib work ../src/dummyALU.vhd

set power_preserve_rtl_hier_names true

elaborate dummyALU -arch structure

source -echo -verb power.upf

##-------------------------------------STEP1: VDD
## Tensioni di alimentazione PRIMA della compilazione
set_voltage 0.8 -obj {VDDLPG}
set_voltage 1.2 -obj {VDDL}
set_voltage 1.2 -obj {VDDH}
set_voltage 1.2 -obj {VBACK}
set_voltage 1.2 -obj {VDDHPG}
set_voltage 0 -obj {VSS}

##-------------------------------------STEP2: CONSTRAINTS
create_clock -name MYclk -period 5.0 {clk}
set_dont_touch_network MYclk

##-------------------------------------STEP3: SYNTHESIS
compile_ultra

##-------------------------------------STEP4: results
report_timing > ./results/616_addH_multH_timing.txt
report_area -hier > ./results/616_addH_multH_area.txt
report_power -hier > ./results/616_addH_multH_power.txt

##
set_voltage 0.8 -obj {VDDLPG}
set_voltage 0.8 -obj {VDDL}
set_voltage 1.2 -obj {VDDH}
set_voltage 1.2 -obj {VBACK}
set_voltage 1.2 -obj {VDDHPG}
set_voltage 0 -obj {VSS}
report_timing > ./results/616_addL_multH_timing.txt
report_area -hier > ./results/616_addL_multH_area.txt
report_power -hier > ./results/616_addL_multH_power.txt

##
set_voltage 0.8 -obj {VDDLPG}
set_voltage 1.2 -obj {VDDL}
set_voltage 0.8 -obj {VDDH}
set_voltage 1.2 -obj {VBACK}
set_voltage 1.2 -obj {VDDHPG}
set_voltage 0 -obj {VSS}
report_timing > ./results/616_addH_multL_timing.txt
report_area -hier > ./results/616_addH_multL_area.txt
```

```
report_power -hier > ./results/616_addH_multL_power.txt

##
set_voltage 0.8 -obj {VDDLPG}
set_voltage 0.8 -obj {VDDL}
set_voltage 0.8 -obj {VDDH}
set_voltage 1.2 -obj {VBACK}
set_voltage 1.2 -obj {VDDHPG}
set_voltage 0 -obj {VSS}
report_timing > ./results/616_addL_multL_timing.txt
report_area -hier > ./results/616_addL_multL_area.txt
report_power -hier > ./results/616_addL_multL_power.txt
```

B.2 Esercizio 2

B.2.1 ModelSim

```
vcom ../src/configpkg.vhd
vcom ../src/Gates/XOR2.vhd
vcom ../src/Gates/AND2.vhd
vcom ../src/Gates/NAND2.vhd
vcom ../src/Gates/OAI21.vhd
vcom ../src/Gates/FLIPFLOP.vhd
vcom ../src/Gates/FA.vhd
vcom ../src/Gates/HA.vhd
vcom ../src/Gates/Memory.vhd
vcom ../src/Blocks/Reg.vhd
vcom ../src/Blocks/Adder.vhd
vcom ../src/Blocks/Multiplier.vhd
vcom ../src/Blocks/Logic.vhd
vcom ../src/Blocks/LUT.vhd
vcom ../src/PMU.vhd
vcom ../src/top_level.vhd
vcom ../src/dummyALU.vhd
vlog ./final_tb_pa.sv

vopt +acc  final_tb_pa -pa_top final_tb_pa/UUT -pa_lib work -pa_upf ../syn/power.upf -o
↪  SimModel -warning 9903 -warning 9642
vsim SimModel -pa -pa_lib work
add wave -position insertpoint sim:/final_tb_pa/UUT/*
run 10 us
```

B.2.2 Synopsys

`compile_LLLL.src`

```
analyze -f VHDL -lib work ../src/configpkg.vhd
analyze -f VHDL -lib work ../src/Gates/XOR2.vhd
analyze -f VHDL -lib work ../src/Gates/AND2.vhd
analyze -f VHDL -lib work ../src/Gates/NAND2.vhd
analyze -f VHDL -lib work ../src/Gates/OAI21.vhd
analyze -f VHDL -lib work ../src/Gates/FLIPFLOP.vhd
analyze -f VHDL -lib work ../src/Gates/FA.vhd
analyze -f VHDL -lib work ../src/Gates/HA.vhd
analyze -f VHDL -lib work ../src/Gates/Memory.vhd
analyze -f VHDL -lib work ../src/Blocks/Reg.vhd
analyze -f VHDL -lib work ../src/Blocks/Adder.vhd
```

```
analyze -f VHDL -lib work ../src/Blocks/Multiplier.vhd
analyze -f VHDL -lib work ../src/Blocks/Logic.vhd
analyze -f VHDL -lib work ../src/Blocks/LUT.vhd
analyze -f VHDL -lib work ../src/PMU.vhd
analyze -f VHDL -lib work ../src/top_level.vhd
analyze -f VHDL -lib work ../src/dummyALU.vhd

set power_preserve_rtl_hier_names true

elaborate dummyALU -arch structure

source -echo -verb power.upf

##-------------------------------------STEP1: VDD
## Tensioni di alimentazione PRIMA della compilazione
set_voltage 0.8 -obj {VDDMPG}
set_voltage 0.8 -obj {VDDAPG}
set_voltage 0.8 -obj {VDDLPG}
set_voltage 0.8 -obj {VDDLUPG}

set_voltage 0.8 -obj {VDDM}
set_voltage 0.8 -obj {VDDA}
set_voltage 0.8 -obj {VDDL}
set_voltage 0.8 -obj {VDDLU}

set_voltage 1.2 -obj {VBACK}
set_voltage 0 -obj {VSS}

##-------------------------------------STEP2: CONSTRAINTS
create_clock -name MYclk -period 5.0 {clk}
set_dont_touch_network MYclk

##-------------------------------------STEP3: SYNTHESIS
compile_ultra

##-------------------------------------STEP4: results
report_timing > ./results/62_LLLL_timing.txt
report_area -hier > ./results/62_LLLL_area.txt
report_power -hier > ./results/62_LLLL_power.txt
```

compile_HHHH.src

```
analyze -f VHDL -lib work ../src/configpkg.vhd
analyze -f VHDL -lib work ../src/Gates/XOR2.vhd
analyze -f VHDL -lib work ../src/Gates/AND2.vhd
analyze -f VHDL -lib work ../src/Gates/NAND2.vhd
analyze -f VHDL -lib work ../src/Gates/OAI21.vhd
analyze -f VHDL -lib work ../src/Gates/FLIPFLOP.vhd
analyze -f VHDL -lib work ../src/Gates/FA.vhd
analyze -f VHDL -lib work ../src/Gates/HA.vhd
analyze -f VHDL -lib work ../src/Gates/Memory.vhd
analyze -f VHDL -lib work ../src/Blocks/Reg.vhd
analyze -f VHDL -lib work ../src/Blocks/Adder.vhd
analyze -f VHDL -lib work ../src/Blocks/Multiplier.vhd
analyze -f VHDL -lib work ../src/Blocks/Logic.vhd
analyze -f VHDL -lib work ../src/Blocks/LUT.vhd
analyze -f VHDL -lib work ../src/PMU.vhd
analyze -f VHDL -lib work ../src/top_level.vhd
```

```
analyze -f VHDL -lib work ../src/dummyALU.vhd

set power_preserve_rtl_hier_names true

elaborate dummyALU -arch structure

source -echo -verb power.upf

##-------------------------------------STEP1: VDD
## Tensioni di alimentazione PRIMA della compilazione
set_voltage 1.2 -obj {VDDMPG}
set_voltage 1.2 -obj {VDDAPG}
set_voltage 1.2 -obj {VDDLPG}
set_voltage 1.2 -obj {VDDLUPG}

set_voltage 1.2 -obj {VDDM}
set_voltage 1.2 -obj {VDDA}
set_voltage 1.2 -obj {VDDL}
set_voltage 1.2 -obj {VDDLU}

set_voltage 1.2 -obj {VBACK}
set_voltage 0 -obj {VSS}

##-------------------------------------STEP2: CONSTRAINTS
create_clock -name MYclk -period 5.0 {clk}
set_dont_touch_network MYclk

##-------------------------------------STEP3: SYNTHESIS
compile_ultra

##-------------------------------------STEP4: results
report_timing > ./results/62_HHHH_timing.txt
report_area -hier > ./results/62_HHHH_area.txt
report_power -hier > ./results/62_HHHH_power.txt
```

C Descrizione dell'hardware e del *power intent*

C.1 Esercizio 1

C.1.1 Execution Unit (VHDL)

```
library ieee;
use ieee.std_logic_1164.all;
use ieee.numeric_std.all;

entity top_level is
  port (
    clk                              : in std_logic;
    rst_n                            : in std_logic;
    O                                : out std_logic_vector(15 downto 0);
    B                                : in std_logic_vector(7 downto 0);
    A                                : in std_logic_vector(7 downto 0);
    turn_off_add, turn_off_mul       : in std_logic;
    iso_add, iso_mul                 : in std_logic;
    ret_reg_rest_in, ret_reg_rest_out : in std_logic;
    OP_CODE                          : in std_logic
  );
end top_level;

architecture structure of top_level is

  component Multiplier
    generic (nbit : integer := 8);
    port (
      A : in std_logic_vector(7 downto 0);
      B : in std_logic_vector(7 downto 0);
      O : out std_logic_vector(15 downto 0)
    );
  end component;

  component Adder
    generic (nbit : integer := 8);
    port (
      A   : in std_logic_vector(nbit - 1 downto 0);
      B   : in std_logic_vector(nbit - 1 downto 0);
      AS  : in std_logic;
      SUM : out std_logic_vector(nbit - 1 downto 0)
    );
  end component;

  component Reg
    generic (nbit : integer := 8);
    port (
      CK : in std_logic;
      EN : in std_logic;
      R  : in std_logic;
      D  : in std_logic_vector(nbit - 1 downto 0);
      Q  : out std_logic_vector(nbit - 1 downto 0)
    );
  end component;

  component FLIPFLOP
    port (
```

```
      CK  : in std_logic;
      RN  : in std_logic;
      WR  : in std_logic;
      RD  : out std_logic;
      RDN : out std_logic
    );
  end component;

  signal Multiplier_O : std_logic_vector(15 downto 0);
  signal Adder_O      : std_logic_vector(7 downto 0);

  signal A_sum_in_s : std_logic_vector(7 downto 0);
  signal B_sum_in_s : std_logic_vector(7 downto 0);
  signal A_mul_in_s : std_logic_vector(7 downto 0);
  signal B_mul_in_s : std_logic_vector(7 downto 0);

  signal O_s : std_logic_vector(15 downto 0);

  signal all_zeroes : std_logic_vector(7 downto 0);
  signal Mux_s      : std_logic_vector(15 downto 0);
  signal n_OP_CODE  : std_logic;
  signal d_OP_CODE  : std_logic;

begin

  ff_opcode : FLIPFLOP port map(clk, rst_n, OP_CODE, d_OP_CODE);

  Mux_s <= (all_zeroes & Adder_O) when d_OP_CODE = '1' else
    Multiplier_O;

  n_OP_CODE <= not(OP_CODE);

  all_zeroes <= (others => '0');

  O <= O_s;

  ff_sum_in_a : reg generic map(8) port map(clk, OP_CODE, rst_n, A, A_sum_in_s);
  ff_sum_in_b : reg generic map(8) port map(clk, OP_CODE, rst_n, B, B_sum_in_s);
  ff_mul_in_a : reg generic map(8) port map(clk, n_OP_CODE, rst_n, A, A_mul_in_s);
  ff_mul_in_b : reg generic map(8) port map(clk, n_OP_CODE, rst_n, B, B_mul_in_s);
  ff_out      : reg generic map(16) port map(clk, '1', rst_n, Mux_s, O_s);

  Multiplier_1 : Multiplier generic map(8) port map(A_mul_in_s, B_mul_in_s,
  Multiplier_O);
  Adder_1      : Adder generic map(8) port map(A_sum_in_s, B_sum_in_s, '0', Adder_O);

end structure;
```

C.1.2 Power Management Unit (VHDL)

```
library ieee;
use ieee.std_logic_1164.all;

--opcode = 0 -> MUL
--opcode = 1 -> SUM

entity PMU is
```

```
  port (
    opcode, go_sleep, clk             : in std_logic;
    turn_off_add, turn_off_mul        : out std_logic
    iso_add, iso_mul                  : out std_logic
    ret_reg_rest_in, ret_reg_rest_out : out std_logic
  );
end PMU;

architecture behaviour of PMU is

  signal turn_off_add_int, turn_off_mul_int : std_logic;
  iso_add_int, iso_mul_int                  : std_logic;
  ret_reg_rest_int                          : std_logic;

begin
  -- go_sleep attivo basso per selezionare active mode/sleep mode
  -- op_code u-istruzione
  process (opcode, go_sleep)
  begin
    if go_sleep = '1' then -- active mode
      if opcode = '0' then
        --MUL
        turn_off_add_int <= '1'; -- disable adder
        iso_add_int      <= '0'; -- set isolation
        turn_off_mul_int <= '0'; -- enable mult
        iso_mul_int      <= '1'; -- NOT set isolation
        ret_reg_rest_int <= '1'; -- set registers in transparent mode
      else
        --ADD
        turn_off_add_int <= '0'; -- enable adder
        iso_add_int      <= '1'; -- NOT set isolation
        turn_off_mul_int <= '1'; -- disable mult
        iso_mul_int      <= '0'; -- set isolation
        ret_reg_rest_int <= '1'; -- set registers in transparent mode
      end if;
    else                      -- sleep mode
      turn_off_add_int <= '1'; -- disable adder
      iso_add_int      <= '0'; -- set isolation
      turn_off_mul_int <= '1'; -- disable mult
      iso_mul_int      <= '0'; -- set isolation
      ret_reg_rest_int <= '0'; -- NOT set registers in transparent mode
    end if;
  end process;

  ret_reg_rest_in <= ret_reg_rest_int;

  process (clk)
  begin
    if (rising_edge(clk)) then
      turn_off_add     <= turn_off_add_int;
      iso_add          <= iso_add_int;
      turn_off_mul     <= turn_off_mul_int;
      iso_mul          <= iso_mul_int;
      ret_reg_rest_out <= ret_reg_rest_int;
    end if;
  end process;

end architecture;
```

C.1.3 Top level entity (VHDL)

```vhdl
library ieee;
use ieee.std_logic_1164.all;

entity dummyALU is
  port (
    clk      : in std_logic;
    rst_n    : in std_logic;
    O        : out std_logic_vector(15 downto 0);
    B        : in std_logic_vector(7 downto 0);
    A        : in std_logic_vector(7 downto 0);
    go_sleep : in std_logic;
    OP_CODE  : in std_logic
  );
end dummyALU;

architecture structure of dummyALU is

  component PMU is
    port (
      opcode, go_sleep, clk             : in std_logic;
      turn_off_add, turn_off_mul        : out std_logic
      iso_add, iso_mul                  : out std_logic
      ret_reg_rest_in, ret_reg_rest_out : out std_logic
    );
  end component;

  component top_level is
    port (
      clk                               : in std_logic;
      rst_n                             : in std_logic;
      O                                 : out std_logic_vector(15 downto 0);
      B                                 : in std_logic_vector(7 downto 0);
      A                                 : in std_logic_vector(7 downto 0);
      turn_off_add, turn_off_mul        : in std_logic;
      iso_add, iso_mul                  : in std_logic;
      ret_reg_rest_in, ret_reg_rest_out : in std_logic;
      OP_CODE                           : in std_logic
    );
  end component;

  signal s_turn_off_add, s_turn_off_mul, s_iso_add, s_iso_mul, s_ret_reg_rest_in,
  s_ret_reg_rest_out : std_logic;

begin

  comp_PMU : PMU
  port map(
    OP_CODE, go_sleep, clk, s_turn_off_add, s_turn_off_mul, s_iso_add, s_iso_mul,
    s_ret_reg_rest_in, s_ret_reg_rest_out
  );

  comp_top_level : top_level
  port map(
    clk, rst_n, O, B, A, s_turn_off_add, s_turn_off_mul, s_iso_add, s_iso_mul,
    s_ret_reg_rest_in, s_ret_reg_rest_out, OP_CODE
  );
```

```

end structure;
```

C.1.4 Power intent (UPF)

```
set upf_create_implicit_supply_sets false
set_scope /

################ POWER DOMAIN DEFINITIONS ##################
create_power_domain TOP
create_power_domain PD1 -elements {comp_top_level/Adder_1}
create_power_domain PD2 -elements {comp_top_level/Multiplier_1}
create_power_domain REGIN -elements {comp_top_level/ff_sum_in_a
comp_top_level/ff_sum_in_b comp_top_level/ff_mul_in_a comp_top_level/ff_mul_in_b}
create_power_domain REGOUT -elements {comp_top_level/ff_out}

## POWER SUPPLY PORT
create_supply_port VDDL -domain TOP
create_supply_port VDDH -domain TOP
create_supply_port VBACK -domain TOP
create_supply_port VSS -domain TOP

## POWER SUPPLY NET (TOP)
create_supply_net VDDL -domain TOP
create_supply_net VDDH -domain TOP
create_supply_net VBACK -domain TOP
create_supply_net VSS -domain TOP

## POWER SUPPLY NET (PD1)
create_supply_net VDDL -domain PD1 -reuse
create_supply_net VSS -domain PD1 -reuse
create_supply_net VDDLPG -domain PD1

## POWER SUPPLY NET (PD2)
create_supply_net VDDH -domain PD2 -reuse
create_supply_net VSS -domain PD2 -reuse
create_supply_net VDDHPG -domain PD2

## POWER SUPPLY NET (REGIN)
create_supply_net VBACK -domain REGIN -reuse
create_supply_net VSS -domain REGIN -reuse

## POWER SUPPLY NET (REGOUT)
create_supply_net VBACK -domain REGOUT -reuse
create_supply_net VSS -domain REGOUT -reuse

connect_supply_net VDDL -ports {VDDL}
connect_supply_net VDDH -ports {VDDH}
connect_supply_net VBACK -ports {VBACK}
connect_supply_net VSS -ports {VSS}

set_domain_supply_net PD1 -primary_power_net VDDL -primary_ground_net VSS
set_domain_supply_net PD2 -primary_power_net VDDH -primary_ground_net VSS
set_domain_supply_net TOP -primary_power_net VBACK -primary_ground_net VSS
set_domain_supply_net REGIN -primary_power_net VBACK -primary_ground_net VSS
set_domain_supply_net REGOUT -primary_power_net VBACK -primary_ground_net VSS

```

```
################ POWER GATING DEFINITIONS ##################
create_power_switch PWRSW_PD1 -domain PD1 -input_supply_port {in VDDL}
-output_supply_port {out VDDLPG} -control_port {sleep comp_top_level/turn_off_add}
-on_state {ON in {!sleep}} -off_state {OFF {sleep}}
create_power_switch PWRSW_PD2 -domain PD2 -input_supply_port {in VDDH}
-output_supply_port {out VDDHPG} -control_port {sleep comp_top_level/turn_off_mul}
-on_state {ON in {!sleep}} -off_state {OFF {sleep}}

################ LEVEL SHIFTER ################
set_level_shifter LS1 -domain PD1 -applies_to inputs -rule high_to_low -location self
set_level_shifter LS2 -domain PD1 -applies_to outputs -rule low_to_high -location parent
set_level_shifter LS3 -domain PD2 -applies_to inputs -rule high_to_low -location self
set_level_shifter LS4 -domain PD2 -applies_to outputs -rule low_to_high -location parent

################ ISOLATION CELLS ################
set_isolation iso_cell_PD1 -domain PD1 -isolation_power_net VBACK -isolation_ground_net
VSS -clamp_value 1 -applies_to outputs
set_isolation iso_cell_PD2 -domain PD2 -isolation_power_net VBACK -isolation_ground_net
VSS -clamp_value 1 -applies_to outputs
set_isolation_control iso_cell_PD1 -domain PD1 -isolation_signal comp_top_level/iso_add
-isolation_sense low -location parent
set_isolation_control iso_cell_PD2 -domain PD2 -isolation_signal comp_top_level/iso_mul
-isolation_sense low -location parent

################ RETENTION REGISTERS ################
set_retention ret_reg_in -domain REGIN -save_signal {comp_top_level/ret_reg_rest_in
high} -restore_signal {comp_top_level/ret_reg_rest_in low} -retention_power_net VBACK
-retention_ground_net VSS
map_retention_cell ret_reg_in -domain REGIN -lib_cells {RDFFARX1_HVT RDFFARX2_HVT}
set_retention ret_reg_out -domain REGOUT -save_signal {comp_top_level/ret_reg_rest_out
high} -restore_signal {comp_top_level/ret_reg_rest_out low} -retention_power_net VBACK
-retention_ground_net VSS
map_retention_cell ret_reg_out -domain REGOUT -lib_cells {RDFFARX1_HVT RDFFARX2_HVT}

################## POWER STATE TABLE ##################
#port state
add_port_state VDDL -state {HV 0.8} -state {LV 0.75} -state {OFF off}
add_port_state VDDH -state {HV 1.2} -state {LV 0.75} -state {OFF off}
add_port_state VBACK -state {HV 1.2}
add_port_state PWRSW_PD1/out -state {HV 0.8} -state {LV 0.75} -state {OFF off}
add_port_state PWRSW_PD2/out -state {HV 1.2} -state {LV 0.75} -state {OFF off}
add_port_state VSS -state {ON 0.0}

#pst
create_pst top_pst -supplies {VDDL VDDH VDDLPG VDDHPG VSS VBACK}
add_pst_state ADD_HS -pst top_pst -state {HV HV HV OFF ON HV}
add_pst_state ADD_LS -pst top_pst -state {LV HV LV OFF ON HV}
add_pst_state MUL_HS -pst top_pst -state {HV HV OFF HV ON HV}
add_pst_state MUL_LS -pst top_pst -state {HV LV OFF LV ON HV}
add_pst_state SLEEP -pst top_pst -state {OFF OFF OFF OFF ON HV}
```

C.1.5 Testbench (System Verilog)

```
`timescale 1ns/1ps
module final_tb_pa;
import UPF::*;

```

```
localparam int unsigned NBITS = 8;

logic [NBITS-1 : 0] A_tb;
logic [NBITS-1 : 0] B_tb;
logic [2*NBITS-1 : 0] out_tb;
logic clk;
logic rst_n;
logic op_code_tb;
logic sleep;
bit status0, status1, status2, status3, status4, status5;

dummyALU UUT(
    .clk(clk),
    .rst_n(rst_n),
    .O(out_tb),
    .B(B_tb),
    .A(A_tb),
    .go_sleep(sleep),
    .OP_CODE(op_code_tb)
);

always@(posedge clk) begin
  if(rst_n != 1'b0 && sleep != 1'b0) begin
  assign_inputs(A_tb, B_tb, op_code_tb);
        #10 compute_correct_result(A_tb, B_tb, op_code_tb, out_tb);
  end
end

always #2 clk = ~clk;

initial begin
    rst_n = 0;
    clk = 1;
    A_tb = 8'b00000000;
    B_tb = 8'b00000000;
    op_code_tb = 1'b0;

    // PA Initializations
    status0=supply_on("UUT/VBACK", 1.2);
    status1=supply_on("UUT/VSS", 0.0);
    status2=supply_on("UUT/VDDH", 1.2);
    status3=supply_on("UUT/VDDL", 0.8);

    sleep = 1'b1;
    #10 rst_n = 1;
    #1000;
    status0=supply_on("UUT/VBACK", 1.2);
    status1=supply_on("UUT/VSS", 0.0);
    status2=supply_on("UUT/VDDH", 0.8);
    status3=supply_on("UUT/VDDL", 0.75);
    #1000
    sleep = 1'b0;
    #4
    status4=supply_off("UUT/VDDL");
    status5=supply_off("UUT/VDDH");
    #200;
    status2=supply_on("UUT/VDDH", 0.8);
    status3=supply_on("UUT/VDDL", 0.75);
    #4
```

```
    sleep = 1'b1;
end

task assign_inputs;
    output [NBITS-1 : 0] A, B;
    output op_code;

    begin
    A = $urandom_range(0, 100);
    B = $urandom_range(0, 100);
    op_code = $urandom_range(0, 1);
    end

endtask

task compute_correct_result;
    input [NBITS-1 : 0] A, B;
    input op_code;
    input [2*NBITS-1 : 0] res;
    int correct_res;

    begin

        $write("[%0t] %d ", $time, A);

        if(op_code == 1) begin
            $write("+ %d = %d\n", B, res);
            correct_res = A + B;
        end else begin
            $write("* %d = %d\n", B, res);
            correct_res = A * B;
        end

    if(correct_res != res) begin
            $display("Incorrect result! Correct result is %d", correct_res);
    end
    end

endtask

endmodule
```

C.2 Esercizio 2

C.2.1 Top Level Entity (ALU) (VHDL)

```
library ieee;
use ieee.std_logic_1164.all;
use ieee.numeric_std.all;

entity top_level is
  port (
    clk                                                    : in std_logic;
    rst_n                                                  : in std_logic;
    O                                                      : out std_logic_vector(15
    downto 0);
```

```
    B                                                          : in std_logic_vector(7 downto 0);
    A                                                          : in std_logic_vector(7 downto 0);
    PROG                                                       : in std_logic_vector(7 downto 0);
    turn_off_add, turn_off_mul, turn_off_logic, turn_off_LUT : in std_logic;
    iso_add, iso_mul, iso_logic, iso_LUT                       : in std_logic;
    ret_reg_rest_in, ret_reg_rest_out                          : in std_logic;
    OP_CODE                                                    : in std_logic_vector(1 downto 0); -- bit che vanno a finire in func
    prog_logic                                                 : in std_logic_vector(1 downto 0)  -- bit che vanno a finire funcL
  );
end top_level;

architecture structure of top_level is

  component Multiplier
    generic (nbit : integer := 8);
    port (
      A : in std_logic_vector(7 downto 0);
      B : in std_logic_vector(7 downto 0);
      O : out std_logic_vector(15 downto 0)
    );
  end component;

  component Adder
    generic (nbit : integer := 8);
    port (
      A   : in std_logic_vector(nbit - 1 downto 0);
      B   : in std_logic_vector(nbit - 1 downto 0);
      AS  : in std_logic; -- primo carry in
      SUM : out std_logic_vector(nbit - 1 downto 0)
    );
  end component;

  component Reg
    generic (nbit : integer := 8);
    port (
      CK : in std_logic;
      EN : in std_logic;
      R  : in std_logic;
      D  : in std_logic_vector(nbit - 1 downto 0);
      Q  : out std_logic_vector(nbit - 1 downto 0)
    );
  end component;

  component FLIPFLOP
    port (
      CK  : in std_logic;
      RN  : in std_logic;
      WR  : in std_logic;  --D
      RD  : out std_logic; --Q
      RDN : out std_logic  --Qn
    );
  end component;

  component Logic
```

```
    port (
      A, B  : in std_logic_vector(7 downto 0);
      funcL : in std_logic_vector(1 downto 0);
      Y     : out std_logic_vector(7 downto 0)
    );
  end component;

  component LUT
    port (
      LUT_in  : in std_logic_vector(7 downto 0);
      LUT_sel : in std_logic_vector(2 downto 0);
      LUT_O   : out std_logic
    );
  end component;

  signal Multiplier_O : std_logic_vector(15 downto 0);
  signal Adder_O      : std_logic_vector(7 downto 0);
  signal Logic_O      : std_logic_vector(7 downto 0);
  signal LUT_O        : std_logic;

  signal A_s     : std_logic_vector(7 downto 0);
  signal B_s     : std_logic_vector(7 downto 0);
  signal LUT_in  : std_logic_vector(7 downto 0);
  signal LUT_sel : std_logic_vector(2 downto 0);

  signal O_s : std_logic_vector(15 downto 0);

  constant zeros_x8  : std_logic_vector(7 downto 0)  := (others => '0');
  constant zeros_x15 : std_logic_vector(14 downto 0) := (others => '0');

  signal Mux_s : std_logic_vector(15 downto 0);

  signal func  : std_logic_vector(1 downto 0);
  signal funcL : std_logic_vector(1 downto 0);

begin

  ff_func_0 : FLIPFLOP port map(
    CK  => clk,
    RN  => rst_n,
    WR  => OP_CODE(0),
    RD  => func(0),
    RDN => open);

  ff_func_1 : FLIPFLOP port map(
    CK  => clk,
    RN  => rst_n,
    WR  => OP_CODE(1),
    RD  => func(1),
    RDN => open);

  ff_funcL_0 : FLIPFLOP port map(
    CK  => clk,
    RN  => rst_n,
    WR  => prog_logic(0),
    RD  => funcL(0),
    RDN => open);

  ff_funcL_1 : FLIPFLOP port map(
```

```
      CK  => clk,
      RN  => rst_n,
      WR  => prog_logic(1),
      RD  => funcL(1),
      RDN => open);
    -- func sono i primi due bit dell op code e pilota il mux di uscita
    -- funcL sono gli altri due bit dell'opcode e pilota la logica programmabile

    -- registri che campionano gli ingressi A B e uscita O
    ff_a   : reg generic map(8) port map(clk, '1', rst_n, A, A_s);
    ff_b   : reg generic map(8) port map(clk, '1', rst_n, B, B_s);
    ff_out : reg generic map(16) port map(clk, '1', rst_n, Mux_s, O_s);
    ff_LUT : reg generic map(8) port map(clk, '1', rst_n, PROG, LUT_in);

    -- operatori
    Multiplier_1 : Multiplier generic map(8) port map(A_s, B_s, Multiplier_O);
    Adder_1      : Adder generic map(8) port map(A_s, B_s, '0', Adder_O);
    Logic_1      : Logic port map(A_s, B_s, funcL, Logic_O);
    LUT_1        : LUT port map(LUT_in, LUT_sel, LUT_O);

    -- mux di uscita
    Mux_s <= (zeros_x8 & Adder_O) when func = "00" else
      Multiplier_O when func = "01" else
      (zeros_x8 & Logic_O) when func = "10" else
      (zeros_x15 & LUT_O);

    LUT_sel <= A_s(2 downto 0);
    -- assegnazione uscita
    O <= O_s;

  end structure;
```

C.2.2 LUT (VHDL)

```
library ieee;
use ieee.std_logic_1164.all;
use ieee.numeric_std.all;

entity LUT is
    port (
        LUT_in  : in std_logic_vector(7 downto 0);
        LUT_sel : in std_logic_vector(2 downto 0);
        LUT_O   : out std_logic
    );
end LUT;

architecture structure of LUT is
begin
    LUT_O <=
        LUT_in(0) when LUT_sel = "000" else
        LUT_in(1) when LUT_sel = "001" else
        LUT_in(2) when LUT_sel = "010" else
        LUT_in(3) when LUT_sel = "011" else
        LUT_in(4) when LUT_sel = "100" else
        LUT_in(5) when LUT_sel = "101" else
        LUT_in(6) when LUT_sel = "110" else
        LUT_in(7);
end structure;
```

C.2.3 Logic (VHDL)

```
library ieee;
use ieee.std_logic_1164.all;
use ieee.numeric_std.all;

entity Logic is
    port (
        A, B  : in std_logic_vector(7 downto 0);
        funcL : in std_logic_vector(1 downto 0);
        Y     : out std_logic_vector(7 downto 0)
    );
end Logic;

architecture structure of Logic is
begin
    Y <= (A and B) when funcL = "00" else
         (A or B) when funcL = "01" else
         (A xor B) when funcL = "10" else
         (others => '0');
end structure;
```

C.2.4 Power Management Unit (VHDL)

```
library ieee;
use ieee.std_logic_1164.all;

--opcode = 0 -> MUL
--opcode = 1 -> SUM

entity PMU is
  port (
    opcode                                                    : in std_logic_vector(1 downto 0);
    go_sleep                                                  : in std_logic_vector(1 downto 0);
    clk                                                       : in std_logic;
    turn_off_add, turn_off_mul, turn_off_logic, turn_off_LUT : out std_logic;
    iso_add, iso_mul, iso_logic, iso_LUT                      : out std_logic;
    ret_reg_rest_in, ret_reg_rest_out                         : out std_logic);
end PMU;

architecture behaviour of PMU is

  signal turn_off_add_int, turn_off_mul_int, turn_off_logic_int, turn_off_LUT_int : std_logic;
  signal iso_add_int, iso_mul_int, iso_logic_int, iso_LUT_int                     : std_logic;
  signal ret_reg_rest_int                                                          : std_logic;

begin

  -- isolation attivo basso
  -- turn off signal attivi alti
  -- retention signal attivi bassi
  process (opcode, go_sleep)
```

```
  begin
    --valori di default, tipo come nelle macchine a stati
    --default sarebbe che funziona tutto, no isolation, registri in transparent modex\
    turn_off_add_int   <= '0';
    turn_off_mul_int   <= '0';
    turn_off_logic_int <= '0';
    turn_off_LUT_int   <= '0';

    iso_add_int   <= '1';
    iso_mul_int   <= '1';
    iso_logic_int <= '1';
    iso_LUT_int   <= '1';

    ret_reg_rest_int <= '1';

    if go_sleep = "11" then -- full power mode

      if opcode = "00" then --lavora adder
        turn_off_mul_int   <= '1';
        turn_off_logic_int <= '1';
        turn_off_LUT_int   <= '1';

        iso_mul_int   <= '0';
        iso_logic_int <= '0';
        iso_LUT_int   <= '0';

      elsif opcode = "01" then --lavora mply
        turn_off_add_int   <= '1';
        turn_off_logic_int <= '1';
        turn_off_LUT_int   <= '1';

        iso_add_int   <= '0';
        iso_logic_int <= '0';
        iso_LUT_int   <= '0';

      elsif opcode = "10" then -- lavora logica
        turn_off_add_int <= '1';
        turn_off_mul_int <= '1';
        turn_off_LUT_int <= '1';

        iso_add_int <= '0';
        iso_mul_int <= '0';
        iso_LUT_int <= '0';
      else -- opcode = 11 --lavora LUT
        turn_off_add_int   <= '1';
        turn_off_mul_int   <= '1';
        turn_off_logic_int <= '1';

        iso_add_int   <= '0';
        iso_mul_int   <= '0';
        iso_logic_int <= '0';
      end if;

    elsif go_sleep = "10" then -- normal mode

      turn_off_mul_int <= '1'; -- spengo multiply
      iso_mul_int      <= '0'; -- isolation multiply

      if opcode = "00" then --somma -- turn off logica lut
```

```
        turn_off_logic_int <= '1';
        turn_off_LUT_int   <= '1';

        iso_logic_int <= '0';
        iso_LUT_int   <= '0';

      elsif opcode = "10" then --logica -- turn off somma lut
        turn_off_add_int <= '1';
        turn_off_LUT_int <= '1';

        iso_add_int <= '0';
        iso_LUT_int <= '0';

      elsif opcode = "11" then --lut -- turn off somma logica
        turn_off_add_int   <= '1';
        turn_off_logic_int <= '1';

        iso_add_int   <= '0';
        iso_logic_int <= '0';

      else -- turn off tutto il resto
        turn_off_add_int   <= '1';
        turn_off_logic_int <= '1';
        turn_off_LUT_int   <= '1';

        iso_add_int   <= '0';
        iso_logic_int <= '0';
        iso_LUT_int   <= '0';

        ret_reg_rest_int <= '0'; --registri retention mode

      end if;

    elsif go_sleep = "01" then -- low power mode
      -- turn off mply logica lut
      turn_off_mul_int   <= '1';
      turn_off_logic_int <= '1';
      turn_off_LUT_int   <= '1';

      iso_mul_int   <= '0';
      iso_logic_int <= '0';
      iso_LUT_int   <= '0';

      -- se opcode = 00 il sommatore lavora grazie ai default messi prima del if
      -- se opcode != 00 posso spegnere anche il sommatore
      if (opcode = "01" or opcode = "10" or opcode = "11") then
        turn_off_add_int <= '1';

        iso_add_int <= '0';

        ret_reg_rest_int <= '0'; --registri retention mode

      end if;
    else -- go_sleep = 00 (sleep mode)
      turn_off_add_int   <= '1';
      turn_off_mul_int   <= '1';
      turn_off_logic_int <= '1';
      turn_off_LUT_int   <= '1';

```

```
      iso_add_int   <= '0';
      iso_mul_int   <= '0';
      iso_logic_int <= '0';
      iso_LUT_int   <= '0';

      ret_reg_rest_int <= '0';

    end if;
  end process;

  --segnale non ritardato
  ret_reg_rest_in <= ret_reg_rest_int;

  --segnali ritardati
  process (clk)
  begin
    if (clk'event and clk = '1') then
      turn_off_add     <= turn_off_add_int;
      turn_off_mul     <= turn_off_mul_int;
      turn_off_logic   <= turn_off_logic_int;
      turn_off_LUT     <= turn_off_LUT_int;
      iso_add          <= iso_add_int;
      iso_mul          <= iso_mul_int;
      iso_logic        <= iso_logic_int;
      iso_LUT          <= iso_LUT_int;
      ret_reg_rest_out <= ret_reg_rest_int;
    end if;
  end process;

end architecture;
```

C.2.5 Top level entity (VHDL)

```
library ieee;
use ieee.std_logic_1164.all;

entity dummyALU is
port(
    clk : in std_logic;
    rst_n : in std_logic;
    O : out std_logic_vector(15 downto 0);
    B : in std_logic_vector(7 downto 0);
    A : in std_logic_vector(7 downto 0);
    PROG : in std_logic_vector(7 downto 0);
    go_sleep : in std_logic_vector(1 downto 0);
    OP_CODE : in std_logic_vector(1 downto 0); -- bit che vanno a finire in func
    prog_logic : in std_logic_vector(1 downto 0) -- bit che vanno a finire funcL
  );
end dummyALU;


architecture structure of dummyALU is
  component PMU
    port (
      opcode                                                    : in std_logic_vector(1
      downto 0);
```

```
      go_sleep                                                    : in std_logic_vector(1
      downto 0);
      clk                                                         : in std_logic;
      turn_off_add, turn_off_mul, turn_off_logic, turn_off_LUT : out std_logic;
      iso_add, iso_mul, iso_logic, iso_LUT                        : out std_logic;
      ret_reg_rest_in, ret_reg_rest_out                           : out std_logic);
  end component;

  component top_level
    port(
      clk : in std_logic;
      rst_n : in std_logic;
      O : out std_logic_vector(15 downto 0);
      B : in std_logic_vector(7 downto 0);
      A : in std_logic_vector(7 downto 0);
      PROG : in std_logic_vector(7 downto 0);
      turn_off_add, turn_off_mul, turn_off_logic, turn_off_LUT : in std_logic;
      iso_add, iso_mul, iso_logic, iso_LUT                        : in std_logic;
      ret_reg_rest_in, ret_reg_rest_out                           : in std_logic;
      OP_CODE : in std_logic_vector(1 downto 0); -- bit che vanno a finire in func
      prog_logic : in std_logic_vector(1 downto 0) -- bit che vanno a finire funcL
    );
  end component;

  -- i segnali hanno gli stessi nomi delle entity
  signal turn_off_add, turn_off_mul, turn_off_logic, turn_off_LUT : std_logic;
  signal iso_add, iso_mul, iso_logic, iso_LUT                     : std_logic;
  signal ret_reg_rest_in, ret_reg_rest_out                        : std_logic;

begin

  comp_PMU : PMU port map (  OP_CODE,
                go_sleep,
                clk,
                turn_off_add, turn_off_mul, turn_off_logic, turn_off_LUT,
                iso_add, iso_mul, iso_logic, iso_LUT,
                ret_reg_rest_in, ret_reg_rest_out);
  comp_top_level : top_level port map(clk,
                    rst_n,
                    O,
                    B,
                    A,
                    PROG,
                    turn_off_add, turn_off_mul, turn_off_logic, turn_off_LUT,
                    iso_add, iso_mul, iso_logic, iso_LUT,
                    ret_reg_rest_in, ret_reg_rest_out,
                    OP_CODE,
                    prog_logic);
end structure;
```

C.2.6 Power intent (UPF)

```
set upf_create_implicit_supply_sets false
set_scope /
################ POWER DOMAIN DEFINITIONS #################
create_power_domain TOP
create_power_domain PD1 -elements {comp_top_level/Multiplier_1}
```

```
create_power_domain PD2 -elements {comp_top_level/Adder_1}
create_power_domain PD3 -elements {comp_top_level/Logic_1}
create_power_domain PD4 -elements {comp_top_level/LUT_1}
create_power_domain REGIN -elements {comp_top_level/ff_a comp_top_level/ff_b
comp_top_level/ff_LUT}
create_power_domain REGOUT -elements {comp_top_level/ff_out}

# POWER SUPPLY PORT
create_supply_port VDDM -domain TOP
create_supply_port VDDA -domain TOP
create_supply_port VDDL -domain TOP
create_supply_port VDDLU -domain TOP
create_supply_port VBACK -domain TOP
create_supply_port VSS -domain TOP

#POWER SUPPLY NET (TOP)
create_supply_net VDDM -domain TOP
create_supply_net VDDA -domain TOP
create_supply_net VDDL -domain TOP
create_supply_net VDDLU -domain TOP
create_supply_net VBACK -domain TOP
create_supply_net VSS -domain TOP

#POWER SUPPLY NET (PD1)
create_supply_net VDDM -domain PD1 -reuse
create_supply_net VSS -domain PD1 -reuse
create_supply_net VDDMPG -domain PD1

#POWER SUPPLY NET (PD2)
create_supply_net VDDA -domain PD2 -reuse
create_supply_net VSS -domain PD2 -reuse
create_supply_net VDDAPG -domain PD2

#POWER SUPPLY NET (PD3)
create_supply_net VDDL -domain PD3 -reuse
create_supply_net VSS -domain PD3 -reuse
create_supply_net VDDLPG -domain PD3

#POWER SUPPLY NET (PD4)
create_supply_net VDDLU -domain PD4 -reuse
create_supply_net VSS -domain PD4 -reuse
create_supply_net VDDLUPG -domain PD4

#POWER SUPPLY NET (REGIN)
create_supply_net VBACK -domain REGIN -reuse
create_supply_net VSS -domain REGIN -reuse

#POWER SUPPLY NET (REGOUT)
create_supply_net VBACK -domain REGOUT -reuse
create_supply_net VSS -domain REGOUT -reuse

connect_supply_net VDDM -ports {VDDM}
connect_supply_net VDDA -ports {VDDA}
connect_supply_net VDDL -ports {VDDL}
connect_supply_net VDDLU -ports {VDDLU}
connect_supply_net VBACK -ports {VBACK}
connect_supply_net VSS -ports {VSS}

set_domain_supply_net PD1 -primary_power_net VDDM -primary_ground_net VSS
```

```
set_domain_supply_net PD2 -primary_power_net VDDA -primary_ground_net VSS
set_domain_supply_net PD3 -primary_power_net VDDL -primary_ground_net VSS
set_domain_supply_net PD4 -primary_power_net VDDLU -primary_ground_net VSS
set_domain_supply_net TOP -primary_power_net VBACK -primary_ground_net VSS
set_domain_supply_net REGIN -primary_power_net VBACK -primary_ground_net VSS
set_domain_supply_net REGOUT -primary_power_net VBACK -primary_ground_net VSS

################ POWER GATING DEFINITIONS ##################
create_power_switch PWRSW_PD1 -domain PD1 -input_supply_port {in VDDM}
-output_supply_port {out VDDMPG} -control_port {sleep comp_top_level/turn_off_mul}
-on_state {ON in {!sleep}} -off_state {OFF {sleep}}
create_power_switch PWRSW_PD2 -domain PD2 -input_supply_port {in VDDA}
-output_supply_port {out VDDAPG} -control_port {sleep comp_top_level/turn_off_add}
-on_state {ON in {!sleep}} -off_state {OFF {sleep}}
create_power_switch PWRSW_PD3 -domain PD3 -input_supply_port {in VDDL}
-output_supply_port {out VDDLPG} -control_port {sleep comp_top_level/turn_off_logic}
-on_state {ON in {!sleep}} -off_state {OFF {sleep}}
create_power_switch PWRSW_PD4 -domain PD4 -input_supply_port {in VDDLU}
-output_supply_port {out VDDLUPG} -control_port {sleep comp_top_level/turn_off_LUT}
-on_state {ON in {!sleep}} -off_state {OFF {sleep}}

################# LEVEL SHIFTER #################
set_level_shifter LS1 -domain PD1 -applies_to inputs -rule high_to_low -location self
set_level_shifter LS2 -domain PD1 -applies_to outputs -rule low_to_high -location parent
set_level_shifter LS3 -domain PD2 -applies_to inputs -rule high_to_low -location self
set_level_shifter LS4 -domain PD2 -applies_to outputs -rule low_to_high -location parent
set_level_shifter LS5 -domain PD3 -applies_to inputs -rule high_to_low -location self
set_level_shifter LS6 -domain PD3 -applies_to outputs -rule low_to_high -location parent
set_level_shifter LS7 -domain PD4 -applies_to inputs -rule high_to_low -location self
set_level_shifter LS8 -domain PD4 -applies_to outputs -rule low_to_high -location parent

################# ISOLATION CELLS ################
set_isolation iso_cell_PD1 -domain PD1 -isolation_power_net VBACK -isolation_ground_net
VSS -clamp_value 0 -applies_to outputs
set_isolation iso_cell_PD2 -domain PD2 -isolation_power_net VBACK -isolation_ground_net
VSS -clamp_value 0 -applies_to outputs
set_isolation iso_cell_PD3 -domain PD3 -isolation_power_net VBACK -isolation_ground_net
VSS -clamp_value 0 -applies_to outputs
set_isolation iso_cell_PD4 -domain PD4 -isolation_power_net VBACK -isolation_ground_net
VSS -clamp_value 0 -applies_to outputs

################# ISOLATION CONTROLS ################
set_isolation_control iso_cell_PD1 -domain PD1 -isolation_signal comp_top_level/iso_mul
-isolation_sense low -location parent
set_isolation_control iso_cell_PD2 -domain PD2 -isolation_signal comp_top_level/iso_add
-isolation_sense low -location parent
set_isolation_control iso_cell_PD3 -domain PD3 -isolation_signal
comp_top_level/iso_logic -isolation_sense low -location parent
set_isolation_control iso_cell_PD4 -domain PD4 -isolation_signal comp_top_level/iso_LUT
-isolation_sense low -location parent

################# RETENTION REGISTERS #################
set_retention ret_reg_in -domain REGIN -save_signal {comp_top_level/ret_reg_rest_in
high} -restore_signal {comp_top_level/ret_reg_rest_in low} -retention_power_net VBACK
-retention_ground_net VSS
map_retention_cell ret_reg_in -domain REGIN -lib_cells {RDFFARX1_HVT RDFFARX2_HVT}
set_retention ret_reg_out -domain REGOUT -save_signal {comp_top_level/ret_reg_rest_out
high} -restore_signal {comp_top_level/ret_reg_rest_out low} -retention_power_net VBACK
-retention_ground_net VSS
```

```
map_retention_cell ret_reg_out -domain REGOUT -lib_cells {RDFFARX1_HVT RDFFARX2_HVT}

################## POWER STATE TABLE #################
#port state
add_port_state VDDM -state {HV 0.8} -state {LV 0.75} -state {OFF off}
add_port_state VDDA -state {HV 1.2} -state {LV 0.75} -state {OFF off}
add_port_state VDDL -state {HV 0.8} -state {LV 0.75} -state {OFF off}
add_port_state VDDLU -state {HV 1.2} -state {LV 0.75} -state {OFF off}
add_port_state VBACK -state {HV 1.2}
add_port_state PWRSW_PD1/out -state {HV 0.8} -state {LV 0.75} -state {OFF off}
add_port_state PWRSW_PD2/out -state {HV 1.2} -state {LV 0.75} -state {OFF off}
add_port_state PWRSW_PD3/out -state {HV 0.8} -state {LV 0.75} -state {OFF off}
add_port_state PWRSW_PD4/out -state {HV 1.2} -state {LV 0.75} -state {OFF off}
add_port_state VSS -state {ON 0.0}

#pst
create_pst top_pst -supplies {VDDM VDDA VDDL VDDLU VDDMPG VDDAPG VDDLPG VDDLUPG VSS
VBACK}
add_pst_state ADD_HS -pst top_pst -state {HV HV HV OFF HV HV HV OFF ON HV}
add_pst_state ADD_LS -pst top_pst -state {LV HV LV OFF LV HV LV OFF ON HV}
add_pst_state MUL_HS -pst top_pst -state {HV HV OFF HV HV HV OFF HV ON HV}
add_pst_state MUL_LS -pst top_pst -state {HV LV OFF LV HV LV OFF LV ON HV}
add_pst_state LOGIC_HS -pst top_pst -state {HV HV HV OFF HV HV HV OFF ON HV}
add_pst_state LOGIC_LS -pst top_pst -state {LV HV LV OFF LV HV LV OFF ON HV}
add_pst_state LUT_HS -pst top_pst -state {HV HV OFF HV HV HV OFF HV ON HV}
add_pst_state LUT_LS -pst top_pst -state {HV LV OFF LV HV LV OFF LV ON HV}
add_pst_state SLEEP -pst top_pst -state {OFF OFF OFF OFF OFF OFF OFF OFF ON HV}
```

C.2.7 Testbench (System Verilog)

```
`timescale 1ns/1ps
module final_tb_pa;
import UPF::*;

localparam int unsigned NBITS = 8;

logic clk;
logic rst_n;
logic [NBITS-1 : 0] A_tb;
logic [NBITS-1 : 0] B_tb;
logic [2*NBITS-1 : 0] out_tb;
logic [NBITS-1 : 0] PROG_tb;
logic [1 : 0] op_code_tb;
logic [1 : 0] prog_logic_tb;
logic [1 : 0]sleep;
bit status0, status1, status2, status3, status4, status5;

dummyALU UUT(
    .clk(clk),
    .rst_n(rst_n),
    .O(out_tb),
    .B(B_tb),
    .A(A_tb),
    .PROG(PROG_tb),
    .go_sleep(sleep),
    .OP_CODE(op_code_tb),
    .prog_logic(prog_logic_tb)
```

```
);


always@(posedge clk) begin
  if(rst_n != 1'b0 && sleep != 2'b00) begin
  assign_inputs(A_tb, B_tb, op_code_tb);
        #10 compute_correct_result(A_tb, B_tb, op_code_tb, out_tb, PROG_tb,
        prog_logic_tb);
  end
end


always #2 clk = ~clk;

initial begin
    rst_n = 0;
    clk = 1;
    A_tb = 8'b00000000;
    B_tb = 8'b00000000;
    op_code_tb = 2'b00;
    PROG_tb = 8'b10101010;
    prog_logic_tb = 2'b00;

    // PA Initializations
    status0=supply_on("UUT/VBACK", 1.2);
    status1=supply_on("UUT/VSS", 0.0);

    status2=supply_on("UUT/VDDM", 0.8);
    status3=supply_on("UUT/VDDA", 1.2);
    status4=supply_on("UUT/VDDL", 0.8);
    status5=supply_on("UUT/VDDLU", 1.2);

    sleep = 2'b11; //full power
    #12 rst_n = 1;
    #1000;
    status2=supply_on("UUT/VDDM", 0.8);
    status3=supply_on("UUT/VDDA", 1.2);
    status4=supply_on("UUT/VDDL", 0.75);
    status5=supply_on("UUT/VDDLU", 0.75);
    #1000;

    sleep = 2'b10; //normal
    #4;
    status2=supply_off("UUT/VDDM");
    #1000;
    status3=supply_on("UUT/VDDA", 0.75);
    status4=supply_on("UUT/VDDL", 0.75);
    status5=supply_on("UUT/VDDLU", 0.75);
    #1000;

    sleep = 2'b01; //low power
    #4;
    status4=supply_off("UUT/VDDL");
    status5=supply_off("UUT/VDDLU");
    #1000;
    status3=supply_on("UUT/VDDA", 0.75);
    #1000;

    sleep = 2'b00; //sleep
```

```
    #4;
    status3=supply_off("UUT/VDDA");
    #1000;

    status2=supply_on("UUT/VDDM", 0.8);
    status3=supply_on("UUT/VDDA", 1.2);
    status4=supply_on("UUT/VDDL", 0.8);
    status5=supply_on("UUT/VDDLU", 0.75);
    #4;
    sleep = 2'b11; //full power
end

task assign_inputs;
    output [NBITS-1 : 0] A, B;
    output [1:0] op_code;

    begin
    A = $urandom_range(0, 100);
    B = $urandom_range(0, 100);
    op_code = $urandom_range(0, 3);
    end

endtask

task compute_correct_result;
    input [NBITS-1 : 0] A, B;
    input [1 : 0] op_code;
    input [2*NBITS-1 : 0] res;
    input [NBITS-1 : 0] PROG;
    input [1 : 0] prog_logic;
    int correct_res;
    int index_of_LUT;


    begin

        index_of_LUT = A[2:0];
        $write("[%0t] ", $time);

        if(op_code == 0) begin
            $write("%d + %d = %d\n", A, B, res);
            correct_res = A + B;
        end else if(op_code == 1) begin
            $write("%d * %d = %d\n", A, B, res);
            correct_res = A * B;
        end else if(op_code == 2) begin
            if(prog_logic == 0) begin
                $write("%d AND %d = %d\n", A, B, res);
                correct_res = A & B;
            end else if (prog_logic == 1) begin
                $write("%d OR %d = %d\n", A, B, res);
                correct_res = A | B;
            end else if (prog_logic == 2) begin
                $write("%d XOR %d = %d\n", A, B, res);
                correct_res = A ^ B;
            end
        end else begin
            $write("%b at %d = %d\n", PROG, index_of_LUT, res);
            correct_res = PROG[index_of_LUT];
```

```
        end

    if(correct_res != res) begin
            $display("Incorrect result! Correct result is %d", correct_res);
    end
    end

endtask

endmodule
```