

# FPGA Project

The background features a close-up photograph of a printed circuit board (PCB) with several blue and orange surface-mount components. The board has a complex pattern of gold-colored metal traces and pads. A diagonal white line runs from the top-left corner to the bottom-right corner, intersecting the text. There are also small white 'X' and checkmark icons scattered across the background.

## Image Processing



## X ECHIPA NOASTRĂ:

1

Ciobanu Daria

2

Doca Andrei

3

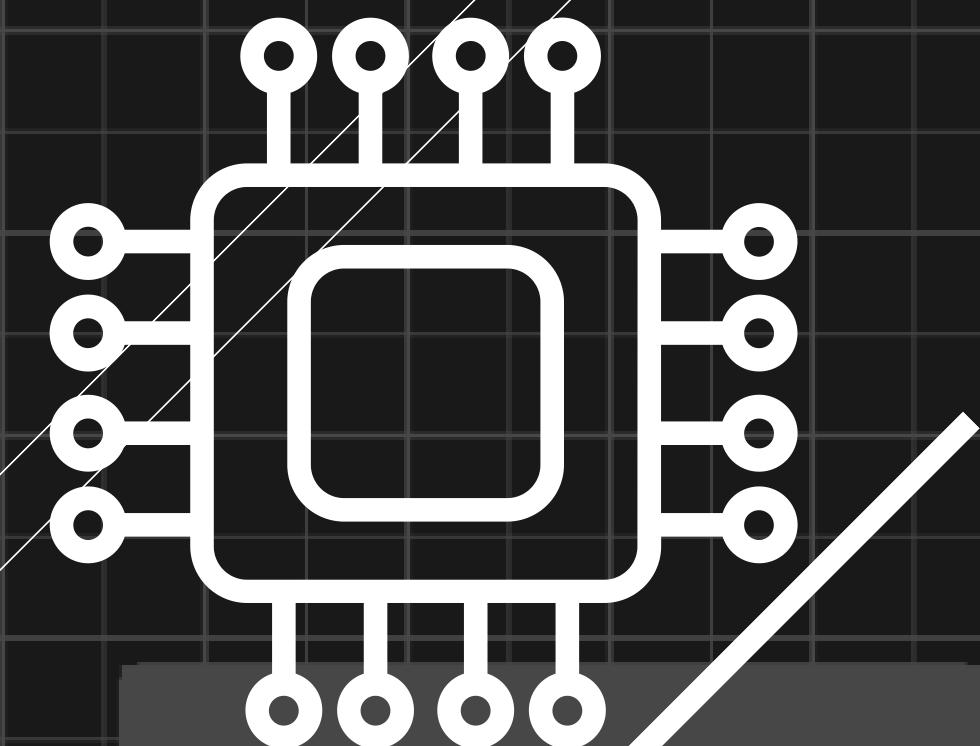
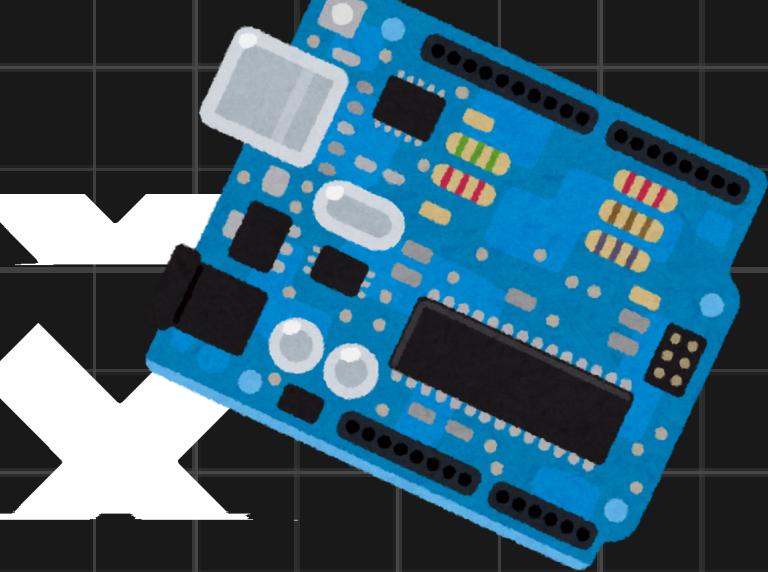
Georgescu Cătălin

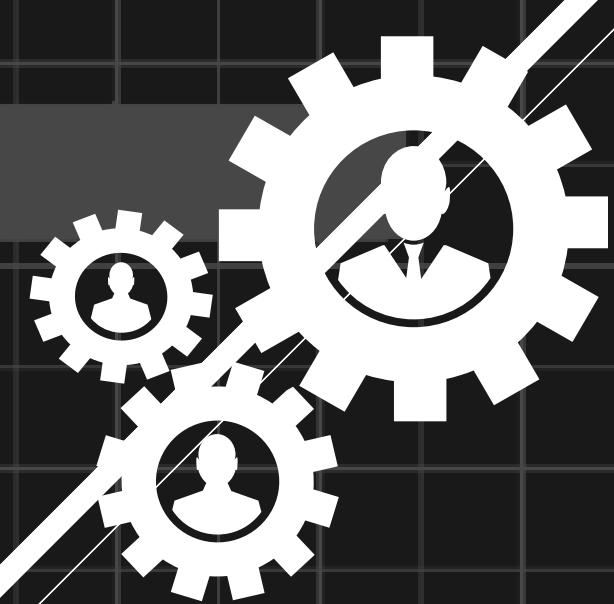
4

Hondola Paul

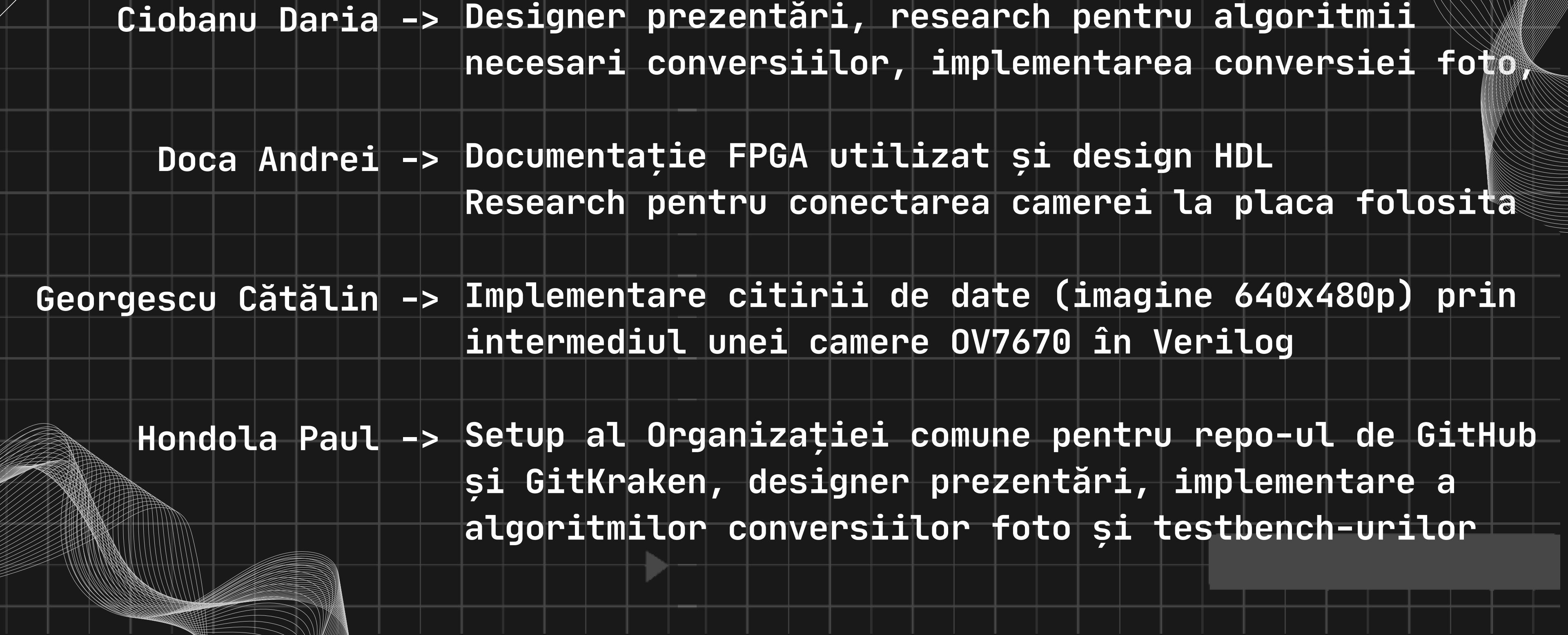
## TUTORE:

Prof. Dr. Ing.  
Boncalo Oana





# TASK-URILE NOASTRE:



Ciobanu Daria -> Designer prezentări, research pentru algoritmi necesari conversiilor, implementarea conversiei foto,

Doca Andrei -> Documentație FPGA utilizat și design HDL  
Research pentru conectarea camerei la placă folosită

Georgescu Cătălin -> Implementare citirii de date (imagine 640x480p) prin intermediul unei camere OV7670 în Verilog

Hondola Paul -> Setup al Organizației comune pentru repo-ul de GitHub și GitKraken, designer prezentări, implementare a algoritmilor conversiilor foto și testbench-urilor

# AMD Vivado

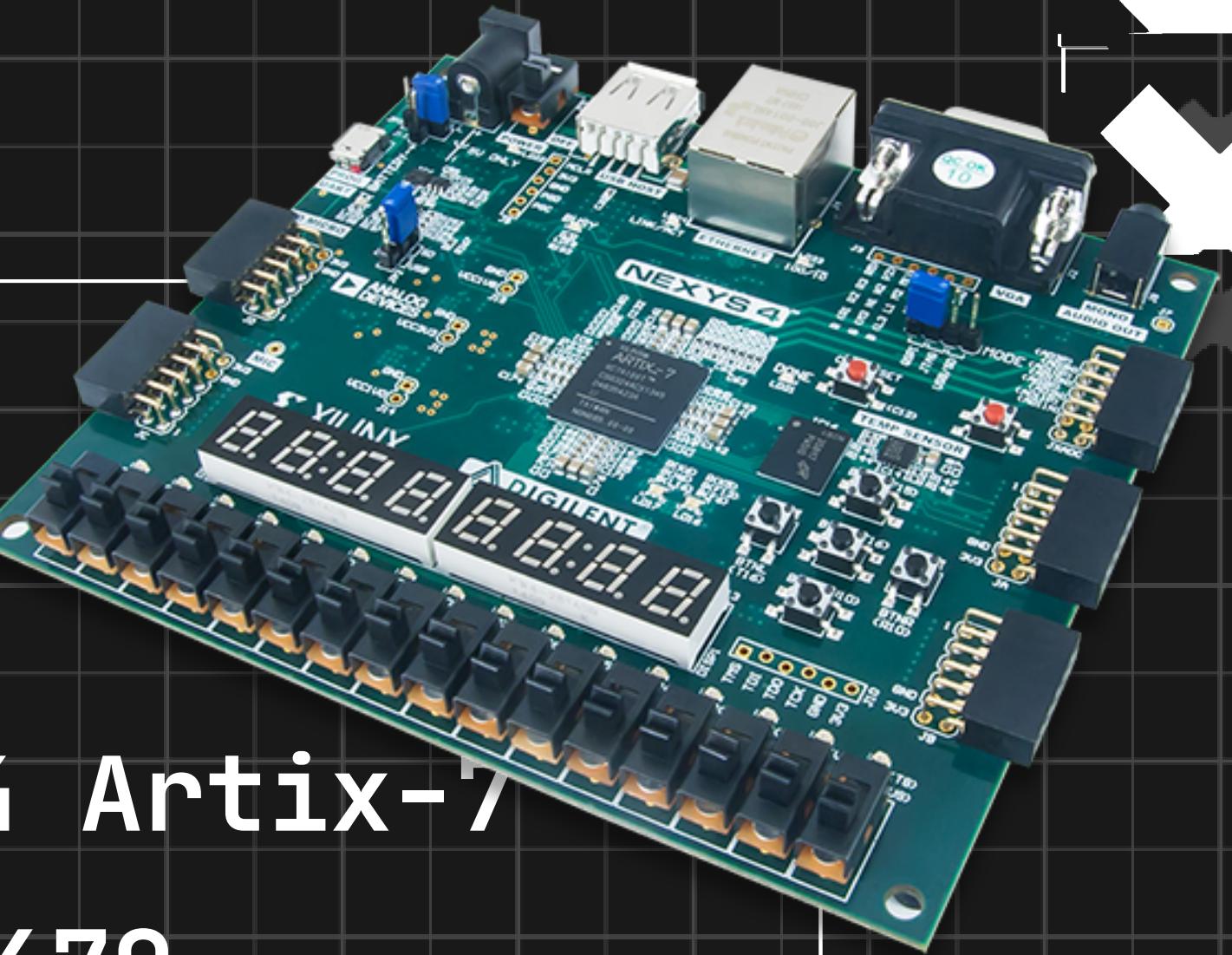
## Setup

FPGA: Xilinx Nexys-4 Artix-7

Camera: OV7670

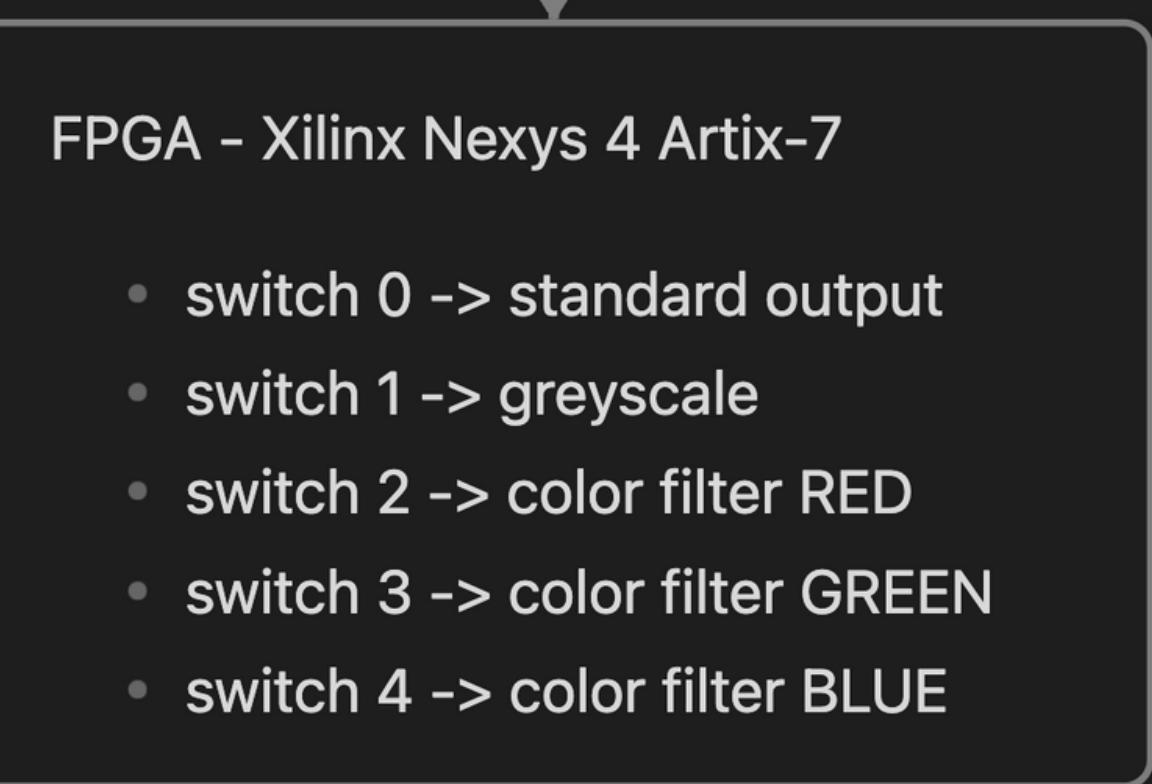
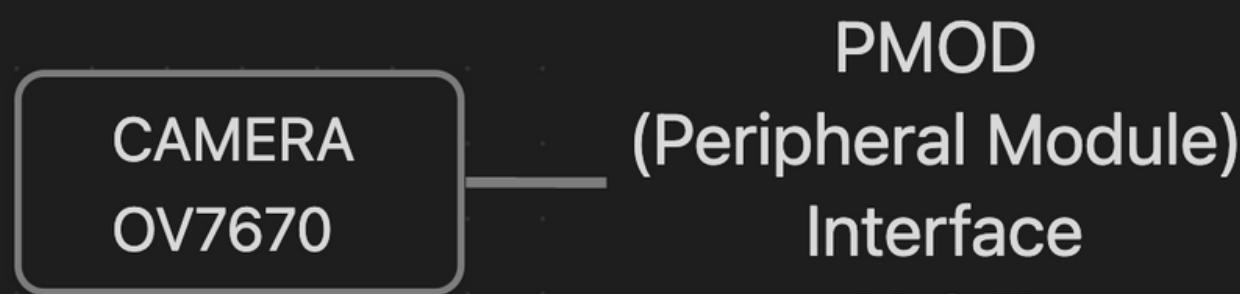
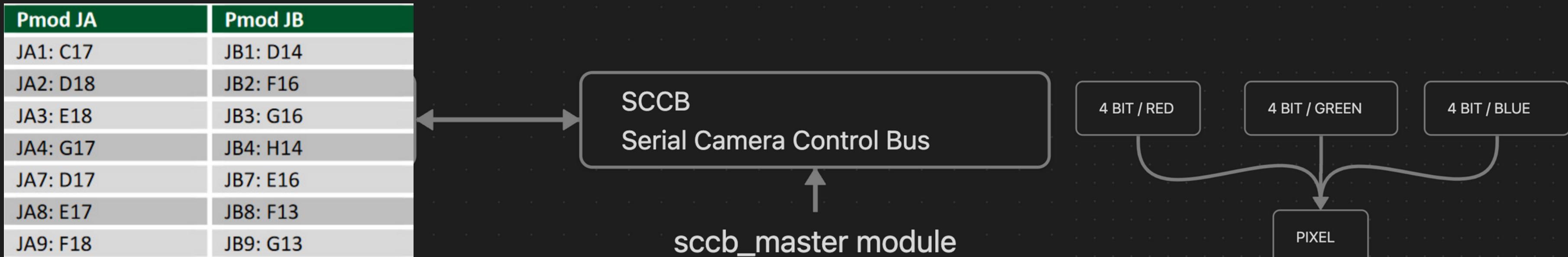
IDE: Vivado ML 2022

Language: Verilog



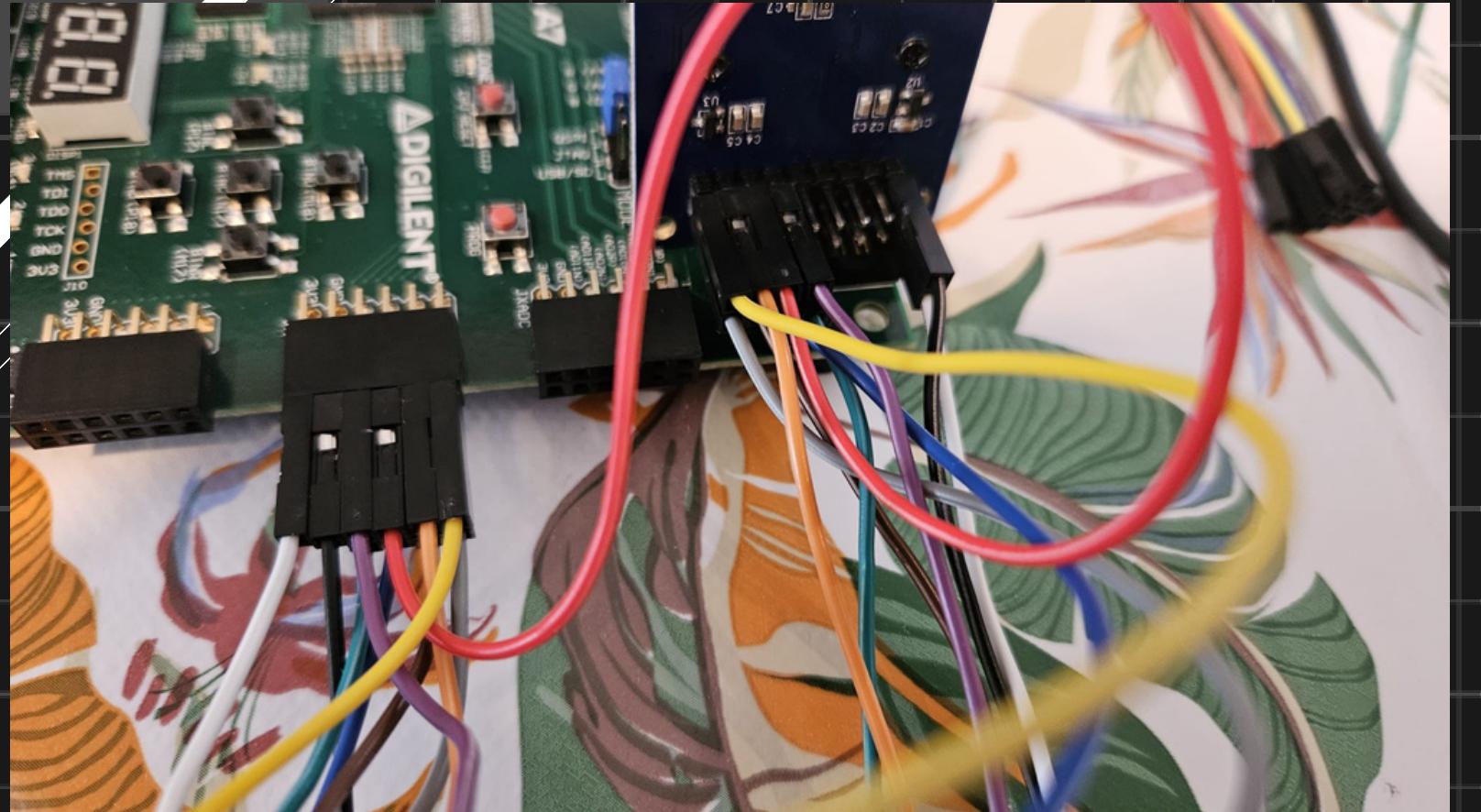
# TASK-UL NOSTRU

- Conectarea unei camere OV7670 la FPGA
- Proiectarea imaginii pe un monitor conectat cu un cablu VGA la FPGA
- Selectarea operației de procesare a imaginii prin switch-uri on-board

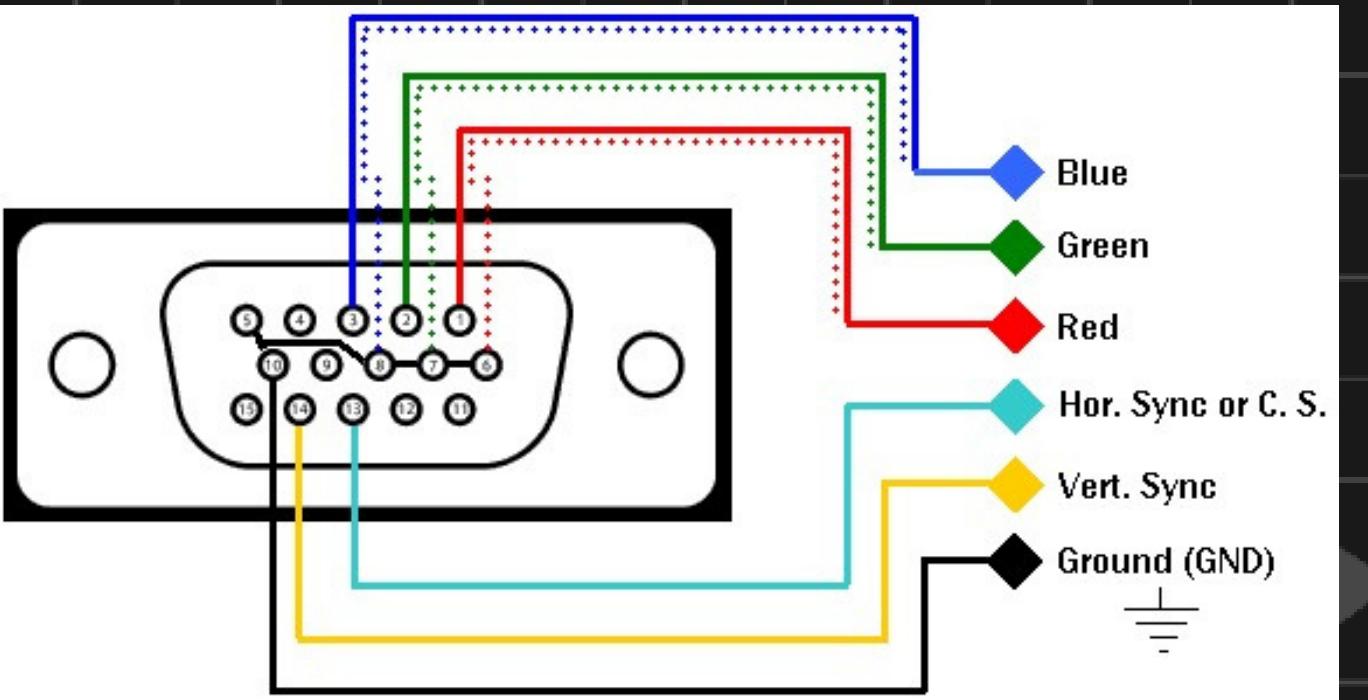


Implementare viitoare

- interfață în Python pentru selectarea operațiilor de procesare

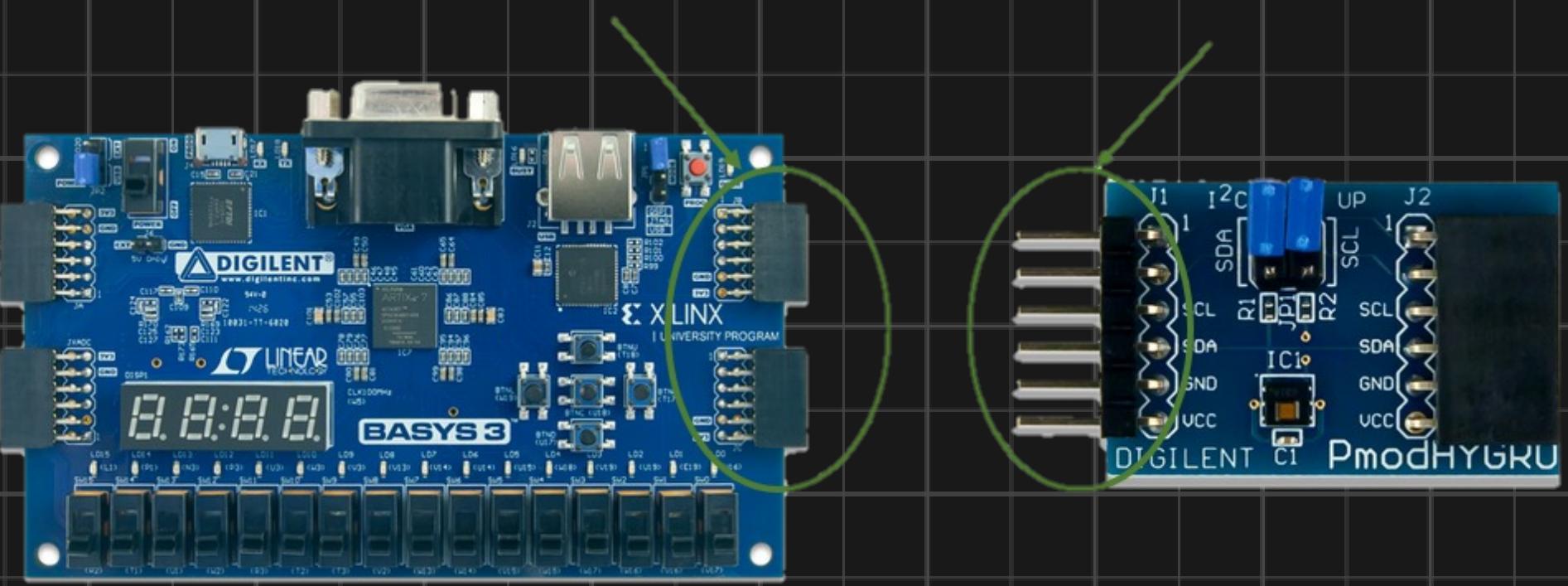


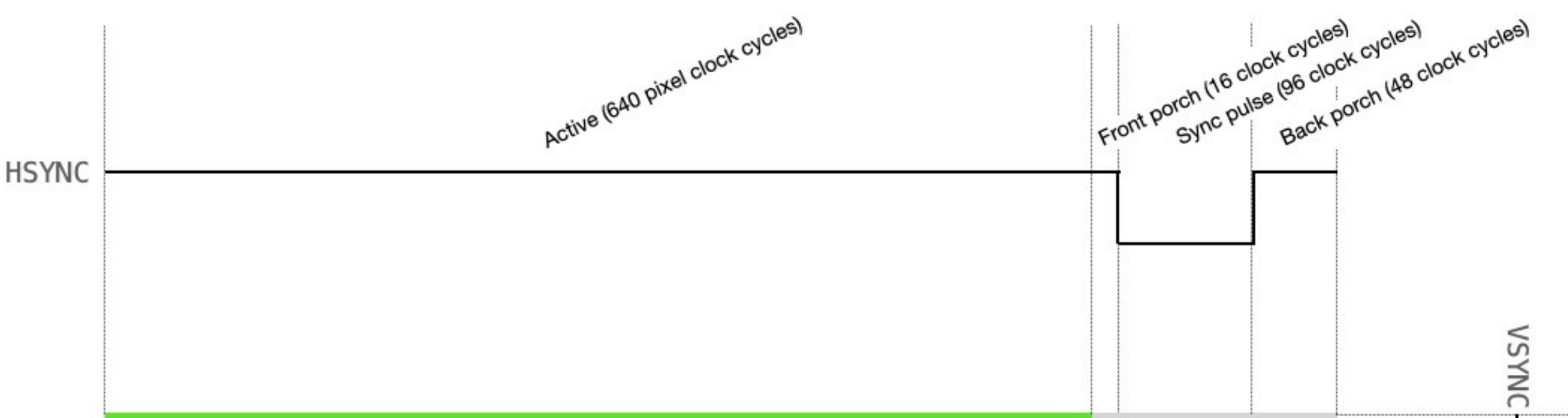
## Conexiunea la VGA



## Conexiunea la cameră

JA/JB PMOD      PMOD PINS





# TIMING-UL PENTRU TRANSMISIA DE DATE HSYNC / VSYNC + DELAY

## Active region

(Analog R/G/B lines assume new values for each pixel clock cycle)

```
// Horizontal timing      hEND = 400 -> hDisplay = 320 , rest 80
localparam hEND          = hDisp + hFp + hPulse + hBp;
localparam hSyncStart    = hDisp + hFp;
localparam hSyncEnd      = hDisp + hFp + hPulse;

// Vertical timing       vEND = 285 -> vDisplay = 240, rest 45
localparam vEND          = vDisp + vFp + vPulse + vBp;
localparam vSyncStart    = vDisp + vFp;
localparam vSyncEnd      = vDisp + vFp + vPulse;
```

Blanking  
region  
(Analog R/G/B  
lines zeroed)

Active (480 lines)

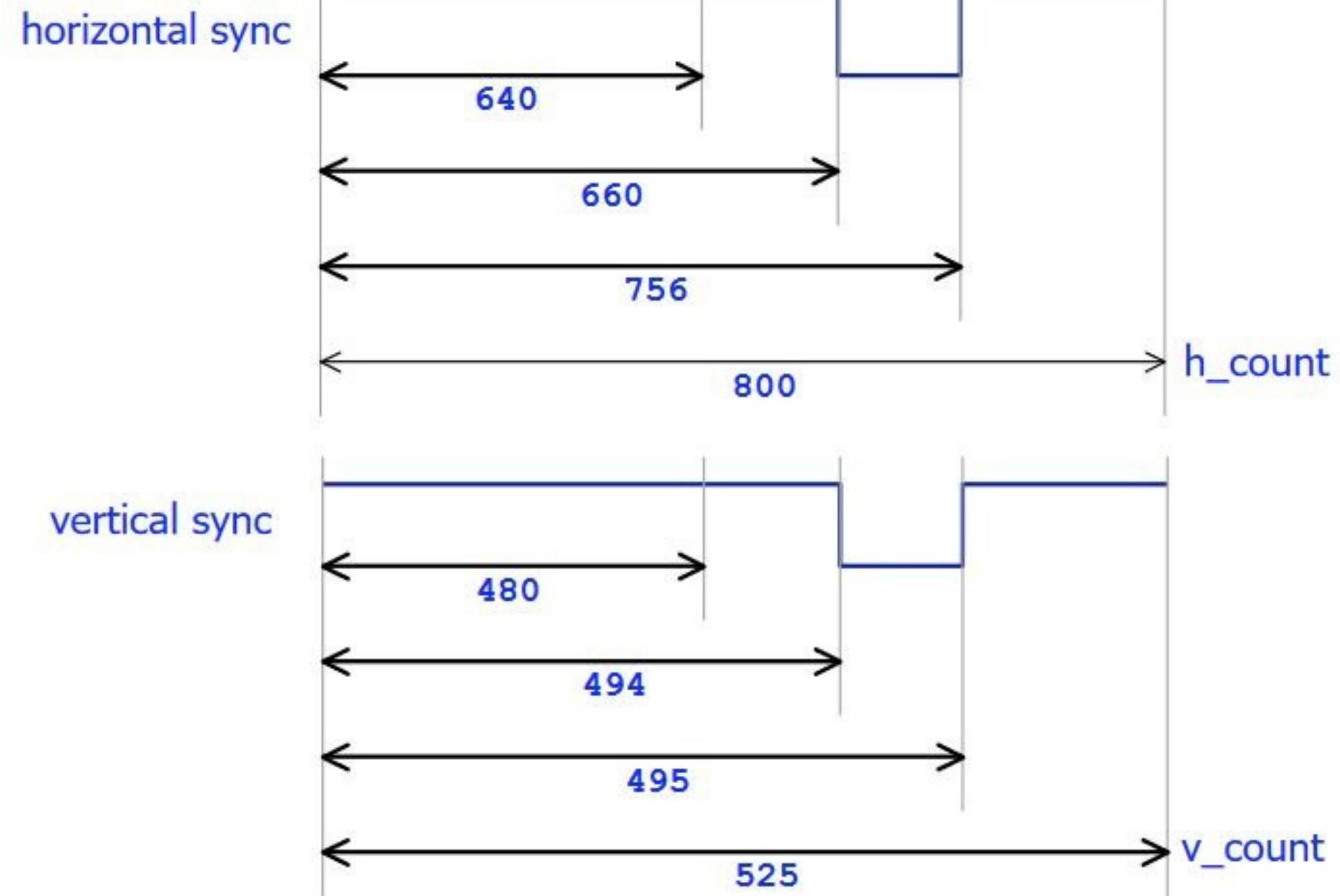
Front porch (10 lines)  
Sync pulse (2 lines)  
Back porch (33 lines)

```

reg [9:0] hc; // Horizontal Counter
reg [9:0] vc; // Vertical Counter

always@(posedge i_clk or negedge i_rstn)
begin
    if(!i_rstn) begin
        hc      <= 0;
        vc      <= 0;
    end
    else begin
        if(hc == hEND-1)
        begin
            hc <= 0;
            if(vc == vEND-1)
            vc <= 0;
            else
                vc <= vc + 1'b1;
        end
        else
            hc <= hc + 1'b1;
    end
end

```



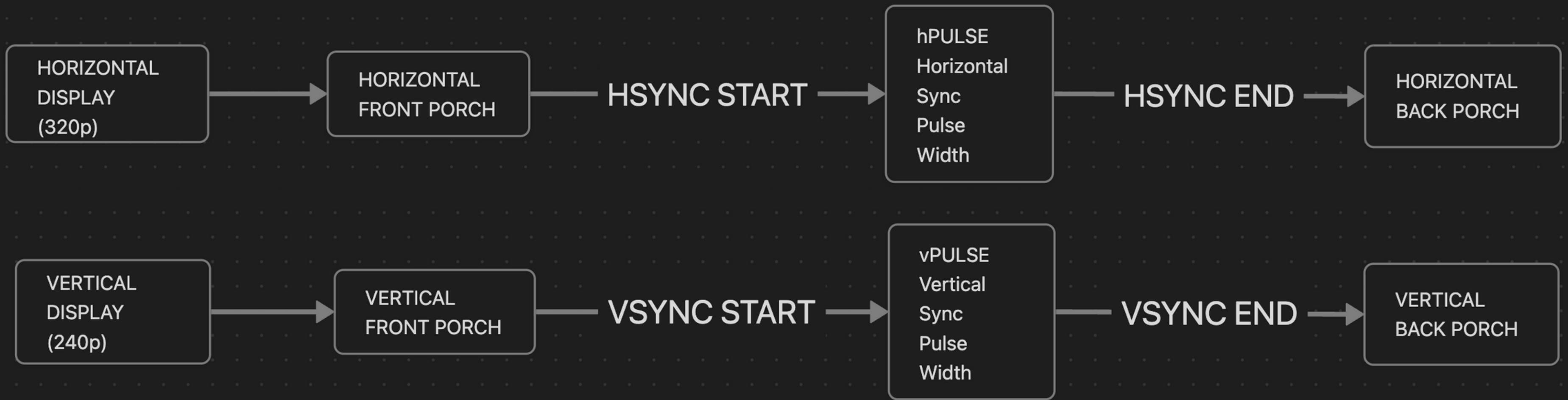
```

// Output (x,y) coordinates of the pixel and timing signals
assign o_x_counter = hc;
assign o_y_counter = vc;
assign o_video      = ((hc >= 0) && (hc < hDisp) && (vc >= 0) && (vc <
vDisp));
assign o_hsync      = ~((hc >= hSyncStart) && (hc < hSyncEnd));
assign o_vsync      = ~((vc >= vSyncStart) && (vc < vSyncEnd));

```

**Parcurgerea se realizează ca la o matrice normală, un contor pe orizontală, unul pe verticală**

În cadrul unui VGA driver, este adesea necesar să se includă un delay la sfârșitul citirii unei linii și a întregii matrice pentru a asigura sincronizarea corectă a semnalului video și a evita artefacte sau probleme de afișare.



Sincronizare verticală și orizontală: Un delay este necesar pentru a permite controlului corect al sincronizării verticale și orizontale.

HSYNC -> are loc la fiecare parcurgere a unei linii

VSYNC -> are loc la finalul parcurgerii matricei de pixeli

# TESTING

Pentru testarea conversiei de imagini vor fi folosite functii din Matlab de conversie a imaginii test (JPG / PNG) in format COE (fisier coeficient)

Imaginea este salvata in urma conversiei in BRAM (Block RAM)