实验报告

201801130227 孙浩然 计科 1802

一、 总线

1. 实验数据记录

		R1	R2	R3	
初态	<u> </u>	05H	0FH		
R1-3	>R3	05H	0FH	05H	
R2-2	>R1	0FH	0FH	05H	
R3-3	>R2	0FH	05H	05H	
	Name	0 ps 200 29.9 ns	.0 ns 400.0 ns	600. _, 0 ns	800.0 ns 1.0
■ 0	clk		1		
■ 1	■ SW R1 R2		111 1011 01	11 1111 1011	1101 1110
0 1 6 10 10	■ LDDR123	000	X 100 X 000 X 01	0 000 001	100 X 010 X
1 0	● K	00 X 0	05 X 00 X 01	F	
5 19	± L				

2. 实验日志

R2 R3

4.1.6. (3): BIDIR 作用是既作为输入端口又作为输出端口,实现了总线的功能:可以接收数据又可以输出数据。

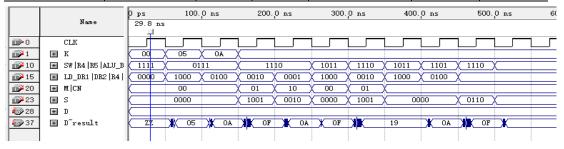
4.1.6. (4): Bus line (粗线) 是作为一个向量, 其中包含多根细线, node line 只是一根线。总线的命名方式为 BUS [7..0], 支线的命名方式为 BUS [7]

4.1.6. (6): 定义,在 port 里用 L: INOUT std_logic_vector(),缓冲,通过一个信号来进行缓冲,先将传入的数据记录在 bus_Reg 里,再从中传给总线

二、 运算器

1. 实验数据记录

运算	M,CN,S[30]	DR1	DR2	ALU 结果	R4	R5
A 加 B	011001	05H	0AH	0FH	0FH	00H
(not A)and B	100010	05H	0AH	0AH	0FH	0AH
R4 加 B	011001	0FH	0AH	19H	19H	0AH
R4 减 R5	001001	19H	0AH	OFH	19H	0AH



2. 实验日志

如何进行的运算:

- 1) 0-50ns, 进行初始化
- 2) 50-100ns, 将 05H 通过输入模块经过总线放入 DR1, 有效信号为 SW_BUS, LDDR1, K 为 05
- 100-150ns,将 OAH 通过输入模块经过总线放入 DR2,有效信号为 SW_BUS, LDDR2, K 为 OA
- 4) 150-200ns, 进行运算, A 加 B 经过输出控制电路部分的三态门输出到总线, 由总线放入 R4, 有效信号为 ALU BUS, LDR4, M, CN, S 组合为 011001
- 5) 200-250ns,进行运算, (not A) and B 经过输出控制电路部分的三态门输出到总线,由总线放入 R5,有效信号为 ALU_BUS, LDR5, M, CN, S 组合为 100010
- 6) 250-300ns, 将 R4 的数据放入 DR1, 有效信号为 R4 BUS, LDDR1
- 7) 300-350ns, 进行运算 A 加 B 加 B 经过输出控制电路部分的三态门输出到总 线, 由总线放入 R4, 有效信号为 ALU_BUS, LDR4, M, CN, S 组合为 011001
- 8) 350-400ns, 将 R4 数据放入 DR1, 有效信号为 R4 BUS, LDDR1
- 9) 400-450ns, 将 R5 数据放入 DR2, 有效信号为 R5_BUS, LDDR2
- 10) 最后一个周期,进行运算 (A 加 B 加 B) 减 ((not A) and B),运算结果在总线上显示,有效信号为 ALU_BUS, M, CN, S 组合为 000110

三、 存储器

1. 实验数据记录

	O ps	100.0 ns	200.0 ns	300.0 ns	400.0 ns	500.0 ns	600.0 ns	700.0 ns	
Name				350.	0 ns				
clk_cdu	$\Box\Box$								[
■ sw pc_bus	11	01	10 11	01	11		X 10 X 11	01	
⊞ m w r		100	(101	110 101		100	101	110 (101)	
ldar									
∰ pc_clr ld en	100	101	100		111		X		
 inputd	(00 X	01	(00	FO		00		X 87 X	
∄ d	$\overline{}$							ZZ	=
⊞ d~result	ZZ	01	# 01 #E1 #D	2 F O F O	*	ZZ	05 KFO KF	EE # 87 # 87	X
sw_pc_ar:inst		00	X		01		X		_
∰ sw_pc_ar:inst	00	$\overline{}$	01		X 02 X 03	3 X 04 X			=

Addr	+0	+1	+2	+3	+4	+5	+6	+7		
00	E1	D2	F3	C5	D3	EE	00	00		
80	00	00	00	00	00	00	00	00		
10	00	00	00	00	00	00	00	00		

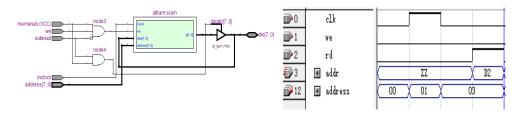
mif 文件:

先用置数法产生 01 地址,50-200ns;读出数据 D2,200-250ns;将数据 F0H 写入并读出,250-350ns

再用计数法产生 05 地址, 350-600ns; 读出数据 EEH, 600-650ns; 将数据 87H 写入并读出, 650-750ns

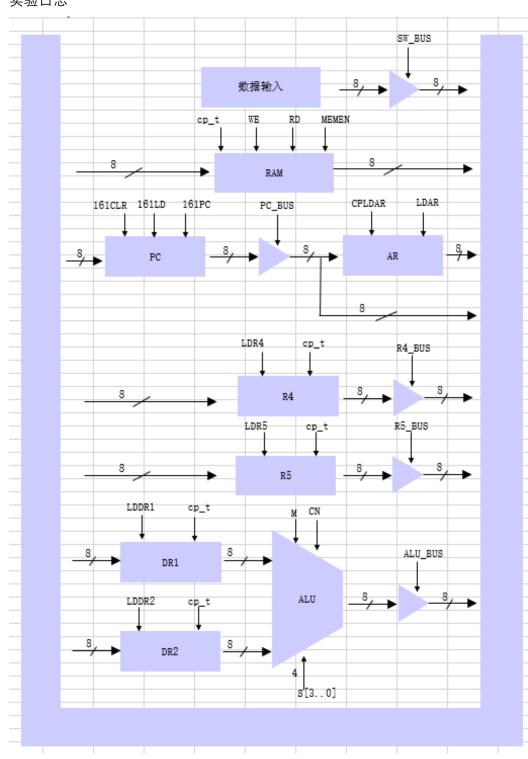
2. 实验日志

经过反复的实验和与同学的讨论以及查看 Ipm_ram_io 的组成,粗略的得出了这样的结论: 当 Ipm_ram_io 每次得到时钟信号的激励时,会将当前 address[]口的地址加载,并将对应的数据放入内部的 sram 中,但是 sram 的输出要经过一个名为 IO_BUF(TRI)的三态门,该三态门只受 memenab and outenab 的控制,于是在之后 outenab 信号为 1 时,会先将之前的数据进行输出,从而导致了 E1 的产生(见下附图)



四、 数据通路

1. 实验日志



	控制信号																								
		S W B U	R 4_ B U	R 5_ B U	A L U B U	P C_ B U	L D R	L D R	_	L D	L D A	CP	CP LD		С	S	S	s	s	C	1 6 1 L	6	M E M E	W	R
序号	状态	S	S	S	S	S	5	4	R2	R1	R	T	AR	M	N	3	2	1	0	R	D	C	N	E	D
10	初始	1	1	1	1	1	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0
21	从00读出05H->DR1	ļ								1		1													1
32	置数产生02地址	0										1								1	0	1			
33	PC设置为保持	0										1													
44	02从PC加载到AR					0					1	1	1												
5 5	从02读出0A->DR2								1			1													1
66	置数产生03地址	0										1								1	0	1			
67	PC设置为保持	0										1													
78	03从PC加载到AR					0					1	1	1												
89	进行DR1加DR2,存到03 OF				0							1		0	1	1	0	0	1					1	
910	计数产生04地址					0					1	1	1							1	1	1			
1011	进行/A操作,存到04,并存入DR1	A			0					1		1		1	0	0	0	0	0					1	
1112	进行DR1 and DR2 存到R4 OA				0			1			L	1		1	0	1	0	1	1						
1213	置数产生03地址	0										1								1	0	1			
1214	PC设置为保持	0										1													
1315	03从PC加载到AR					0					1	1	1												
1416	从03读出数据存到DR1									1		1													1
1517	进行DR1加DR2,存到R5 19				0		1					1		0	1	1	0	0	1						
1618	R4数据加载到DR2		0						1			1													
1719	R5数据加载到DR1			0						1	L	1													
1620	DR1减DR2 0F				0							1		0	0	0	1	1	0						

		0 ps	200.	0 ns	400.0	uz	600.0 ns	800. O r	ıs	1.0	us	1.2 us	1.4	us	1.6 us	1.8	us 2.1) us	2.2	us	2.4		
	Name																		2+0				
i 0 €	clk		Г		Л	Л			П	Л								┖		J			
1	bus_sel	111	11	0111		1110	11111	01111		11110	11101	11110	111	01	01111	11110	11111	11101	10111	11011	11101		
7	₩ alu_sel					000	000				(211001	000000	100000	101011		000000		011001	000	000	000110		
14	Id_reg	00000	10000	00000		00001	(00000)(01000	00000		00001	00000	00001	10000	00100	00000	00001	10000	00010	01000	10000	Oqu		
№ 20	∄ pc_sel	10	0	101		- 1	0	101		100		111	10	0	101			100					
№ 24	₩ we_rd	00	01		00		01	(00		10	00	10		00		01			00			
2 7	 k	0	0	02)		0	0	03				00			03				0				
₹ 36	∄ d											ZZ											
₩ 45	⊞ d~result	ZZ	05	02	00	02	(05) OA	03 (0	00 (03	OF	03 04 (05)	FA (05)	0A	03		FA OF	19	OA	19	OF		
₹ 54	₩pc_ar:inst pc		00			0	2	\square X		03		04	0		\propto			03					
63	#pc_ar:inst ar			00		X		2		$\supset \subset$	0	3		- 0	1				03				
72	🗷alu:inst1 dr1	00						05							FA		\square X	0			19		
8 1	🛨alu:inst1 dr2			0	0										OA								
9 90								00						\square			0.	4					
3 99	⊞alu:inst1 r5										00									19			
		1	,	2		1	+	L		7	8	9	10	11	15	12	1.).	11-	11	.1	10		
		1	1	>		7	7	0		'	0	1	10	a	12	15	14	12	16	11	18		
		1	1		- 1				- 1	- 1								1	1				

说明:

- 1) 上表中绿色数字标号与下仿真图中操作分割——对应;红色数字标识表示每次运算后得到的结果;最后得到的运算的数据由总线d显示,为0FH;为了使操作与结果相对于,故采用了功能仿真的截图,时序仿真在文件内。
- 2) 信号组合:

bus_sel:sw_bus, r4_bus, r5_bus, alu_bus, pc_bus

alu_sel:m, cn, s[3..0]

Id_reg:Iddr1, Iddr2, Idr4, Idr5, Idar

pc_sel:161clr,161ld,161pc

we rd:we,rd

各个周期的行为描述:

- 1:进行初始化,bus 系列信号设置为 1,alu 系列信号为 0,ld 系列信号为 0,pc 系列信号为 100,we,rd 信号为 0,输入 k 为 0
 - 2: 从 00 地址读出 05H 经过总线输送给 DR1, 有效信号有 Iddr1, rd
- 3: 第一个周期用置数法产生 02 地址, 使 pc 信号为 101 置数状态, 此外有效信号为 sw bus, 输入 k 为 02; 第二个周期让 pc 为 100 保持状态
 - 4: 将置数法产生的保持在 pc 内的地址加载 ar, 有效信号为 pc bus, Idar
 - 5: 从 02 地址读出 0A 经过总线输送给 DR2, 有效信号有 Iddr2, rd
 - 6: 置数法产生03地址, 步骤同3
 - 7:将置数法产生的保持在 pc 内的地址加载 ar,有效信号为 pc_bus, Idar
- 8: 进行 DR1 加 DR2 即 A 加 B, 将运算结果 OF 通过总线输出到 O3 地址, 有效信号为 alu bus, we, alu 运算组合信号 m, cn, s[3..0]为 011001
 - 9: 计数法产生 04 地址, 有效信号为 pc_bus, Idar, pc 信号为 111 计数状态
- 10: 进行运算/DR1 即/A, 将运算结果 FA 通过总线输出到 04 地址, 并存放到 DR1, 有效信号为有效信号为 alu_bus, lddr1, we, alu 运算组合信号 m, cn, s[3..0]为 100000
- 11: 进行运算 DR1 and DR2 即(/A) and B), 将运算结果 0A 通过总线存入 R4, 有效信号为 alu_bus, ldr4, alu 运算组合信号 m, cn, s[3..0]为 101011
 - 12, 13: 置数法产生03地址, 步骤同3, 4
 - 14: 从 03 地址读出数据 0F 存放到 DR1, 有效信号有 Iddr1, rd
- 15: 进行 DR1 加 DR2 即 A 加 B 加 B, 将运算结果 19 通过总线存放到 R5, 有效信号为 a lu_bus, ldr5, a lu 运算组合信号 m, cn, s [3..0]为 011001
 - 16: 将 R4 数据通过总线加载到 DR2, 有效信号为 r4 bus, Iddr2
 - 17: 将 R5 数据通过总线加载到 DR1, 有效信号为 r5 bus, Iddr1
- 18: 进行运算 DR1 减 DR2 即 A 加 B 加 B 减 (/A) and B), 运算结果 OF 通过总线显示,有效信号为 a lu_bus, a lu 运算组合信号 m, cn, s [3..0]为 000110