

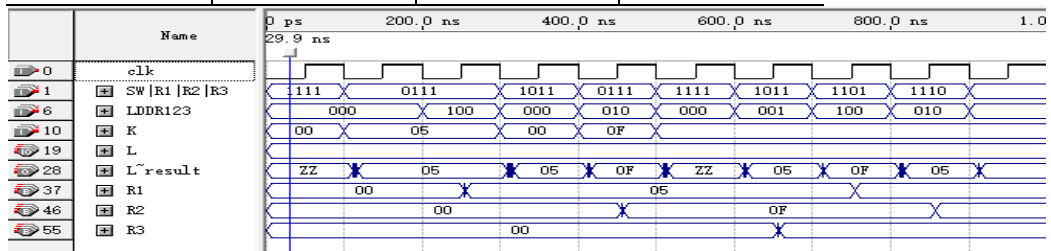
实验报告

201801130227 孙浩然 计科 1802

一、总线

1. 实验数据记录

	R1	R2	R3
初态	05H	0FH	
R1->R3	05H	0FH	05H
R2->R1	0FH	0FH	05H
R3->R2	0FH	05H	05H



2. 实验日志

4.1.6. (3) : BIDIR 作用是既作为输入端口又作为输出端口，实现了总线的功能：可以接收数据又可以输出数据。

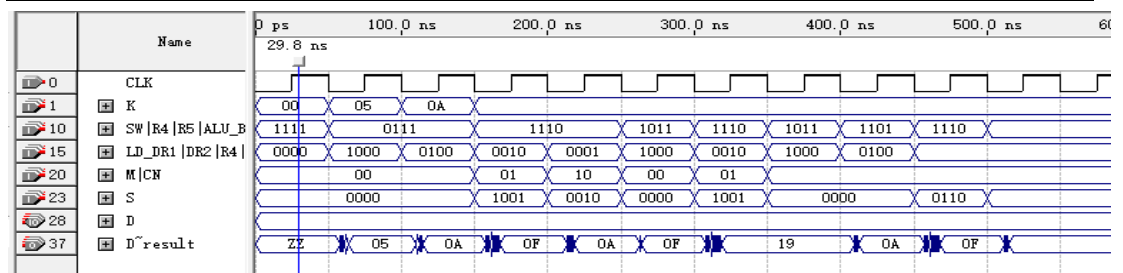
4.1.6. (4) : Bus line（粗线）是作为一个向量，其中包含多根细线，node line 只是一根线。总线的命名方式为 BUS[7..0]，支线的命名方式为 BUS[7]

4.1.6. (6) : 定义，在 port 里用 L:INOUT std_logic_vector(), 缓冲，通过一个信号来进行缓冲，先将传入的数据记录在 bus_Reg 里，再从中传给总线

二、运算器

1. 实验数据记录

运算	M,CN,S[3..0]	DR1	DR2	ALU 结果	R4	R5
A 加 B	011001	05H	0AH	0FH	0FH	00H
(not A)and B	100010	05H	0AH	0AH	0FH	0AH
R4 加 B	011001	0FH	0AH	19H	19H	0AH
R4 减 R5	001001	19H	0AH	0FH	19H	0AH



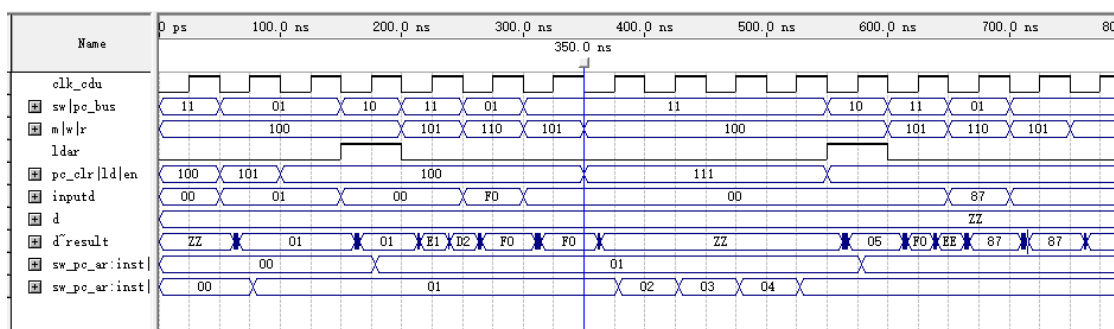
2. 实验日志

如何进行的运算：

- 1) 0-50ns, 进行初始化
- 2) 50-100ns, 将 05H 通过输入模块经过总线放入 DR1, 有效信号为 SW_BUS, LDDR1, K 为 05
- 3) 100-150ns, 将 0AH 通过输入模块经过总线放入 DR2, 有效信号为 SW_BUS, LDDR2, K 为 0A
- 4) 150-200ns, 进行运算, A 加 B 经过输出控制电路部分的三态门输出到总线, 由总线放入 R4, 有效信号为 ALU_BUS, LDR4, M, CN, S 组合为 011001
- 5) 200-250ns, 进行运算, (not A) and B 经过输出控制电路部分的三态门输出到总线, 由总线放入 R5, 有效信号为 ALU_BUS, LDR5, M, CN, S 组合为 100010
- 6) 250-300ns, 将 R4 的数据放入 DR1, 有效信号为 R4_BUS, LDDR1
- 7) 300-350ns, 进行运算 A 加 B 加 B 经过输出控制电路部分的三态门输出到总线, 由总线放入 R4, 有效信号为 ALU_BUS, LDR4, M, CN, S 组合为 011001
- 8) 350-400ns, 将 R4 数据放入 DR1, 有效信号为 R4_BUS, LDDR1
- 9) 400-450ns, 将 R5 数据放入 DR2, 有效信号为 R5_BUS, LDDR2
- 10) 最后一个周期, 进行运算 (A 加 B 加 B) 减 ((not A) and B), 运算结果在总线上显示, 有效信号为 ALU_BUS, M, CN, S 组合为 000110

三、存储器

1. 实验数据记录



Addr	+0	+1	+2	+3	+4	+5	+6	+7
00	E1	D2	F3	C5	D3	EE	00	00
08	00	00	00	00	00	00	00	00
10	00	00	00	00	00	00	00	00

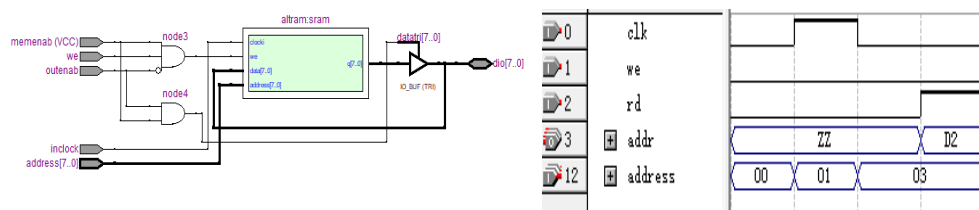
mif 文件:

先用置数法产生 01 地址, 50-200ns; 读出数据 D2, 200-250ns; 将数据 FOH 写入并读出, 250-350ns

再用计数法产生 05 地址, 350-600ns; 读出数据 EEH, 600-650ns; 将数据 87H 写入并读出, 650-750ns

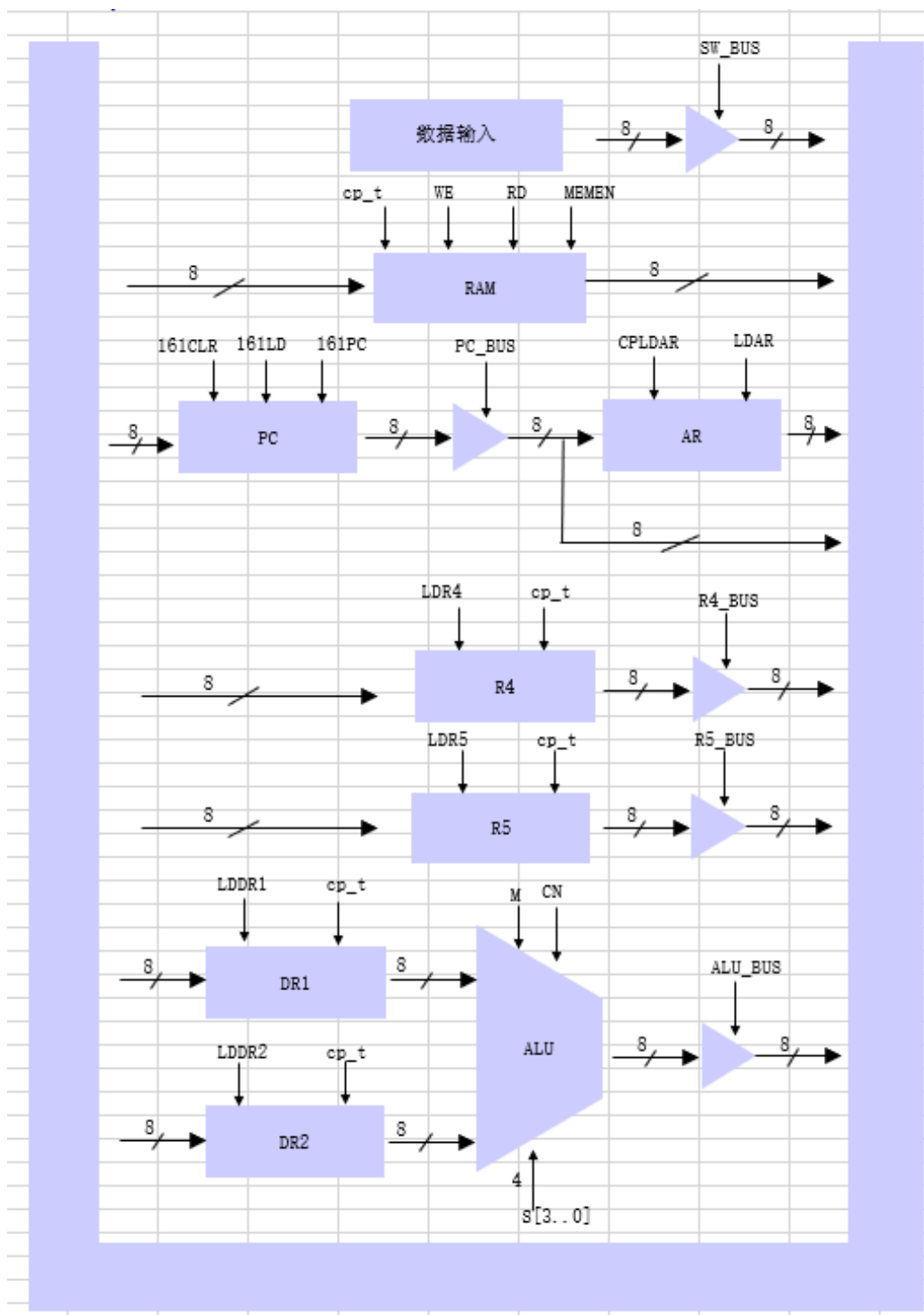
2. 实验日志

经过反复的实验和与同学的讨论以及查看 lpm_ram_io 的组成, 粗略的得出了这样的结论: 当 lpm_ram_io 每次得到时钟信号的激励时, 会将当前 address[] 口的地址加载, 并将对应的数据放入内部的 sram 中, 但是 sram 的输出要经过一个名为 IO_BUF (TRI) 的三态门, 该三态门只受 memenab and outenab 的控制, 于是在之后 outenab 信号为 1 时, 会先将之前的数据进行输出, 从而导致了 E1 的产生 (见下附图)

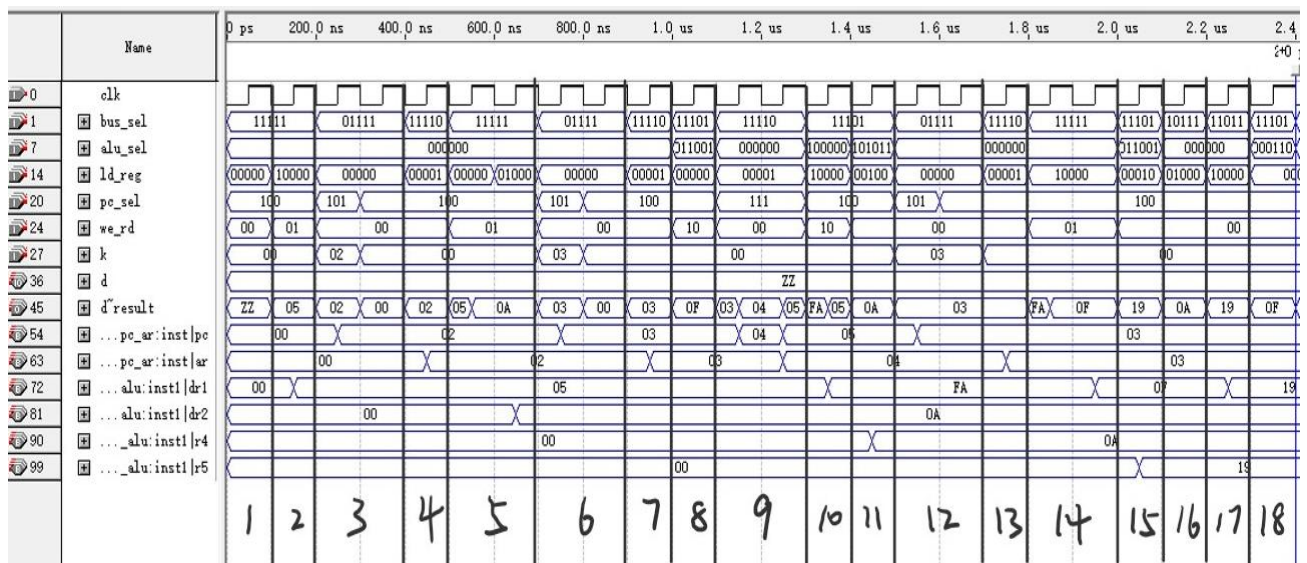


四、数据通路

1. 实验日志



序号	状态	控制信号																											
		S	W	R	R	A	L	P	C	L	L	L	L	L	CP	LD	M	C	S	S	S	S	S	1	6	1	1	M	W
		B	B	B	B	B	D	D	D	D	D	CP	LD	M	C	S	S	S	S	S	S	L	6	1	1	M	E	C	D
10	初始	1	1	1	1	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0
21	从00读出05H->DR1										1	1										1	0	0	0				1
32	置数产生02地址	0										1										1	0	1					
33	PC设置为保持	0										1																	
44	02从PC加载到AR					0					1	1	1																
55	从02读出0A->DR2								1			1																	1
66	置数产生03地址	0										1										1	0	1					
67	PC设置为保持	0										1																	
78	03从PC加载到AR					0					1	1	1																
89	进行DR1加DR2，存到03 OF					0						1		0	1	1	0	0	1									1	
910	计数产生04地址					0					1	1	1									1	1	1					
1011	进行/A操作，存到04，并存入DR1 FA					0				1		1		1	0	0	0	0	0									1	
1112	进行DR1 and DR2 存到R4 OA					0		1				1		1	0	1	0	1	1										
1213	置数产生03地址	0										1										1	0	1					
1214	PC设置为保持	0										1																	
1315	03从PC加载到AR					0					1	1	1																
1416	从03读出数据存到DR1									1		1																	1
1517	进行DR1加DR2，存到R5 19				0		1					1		0	1	1	0	0	1										
1618	R4数据加载到DR2		0						1			1																	
1719	R5数据加载到DR1			0						1		1																	
1820	DR1减DR2 OF				0							1		0	0	0	1	1	0										



说明:

- 1) 上表中绿色数字标号与下仿真图中操作分割一一对应；红色数字标识表示每次运算后得到的结果；最后得到的运算的数据由总线 d 显示，为 0FH；为了使操作与结果相对于，故采用了功能仿真的截图，时序仿真在文件内。

- 2) 信号组合:

```
bus_sel: sw bus, r4
         bus, r5
         alu_bus, pc_bus
```

```
alu_sel:m, cn, s[3..0]
```

ld_reg: lddr1, lddr2, ldr4, ldr5, ldr

pc_sel:161clr,161ld,161pc

we_rd:we,rd

各个周期的行为描述:

1: 进行初始化, bus 系列信号设置为 1, alu 系列信号为 0, ld 系列信号为 0, pc 系列信号为 100, we, rd 信号为 0, 输入 k 为 0

2: 从 00 地址读出 05H 经过总线输送给 DR1, 有效信号有 lddr1, rd

3: 第一个周期用置数法产生 02 地址, 使 pc 信号为 101 置数状态, 此外有效信号为 sw_bus, 输入 k 为 02; 第二个周期让 pc 为 100 保持状态

4: 将置数法产生的保持在 pc 内的地址加载 ar, 有效信号为 pc_bus, ldar

5: 从 02 地址读出 0A 经过总线输送给 DR2, 有效信号有 lddr2, rd

6: 置数法产生 03 地址, 步骤同 3

7: 将置数法产生的保持在 pc 内的地址加载 ar, 有效信号为 pc_bus, ldar

8: 进行 DR1 加 DR2 即 A 加 B, 将运算结果 0F 通过总线输出到 03 地址, 有效信号为 alu_bus, we, alu 运算组合信号 m, cn, s[3..0] 为 011001

9: 计数法产生 04 地址, 有效信号为 pc_bus, ldar, pc 信号为 111 计数状态

10: 进行运算 DR1 即 /A, 将运算结果 FA 通过总线输出到 04 地址, 并存放到 DR1, 有效信号为有效信号为 alu_bus, lddr1, we, alu 运算组合信号 m, cn, s[3..0] 为 100000

11: 进行运算 DR1 and DR2 即 (/A) and B), 将运算结果 0A 通过总线存入 R4, 有效信号为 alu_bus, ldr4, alu 运算组合信号 m, cn, s[3..0] 为 101011

12, 13: 置数法产生 03 地址, 步骤同 3, 4

14: 从 03 地址读出数据 0F 存放到 DR1, 有效信号有 lddr1, rd

15: 进行 DR1 加 DR2 即 A 加 B 加 B, 将运算结果 19 通过总线存放到 R5, 有效信号为 alu_bus, ldr5, alu 运算组合信号 m, cn, s[3..0] 为 011001

16: 将 R4 数据通过总线加载到 DR2, 有效信号为 r4_bus, lddr2

17: 将 R5 数据通过总线加载到 DR1, 有效信号为 r5_bus, lddr1

18: 进行运算 DR1 减 DR2 即 A 加 B 加 B 减 (/A) and B), 运算结果 0F 通过总线显示, 有效信号为 alu_bus, alu 运算组合信号 m, cn, s[3..0] 为 000110