

전자소자 HW #1.

2017117986 이근정

Q. Explain the reason why a p-body device is always paired with n+ gate for a small V_t using energy band diagram.

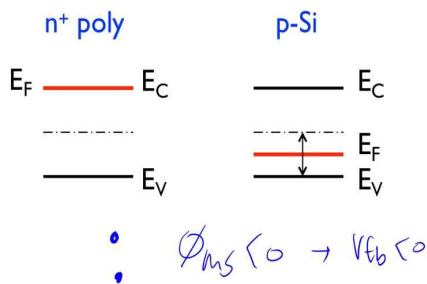
p body는 왜 n+ gate와 짝을 이루는 것이 유리한지 두가지 관점에서 설명하겠습니다.

(관점1)

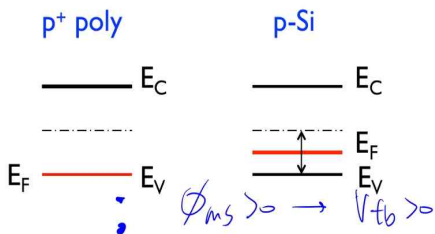
V_t 를 작게 하기 위해서 p-body MOS는 n+ doping된 poly-si와 짝을 이루어야 한다.

$V_g = V_{fb} + \phi_s + V_{ox}$ 로 이루어져 있다. 여기서 V_{fb} 는 flat band 전압으로 Gate와 Body의 E_f (fermi energy level)이 align되어 있다고 가정했을 때, oxide layer의 Conduction band를 Flat하게 만들기 위하여 Gate에 걸어야 하는 전압이다. V_{fb} 로 인해 oxide layer가 Flat 해지면 oxide layer에 electric field가 없기 때문에 body surface에도 depletion layer없이 Flat한 energy band가 형성된다.

그런데 이 Flat band 전압 V_{fb} 는 ϕ_{ms} 로 정의된다. ϕ_{ms} 는 metal, 즉 Gate 쪽의 workfunction과 semi-conductor(Body) 쪽의 workfunction 차이를 의미한다. workfunction의 정의는 물질의 Fermi energy level ~ vacuum level의 차이를 말한다. 즉 work function = $E_0 - E_f$ 이다. (여기서는 E_0 과 oxide layer의 conduction band인 E_c 가 큰차이가 없기 때문에 $E_0 = \text{oxide layer의 } E_c$ 로 가정함.)



만약 p-body device가 p+의 도핑 상태를 가지는 Gate와 짝을 이룬다면 Gate 쪽의 workfunction이 semi-conductor 쪽의 workfunction 보다 더 클 것이다. 왜냐하면 p type 반도체는 고농도로 도핑 될수록 Fermi level이 valence band 쪽인 아래쪽으로(energy band 상에서) 내려가기 때문이다. 그렇기 때문에 p+ gate의 workfunction이 Body의 workfunction보다 더 크고 당연히 $\phi_{ms} > 0$ 이 된다.



그렇다면 이제 n+ Gate가 p body와 짝을 이룬다면 어떻게 되는지 살펴보자. n+ gate는 n type이므로 고농도 도핑될수록 Fermi level이 conduction band인 위쪽으로 가까워질 것이다. 그렇다면 n+ gate 쪽의 workfunction은 당연히 p body의 workfunction보다 작아지게 된다.(두 type 다 si를 기반으로한 반도체이기 때문에 초기에 Fermi level의 크기는(energy band 상의 위치는) 같았을 것이다.) 따라서 n+ gate - p body 짝인

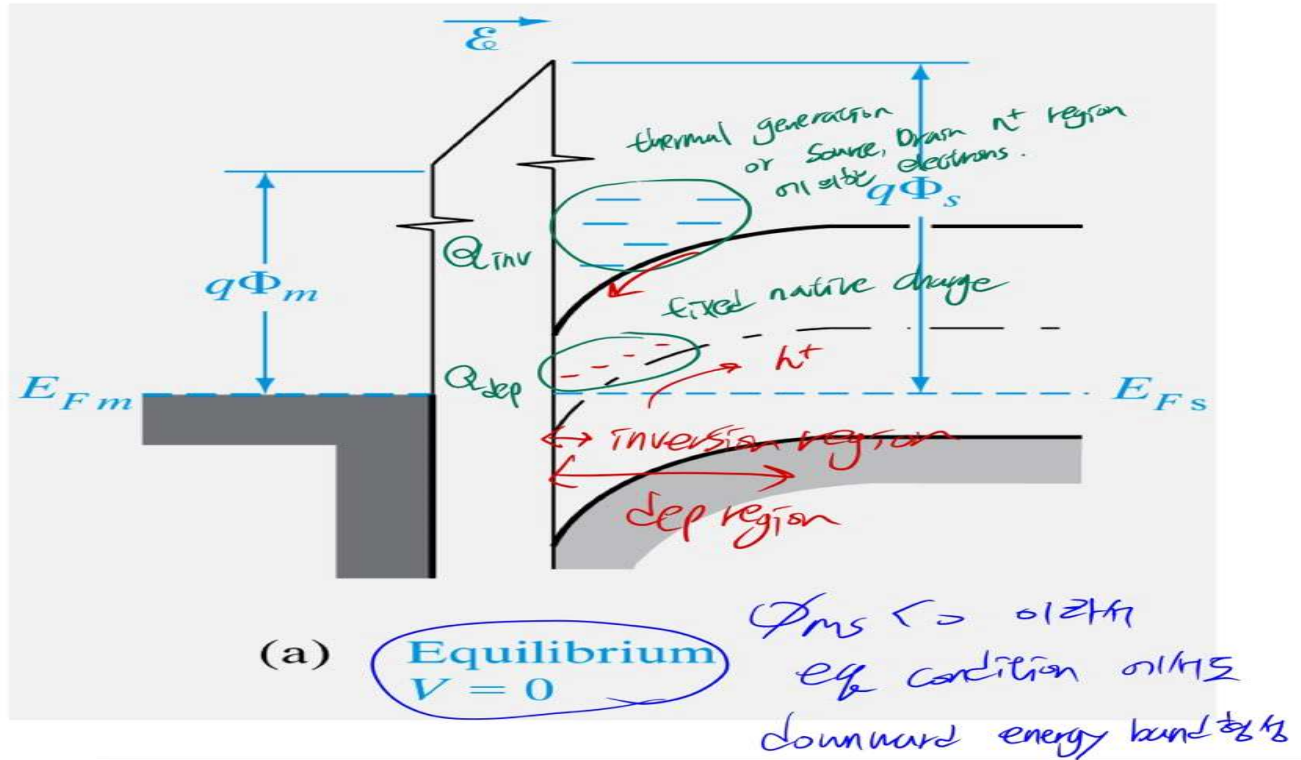
경우, $\phi_{ms} < 0$ 이 된다.

V_t (threshold voltage)란 p body의 surface에서 strong inversion으로 인해 inversion layer가 형성 되는데 필요한 gate 전압을 말한다. V_t 는 $\phi_s = 2\phi_B$ 를 만족할 때 일어남으로 Gate 전압 정의에 의해 $V_g = V_{fb} + \phi_s + V_{ox}$ 이다.(at $\phi_s = 2\phi_B$) 그런데 여기서 V_g term에 V_{fb} (flat band voltage)가 있다. V_{fb} 는 ϕ_{ms} 와 그 값이 같다. 따라서 p+ gate의 $\phi_{ms} > 0$, n+ gate $\phi_{ms} < 0$ 이므로 n+ gate와 p body가 짝을 이루는 것이 V_t 의 감소를 유발한다.

그렇다면 왜 작은 V_t 를 가지는 device가 더 유리한 것일까? 일반적으로 MOS 소자는 0V와 small positive voltage에서(gate에 인가된 전압을 말함) 스위칭 되도록 설계한다. 그 이유는 작은 양의 전압에서 device의 스위칭이 될수록 전력 소모가 적기 때문이다.(digital 회로에서 더 작은 회로 구동 전압 V_{dd}

를 필요로 하기 때문) 수 억 ~ 수십 억 개의 반도체 소자가 집적되는 IC 회로에서 반도체 device 한 개의 전력소모가 작다는 것은 전체 IC칩으로 볼 때 막대한 전력 소모 감소를 유발한다. 이것은 전체 칩의 발열 감소에도 큰 이점을 가진다. 따라서 이러한 이유들로 device를 스위칭, ON하기 위한 V_t 가 작은 것이 좋고, V_t 를 작게 하게 위해서 p body는 n+ gate와 짝을 이루는 것이 현명하다.

(관점2)



body는 p-type으로 고정되어 있고, gate에 n+으로 도핑한 poly-si를 사용할지 또는 p+으로 도핑한 poly-si를 사용할지 결정해야 한다. 지금 위의 그림은 n+ 도핑된 gate를 사용하였을 때 device의 energy band diagram을 그린 것이다. gate에 BIAS를 가하지 않았을 때인 Equilibrium 상태에서는 Gate와 Body의 Fermi energy level이 align 되어 있다.(둘 다 si로 만든 반도체이므로) 하지만 gate와 body의 workfunction 차이로 인해 oxide layer의 conduction band는 gate쪽으로 기울어져 있어야 한다. 이 때 oxide layer의 electric field로 인해 body surface 쪽에도 electric field가 생기고 energy band가 아래 쪽으로 기울어지게 된다.(fermi level은 움직이지 않는다. 왜냐하면 oxide layer가 절연체이므로 carrier 이동이 없기 때문이다.) 이 때 body surface의 electric field로 인해 surface에는 negative charge가 모이게 된다. 이 negative charge는 electric field에 의해 hole이 deplet 되어 생기는 fixed negative charge(Q_{dep})와 p body의 minority carrier인 thermal generation된(또는 만약 n+ doping으로 source, drain region이 있다면 여기에서) 자유전자들이 모여 생기는 negative charge(Q_{inv})가 있다. 만약 gate와 body의 workfunction 차이가 충분히 크다면 먼저 hole이 deplet되어 saturation된 Q_{dep} 가 surface에 생길 것이고, 그 후 자유전자들이 수집되어 Q_{inv} charge가 body surface에 생길 것이다. 이것은 Gate에 bias를 가하지 않은 평형상태에서 일어난 일이다. 즉 n+ gate를 사용한다면 gate에 bias를 가하지 않아도 이미 body surface에 어느정도의 inversion layer가 생긴 것이다. 이것은 gate에 조금의 positive bias를 가해도 strong inversion 상태인 threshold voltage가 된다는 것이다. p+ gate를 이용한다면 gate 쪽의 workfunction이 더 크기 때문에 energy band가 down ward가 아닌 up ward로 형성 될 것이고, 평형상태에서 inversion layer가 형성될 일은 없을 것이다. 따라서 작은 V_t 를 만들기 위해 n+ gate를 사용하는 것이 유리하다.