

2020년 1학기 전자소자 과제 #2.

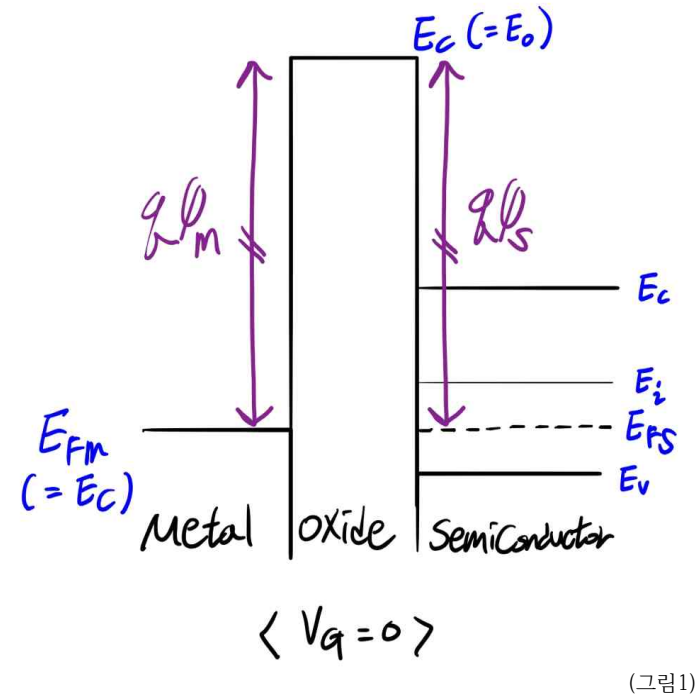
(중간고사 대체용)



Prof. 공성호
전자공학부
2017117986 이근정

[1] Metal 측과 반도체 측의 일함수가 동일한 Ideal Mos Capacitor의 Energy Band Diagram을 그려라.

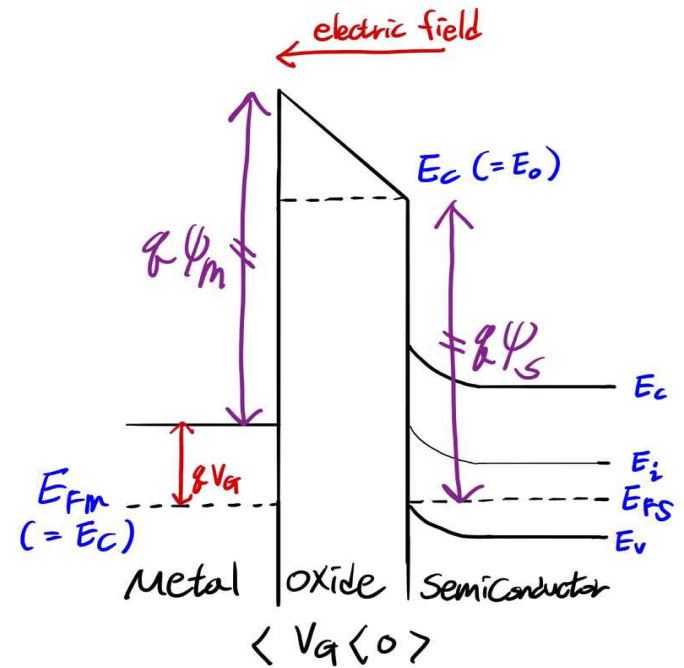
Ideal Mos Capacitor는 다음의 2가지 가정이 만족한 Mos Capacitor를 말한다. 첫 번째로 vacuum level과 oxide layer conduction band의 에너지 준위는 같다.(각각의 에너지 준위가 거의 비슷하기 때문임.) 따라서 work function은 물질의 fermi level에서 oxide layer conduction band까지의 에너지 준위 차이가 된다. 두 번째로 Gate에 해당하는 Metal(poly-si 고농도 도핑으로 metal과 같이 동작함.)의 work function과 Body에 해당하는 Semiconductor의 work function은 같다. 위의 2가지 가정이 만족한 Ideal Mos Capacitor에 대해 Gate의 bias 여부에 따라 equilibrium condition, positive bias condition, negative bias condition으로 나누어 Energy band diagram을 그리면 다음과 같다.(Gate : N^+ poly-si, Body : P-type 기준)



1. Equilibrium condition

Ideal Mos Capacitor의 가정에 의해 Metal 측의 work function $q\psi_m$ 과 Semiconductor(이하 sc) 측의 work function $q\psi_s$ 은 같다. 따라서 oxide layer conduction band의 에너지 준위와(가정에 의해 vacuum level과 같음.) Metal Fermi level, sc Fermi level까지의 에너지 준위 차이는 각각 같아야 한다. 따라서 Energy band diagram 상에서 Metal 측과 sc 측의 Fermi level은 align 된다. 그리고 Gate에 어떠한 전압도 인가되지 않은 평형 상태이기 때문에 Energy band diagram은 Flat한 상태로 그려진다. Energy band diagram이 Flat하기 때문에 sc의 interface에 electric field가 없고, 따라서 어떠한

carrier의 이동도 없다.

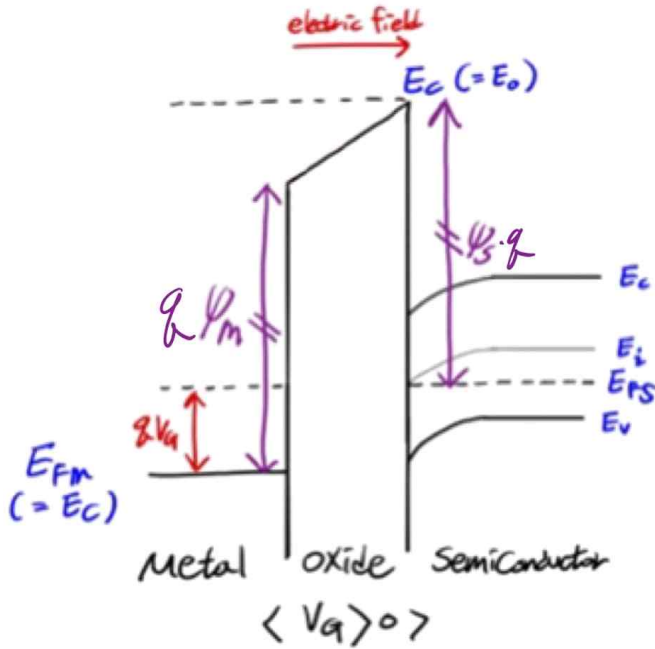


2. Gate Negative bias

Energy band diagram이 Flat한 평형 상태에서 Gate에 음의 전압이 가해지면 Metal 측에 electron이 공급되어 negative charge가 쌓이게 되고, Fermi level이 qV_G 만큼 커지게 된다.(diagram 상으로는 위로 올라가게 됨, energy 단위이기 때문에 q를 곱해주어야 함.) work function은 물질의 고유한 성질이기에 Gate에 인가된 전압에 상관없이 기존의 값을 유지해야 한다. 따라서 work function 유지를 위해 Metal 측의 oxide layer conduction band 에너지 준위도 증가하게 된다. 따라서 oxide layer에는 tilt가 생기고, 이로 인해 oxide layer에 electric field가 야기된다. 이 electric field에 의해 sc 측의 energy band(E_c , E_i , E_v)도 기울게 된다.(upward bending) oxide layer에 의해 Metal과 sc는 전기적으로 절연되어 있기 때문에 양측 간 carrier 이동은 없다. 따라서 sc 측의 Fermi level은 움직이지 않는다. Gate에 negative bias가 인가되어도 양 측의 work function은 여전히 같고, sc 측의 Energy band diagram의 tilt로 인해 sc interface에는 hole이 accumulate 된다. 따라서 Metal 측은 bias로 인한 - charge, sc 측은 metal 측의 - charge와 크기가 같은 net + charge가 쌓이게 되고, 양측中间的 oxide layer는 절연체이므로 소자는 Mos Capacitor로 동작하게 된다.

여백

체 영역을 말함.



(그림3)

3. Gate Positive bias

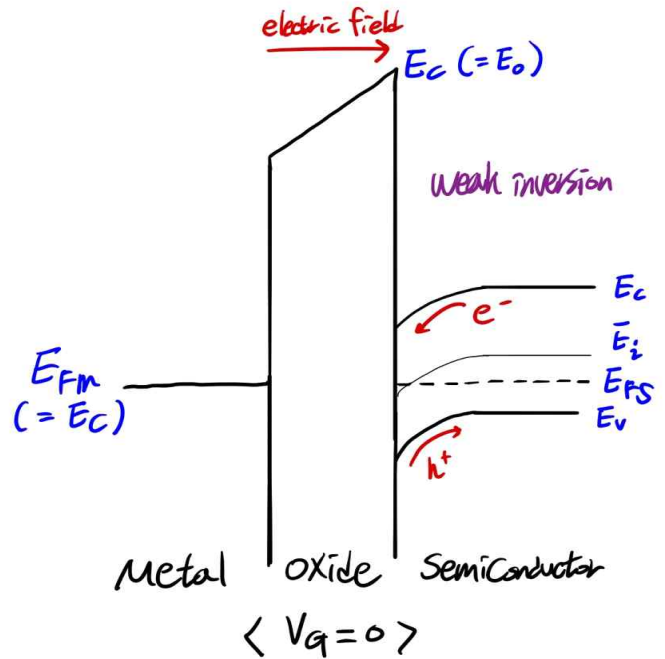
평형 상태에서 Gate에 positive bias가 인가되면 Metal 측의 free electron이 도선으로 빠져나가게 되어 oxide layer와의 interface에 positive charge가 쌓이게 되고, Fermi level은 Gate에 인가된 전압의 크기만큼 작아지게 된다.(diagram에서 아래로 내려가게 됨.) bias가 인가되어도 work function은 변하지 않으므로 metal 쪽의 oxide layer conduction band도 diagram 상으로 아래로 내려가게 된다. 이로 인해 oxide layer에 electric field가 생기고, 이것은 sc 측의 Energy band가 전체적으로 아래로 기울게 만든다. Gate negative bias와 마찬가지로 bias 후에도 양 측의 work function은 같다. sc surface 쪽에 생긴 Energy band diagram의 tilt로 인한 electric field가 hole을 deplet 시키고, electron을 accumulate 시킨다. Gate negative bias와 마찬가지로 Metal 측의 bias로 인한 + charge, sc 측의 net - charge, oxide layer의 절연으로 인해 소자는 Mos Capacitor로 동작하게 된다.

(추가1)

Gate에 bias가 인가되었을 때, sc 측의 surface에는 Energy band diagram의 tilt로 인한 electric field가 존재하게 되고, 이것은 sc surface에 일반적으로 수 백 nm thickness의 carrier depletion layer를 형성한다. 하지만 Metal 측의 Energy band diagram에는 tilt가 존재하지 않고, depletion layer가 존재하지 않는 것처럼 그려져 있다. 이것은 실제로 Metal 측에는 depletion region이 존재하지 않는 것이 아니라 N^+ 고농도 도핑으로 인해 W_{dep} 이 매우 작기 때문에 생략한 것이다.

*surface의 carrier depletion layer는 sc와 oxide layer의 interface가 아니라 electric field가 형성된 전

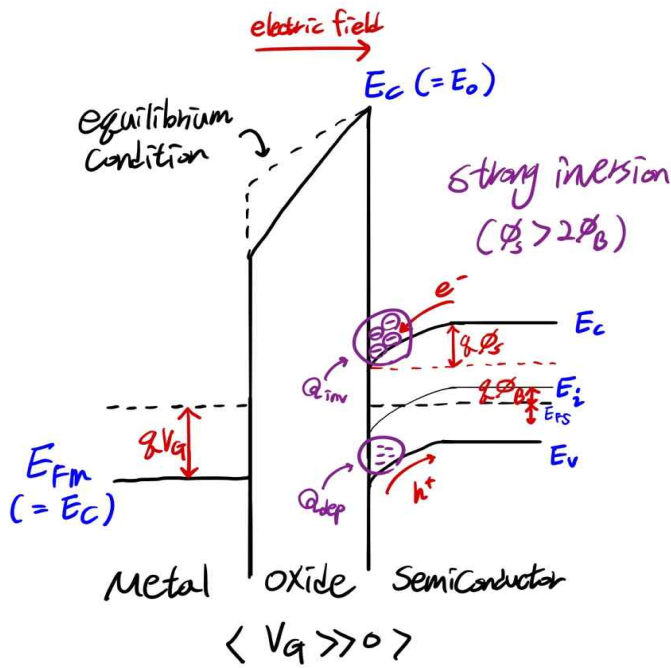
[2] MOS Capacitor의 Metal gate에 Positive 및 Negative bias를 인가하였을 때, 각각의 경우에 대해 에너지 밴드의 모양을 그리고, 각각의 bias에 따른 MOS Capacitor 전하의 변화를 설명하고, MOSFET 구조에서 산화막과 반도체 계면 사이의 채널 형성 원리에 대해서 설명하라.



(그림4)

1. Practical Mos Capacitor (Equilibrium condition)

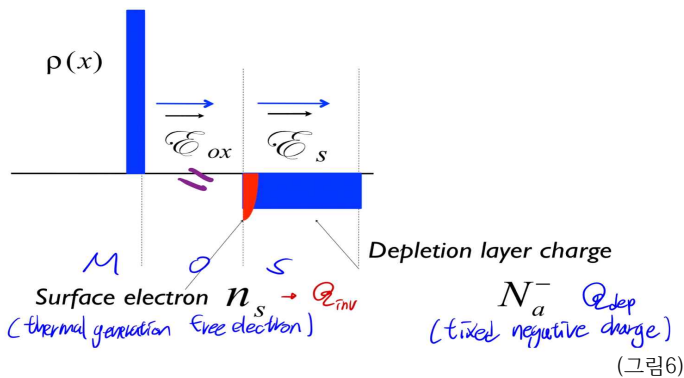
[1]에서의 Ideal Mos Capacitor와 달리 실제 Mos Capacitor에서는 Metal 측의 work function과 sc 측의 work function이 같지 않다. N^+ poly-si Gate, p-type Body 기준의 Mos Capacitor는 Metal 측의 work function $q\psi_m$ 이 sc 측의 work function $q\psi_s$ 보다 작다. 즉 $\psi_{ms} < 0$ 이다. 그런데 Mos Capacitor 전체의 Fermi level은 align 되어 있어야 한다. 따라서 Metal 측과 sc 측의 Fermi level을 align 시키면 양측의 work function 차이로 인해 oxide layer conduction band는 metal 쪽으로 tilt가 생길 수밖에 없다.(downward bending, Not Flat) 따라서 Gate에 어떠한 전압도 인가되지 않은 Equilibrium condition에서도 oxide layer에는 electric field가 존재하게 되고, 이 electric field에 의해 sc 측의 Energy band diagram도 downward bending 된다. 이 때 sc surface의 electric field에 의해 평형 상태에서도 surface에서 hole이 deplet 되고, electron이 accumulate 된다. 위의 diagram은 weak inversion 상태를 가정하였다.



(그림5)

2. Gate Positive bias

Gate에 양의 전압이 인가되면 Metal 측의 electron이 도선으로 빠져나가면서 Fermi level은 아래쪽으로 내려가게 된다. bias로 인해 work function은 변하지 않으므로 oxide layer conduction band도 Metal 쪽으로 기울게 되고(downward bending), 이로 인해 Equilibrium condition일 때보다 더욱더 강한 electric field가 oxide layer에 생긴다. 이것은 sc 측의 surface의 Energy band가 더 기울게 만든다.(downward bending) sc 측의 electric field에 의해 valence band의 hole은 bulk 쪽으로 밀려 나가게 되고, 반대로 thermal generation된 free electron은 oxide layer와 sc의 interface에 accumulate 된다. 이 때 sc의 interface에는 hole의 depletion에 의한 fixed negative charge Q_{dep} 와 free electron이 쌓이면서 생기는 negative charge Q_{inv} 가 존재하게 된다. 이 두 가지 negative charge 성분으로 인해 Mos Capacitor의 sc interface에는 Metal 측의 positive bias로 인한 + charge와 같은 크기의 net negative charge가 생긴다.



(MOS Capacitor 전하의 변화)

Gate positive bias로 인해 metal에 bias에 의한 positive

charge가 쌓이게 된다. sc 측에는 sc surface electric field에 의해 Q_{dep} (P body majority carrier인 hole이 deplet 되어 생긴 fixed negative charge), Q_{inv} (minority carrier인 thermal generation된 free electron이 interface에 accumulate되어 생긴 negative charge)이 생기게 된다. majority carrier hole에 의한 Q_{dep} 이 먼저 발생하고, 수분후 minority carrier electron에 의한 Q_{inv} 이 발생하게 된다. 따라서 Gate bias로 인해 substrate에 생긴 전체 charge는 다음과 같다. $Q_{sub} = Q_{dep} + Q_{inv}$ 그림6은 metal에 쌓인 positive charge와 같은 크기의 net negative charge가 sc의 surface에 존재하는 것을 볼 수 있다.(charge density를 나타낸 그림임.)

(추가1)

bias로 인해 metal 쌓인 positive charge와 그것에 대응되는 sc surface에서의 net negative charge는 electrode 역할을 하며, metal과 sc 사이의 oxide layer는 dielectric의 역할을 한다. 따라서 MOS 소자는 Capacitor로 동작하게 된다. 이 때 inversion layer에 쌓인 전하는 다음과 같다.

$$Q_{inv} = -C_{ox}(V_g - V_{th})$$

*gate 전압이 threshold voltage 보다 커질 때, sc interface에 많은 electron들이 accumulate 되어 inversion layer를 구성한다. 따라서 $Q = CV$ 공식에서 인가된 전압인 V_g 에서 V_{th} term은 빼줘야 한다. 그리고 metal 쪽이 아닌 sc 쪽에 쌓인 전하를 보기 때문에 - 부호를 붙여 주어야 한다.

(추가2)

gate bias가 커진다면 Energy band diagram 상에서 E_c 가 E_F 에 점점 더 가까워진다. 따라서 더 많은 electron이 interface에 accumulate 될 것이다.(surface potential이 커지므로 Energy band의 골이 더 깊어지는 것과 같음.)

(추가3)

sc의 interface 에너지 준위와 Bulk 에너지 준위의 차이인 surface potential ϕ_s 의 크기에 따라 Mos Capacitor의 condition을 Accumulation, Depletion, Flat band, weak inversion, strong inversion으로 나눈다.(ϕ_s 는 downward bending 기준으로 양의 값임. P-type Body majority carrier인 hole을 기준으로 한 condition임.)

Accumulation condition : $\phi_s < 0$ 일 때, sc의 interface에 hole이 accumulate 되어 + charge가 쌓이는 상태

$$(p_s > N_a)$$

Flat band condition : $\phi_s = 0$ 일 때, sc surface에 electric field가 존재하지 않기 때문에 electric field에 의한 carrier 이동이 없는 상태, sc surface에 charge가 쌓이지 않음. ($p_s = N_a$)

Depletion condition : $0 < \phi_s < \phi_B$ 일 때, sc surface의 Energy band가 downward bending 됨에 따라 electric field에 의해 hole이 deplet되어 fixed negative charge Q_{dep} 가 생기는 상태 ($p_s < N_a, n_s < p_s$)

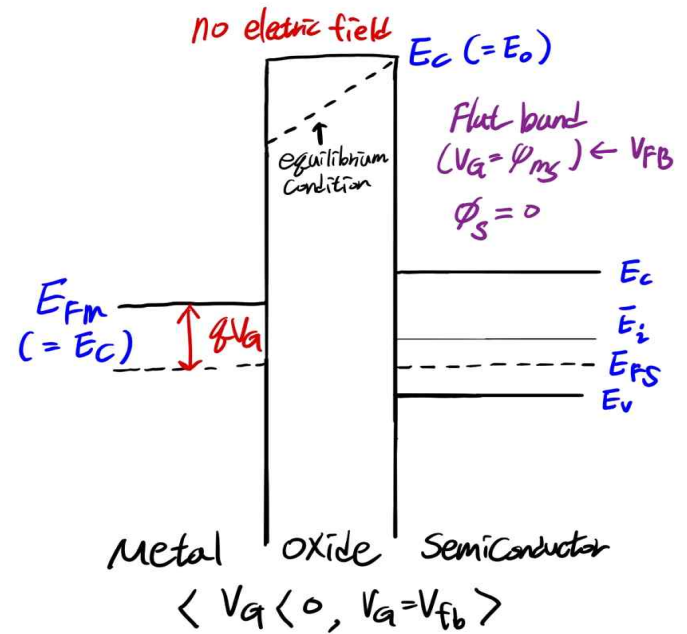
Weak inversion : $\phi_B < \phi_s < 2\phi_B$ 일 때, sc interface의 electron 농도가 hole의 농도보다 커지면서 P-type Body에 Q_{inv} 에 의한 n-type의 inversion layer 생기기 시작하는 상태 ($n_s > p_s, n_s < N_a$), (Energy band diagram 상으로 sc interface에서 E_i 가 E_F 보다 아래로 내려가게 되면 sc surface에 N-type의 inversion layer가 형성되기 시작하는 것을 의미한다.)

Strong inversion : $\phi_s > 2\phi_B$ 일 때, 즉 Gate에 threshold voltage 이상의 전압이 인가 됐을 때, sc interface의 electron 농도가 p-type body에 도핑된 acceptor 농도 N_a 보다 커지면서 sc interface에 강한 inversion layer가 형성되기 시작하는 상태 ($n_s > N_a$)

(Channel 형성 원리)

그림5는 Gate에 인가된 전압 V_G 가 V_{th} 보다 큰 경우인 strong inversion 상태에서의 Energy band diagram을 나타내었다. Gate positive bias로 인해 초기에 sc surface에 Q_{dep} 이 쌓이게 된다. Gate 전압이 점점 증가함에 따라 surface potential이 다음을 만족하면 $\phi_s > \phi_B$ ($q\phi_B = E_i - E_f$) (Energy band diagram 상으로 E_i 가 E_F 보다 아래에 위치하게 됨.) sc interface에 Q_{inv} 이 쌓이게 된다. 이것은 P-type body의 interface에 N-type의 inversion layer를 만들게 된다. 이것을 weak inversion 상태라고 한다. ($n_s > p_s, n_s < N_a$) interface에서 electron의 농도는 hole의 농도보다 많긴 하지만 여전히 Body의 acceptor 도핑 농도(bulk에서의 hole 농도와 같음.)보다는 많지 않다. 여기서 Gate 전압이 점점 더 증가하게 되어 surface potential이 다음을 만족한다면 $\phi_s > 2\phi_B$ ($V_g > V_{th}$) sc interface의 electron 농도가 Body의 acceptor 도핑 농도보다 커지게 되어 interface에 Q_{inv} 으로 인한 강한 반전층(Strong Inversion)이 형성된다. 이 inversion layer는 doping process로 형성된 것이 아닌 강한 Gate positive bias로 인해 생겨난 결과이다. 수 nm의 아주 얇은 두께를 가진 이 inversion

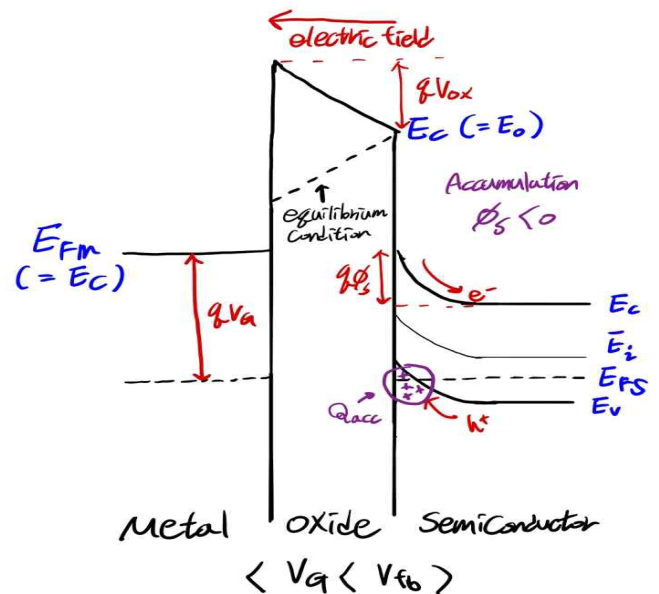
layer를 n channel이라 한다.(sc surface depletion layer는 수백 nm의 두께임.)



(그림7)

3. Gate Negative bias (Flat band condition)

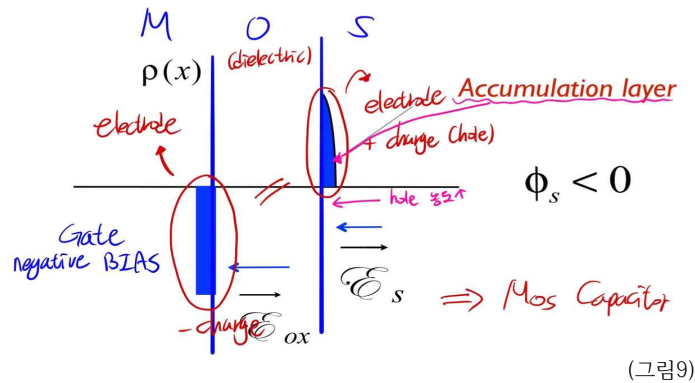
Gate에 음의 전압(Non-Equilibrium)이 인가되면 Metal 측의 Fermi level은 diagram 상에서 위로 올라가야 하고, work function은 같아야 하므로 metal 쪽의 oxide layer conduction band도 diagram 상으로 위로 올라가게 된다. 이 때 oxide layer와 sc surface의 Energy band가 Flat하게 될 때 Gate에 걸어준 전압을 Flat Band Voltage라 하고, 그 크기는 metal 측의 work function과 sc 측의 work function의 차와 같다. ($V_{FB} = \psi_{ms}$) Flat band condition에서는 sc surface에 electric field가 없으므로 carrier 이동이 없다.



(그림8)

(Accumulation condition)

만약 Gate에 V_{FB} 이상의 negative 전압이 인가된다면 ($V_G < V_{FB}$) MOS Capacitor는 Accumulation condition으로 들어가게 되고, sc surface에 hole이 accumulate 되어 Gate negative charge와 동일한 net positive charge Q_{acc} 가 생기게 된다.



(MOS Capacitor 전하의 변화)

Flat band condition에서는 metal에는 negative charge가 쌓이지만 sc surface에는 charge가 쌓이지 않는다.(Flat한 Energy band이기 때문에 electric field가 존재하지 않는다. 따라서 carrier 이동으로 인한 charge는 존재하지 않는다.)

하지만 Accumulation condition에서는 sc surface의 electric field로 인해 majority carrier인 hole이 interface에 accumulate 된다. Accumulation charge Q_{acc} 는 bias로 인한 Gate negative charge와 크기가 같고 metal과 sc 사이의 oxide layer는 dielectric 역할을 하기 때문에 MOS는 Capacitor로 동작하게 된다.

(추가1)

interface에 쌓이는 hole p_s 은 $E_i - E_F$ 에 exponential적으로 비례한다. diagram 상으로는 valence band가 fermi level에 가까워져 hole이 증가된다는 것을 쉽게 알 수 있다.

(추가2)

metal에 쌓이는 charge는 Gate bias로 인해 linear하게 변한다. 하지만 sc interface에 쌓이는 charge는 surface potential에 exponential 하게 변하므로 metal negative charge에 대응되는 net positive charge Q_{acc} 는 surface potential이 조금만 증가해도 충족하게 된다.

(추가3)

sc surface에서의 carrier 농도는 도핑 process가 아닌 gate bias로 인해 조절된다.

(추가4)

Gate에 걸어진 전압 V_g 는 다음과 같은 term으로 구성된다.

$$V_g = V_{fb} + \phi_s + V_{ox}$$

Equilibrium condition에서 Energy band는 Flat하지 않기 때문에 V_g 는 Energy band를 Flat하게 만드는데 사용되고, 그 후 oxide potential과 surface potential에 사용된다. 따라서 sc interface에 쌓이는 accumulation charge는 V_g 에 V_{fb} 만큼 제외한 값에 의해 결정된다.

$$Q_{acc} = -C_{ox}(V_g - V_{fb})$$

- 부호가 붙은 이유는 bias가 가해진 metal에 축적된 전하를 보는 것이 아닌 반대편 sc 측에 쌓인 전하를 보기 때문이다. 보통 일반적으로 surface potential은 oxide layer에서의 potential보다 매우 작기 때문에 (-100mV ~ -200mV) 공식은 다음과 같이 사용된다.

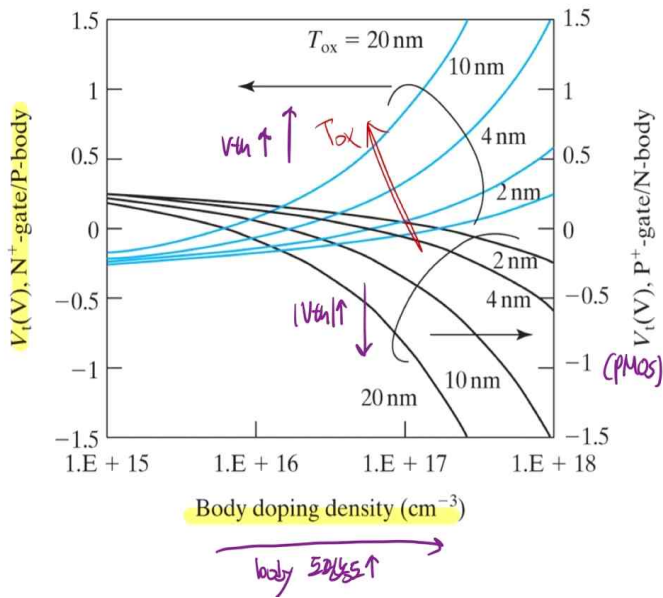
$$Q_{acc} = -C_{ox} V_{ox} (\phi_s \ll V_{ox})$$

*sc interface에 exponential적으로 hole이 모이기 때문에 metal에 쌓인 charge에 대응되는 sc의 net positive charge는 작은 값의 ϕ_s 를 필요로 한다. 그리고 oxide layer의 SiO_2 두께는 정해져 있기 때문에 Gate 전압이 substrate에 미치는 영향은 분명히 한계가 있다. 그 한계로 인해 sc surface의 W_{dep} 과 surface potential ϕ_s 도 최댓값에 한계가 있다.(즉 saturation 된다.) 이러한 이유들로 ϕ_s 는 oxide layer의 potential 보다 상대적으로 매우 작다.

[3] Threshold voltage (V_{th})를 정의하고 MOSFET의 동작원리를 설명하라.

(Threshold voltage)

Threshold voltage란 gate의 충분히 강한 positive bias로 인해($\phi_s > 2\phi_B$ 를 만족함.) P-type Body interface 쪽에 N-type의 강한 반전층이 형성될 때의 gate에 걸어진 전압을 말한다.(sc interface에서 $n_s > N_a$ 를 만족함.) gate 전압이 양의 방향으로 점점 증가함에 따라 MOS Capacitor는 depletion condition -> weak inversion -> strong inversion으로 상태가 변한다.(평형 상태에서 MOS 소자는 depletion condition 이라고 가정했을 때) weak inversion에서도 free electron에 의한 inversion layer가 형성되기 시작하지만 그것은 전체 channel carrier의 아주 작은 부분이고, threshold voltage 이후에 많은 free electron들이 수집되어 channel 형성에 기여한다. 따라서 MOS 소자가 channel을 통해 전류를 흐를 수 있게 되는 시점은 gate에 V_{th} 이상의 전압이 걸렸을 때이다.



(그림10)

Threshold voltage V_{th} 는 $\phi_s = 2\phi_B$ 를 만족할 때의 gate 전압과 같다. 따라서 $V_{th} = V_{fb} + 2\phi_B + V_{ox}$ 이다. Flat band voltage, surface potential, oxide layer potential은 모두 Body의 도핑 농도에 비례하는 term이다. 따라서 V_{th} 는 body 도핑 농도에 비례한다. 그리고 oxide layer의 두께 T_{ox} 가 증가하면 C_{ox} 가 감소하게 되고, 동일한 gate 전압 대비 같은 크기의 net substrate charge Q_{sub} 가 sc interface에 쌓여야 하므로 $Q_{sub} = -C_{ox} V_{ox}$ 에 의해 C_{ox} 가 감소한 만큼 V_{ox} 가 증가하게 된다. 이는 V_{th} 의 증가를 야기한다. 따라서 V_{th} 는 Body 도핑 농도와 oxide layer thickness에 비례하고, Body 도핑 농도 조절로 V_{th} 를 조절할 수 있다.

*Body 도핑 농도가 커질수록 metal과 sc의 work function 차이 ψ_{ms} 의 크기가 커지고, 따라서 Flat band voltage도 증가하게 됨. 이는 V_{th} 증가를 의미함.

(추가1)

Body 도핑 농도 N_a 의 증가는 surface potential ϕ_s 의 증가를 야기하고, 이는 곧 channel conductance가 좋아지는 것을 의미한다. (V_{th} 가 증가하므로 더 많은 free electron이 channel 형성에 기여함.) 하지만 N_a 가 증가하면 Body scattering으로 인한 Drain 전류 특성이 안 좋아진다.

(추가2)

$V_g > V_{th}$ 가 되면 $\phi_s \approx 2\phi_B$ 에서 saturation된다. (ϕ_s 가 조금만 증가해도 free electron에 의한 Q_{inv} 이

exponential적으로 증가하므로 net negative charge는 Q_{inv} 으로 충족되기 때문임.) 따라서 gate 전압이 threshold voltage보다 더 증가하면 대부분은 V_{ox} 의 증가로 이어진다. $V_{th} = V_{fb} + 2\phi_B + V_{ox}$ ($\phi_s \approx 2\phi_B$ saturation)

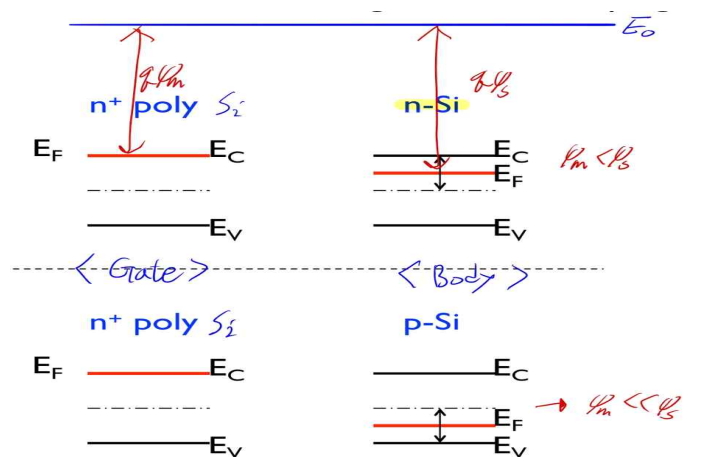
(MOSFET 동작원리)

Gate에 threshold voltage 이상의 전압이 인가되면 MOS 소자는 strong inversion 상태로 들어가게 되고, channel이 형성되어 전류가 흐를 수 있는 길이 생기게 된다. 따라서 Gate는 소자를 ON, OFF 시켜주는 스위치 역할을 하며, $V_g > V_{th}$ 는 소자를 ON 시킨 것을 의미한다. 여기서 Drain에 양의 전압이 인가된다면 Source(전자의 원천)에서 전자가 channel을 통해 흘러 Drain(전자가 빠지는 배수구)으로 빠지게 된다. 이것이 Drain Current이다.

*Equilibrium condition에서는 Source와 Drain의 potential barrier로 인해 전자가 이동할 수 없다. $V_g > V_{th}$ 를 만족한다면 이 potential barrier의 에너지 준위가 충분히 낮아지게 되어 전자가 source to drain으로 이동할 수 있게 된다. 따라서 Gate 전압으로 channel conductance를 조절하여 소자에 흐르는 전류를 control하므로 MOSFET을 Gate-controlled resistor라고도 부른다.

*MOS Capacitor는 minority carrier electron에 의한 channel이 형성되기까지 시간이 오래 걸리지만 MOSFET은 Source, Drain N-type doping region이 존재하기 때문에 순식간에 channel을 형성할 수 있다.

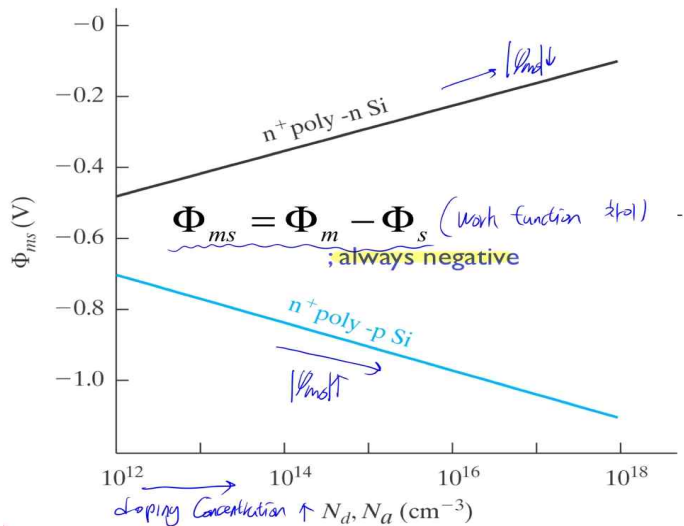
[4] P-body device의 경우 V_{th} 를 작게 유지하기 위하여서는 항상 n+ gate로 만들어주어야 하는데 그 이유를 energy band diagram을 사용하여 설명하라.



(그림11)

Ideal Mos Capacitor는 metal 측과 sc 측의 work

function이 동일하기 때문에 $\psi_{ms} = 0$ 이다. 하지만 실제 Mos Capacitor는 work function이 도핑 type과 도핑 농도에 의해 변하므로 $\psi_{ms} \neq 0$ 이다. N-type의 경우 도핑 농도가 커질수록 work function이 작아지게 되고, P-type의 경우 도핑 농도가 커질수록 work function이 커지게 된다. 따라서 Body의 도핑 type에 상관없이 Gate는 N^+ 로 고농도 도핑해주는 것이 ψ_m 을 가장 작게 만들 수 있다. 이것은 곧 ψ_{ms} 의 크기가 커지는 것과 같다.

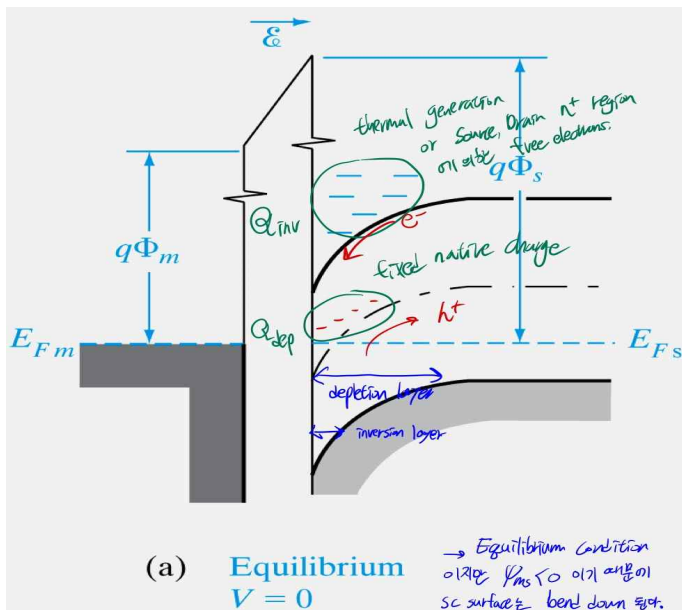


(그림12)

ψ_{ms} 는 V_{fb} 와 같은 값이므로 ψ_{ms} 의 크기가 커지는 것은 V_{fb} 의 크기가 커지는 것과 같다. 그런데 N^+ gate, P Body의 경우 V_{fb} 는 음의 값이므로 ψ_{ms} 의 증가는 V_{th} 의 감소를 의미한다.

$$V_{th} = V_{fb} + 2\phi_B + V_{ox} (\phi_s \approx 2\phi_B \text{ saturation})$$

따라서 V_{th} 감소를 위해 N^+ gate를 사용해야 한다.

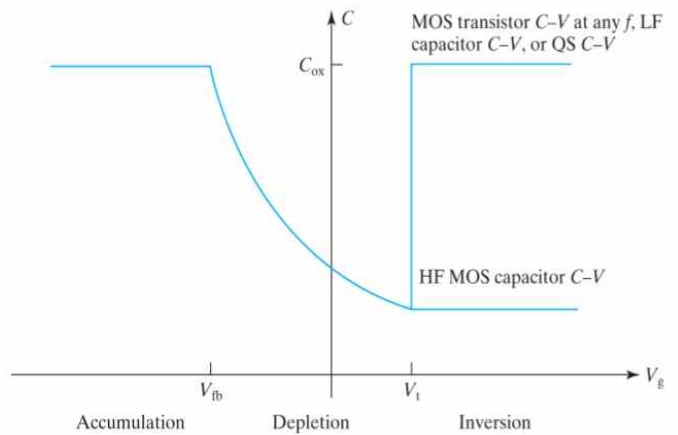


(그림13)

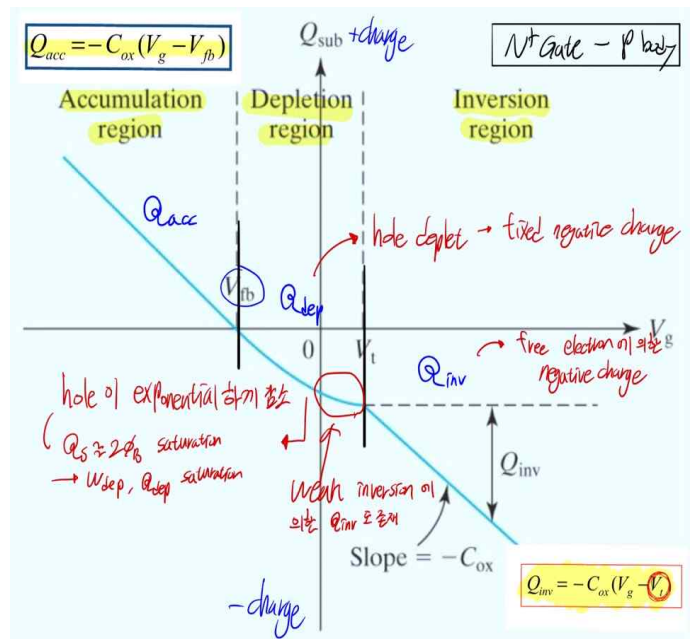
N^+ gate를 사용한다면 $\psi_{ms} < 0$ 이므로 gate에 전압

을 인가하지 않은 평형상태에서도 metal측과 sc측의 work function 차이로 인해 oxide layer에 electric field가 생기고, 이로 인해 sc interface의 Energy band가 bend down 된다. 따라서 surface electric field에 의해 hole이 deplet 되고, free electron이 accumulate 된다. 만약 ψ_{ms} 의 크기가 충분히 크다면 평형 상태에서도 sc interface에 많은 free electron이 수집되어 inversion layer가 형성될 것이다. (ϕ_s 가 $2\phi_B$ 에 점점 가까워지는 것을 의미함.) 이는 strong inversion을 위해 V_g 를 조금만 걸어줘도 된다는 것이다. 즉 V_{th} 값의 감소를 의미한다. 따라서 N^+ gate를 사용하는 것이 바람직하다.

[5] MOS capacitor의 아래와 같은 C-V특성을 구간별로 설명하라.



(그림14)



(그림15)

Accumulation region에서 substrate charge는 다음과 같다. $Q_{acc} = -C_{ox}(V_{ox} - V_{fb})$ 따라서 $Q_{sub} - V_g$ graph에서 slope는 $-C_{ox}$ 와 같다.

Depletion region에서 V_g 가 증가함에 따라 $\phi_s \approx 2\phi_B$ 에서 saturation되므로 W_{dep} , Q_{dep} 도 어떠한 값에서 saturation 될 것이다. 따라서 charge Q_{dep} 는 exponential 적으로 감소하며 점점 saturation 되고, 이에 따라 slope도 어떠한 값으로 saturation 된다.

Inversion layer에서는 $Q_{inv} = -C_{ox}(V_g - V_{th})$ 이므로 Accumulation region과 마찬가지로 slope는 $-C_{ox}$ 이다.

(C-V graph 분석)

MOS Capacitance는 C-V meter로 측정 시 gate small ac signal로 인해 $C = -\frac{dQ_{sub}}{dV_g}$ 이다. (-부호는 substrate charge를 보기 때문에 생긴 것임.)

이 때 **accumulation region**에서는 gate small signal로 인한 metal charge oscillation 속도를 sc 측의 majority carrier인 hole이 따라갈 수 있다. 따라서 MOS Capacitance는 $C \approx C_{ox}$ 이다.

하지만 **Depletion region**에서는 gate ac small signal bias에 대해 sc의 interface에서 먼 쪽부터 hole이 deplet된다. 따라서 hole이 deplet된 곳은 fixed negative charge에 의해 interface보다 상대적으로 - charge를 띄게 되고, interface는 상대적으로 + charge를 띄게 된다. 이때 electron은 minority carrier이므로 metal charge oscillation의 속도에 맞춰 sc interface에 모이지 못한다. 따라서 sc surface에는 interface 쪽의 + charge, interface에서 먼 쪽의 - charge, 중간에 electric field에 의한 depletion layer W_{dep} 가 존재하므로 새로운 Capacitor로 동작하게 된다. 이를 C_{dep} 이라 한다. C_{dep} 은 C_{ox} 와 전기적으로 직렬로 연결되어 있기 때문에

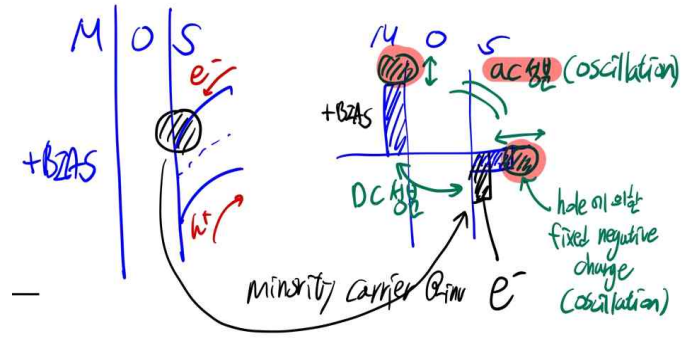
전체 Capacitance $\frac{1}{C} = \frac{1}{C_{ox}} + \frac{1}{C_{dep}}$ 이다. V_g 가 점

점 증가하면 W_{dep} 도 증가하게 되어 $C_{dep} = K \frac{A}{W_{dep}}$ 이 점

점 감소하게 된다. 이는 전체 Capacitance가 점점 더 작아지는 결과를 초래한다. 그리고 $V_g = V_{th}$ 에서 $\phi_s \approx 2\phi_B$ 로 saturation되므로 W_{dep} 도 saturation되고, 따라서

$C_{dep(min)} = K \frac{A}{W_{dep(max)}}$ 의 최솟값에서 saturation 된

다. 따라서 Depletion region에서는 C-V graph가 exponential 적으로 점점 감소하며 어떠한 값에서 saturation되는 모양을 가지고 있다.



(그림 16)

(추가1)

Depletion region에서는 gate small signal 변화를 majority carrier hole에 의한 fixed negative charge oscillation으로 대응한다. 따라서 C_{dep} 의 두께인 W_{dep} 늘어났다 줄어들었다 하면서 gate ac signal에 대응하는 것처럼 보인다.

Inversion region에서는 2가지 Case로 나누어 생각할 수 있다.

만약 소자가 Source, Drain *N-type* 도핑된 region이 있는 MOSFET이라면 gate charge oscillation에 대해 Source와 Drain에서 electron을 바로 공급하여 oscillation 속도를 따라갈 수 있다. 따라서 Q_{inv} 이 MOS Capacitor의 bottom electrode 역할을 한다. 그렇기 때문에 C_{dep} 이 존재하지 않는다.

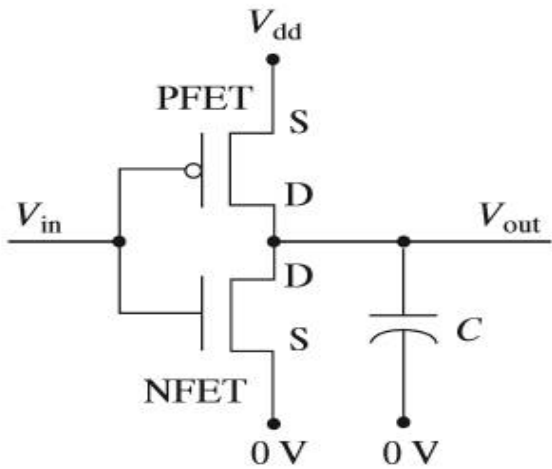
하지만 MOS Capacitor의 경우 P Body에서 electron은 thermal generation된 minority carrier이기 때문에 gate ac signal의 빠른 변화(high frequency)에 매우 느린 속도로 따라가게 된다. 따라서 gate ac signal 변화를 따라가기 위해서는 여전히 W_{dep} 이 oscillation되어야 하고, Q_{inv} 은 gate의 DC voltage에 대응된다. W_{dep} 은 $V_g \approx V_{th}$ 에서 saturation되는 값이고,

그 때의 $C_{dep(min)} = K \frac{A}{W_{dep(max)}}$ 이다. 따라서 전체

Capacitance는 다음과 같다. $\frac{1}{C} = \frac{1}{C_{ox}} + \frac{1}{C_{dep(min)}}$

하지만 예외로 gate ac signal이 아주 느린 frequency라면 MOS Capacitor라 할지라도 ac signal에 의한 charge oscillation을 minority carrier가 따라갈 수 있게 되고 $C \approx C_{ox}$ 가 된다. 이를 quasi-static C-V라고 한다.

[6] 아래에 보이는 CMOS inverter circuit의 동작을 설명하고 이 회로도의 구성을 단면도 및 평면도로 그려라. (회로도 내 capacitor는 포함되지 않아도 됨)

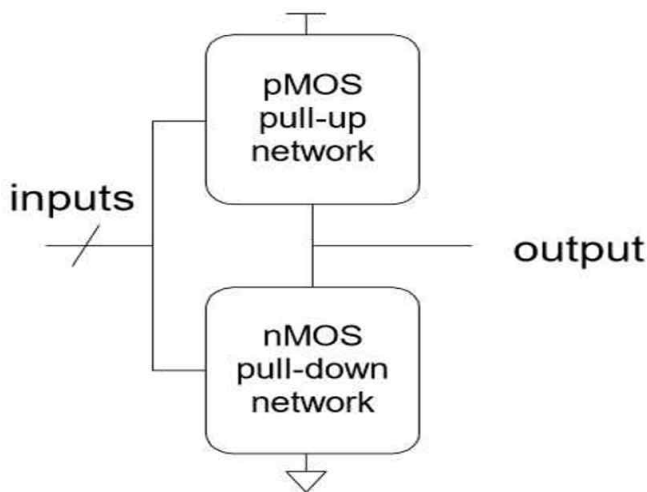


(그림17)

(CMOS inverter 동작 원리)

CMOS inverter는 PMOS와 NMOS가 집적되어 만들어진 소자로 PMOS, NMOS의 단점을 보완시켜주는 상보형 소자이다. PMOS는 gate가 low일 때, 소자가 ON되어 출력이 VDD가 되고, high일 때 소자가 OFF되어 출력이 floating 된다. 그리고 $V_{SG} \geq |V_{thp}|$ 를 만족해야하므로 low signal을 잘 전송하지 못하고, high signal은 잘 전송한다.

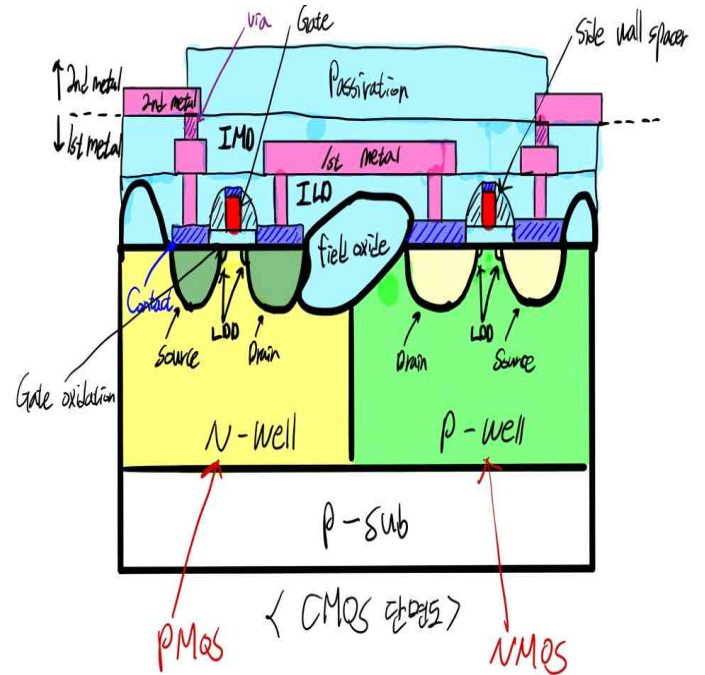
반대로 NMOS는 gate가 high일 때, $V_{GS} \geq V_{thn}$ 를 만족해야 하므로 low signal은 잘 전송하지만 high signal은 잘 전송하지 못한다. gate가 low일 때는 소자가 OFF되어 출력이 floating 된다. 따라서 CMOS 구성으로 출력을 $GND \sim V_{DD}$ 까지 full swing 할 수 있게 만든다.



(그림18)

그림 18은 PMOS와 NMOS가 같이 집적된 CMOS의 구조를 보여주는 그림이다. PMOS는 high signal 전송이

뛰어나므로 PUN(pull-up network)을 구성하고, NMOS는 low signal 전송이 뛰어나므로 PDN(pull-down network)을 구성한다. 따라서 gate input으로 low가 인가되면 PUN ON, PDN OFF되어 출력은 high가 되고, high가 인가되면 PUN OFF, PDN ON되어 출력은 low가 된다.



(그림18)

(단면도)

회로 입력 전압 V_{IN} 은 PMOS, NMOS의 Gate에 연결되어 있고, 회로 출력 전압 V_{OUT} 은 PMOS, NMOS Drain에 연결되어 있다. 회로 구동 전압 V_{DD} 는 PMOS의 Source에 GND 는 NMOS의 Source에 연결되어 있다.

(추가1)

위의 단면도의 PMOS N-Well, NMOS P-Well에 metal과의 ohmic contact을 위한 고농도 도핑 region은 생략하였다. (N-Well의 metal과의 contact을 위한 부분에 N^+ 고농도 도핑하여(tunneling effect 이용) hetero junction을 ohmic contact으로 사용한다.)

(추가2)

P substrate에 굳이 다시 P-Well을 만드는 이유는 도핑 농도 조절로 threshold voltage를 조절하기 위해서이다.

*Gate oxidation : Gate insulator 역할을 하는 SiO_2 oxide layer를 말함.

Field oxidation : TR간 전기적 분리를 위한 절연층.

Contact : 서로 다른 물질인 metal과 sc간의 접합을 말함. hetero junction을 나타냄.

Via : 같은 물질인 metal간의 접합을 말함. homo junction을 나타냄.

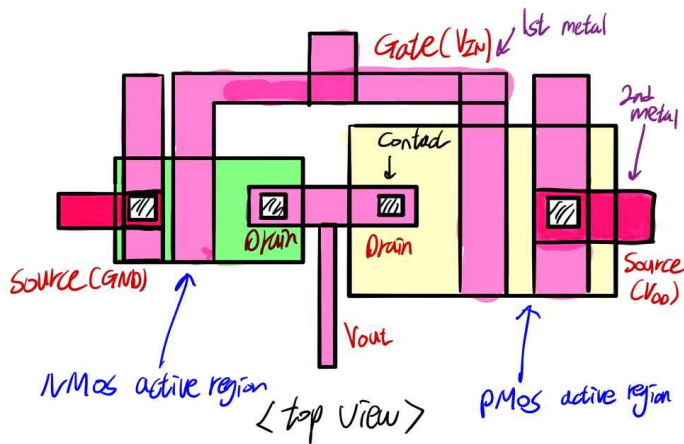
LDD(Lightly Doped Drain) : Hot carrier effect 완화 목적

Side wall spacer : LDD와 heavy doping region의 물리적 구분과 Source, Drain metal 배선 공정 시 gate와 전기적으로 분리 시켜줌.

ILD(Inter Layer Dielectrics) : NMOS, PMOS metal line간 연결 시에 불필요한 연결의 절연 목적.

IMD(Inter Metal Dielectrics) : 반도체 층 내의 metal line간의 절연 목적

Passivation layer : 소자의 보호를 위한 보호막 층.



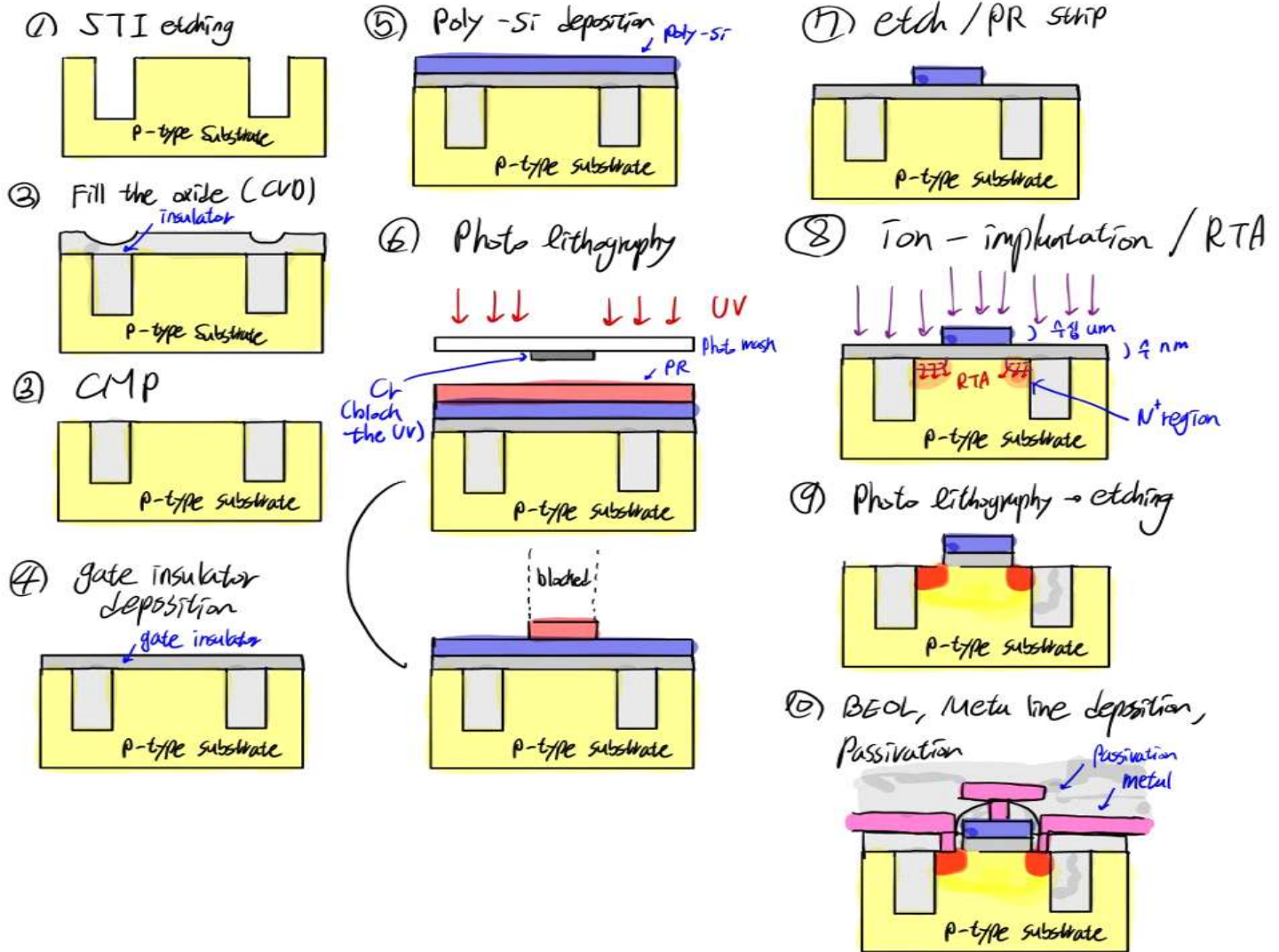
(그림 19)

(평면도)

PMOS의 active region이 NMOS의 그것보다 크다는 것을 알 수 있다. 따라서 PMOS channel width가 NMOS channel width보다 크다. 이것은 두 MOS 소자 majority carrier의 이동도 차이로 인한 mismatching을 해결하기 위해서 channel width를 sizing 해준 결과이다. 일반적으로 45nm 공정에서는 PMOS channel width가 NMOS보다 약 1.2배 크게 공정한다.

뒷면

[7] MOSFET의 제조공정을 순서별로 그림으로 그리고 각각의 제조공정을 최대한 상세 하게 설명하라.



1. 쇼크랄스키 공법으로 P-type의 단결정 실리콘 웨이퍼를 제작한다. 쇼크랄스키 공법이란 다결정 실리콘을 도가니 안에서 고열로 녹여 액체 상태로 만든 후 단결정 seed를 접촉시켜 ingot을 성장시키는 공법이다.
2. STI Region을 만들기 위해 단결정 실리콘 웨이퍼 위에 PR을 도포한다.(원심력 이용, spinner 장비 사용)
3. STI 포토마스크를 이용하여 포토공정 후 현상하여 STI Region이 만들어 질 곳에만 etchant가 접촉하게 만든다.
4. etching을 통해 STI Region에 구덩이를 파고, PR을 제거한 다음 CVD 방식으로 산화막을 증착한다. CVD란 Chemical Vapor Deposition으로 물질을 화학 기상 증착하는 방식이다. Chamber안에 반응시킬 물질 A와 B를 넣어 pre-cursor물질을 이용하여 화학적 반응을 일으킨 제 3의 C 물질을 증착하는 방식이다. 물질 A와 B를 플라즈마 상태로 만들어 반응성을 높이는 PECVD 방식도 있다.
5. CMP(Chemical Mechanical Polishing)를 통해 표면의 불필요한 산화막을 제거한다.
6. Dry oxidation을 통해 아주 얇은 gate insulator를 웨이퍼에 증착한다. Dry oxidation이란 800~1200도씨의 고온 furnace에 실리콘 웨이퍼를 집어넣어 산소와 반응시켜 실리콘 산화막을 만드는 공정 방식이다. Wet oxidation에 비해 산화막의 품질이 아주 뛰어나지만 증착속도가 느리다는 단점이 있다. 얇은 두께의 산화막을 증착할 때는 dry oxidation을 주로 사용한다.
7. gate metal로 쓰일 poly-si을 증착한다.
8. 포토공정을 통해 gate로 쓰일 부분만 patterning 한다. 포토공정이란 빛에 민감하게 반응하는 Photoresist를 웨이퍼 위에 도포한 후 포토마스크를 통해 빛에 웨이퍼를 노출시킨다. 이 때 포토마스크는 회로패턴과 동일하게 제작되어 있다. 빛에 노출된 부분이 응고되거나 용해되는 성질에 따라 PR액을 Negative PR, Positive PR로 구분한다. 빛에 노출된 PR은 현상액을 통해 현상되어 사라진다. 따라서 포토공정 후 현상까지 마치면 설계자가 원하는 회로 패턴의 PR이 웨이퍼 위에 생긴다.
9. etchant를 이용하여 불필요한 poly-si 부분을 제거한다. 대표적인 etchant로 불화수소가 있다.

10. etching 후 O₂ 플라즈마, 황산 등을 이용하여 남은 PR을 strip한다. etching에는 건식 식각과 습식 식각이 있다. 화학적 또는 물리적으로 etching 하고자 하는 물질을 깎아 내는 것을 말한다.
11. ion-implantation 공정으로 source와 drain 지역에 donor를 도핑 한다. ion-implantation 공정이란 donor를 이온 상태로 만들어 chamber안에 주입한 뒤 RF또는 DC로 가속하여 도핑 하고자 하는 웨이퍼 지역에 물리적으로 주입시키는 것을 말한다. 공정 후에는 기판과 산화막의 계면에 데미지가 생길 수 있다.
12. RTA(Rapid Thermal Annealing)공정으로 데미지를 받은 계면의 원자를 activate 시키고 repair 한다. RTA 공정이란 아주 고온에 반도체를 노출 시켜 dopant에 의해 데미지를 받은 결정 구조를 재정렬 시키는 것을 말한다. Annealing은 담금질을 말함.
*도핑 공정은 ion implantation을 통해 donor를 pre deposition하고, 그 후 고온에 노출하여(drive in) donor를 웨이퍼 안에 깊숙이 침투시키는 메커니즘을 사용한다.
13. Metal을 증착하기 위해 포토공정과 식각 공정을 진행하여 불필요한 gate insulator를 제거한다.
14. Deposition - photo lithography - etching 과정의 반복으로 Source, Drain, Gate에 metal을 증착한다.
^metal은 한 번에 증착되는 것이 아니라 위의 3가지 공정 step을 반복하여 증착된다. 따라서 metal을 증착하는 중간 과정에서 oxide layer도 증착되고, 이것은 metal 간의 절연뿐만 아니라 소자의 보호 역할을 한다. 마지막은 SiO₂를 두껍게 증착하여 chip을 passivation 하는 역할을 한다.