

종합 설계 프로젝트

[Week #12 : Sense Amplifier]



》제출 일자: 2020.06.04

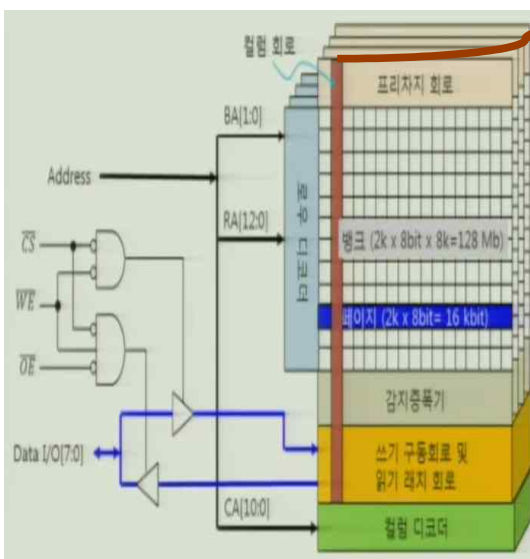
》학과 : 전자공학부

》조명 : 똑딱똑딱 조

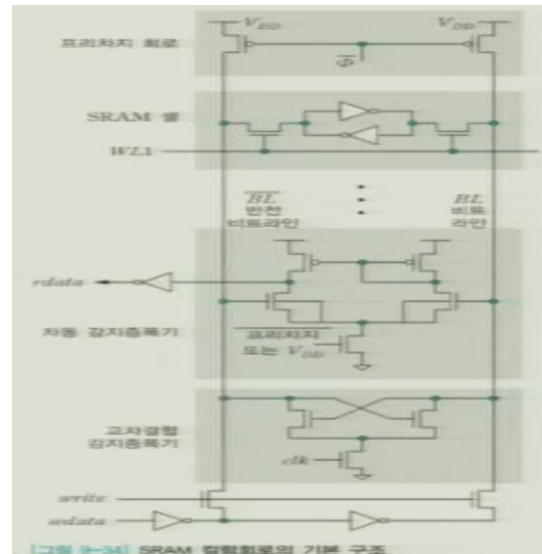
》교수 : 심재훈 교수님

SRAM의 기본구조 및 Sense Amplifier의 사용 목적

SRAM을 구성하는 전체적인 구조는 다음 ▲그림1을 통하여 확인할 수 있다.



▲그림1(SRAM 기본구조)



▲그림2(컬럼회로)

기본적으로 뱅크 구조를 이루는 cell들이 페이지로 구성되어 겹겹이 쌓여 있으며, 상단부에는 Bit line을 예비 충전하기 위한 pre-charge 회로가 위치하여 있고 이외에 기타 쓰기 및 읽기를 위한 구동회로가 하단부에 위치하여 있다.

Data를 Read or write 하기 위한 주소를 사용자로부터 입력받을 시 해당 주소를 디코딩하여 해당 cell이 선택되고 해당 cell과 Bit line 간의 전하 재분배에 의한 Read or write 동작을 수행하게 된다.

이때, 수많은 cell로 구성된 RAM의 BL과 \overline{BL} 은 매우 큰 capacitance를 가지며 이에 의하여 읽기 속도가 매우 느려진다.

가령, Bit line capacitance = C_{BL} , cell current = I_{av} , cell pull-down resistance = R 이라 가정한다면 Bit line에 ΔV 의 전압 변화가 일어나기까지의 지연 시간은 다음과 같이 표현된다.

$$t_{pd} = \frac{C_{BL} \cdot \Delta V}{I_{av}} = \frac{R \cdot C_{BL} \cdot \Delta V}{V_{DD}}$$
 이때, C_{BL} 은 매우 크고, I_{av} 는 작으므로 지연 시간 t_{pd} 는 매우 큰 값을 가진다.

위의 식을 토대로 지연 시간(t_{pd})을 줄여 속도를 빠르게 개선하기 위해서는 C_{BL} , R 을 최소화하고, V_{DD} 을 크게 하여야 하지만 이는 현실적으로 쉽지 않다.

따라서 Bit line의 작은 전압 변화를 감지하여 읽기 속도를 개선하고 고속 동작에 용이 하기 위하여 Sense Amplifier가 사용된다.

Sense Amplifier는 크게 Voltage Sense Amplifier와 Current Sense Amplifier 2가지로 구분할 수 있다.

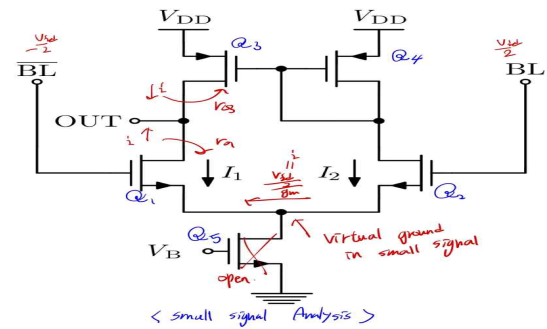
Voltage Sense Amplifier의 경우 간단하며 효과적인 Sense Amplifier지만 큰 bit line capacitor 부하에 사용할 경우 어느 정도 전압 차이가 발생할 때까지 기다려야 하는 단점이 있다.

Current Sense Amplifier의 경우 전류를 감지하기 때문에 Voltage Sense Amplifier와 비교하면 고속 동작이 가능하지만, 높은 파워소모, layout 증가, 비트라인 멀티 플렉서의 유한한 저항으로 인한 퍼포먼스 저하와 더불어 transistor 부정합에 의하여 발생하는 소전류를 측정하는 데 어려움이 있다.

다음은 본 과제에서 제안한 Voltage Sense Amplifier[(a), (b), (c)]에 대하여 알아보도록 한다.

(a) Linear Type Sense Amplifier

▲그림3은 Linear Type Sense Amplifier의 기본구조이다. Typical Circuit for Static Voltage Sense Amplifier 혹은 Current Mirror Type Sense Amplifier 라고도 불리며, 가장 일반적으로 사용되는 정적 전압 감지 증폭기이다. 이 감지 증폭기는 V_B 가 Sense Enable 역할을 담당하며 읽기 작업 중에만 활성화된다.



▲그림3(Linear Type Sense Amplifier)

- Linear Type Sense Amplifier Operations

Linear Type Sense Amplifier의 경우 WL=1로 Read 동작 수행 시 앞서 언급한 바와 같이 해당 cell이 선택되고 transistor가 도통 되어 pre-charge 되어있던 BL, \overline{BL} 에서 전압 차이가 발생한다.

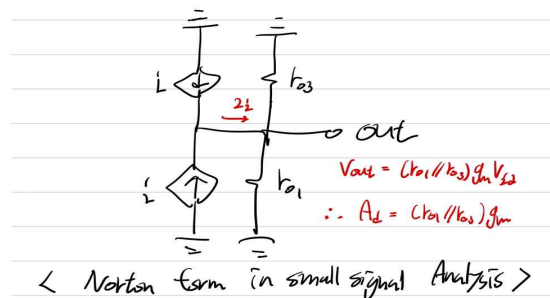
이때, $BL = V_{CM} + V_{id}/2$, $\overline{BL} = V_{CM} - V_{id}/2$ 로 표현할 수 있다.

(단, V_{CM} 은 BL과 \overline{BL} 의 common mode voltage이며, $V_{CM} = (BL + \overline{BL})/2$, $V_{id} = BL - \overline{BL}$)

다음 식에서 $V_{id}/2 \ll V_{ov}$ 를 만족한다면 (차동신호 소신호 조건을 만족) ▲그림3같이 회로를 소신호 해석할 수 있다.

계속해서 Sense Amplifier의 입력전압인 BL, \overline{BL} 가 소신호 임으로 Q5 Current sink가 정상 동작하지 못한다. 따라서 Q5 Drain node는 signal ground가 되므로 current mirror의 input current인 I 는 $v_{id}/(2/g_m)$ [단, $g_m = Q1, Q2$ NFET의 transconductance]으로 표현되며, current mirror의 output current도 I 가 되어 결과적으로 Sense Amplifier의 output current는 $2I$ 가 된다.

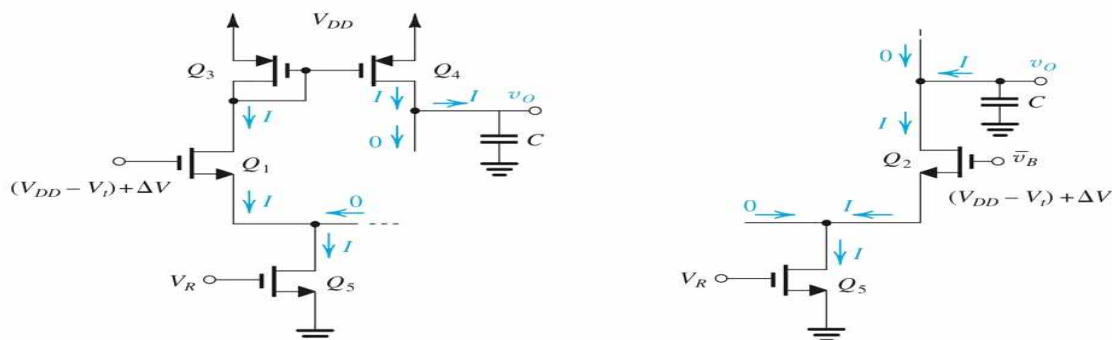
SA의 출력전압은 Q1과 Q3의 출력저항 r_{o1} 과 r_{o3} 에 의하여 $V_{out} = (r_{o1}/r_{o3})g_m v_{id}$ 로 차동이득(A_d)에 의한 증폭 출력이 나타난다.



▲그림4(차동신호 소신호 해석)

만약 BL과 \overline{BL} 의 차동신호가 소신호 조건을 만족하지 않는다면 다음과 같은 Sense Amplifier 동작한다. $\Delta V = V_{id}(BL - \overline{BL})$ 즉, ΔV 가 커질수록 Q1의 입력전압은 커짐으로 Q1의 출력전류는 증가하며 complementary 구조에 의하여 Q2의 출력전류는 감소함을 알 수 있다.

이때, 차동신호 ΔV 가 충분히 크다면 다음 ▲그림5와 같이 동작한다.



▲그림5

▲그림5 Q5의 Current sink에 의해 전체 전류는 I보다 커질 수 없다. 따라서 ΔV 가 충분히 크다면 전체 전류 I는 Q1을 통해 흐를 것이다. 이때, Q2에는 전류가 흐르지 않으므로 open 된다.

Q1에 최대출력전류가 흐를 때 ΔV 는 차동신호의 입력범위에 의해 $\Delta V = \sqrt{2} V_{OV}$ 가 된다. current mirror의 output current도 I이기 때문에 ΔV 가 충분히 크다면 SA의 출력전압은 I에 의하여 충전되고, SA의 출력전압이 V_{DD} 까지 Full swing으로 충전되는데 걸리는 시간은 다음과 같다.

$$\Delta t = \frac{CV_{DD}}{I}$$

이와 반대로 $\Delta V = -\sqrt{2} V_{OV}$ 일 경우 Q1이 open 되어 모든 전류는 Q2를 통해 흐른다. 이때, current mirror의 입력 전류가 '0'이므로 출력전류 또한 0이 된다. 따라서 회로는 ▲그림5의 오른쪽과 같고, 만약 충분한 시간이 흐른다면 SA의 출력전압은 GND 까지 Full swing으로 방전될 것이다.

SA의 출력전압이 VDD~GND full swing 하는데 걸리는 시간이 짧을수록 read 시간이 짧아지므로 I가 클수록 좋다. 하지만 I가 커지면 $P = V_{DD}I$ 이므로 Read 동작에서의 파워 소모가 증가하는 trade-off가 발생한다.

- Linear Type Sense Amplifier의 장점

- ① 차동증폭기이므로 common mode 신호는 제거된다.
따라서 BL과 \overline{BL} 에서의 Noise는 제거하고 차동신호만 증폭할 수 있다.
- ② BL과 \overline{BL} 의 차동신호가 클수록 읽기 동작 속도는 빨라진다.
단, 차동신호가 클수록 전력 소모가 커지는 trade-off가 발생.
- ③ 입력과 출력이 분리되어 있어 추가의 PG가 필요치 않다.
- ④ pre-charge voltage level = $V_{DD} - V_{th}$ 로 low power 설계에 장점이 있다.

- Linear Type Sense Amplifier의 단점

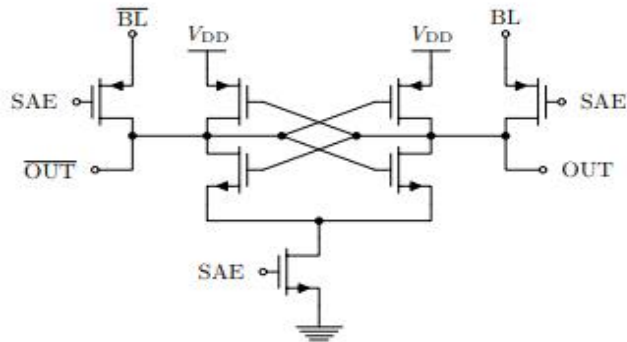
- ① 느리다. (다단증폭기나 약한 Positive Feedback을 통하여 개선 가능)
- ② Current Sink에 의하여 정적 전력 소모가 존재한다.
- ③ Circuit이 정합되어 있어야 하며, 모든 transistor가 saturation region에서 동작하여야 한다.
- ④ BL과 \overline{BL} 의 차동신호가 충분히 커야 출력이 full-swing 할 수 있다.
- ⑤ 낮은 pre-charge voltage level에 의하여 voltage swing이 작아 cell의 stability가 감소한다.

(b) Latch Type Sense Amplifier

▲그림6은 Latch Type Sense Amplifier의 기본구조이다.

BL과 \overline{BL} 에 붙어있는 회로를 격리(isolation) transistor라고도 불린다.

Latch Type SA는 6T SRAM cell과 같이 한 쌍의 cross coupled inverter로 구성되어 있다. 감지 동작은 precharging/equalizing 함으로써 입력이 high-gain metastable region(고이득 준 안정 영역)으로 bias 되면서 시작된다.



▲그림6(Latch type Sense Amplifier)

- Latch Type Sense Amplifier Operations

Latch Type SA는 pre-charge 된 bit line과의 전하 재분배 시 BL과 \overline{BL} 의 큰 정전용량에 의하여 격리되며 이때, 충분한 전압 차이가 발생하면 SAE(Sense Enable) 신호를 pull-down하고 이때 SAE 신호에 의하여 pass transistor가 도통 되며 SA와 Memory cell이 연결된다.

[단, Latch Type SA는 그림 7에서 볼 수 있듯 Latch Type SA의 입력은 출력과 격리되어 있지 않기 때문에 트랜지스터 Q5와 Q6는 bit line으로부터 Latch Type SA와 격리되어 bit line이 '0'으로 완전방전 되는 것을 막을 필요가 있다. 이는 추가적인 전력과 delay가 발생한다.]

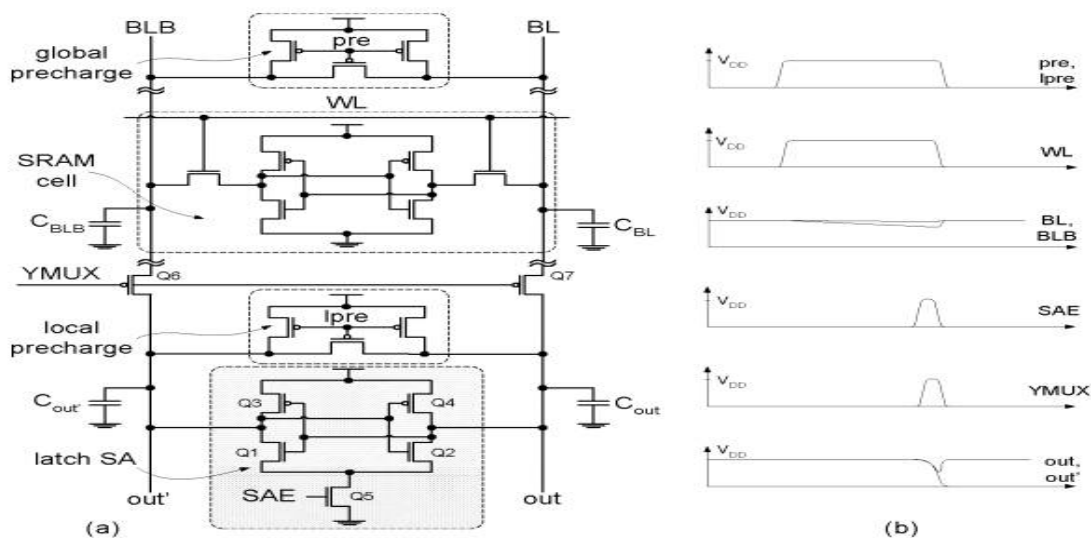


Figure 2.10 A typical circuit with a latch-type sense amplifier, a full CMOS 6T SRAM cell, column mux and precharge (a); signal waveforms during a read operation (b).

▲그림7(Latch type SA circuit 및 신호도)

SAE 신호에 의하여 연결된 SA와 cell은 bit line capacitance의 differential discharging을 통하여 전압 차이를 감지하고 내부 노드의 전압 차이가 cross-coupled inverters에 의해 full-swing output으로 증폭된다.

이때, 낮은 전압을 가진 bit line에 연결된 출력단이 '0'으로 pull-down 됨과 동시에 Positive Feedback에 의해 반대쪽 출력단은 '1'을 유지하게 된다.

- Latch Type Sense Amplifier의 장점

- ① 입력과 출력이 분리되어 있어 추가의 PG가 필요치 않다.
이는 low power와 빠른 speed가 가능하다.
- ② 다음에서 살펴볼 (c) 구조와 비교하면 Transistor의 수가 작으므로 높은 감지 속도를 가지며 작은 layout 영역을 차지한다.
- ③ pre-charge voltage level = V_{DD} 을 사용하여 stability가 좋다.
- ④ Low power consumption.

- Latch Type Sense Amplifier의 단점

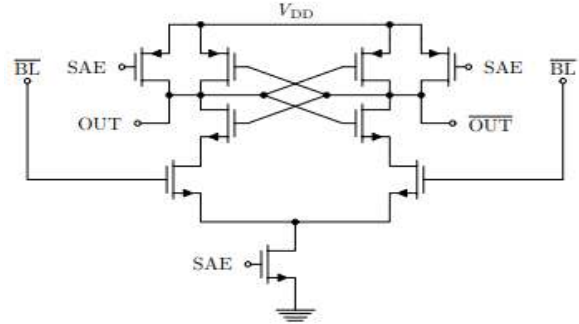
- ① 출력 노드가 입력 노드로도 사용됨으로 SAE 신호의 control이 중요하다.
- ② 동일한 positive feedback으로 한번 enable 되면, reset 되기 전(Meta-stable 상태)으로 돌아가지 않는 한 다시 회복(recover)하기 어렵다.
따라서 충분한 bit line difference가 요구됨.
- ③ (c) 구조와 비교하면 leakage가 크다.

(c) Conventional Latch Type Sense Amplifier

▲그림7은 관습적으로 사용되는 Latch Type Sense Amplifier의 기본구조이다.

강한 Positive Feedback을 사용하여 Latching 동작을 유발하므로 래치형 감지 증폭기라는 명칭을 가진다.

(b)와 유사하게 cross coupled inverter를 기반으로 구성되어 있으며, 동일하게 SAE가 Sense Enable 역할을 담당한다.



▲그림7(Conventional Latch type SA)

- Conventional Type Sense Amplifier Operations

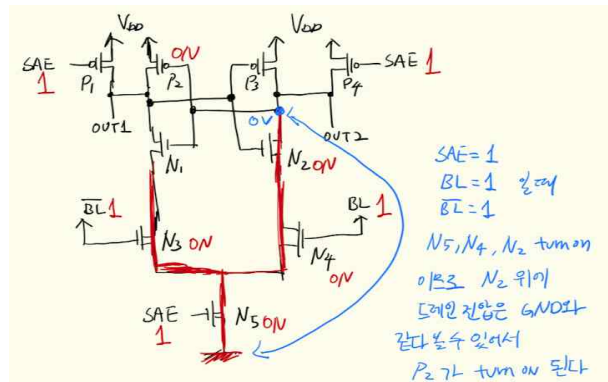
Conventional Latch Type Sense Amplifier는 OUT과 \overline{OUT} 간의 충분한 전압 차이가 있을 때 SAE 신호에 의하여 활성화된다.

가령, 입력 신호 SAE=1, BL=1, \overline{BL} =1로 가정한다면,

▲그림8에서 볼 수 있듯

N5, N4, N2 transistor가 turn on 되어 N2의 Drain 전압은 GND 와 같다고 볼 수 있다.

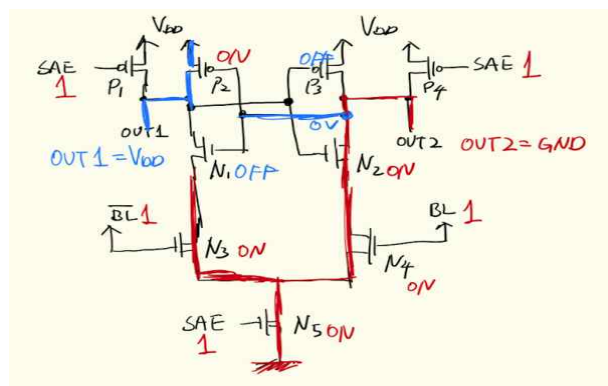
이에 따라 N2의 Drain과 연결된 P2 transistor가 turn on 된다.



▲그림8(SAE=1, BL=1, \overline{BL} =1)

GND에 의하여 turn on 된 P2는 상단부의 V_{DD} 와 연결되고 P2 source에 연결된 OUT1 으로 V_{DD} =‘1’의 신호가 감지되며,

N2의 Drain에 연결된 GND는 OUT2=‘0’으로 연결되어 서로 반전의 신호 값을 산출한다.



▲그림8(OUT1=‘1’, OUT2=‘2’)

- Conventional Type Sense Amplifier의 장점

- ① 대칭적이며 구조가 비교적 간단하다.
- ② (b) 구조와 비교하면 leakage current가 작다.
- ③ Low power consumption.

- Conventional Type Sense Amplifier의 단점

- ① 입력과 출력이 같아 multiplexer나 pass gate와 같은 추가 회로가 필요하다.
(bit line의 부하가 SA의 입출력에 그대로 나타나 Full 전압을 만듦)
- ② 추가 회로에 의한 bit line의 전압 차이가 작아져 speed가 감소한다.
- ③ (b) 구조와 비교하면 차지하는 layout의 할당량이 크다.
- ④ 동일한 positive feedback으로 한번 enable 되면, reset 되기 전(Meta-stable 상태)으로 돌아가지 않는 한 다시 회복(recover)하기 어렵다.
따라서 충분한 bit line difference가 요구됨.

12주차

이경민 : 자료조사 및 보고서작성

김동현, 김승현, 나경운, 이근정 : 자료조사

출처:

"신경욱, CMOS 디지털 집적회로 설계, 한빛아카데미, 2014"

"Tradeoffs Involved in Design of SRAMs by Indrannel B Kelkar, 2005"

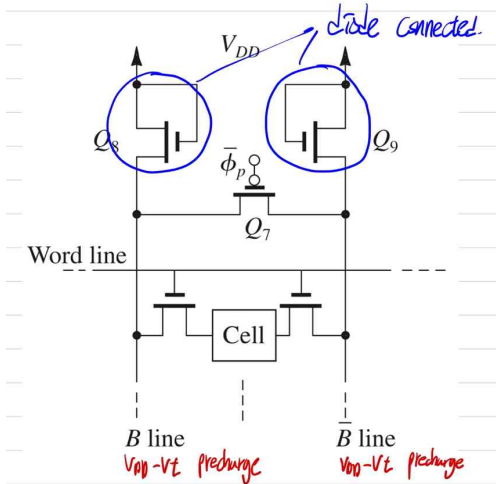
"Design and Test of Embedded SRAMs by Andrei S. Pavlov"

"Microeletronic Circuits" by Adel S. Sedra, Kenneth C. Smith"

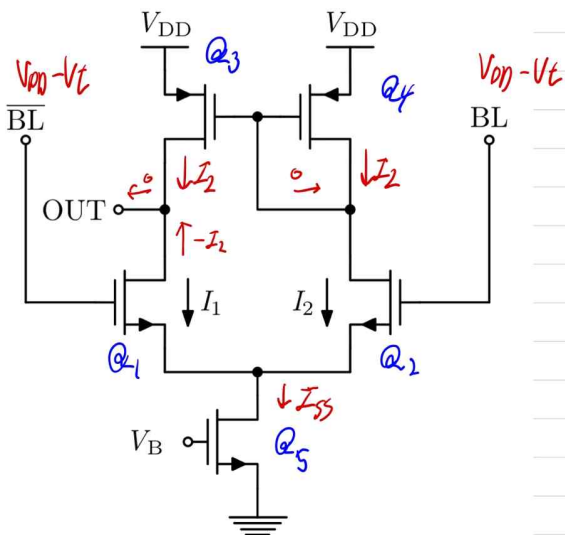
Current mirror sense amplifier

READ OPERATION

1) BL, BLB vdd-vt precharge



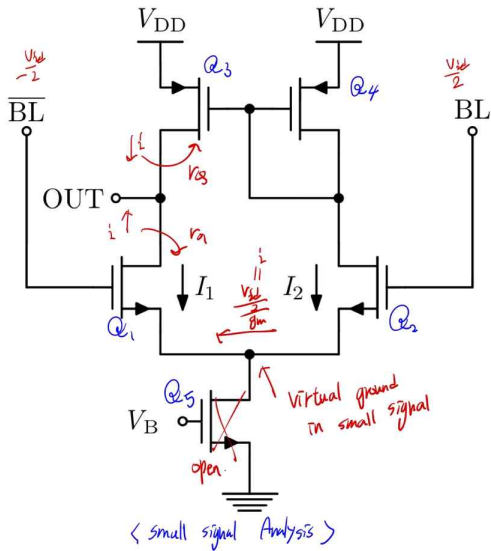
< Precharge Circuit >



- Q3, Q4 current mirror에 의해 Q3 output current = I_2
- differential amp가 common mode에서 동작하고 있으므로
 $I_1 = I_2 = I_{SS}/2$
 따라서 sense amp의 output current = 0이 된다.
 즉 증폭기로서 동작하지 않음.

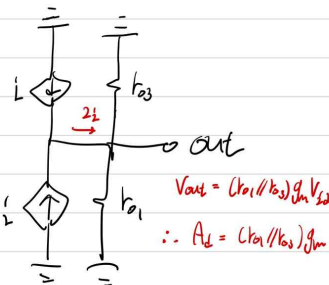
2) after word line activate

- WL=1이 되어 read 하고자 하는 cell이 선택되면 cell과 sense amp가 전기적으로 연결된다.
- 이 때 read operation으로 인해 precharge 되어있던 BL, BLB에서 전압 차이가 발생하게 된다. -> differential voltage 발생
- 이 때 $BL = V_{CM} + V_{id}/2$ $BLB = V_{CM} - V_{id}/2$ 로 표현할 수 있다. (V_{CM} 은 BL과 BLB의 common mode voltage이다. $V_{CM} = (BL + BLB)/2$
 V_{id} 는 BL과 BLB의 차동 전압신호이다. $V_{id} = BL - BLB$)



-> BL과 BLB를 공통신호와 차동신호로 구분지어 표현

- 1) 의 결과로 common mode에서는 sense amp의 output current가 0 인 것을 알고 있고, 따라서 V_{id} 차동신호에 대한 sense amp의 output current를 살펴보려한다.
- $V_{id}/2 \ll V_{ov}$ 를 만족한다면 (즉, 차동신호가 소신호 조건을 만족한다면) 좌측과 같이 회로를 소신호 해석 할 수 있다. SA의 입력 전압인 BL, BLB과 소신호 이므로 Q5 Current sink가 정상 동작하지 못한다. 따라서 Q5 Drain node는 signal ground가 되므로 current mirror의 input current인 I 는 $v_{id}/(2/g_m)$ 로 표현된다. (g_m : Q1,Q2 NFET의 transconductance)
- current mirror의 output current도 I 가 되야 하므로 결과적으로 SA의 output current는 $2i$ 가 된다.



좌측의 회로는 SA의 output 부분을 norton form으로 소신호 모델링한 것이다. Q1과 Q3의 출력저항은 이상적으로는 무한대이기 에 r_{o3} 와 r_{o1} 저항은 매우 큰 저항이다.

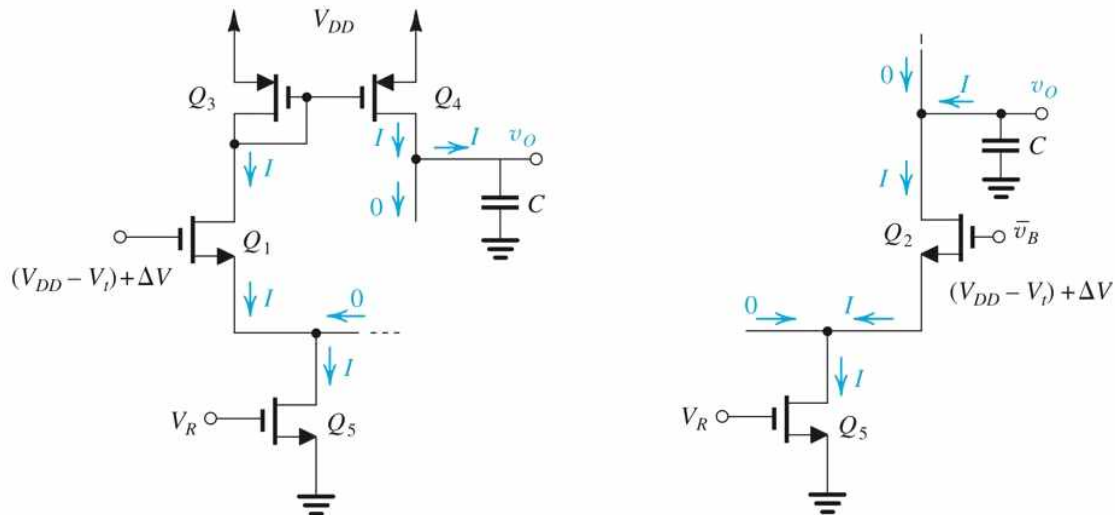
r_{o1} 와 r_{o3} 의 병렬저항에 걸리는 전압이 SA의 출력전압이므로 $v_{out} = (r_{o1}/r_{o3})g_mv_{id}$ 가 된다.

따라서 작은 차동신호 v_{id} 는 $A_d = (r_{o1}/r_{o3})g_m$ 의 차동이득으로 증폭되어 출력단에 나타난다.

만약 BL과 BLB의 차동신호가 소신호 조건을 만족하지 않는다면 다음과 같이 SA가 동작한다.

$$\Delta V = V_{id}(BL - BLB)$$

ΔV 가 커질수록 Q1의 입력전압이 커지므로 Q1의 출력전류는 증가할 것이다. SA는 complementary 한 구조를 가지고 있으므로 ΔV 의 증가에 따라 Q2의 출력전류는 감소할 것이다. 만약 차동신호 ΔV 가 충분히 크다면 회로는 아래와 같이 동작한다.



Q5의 Current sink에 의해 전체 전류는 I보다 커질수 없다. 따라서 delta V가 충분히 크다면 전체 전류 I는 Q1을 통해 흐를 것이고, 그 때 Q2에는 전류가 흐르지 않으므로 open된다. Q1에 최대출력전류가 흐를 때 delta V는 차동신호의 입력범위에 의해 $\Delta V = \sqrt{2} V_{OV}$ 가 된다. current mirror의 output current도 I이기 때문에 delta V가 충분히 크다면 SA의 출력전압은 I에 의해 충전될 것이고, SA의 출력 전압이 VDD 까지 Full swing으로 충전되는데 걸리는 시간은 다음과 같다. $\Delta t = \frac{CV_{DD}}{I}$

반대로 $\Delta V = -\sqrt{2} V_{OV}$ 가 된다면 Q1이 open되어 모든 전류는 Q2를 통해 흐를 것이다. current mirror의 입력 전류가 0이므로 출력전류도 0이 된다. 따라서 회로는 위의 오른쪽 그림과 같고, 충분한 시간이 흐른다면 SA의 출력전압은 GND까지 Full swing으로 방전될 것이다.

SA의 출력전압이 VDD~GND full swing 하는데 걸리는 시간이 짧을수록 read 시간이 짧아지므로 I가 클수록 좋다. 하지만 I가 커지면 $P = V_{DD}I$ 이므로 READ 동작에서의 파워소모가 증가하는 trade-off가 있다.

current mirror SA

장점

- 차동증폭기이므로 common mode 신호는 제거된다. 따라서 BL과 BLB에서의 노이즈는 제거하고 차동신호만 증폭 할 수 있다.
- BL과 BLB의 차동신호가 클수록 읽기동작속도는 빨라진다. 하지만 차동신호가 클수록 전력소모가 커지는 절충이 있다.

단점

- SA를 BIAS하기 위해 current sink가 사용된다. 따라서 전력소모가 크다. 이를 개선하기 위하여 Q5 current sink를 위한 TR의 입력신호는 read 동작 중일 때만 인가해준다.
- differential half cut circuit이 정합되어있어야 하고, 모든 TR이 saturation region에서 동작해야한

다.

- BL과 BLB의 차동신호 ΔV 가 충분히 커야 SA의 출력이 ground~vdd 까지 full swing할 수 있다.

(Current mirror type Sense Amplifier 장점)

- (1) 입력과 출력이 분리되어 있다. 추가의 PG가 필요치 않다.
- (2) S/A의 enable scheme에 따라 다르겠지만 (계속 enable되는지, 정해진 시점에서만 enable 되는지), 만약 항상 enable되어 있다면, bit line voltage difference에 recovery특성을 가진다.

(Current mirror type Sense Amplifier 단점)

- (1) 느리다.

1번 회로는 Linear Type Sense Amplifier, 2번 회로는 Improved Latch type Sense Amplifier라고 한다.

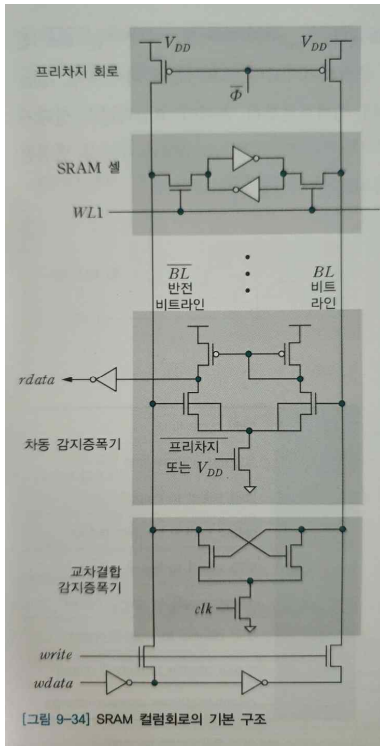
linear type sense amplifier는 latch type sense amplifier와는 조금 다른 configuration을 가진다. precharge driver scheme과 조금은 밀접한 관계가 있다. latch type의 경우 precharge voltage level = V_{DD} 를 사용하는 반면, current mirror type의 경우, precharge voltage level = $V_{DD} - V_{th}$ 로 사용한다. 따라서 charging/discharging시 voltage swing이 작기 때문에 low power 설계에 장점이 있지만, cell의 stability는 떨어지게 된다.

improved latch type sense amplifier의 장점

입력과 출력이 분리되어 있어서 추가 회로 없이 bit line을 full level을 형성시키지 않는다. 이는 low power와 동작 speed를 빠르게 할 수 있다.

improved latch type sense amplifier의 단점

동일하게 positive feedback이어서 한번 enable 되면, reset 되기 전(meta-stable 상태, 전압 $V_{O1}=V_{O2}$)으로 돌아가지 않는 이상 다시 회복(recover)하기 어렵다. 따라서 충분한 bit line difference가 요구된다.

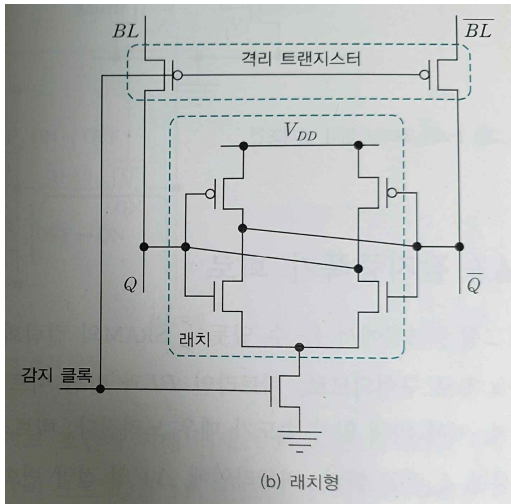


왼쪽 그림에서 볼 수 있듯이, SRAM 컬럼회로는 많은 수의 메모리 셀들(예를 들면, 8k개)로 구성되므로, 비트라인 BL과 반전 비트라인 \overline{BL} 은 매우 큰 커패시턴스를 가지며, 이에 의해 읽기 속도가 매우 느려진다. 비트라인의 정전용량을 C_{BL} , 메모리 셀의 전류를 I_{av} 라고 하면, 비트라인에 ΔV 의 전압 변화가 일어나기까지의 지연시간은 다음과 같이 표현된다.

$$t_{pd} = \frac{C_{BL} \cdot \Delta V}{I_{av}} = \frac{R \cdot C_{BL} \cdot \text{TRIANGLEV}}{V_{DD}} \quad \text{여기서 저항 } R \text{은 메모리}$$

셀의 풀다운 저항을 나타낸다.

C_{BL} 은 매우 크고 I_{av} 은 작으므로, 지연시간 t_{pd} 는 매우 큰 값이 된다. 예를 들어, 메모리 셀이 비트라인에 미치는 커패시턴스가 2fF이고, 비트라인에 256개의 셀이 연결되어 있다면, $C_{BL}=512\text{fF}+C_{wire}$ 가 된다. 메모리 셀의 풀다운 저항이 $R=15\text{kohm}$ 이라고 하면, 비트라인의 전압이 $\Delta V=V_{DD}$ 만큼 변하기 위한 지연시간은 $t_{pd}=7.68\text{ns}$ 로 매우 큰 값이 된다. 위의 식으로부터, 메모리 셀의 읽기 속도를 빠르게 하기 위해서는 비트라인의 정전용량 C_{BL} 과 메모리 셀의 풀다운 저항 R 을 최소화하고, 전원전압 V_{DD} 를 크게 해야 한다. 그러나 이는 현실적으로 쉽지 않은 방법이므로, 비트라인의 작은 전압 변화(ΔV)를 감지하여 읽기 속도를 개선하기 위해 감지증폭기가 사용된다.



래치형 감지증폭기는 바이어스 전류가 필요하지 않아서 저전력에 유리하다. 격리 트랜지스터에 의해 BL, \overline{BL} 의 큰 정전용량과 격리되어 있다가, 클럭신호에 해 격리 트랜지스터가 도통되면 BL과 \overline{BL} 의 신호 변화가 래치의 정귀환(positive feedback) 작용에 의해 0 또는 1로 래칭된다.

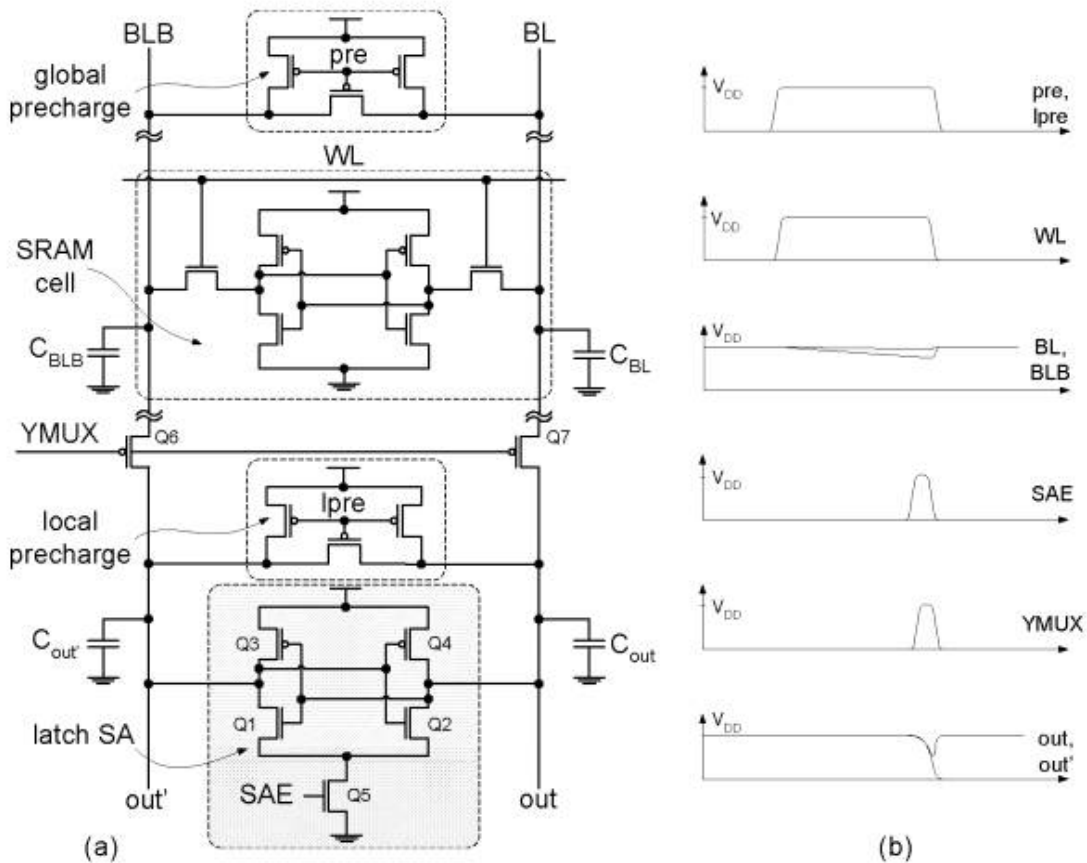


Figure 2.10 A typical circuit with a latch-type sense amplifier, a full CMOS 6T SRAM cell, column mux and precharge (a); signal waveforms during a read operation (b).

래치형 SA는 6T SRAM cell처럼 한 쌍의 교차 결합된 인버터들로 형성된다. 감지 동작은 precharging/equalizing 함으로써 입력이 high-gain metastable region(고이득 준안정 영역)으로 바이어스 되면서 시작된다. 래치형 SA의 입력이 출력과 격리되어 있지 않기 때문에 트랜지스터 Q5와 Q6은 bit line들로부터 래치형 SA와 격리되어서, bit line이 0으로 완전방전 되는 것을 막을 필요가 있다. (이것으로 추가적인 전력과 delay가 발생한다) word line에 연결되어 있는 SRAM cell이 충분한 전압 차이까지 BL과 BLB를 방전한 경우 SAE 펄스의 high에서 low로 변화로 인해 SA가 활성화된다.

sense amplifier(SA)는 메모리 디바이스에서 가장 중요한 회로 중 하나이다. 많은 SA들이 개발되었지만, latch-type SA가 high sensing speed와 low power consumption으로 인해 주로 사용되고 있다.

(b)에서 나타난 SA 구조는 voltage latched sense amplifier (VLSA) 이고, NMOS footswitch와 PMOS 패스 트랜지스터를 가지고 있다. VLSA의 동작을 살펴보면, 먼저 비트라인을 precharge 시키고, 그 이후 워드 라인에 신호를 주어 셀을 선택한다. 그 이후 SAE를 pull-down하여 패스 트랜지스터를 on 시켜 SA와 SRAM memory cell을 연결한다. 이 때, memory cell에 저장된 데이터 때문에 비트라인 사이에 전압 차이가 발생하게 되는데, 메모리에 '1'이 저장되어 있으면 BLbar가 살짝 감소하고, 메모리에 '0'이 저장되어 있으면 BL이 살짝 감소한다. 이러한 전압 차이가 충분해지면 SAE를 high로 주어 pull-down NMOS를 on시켜서 비트라인 커패시턴스의 differential discharging을 통해 전압 차이를 감지하고 내부 노드의 전압 차이가 cross-coupled inverters에 의해 full-swing output으로 증폭된다.

낮은 전압을 가진 비트라인 쪽에 연결된 출력단이 0으로 pull-down됨과 동시에 positive feedback에 의해 반대쪽 출력단은 1을 유지하게 된다.

장점 : (c) 구조에 비해 트랜지스터의 수가 적으므로 높은 감지 속도를 가지며, 작은 layout 영역을 차지한다.

stan-by power를 소모하지 않는다.

단점 : 출력노드가 입력노드로도 사용되므로 SAE 신호를 신중히 컨트롤 해야한다.

(c) 구조에 비해 leakage가 크다.

Sense Amplifier 초안

조 명 : 똑딱똑딱

2017117876

김승현

1. Sense Amplifier 의 사용목적 및 구분

SRAM 의 컬럼회로는 많은 수의 메모리 셀들로 구성되므로 비트라인과 반전 비트라인은 매우 큰 커패시턴스를 가지며, 이에 의해 읽기 속도가 매우 느려진다.

메모리 셀의 읽기 속도를 빠르게 하기 위해서는 비트라인의 정전용량과 메모리 셀의 풀다운 저항을 최소화 하고 V_{DD} 를 크게 해야하지만 이는 현실적으로 쉽지 않다.

비트라인의 작은 전압 변화를 감지하여 읽기 속도를 개선해 고속 동작을 할 수 있도록 감지 증폭기가 사용되는 것이다.

비트라인과 반전비트라인에 나타나는 100mV~300mV 의 작은 변화를 감지할 수 있고 SRAM 뿐만 아니라 DRAM 일직 회로에서도 사용이 된다.

Sense Amplifier 는 크게 Voltage Sense Amplifier 와 Current Sense Amplifier 2가지로 구분할 수 있다.

=> 과제에서 제안한 a, b, c 셋다 전압 감지 증폭기이다.

Voltage Sense Amplifier 의 경우 굉장히 간단하며 효과적인 감지 증폭기이다.

단점은 큰 비트라인 커패시터 부하에 사용을 할 때에는 비트라인에 어느정도 전압 차이가 발생할 때까지 기다려야 하는 단점이 있다.

Current Sense Amplifier 의 경우 Voltage Sense Amplifier 와는 다르게 비트라인에 어느 정도 전압 차이가 생기지 않더라도 전류의 차이를 감지하기 때문에 Voltage Sense Amplifier 에 비해 고속동작을 할 수 있다.

단점은 높은 파워 소모, 레이아웃 증가, 비트라인 멀티 플렉서의 유한한 저항으로 인한 퍼포먼스 저하가 있다.

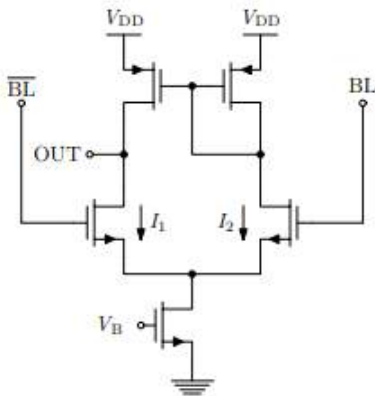
또한 감지증폭기에서 오프셋에 영향을 주는 트랜지스터 끼리의 부정합이 발생하면 두 비트라인 사이에 소전류를 측정하는데 어려움이 생긴다.

2. Voltage Sense Amplifier

Voltage Sense Amplifier 는 Linear Type (Current Mirror Type) 과 Latch Type 으로 구분할 수 있다.

Latch Type 의 경우 프리차지 전압을 V_{DD} 를 사용하지만 Current Mirror Type 의 경우 프리차지 전압을 $V_{DD} - V_{TH}$ 로 사용한다. 따라서 충, 방전시 전압 스윙이 작기 때문에 저전력 설계에 장점이 있지만 셀의 안정도는 떨어지게 된다.

① Linear Type Sense Amplifier



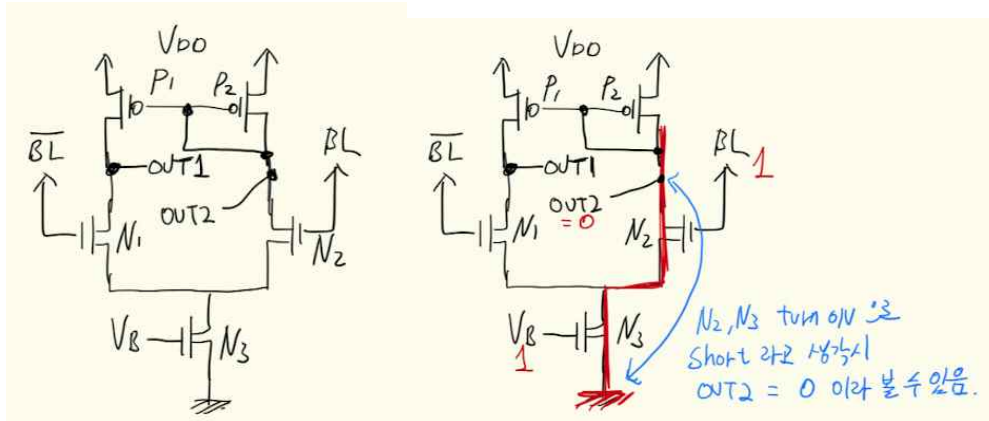
(A)

단점으로는 속도가 느리다.

이때 소모되는 시간은 $\tau = r_{DS}C_L$ (r_{DS} 는 출력 노드와 C_L 에서 트랜지스터의 드레인 소스 저항) 이다.

속도가 느린 단점을 다단증폭기를 이용하거나 약한 Positive Feedback을 통해 개선할 수 있다.

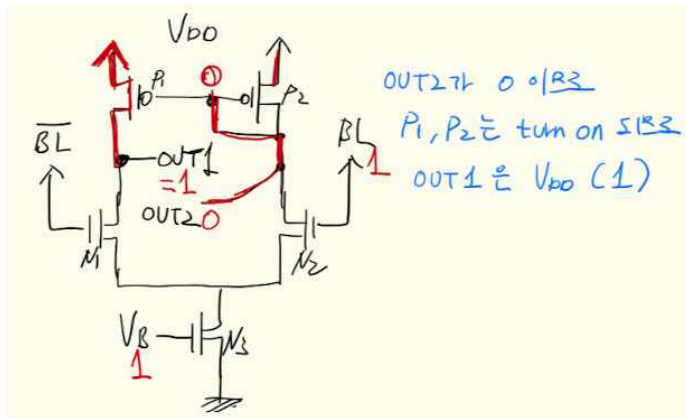
Current Mirror 는 입력과 출력에서 동일한 전류를 구동하는 회로이므로 다음과 같이 동작한다.



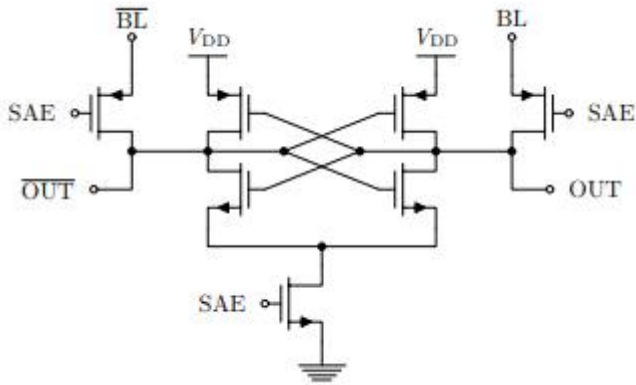
여기서 OUT2는 PMOS 트랜지스터 (P1, P2)의 게이트 단자에 연결되고 트랜지스터를 ON 한다 (OUT2 = 0이기 때문에)

P1에 흐르는 전류는 두 트랜지스터의 $\frac{W}{L}$ 비가 동일한 경우 P2에 흐르는 전류 ($I_1 = I_2$)와 같다.

트랜지스터 P2의 $\frac{W}{L}$ 비가 P1의 $\frac{W}{L}$ 비의 α 배인 경우

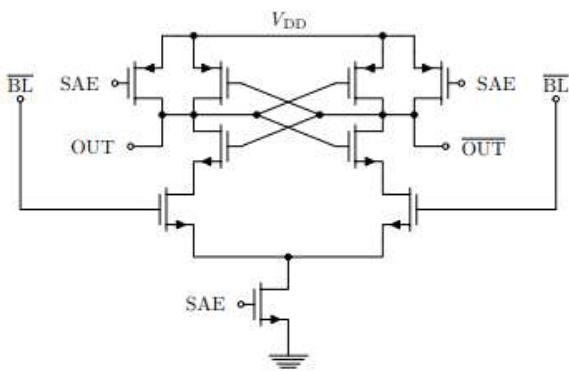


② Latch Type Sense Amplifier



왼쪽 그림은 Latch Type Sense Amplifier 이다. 바이어스 전류가 필요치 않아 저전력에 유리하다. 비트라인과 반전비트라인에 붙어있는 회로를 격리 (isolation) 트랜지스터라고 부른다. 격리 트랜지스터에 의해 비트라인과 반전 비트라인의 큰 정전용량과 격리되어 있다가 SAE(Sense Enable) 신호에 의해 격리 트랜지스터가 도통되면 비트라인과 반전 비트라인의 신호 변화가 래치의 Positive Feedback 작용에 의해 0 또는 1로 래칭된다.

③ Conventional Latch Type Sense Amplifier



(C)

왼쪽 그림은 기존 Latch Type Sense Amplifier 에 비해 관습적으로 사용되는 감지 증폭기이다.

강한 Positive Feedback 을 사용하여 Latching 동작을 유발하므로 래치형 감지증폭기라는 명칭을 가진다.

가장 일반적으로 사용되는 전압 감지 증폭기이며 교차 결합 CMOS를 기반으로 하고 있다.

SAE가 Sense Enable 역할을 담당한다.

증폭기는 OUT , \overline{OUT} 노드 사이에 충분한 전압 차이가 있을 때 활성화되며 이 노드는 출력뿐만 아니라 입력으로도 사용된다.

감지 증폭기의 관점으로 볼 때 대칭적이고 간단한 구조

이다.

입력과 출력이 같기 때문에 멀티플렉서나 패스게이트와 같은 추가적인 회로가 없으면 속도 저하 및 파워 소모가 증가한다. 비트라인의 부하가 감지증폭기의 입출력에 그대로 나타나 Full 전압이 만들어 지기 때문이다.

이를 보완하기 위해서 멀티플렉서나 패스게이트와 같은 추가회로를 달아주면, 이 추가회로를 통과하면서 비트라인의 전압차이가 작아져 속도를 감소시킨다.

Conventional Latch Type Sense Amplifier 는 다음과 같이 동작한다.

