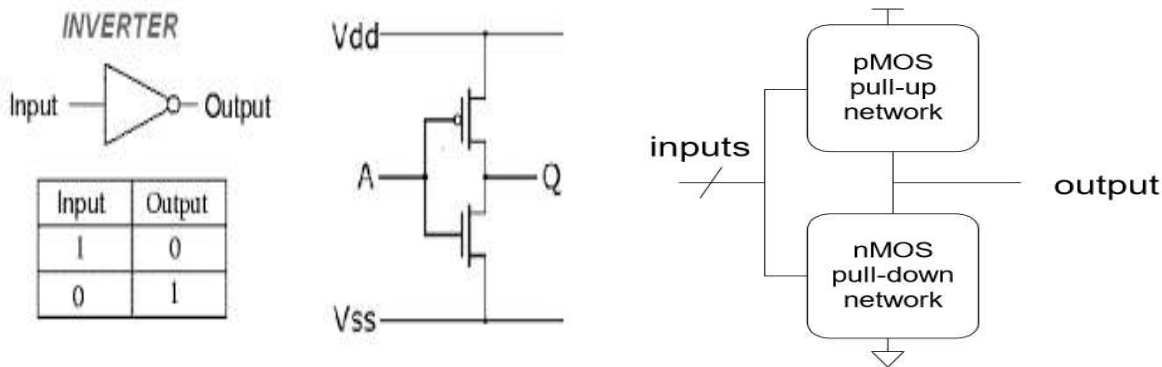


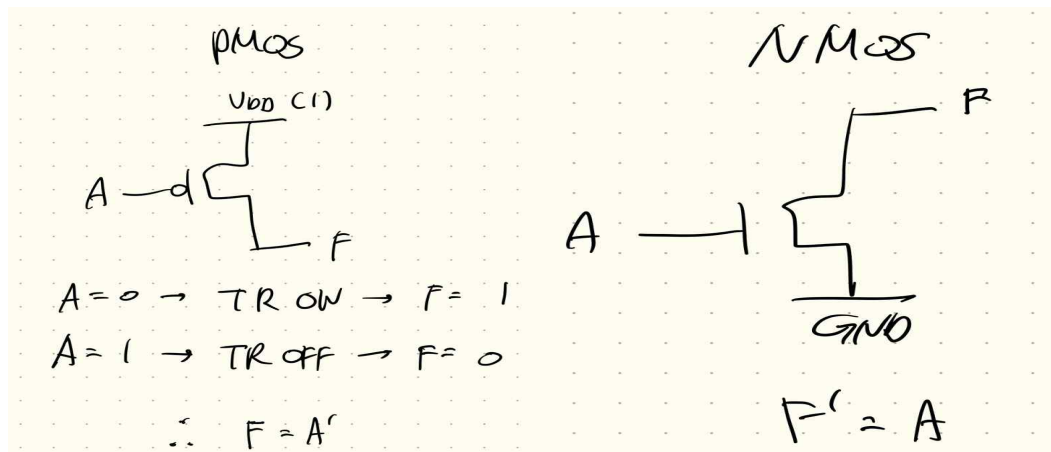
## #5주차 과제.

### Q. NAND 및 NOR Gate 구조 및 동작원리

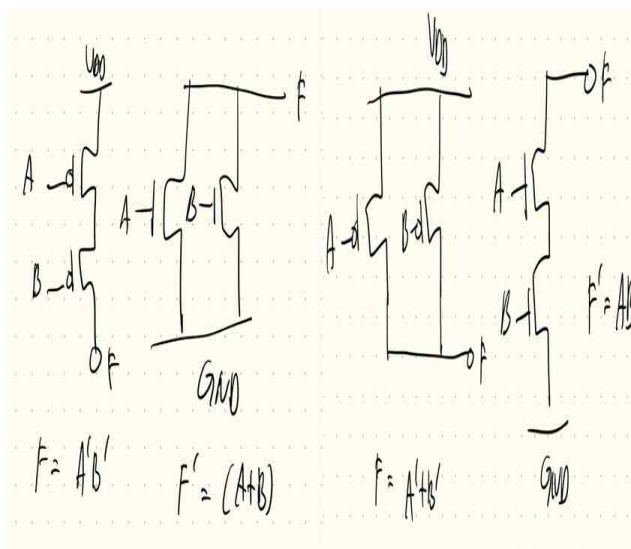


출처 : Prof. 정연배 전자회로설계 강의자료

NAND 게이트와 NOR 게이트는 모두 CMOS Logic Inverter를 기반으로 만들어진다. Inverter는 1개의 입력을 필요로 하고, 출력으로 그 입력의 논리 값을 반전시키는 게이트 소자이다. 상단의 그림에는 Inverter 소자의 회로기호, 진리표, 내부 구조를 나타내었다. Inverter는 1개의 PMOS와 1개의 NMOS로 구성되며 PMOS는 출력 값을 high로 만드는 Pull-up network(PUN)의 역할을 하고, NMOS는 출력 값을 low로 만드는 Pull-down network(PDN)의 역할을 한다.



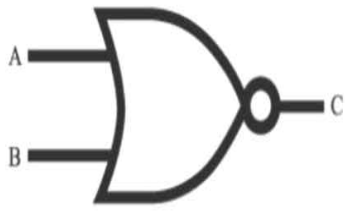
PUN의 기능을 하는 PMOS는 TR이 ON 될 때, PUN에 의해 출력  $F=1$ 이 된다. 반면 PDN의 기능을 하는 NMOS는 소자가 ON 될 때, 출력  $F=0$ 이 된다. 따라서 PMOS는  $F=A'$ , NMOS는  $F'=A$ 의 논리식을 얻을 수 있다.



논리연산 AND는 소자 간의 회로 연결에서 직렬을 의미하고, 논리연산 OR은 소자 간의 회로 연결에서 병렬을 의미하므로 PMOS와 NMOS의 AND, OR 연산은 좌측의 그림과 같이 직렬, 병렬 연결된다. PMOS의 직렬 구성에 대해 입력 A,B가 모두 0이어야 회로의 끊어짐 없이 VDD가 출력으로 나올 수 있다. 따라서  $A=B=0$ 인 경우에만 출력  $F=1$ 이 된다. 다음으로 NMOS의 병렬 구성에 대해 두 입력 A,B 중 어느 한 개라도 1이 입력된다면 출력 F는 PDN에 의해 0이 된다. 다음으로 PMOS의 병렬 구성에 대해 출력 A,B 중 어느 한 개라도 0이 입력된다면 병렬 구성이므로 출력 F는 2개의 TR중 ON된 TR을 통해 VDD를 받아 출력이 1이 된다. 다음으로 NMOS의 직렬 구성에 대해 입력 A,B 모두 0이 되어야 직렬 회로가 연결되고 PDN에 의해 출력은 0이 된다.

# Nor Gate

## NOR 게이트



표준 논리 기호

©doopedia.co.kr

A	B	C
0	0	1
0	1	0
1	0	0
1	1	0

진리표

출처: 두산백과

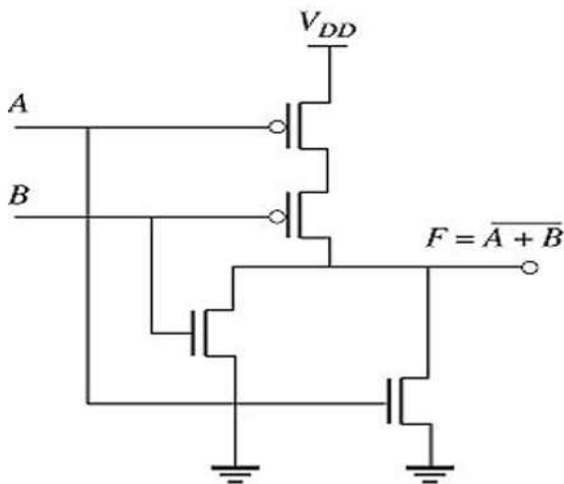
Inverter와 달리 Nor 게이트는 최소 2개의 입력을 필요로 한다. 두 입력 OR 논리 연산의 결과를 다시 NOT 논리 연산을 취해주는 것과 같으며 드모르간 법칙에 의해 다음과 같은 식이 성립한다.

$$ANor B = (A + B)' = A'B'$$

따라서 두 입력 모두가 0일 때 출력이 1이 된다. 좌측의 그림에는 NOR 게이트의 논리 게이트 기호와 그 진리표가 나타나 있다.

다음은 Nor 게이트의 내부 구조 모습이다. 출력 논리식은

$F = (A + B)' = A'B'$  이므로  $F' = (A + B)$ 이다. 따라서 PUN은 PMOS 2개가 직렬로, PDN은 NMOS 2개가 병렬로 연결된 구조로 구성된다. 진리표의 모든 경우에 대해 출력 F가 1이 되려면 PUN의 직렬 구성에 대해 2개의 TR(PMOS)이 모두 ON 되어야 한다. 따라서 A=B=0의 입력 경우에 대해서만 출력 F가 1이 된다. 나머지 경우는 A 또는 B가 1이 되는 경우가 있으므로 PUN의 직렬 구성된 A,B PMOS 2개 중 최소한 1개의 TR이 끊어지고, 입력 A,B 둘 중 최소한 한 개는 1의 입력 논리값을 가지므로 PDN의 병렬 구성된 A,B NMOS 2개 중 최소한 1개는 ON이 되고, 따라서 PDN에 의해 출력 F는 0이 된다.

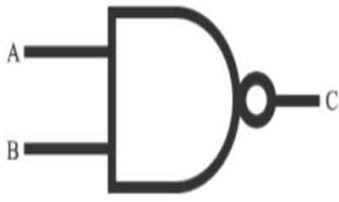


(a) 2-input NOR gate

출처 : Prof. 정연배 전자회로설계 강의자료

## Nand Gate

### NAND 게이트



표준 논리 기호

©doopedia.co.kr

A	B	C
0	0	1
0	1	1
1	0	1
1	1	0

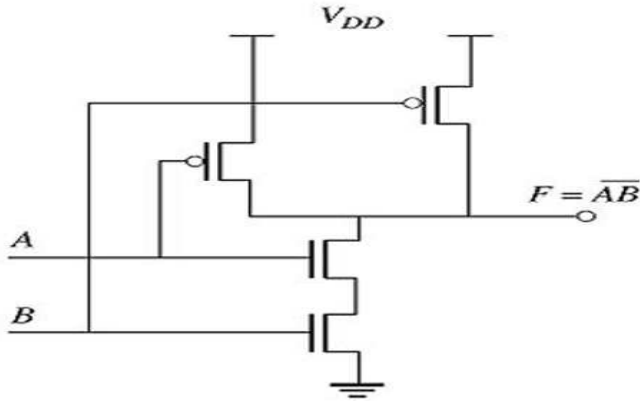
진리표

NAND 게이트 역시 최소 2개의 입력을 필요로 한다. 2개의 입력 A,B를 AND 연산한 것을 다시 NOT 게이트를 취해주는 것과 같으므로 다음과 같은 논리식을 가진다.

$$A \text{ Nand } B = (AB)' = A' + B'$$

진리표의 모든 경우에 대해 입력 A, B 모두가 1인 경우에만 출력이 0이 된다.

출처: 두산백과



(b) 2-input NAND gate

입력 A, B에 대한 Nand 연산의 결과 출력 F는 다음과 같은 논리식을 가진다.  $F = A' + B'$ ,  $F' = AB$

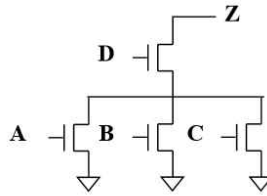
따라서 PUN의 PMOS 2개는 병렬 연결된 것과 같고, PDN의 NMOS 2개는 직렬 연결된 것과 같다. 따라서 NAND 게이트는 좌측의 회로와 같은 내부 구조를 가진다. 진리표의 모든 경우에 대해 입력 A=B=1인 경우에만 출력 F=0이 된다. 입력 A=B=1이라면 PUN의 TR은 모두 OFF되고, PDN의 TR은 모두 ON된다. 따라서 출력 F는 PDN을 따르게 되고, 0이 되는 것이다. 다른 모든 입력 조합의 경우에는 최소 한 개의 0이 입력으로 들어오므로 PDN의 직렬 구성은 끊어지게 되고, PUN의 병렬 구성 중 최소 한 개의 TR이 ON된다. 따라서 출력은 무조건 1이 발생할 수밖에 없는 것이다.

출처 : Prof. 정연배 전자회로설계 강의자료

## Worst Case On current matching

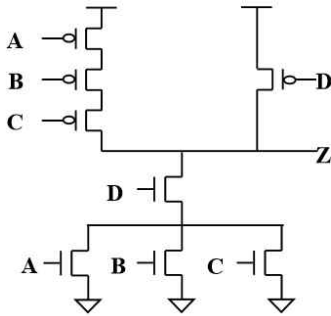
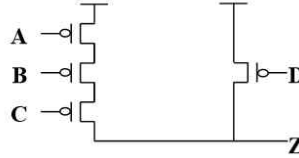
n-MOS logic :

$$\begin{aligned} 0's \text{ function} &= Z' \\ &= (A+B+C) \cdot D \end{aligned}$$



p-MOS logic :

$$\begin{aligned} 1's \text{ function} &= Z \\ &= A' \cdot B' \cdot C' + D' \end{aligned}$$



$$< Z = [(A+B+C) \cdot D]' >$$

출처 : Prof. 정연배 전자회로설계 강의자료

$Z = [(A+B+C) \cdot D]'$ 의 논리식은 다음과 같이 구현된다. PDN 구성으로 출력  $Z'$ 을 나타내기 위하여 논리식  $Z = [(A+B+C) \cdot D]'$ 에 드모르간 법칙을 적용한다. 따라서  $Z' = (A+B+C) \cdot D$ 의 논리식이 나오고 이를 회로로 구현하면 A,B,C NMOS 3개가 병렬 연결되고 그 전체와 D MOS 1개가 직렬 연결될 것이다. PUN 구성으로  $Z = [(A+B+C) \cdot D]'$ 을 나타내기 위하여 우변에 드모르간 법칙을 적용하면  $Z = A' \cdot B' \cdot C' + D'$ 로 전개될 것이다. 따라서 A,B,C PMOS 3개가 직렬 연결되고, 그 전체와 D MOS 1개가 병렬로 연결될 것이다. 따라서 PUN, PDN 두 네트워크를 연결하여 CMOS로 사용한다.

CMOS를 제작할 때 PMOS와 NMOS의 On Current가 matching되는 것이 좋으므로 TR Width의 sizing을 통해 on current를 matching 시켜 줘야 한다. 회로의 worst case를 고려하여 size matching을 한다면 위의 회로의 경우 PUN의 A,B,C TR과 PDN의 D,C를 통해 전류가 빠지는 것이 가장 worst case이므로 PMOS의 Channel Width를 NMOS의 width보다 3배 크게 제작해주는 것이 좋을 것이다.