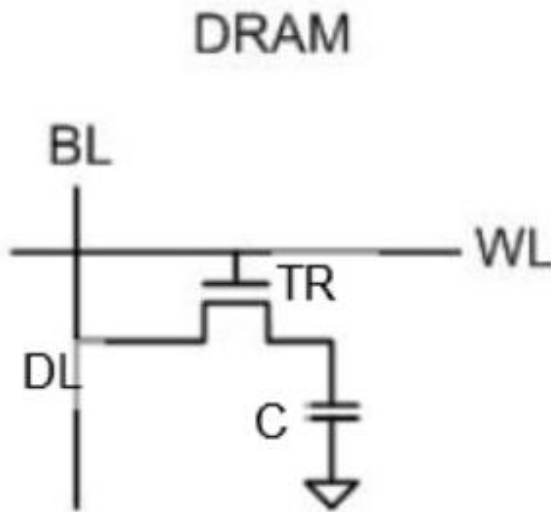


#3주차 과제.

Q. 1-T DRAM의 구조 및 동작 원리

1) 1-T,1-C DRAM



<DRAM CELL의 회로 구조>

가장 일반적인 DRAM의 구조는 1 개의 MOS 소자와 1개의 Capacitor를 사용하는 1 TR, 1 Cap DRAM이다. 1-T, 1-C DRAM은 1개의 MOS TR과 1개의 Capacitor로 구성되어 있으며 off-chip 구조이다. MOS TR은 스위치의 역할을 하며, Capacitor는 data 저장의 역할을 한다. CELL Selector의 역할을 하는 Word Line은 TR의 Gate와 연결되어 있고, Data 전송의 역할을 하는 Bit Line은 MOS TR의 Drain 또는 Source에 연결되어 있다.

Write 동작 원리

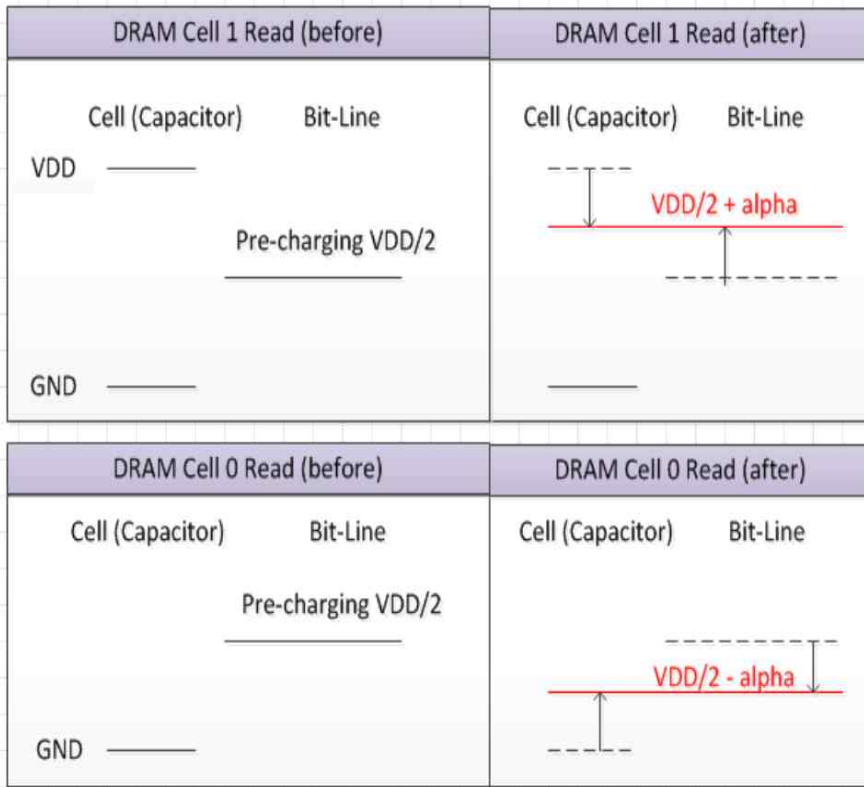
WL에 High가 인가되면 MOS TR의 $V_g > V_{th}$ 가 되므로 NMOS Gate 하단 P BODY에 Channel이 형성되고, TR은 ON 된다. 이 때 BL에 High 인가 시 Drain과 Source의 전위차로 인해 전자가 Source의 Capacitor로 흐르게 되고, Capacitor에 전자가 충전된다. WL의 신호가 LOW로 바뀌면 TR은 OFF 되고, Capacitor에는 충전된 전자가 유지되고, 이 때 CELL에는 논리 값 1이 저장된다. 만약 BL에 LOW가 인가되었다면, Capacitor에 충전된 전하가 BL을 통해 방전되고, DRAM CELL의 논리 값은 0이 된다.

출처 : <https://amanan1004.tistory.com/11>

Read 동작 원리

BL은 Pre-Charging 되어 $V_{dd}/2$ 의 레벨을 유지하고 있다. 이 때 WL에 HIGH가 인가된다면, Capacitor에 충전된 전하량에 따라 Capacitor가 charging or discharging 된다. 만약 DRAM CELL의 논리 값이 1이었다면, WL HIGH 인가 시 Capacitor의 전위가 BL의 $V_{dd}/2$ 전위보다 높기 때문에 전위차에 의하여 Capacitor의 전하가 일부 BL로 흐르게 되어 BL의 전위가 $V_{dd}/2 + \alpha$ 로 증가하게 된다. 이 때 DRAM의 Sense Amplifier가 이 미세한 전위의 변화, 즉 전압상승을 인지하게 되어 DRAM CELL의 논리 값을 1로 읽게 된다. 만약 DRAM CELL의 논리 값이 0이었다면, WL HIGH 인가 시 BL의 $V_{dd}/2$ 전위와 Capacitor의 GND 전위차로 인해 전자가 Capacitor로 일부 흐르게 되고, BL의 전위는 $V_{dd}/2 - \alpha$ 로 감소하게 된다. 마찬가지로 Sense Amplifier가 이 미세한 전위차를 감지 및 증폭하여 DRAM CELL의 논리 값을 0으로 읽게 된다.

출처 : <http://blog.naver.com/PostView.nhn?blogId=beahey&logNo=90174476572&parentCategoryNo=&categoryNo=27&viewDate=&isShowPopularPosts=false&from=postView>



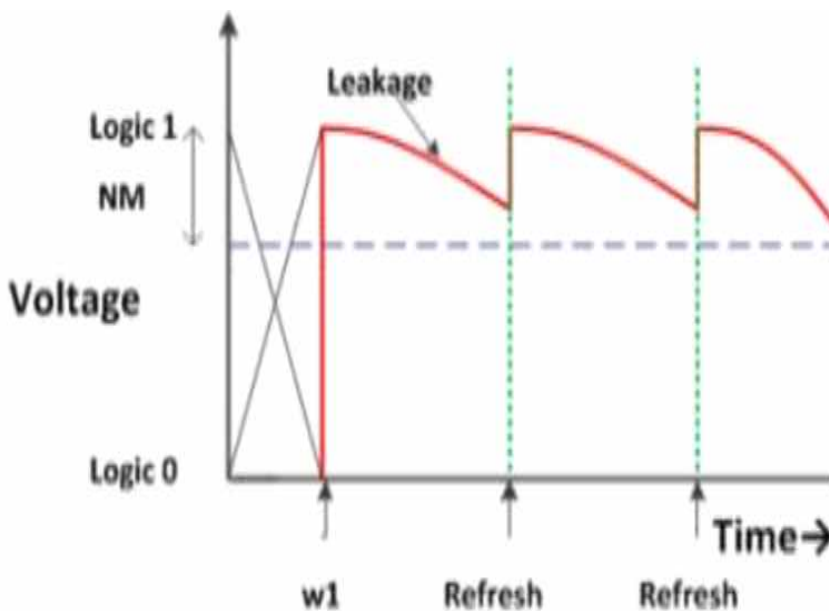
Refresh & Pre-charge

1-T, 1-C DRAM은 data를 Capacitor에 충전된 전하량을 바탕으로 기억한다. 이것에는 치명적인 단점이 존재하는데 Capacitor는 시간에 따라 Capacitor의 dielectric, MOS pn junction, TR subthreshold leakage 등으로 인한 누설전류 때문에 방전되기 때문이다. Capacitor의 의도치 않은 방전은 곧 data의 손실을 의미한다. 따라서 이를 방지하기 위해 2가지 메커니즘이 존재한다.

출처 : 강인만 교수님 강의자료(반도체 소자 특성)

Refresh : DRAM의 Capacitor가 1의 상태를 유지하고 있을 때 leakage 전류로 인해 전자가 조금씩 소진된다. 이를 보상하기 위하여 주기적으로 Capacitor를 재충전 시켜준다.

Pre-Charge : DRAM CELL의 data read시 destructive read에 의한 전하 손실을 보상하기 위하여 read 후 rewritten 하는 것을 말한다. 만약 read 후 rewritten 하지 않으면 capacitor의 전하량이 왜곡되어 있기 때문에 CELL data 접근 시 잘못된 값을 read 할 수 있다.



<DRAM CELL의 주기적인 Refresh>

Sense Amplifier

DRAM에는 Sense Amplifier라는 장치가 존재한다. 이 장치의 기능은 크게 3가지이다.

1) DRAM READ시 BL의 작은 전압 변화를 감지한다.

DRAM CELL이 Read operation을 할 때, Capacitor와 BL이 연결되어 커패시터의 전하가 BL과 공유된다. 이때 Sense amp는 분리된 BL에 공급되는 기준전압 Vdd/2와 커패시터와 연결된 BL상의 전압을 비교하여 이 차이를 증폭시킨다. 이 증폭된 값을 바탕으로 DRAM CELL에 저장된 data가 0인지 1인지 인식할 수 있는 것이다. 이렇게 작은 전

압차이를 감지 및 증폭하여 디지털 논리 값 0 또는 1로 변환시켜 read하는 것이 DRAM Sense amp의 주된 역할 중 하나이다.

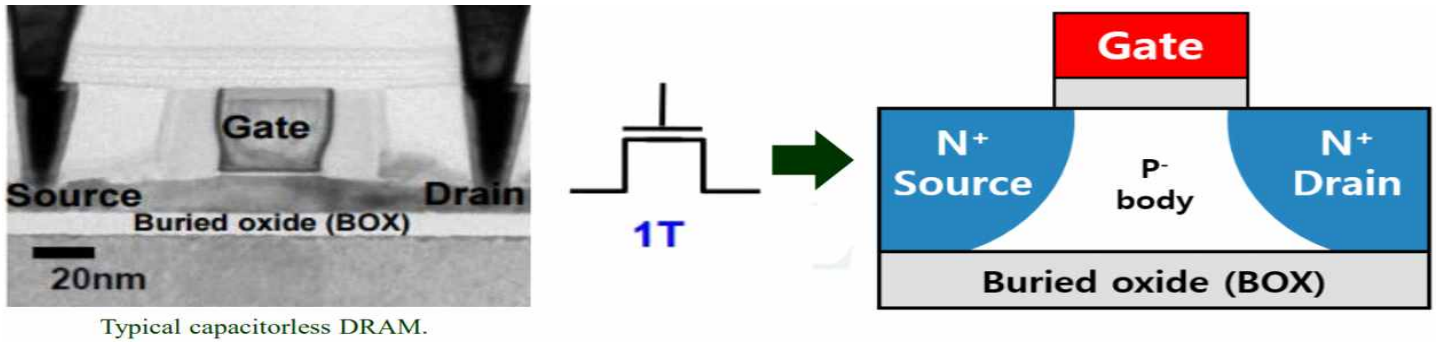
2) Rewritten

DRAM CELL data READ시 CELL의 커패시터와 BL이 전하를 공유하게 되어 커패시터가 미세하게 충전 또는 방전 하게 된다. 이는 후에 DRAM CELL READ 동작 시 잘못된 data를 read하는 오류를 범할 수 있으므로 DRAM READ 후 꼭 Rewritten 하는 작업이 꼭 필요한데 Sense amp는 read 동작 후 증폭된 전압 값을 다시 커패시터에 복원시키는 Rewritten 작업을 해준다.

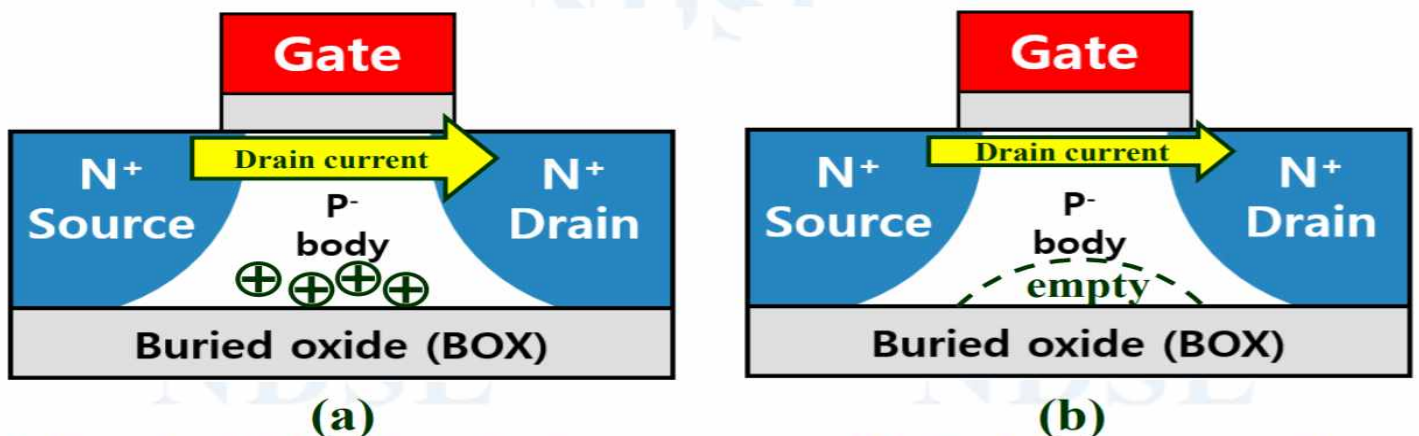
3) 임시 데이터 저장소

DRAM CELL의 커패시터에 저장된 data는 Read 동작 시 왜곡을 일으키게 된다. Sense amp는 DRAM CELL이 Refresh 또는 Pre-Charge 작업을 완료하여 정상적인 data를 복원할 때까지 기존의 정상적인 data 값을 저장하는 임시 저장소 역할을 수행하기도 한다.

2) 1-T DRAM

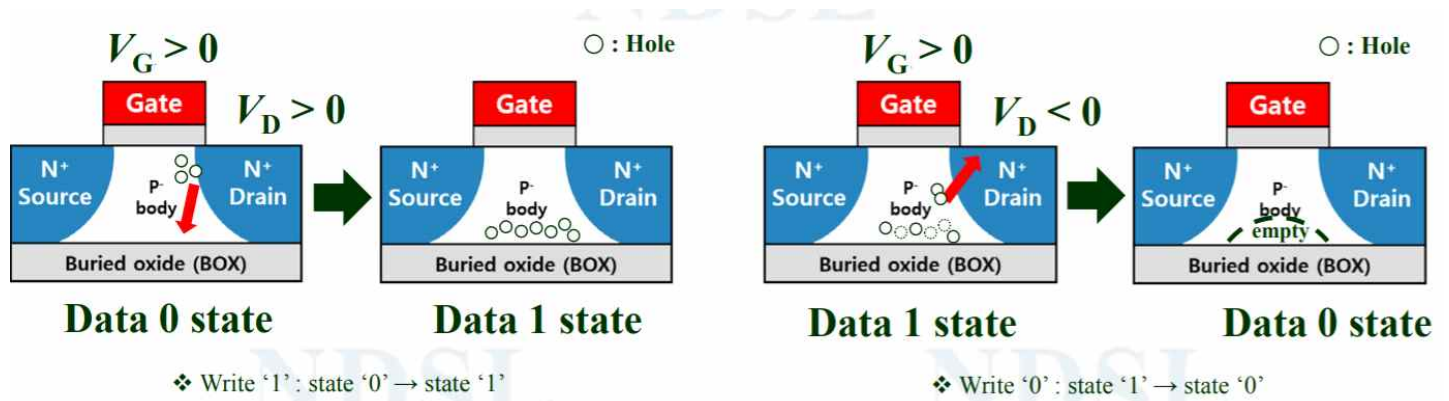


반도체 공정의 발달로 Chip이 고집적화 되고, 소자의 회로 선평의 미세화 되고 있다. 이는 1-T, 1-C DRAM에는 아주 치명적이다. 왜냐하면 커패시터의 정전용량 $Capacitance = k \cdot A / d$ 이기 때문에 반도체 CELL의 미세화는 커패시터의 단면적 A의 감소를 야기하고, 이는 Capacitance의 감소를 야기한다. Capacitor에 충전된 전하량을 바탕으로 논리 레벨 1 또는 0을 판단하는 1-T, 1-C DRAM에는 Capacitance의 감소가 아주 치명적이다.(최소 정전용량 : 25fF/cell)따라서 이를 보완하기 위해 개발된 것이 Capacitorless 1-T DRAM 이다. 이는 기존의 1-T, 1-C DRAM 구조와 달리 커패시터 영역이 필요하지 않아 복잡한 공정 과정이 줄어들고, 더 높은 집적도의 Chip을 구현 할 수 있는 장점이 있다. 또한 silicon-on-insulator(SOI) 기판을 사용하여 기존의 si 기판에 비하여 기생 커패시턴스가 감소되어 고속 동작이 가능하고, 스위칭 동작을 향상 시키며 leakage current를 감소시킬 수 있다.



❖ Principle of 1T-DRAM : (a) Read operation at state '1' (b) Read operation at state '0'

Capacitorless DRAM의 경우 Floating body CELL의 hole 유무를 통해 상태를 구분하게 된다. Floating body CELL에 hole을 축적하는 경우, Floating body cell의 드레인 쪽에서 impact ionization 효과 또는 gate induced drain leakage current에 의해 Floating body cell에 hole이 축적된다. hole이 축적되는 경우 channel의 전위가 증가하게 되어 gate threshold voltage가 낮아지게 되고, 이에 따라 drain의 전류 변화가 일어나게 된다. 이러한 전류변화를 읽음으로써, CELL의 상태 1 또는 0을 구분하게 된다.



TR이 ON되고 높은 전압이 드레인에 인가되면 impact ionization이 발생하고, EHP가 강한 전계에 의해 생성된다. excess holes이 floating body에 존재하면 상태 1이라고 한다.

반면 negative bias가 드레인에 인가되면 excess holes이 저장공간에서 빠져나가게 되고 이를 상태 0이라고 한다.

1-T DRAM 동작

Program (Write '1') : Store the majority carriers in the storage region.

Erase (Write '0') : Remove the stored carriers from the storage region.

Read : Sense the drain current and confirm the data in the selected cell. The distribution of the stored carriers cause the changes of drain current.

Hold : During the hold time, without any memory operation (program, erase or read), the data is retained in the floating body

출처 : <https://patents.google.com/patent/KR101027907B1/ko>

출처 : 강인만 교수님 강의자료(반도체 소자 특성)

출처 : Thin-Body SOI Capacitorless DRAM Cell Design Optimization and Scaling