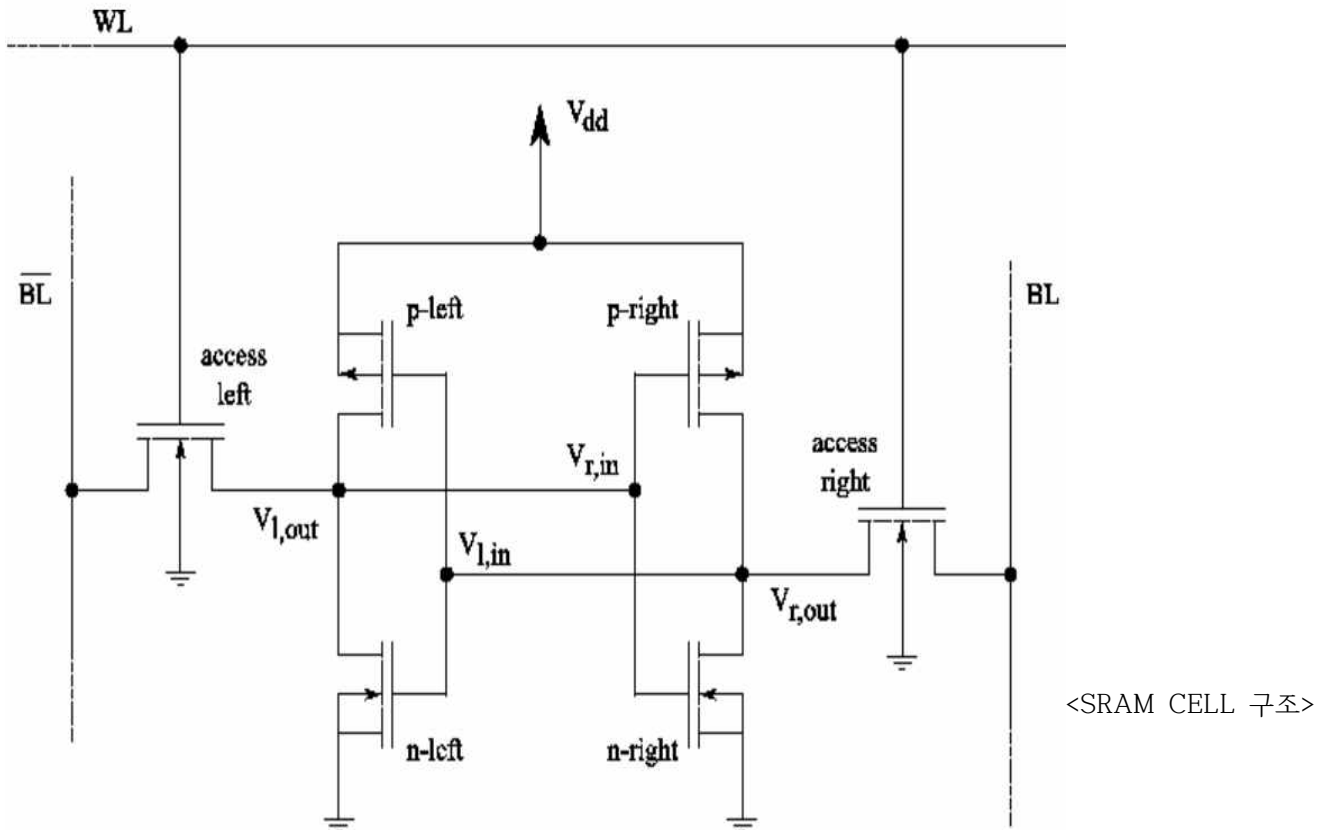
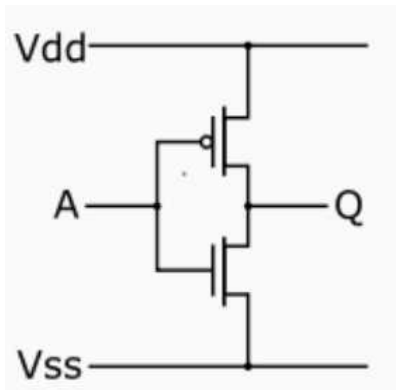


SRAM 구조

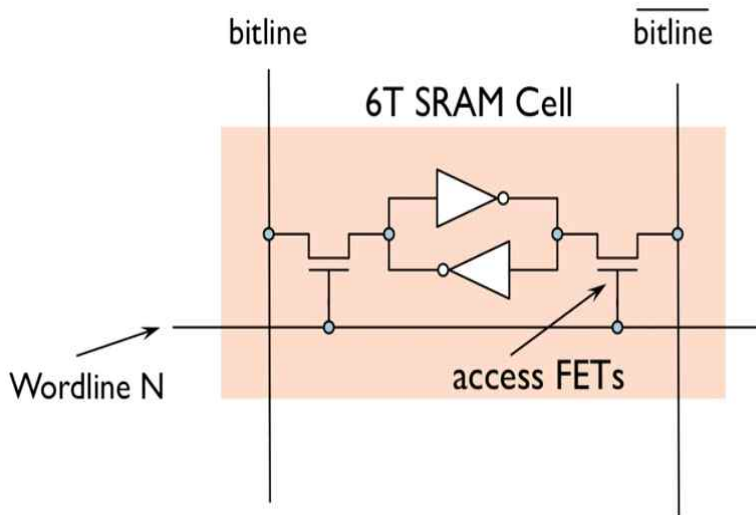
다음은 가장 기본적인 SRAM 단일 Cell의 구조를 나타낸 회로도이다.

출처 : <https://www.iue.tuwien.ac.at/phd/entner/node34.html>

4개의 NMOS, 2개의 PMOS, 총 6개의 트랜지스터로 이루어진 SRAM 단일 Cell은 1 또는 0의 이진수 1bit를 저장할 수 있으며, data는 PMOS, NMOS 쌍을 이용한 총 2개의 CMOS Inverter Latch 회로에 저장된다. CMOS Inverter의 출력은 다른 Inverter의 입력으로 되먹임 되어 피드백 루프를 구성하고, 이는 회로를 안정되게 한다. 2개의 access 트랜지스터에 연결되어 있는 WL 워드라인은 어떤 Cell에 접근할지를 선택하는 Cell selector의 역할을 하며, BL 비트라인은 data가 입출력 되어지는 라인 역할을 한다.



다음은 SRAM SELL의 Inverter를 나타낸 그림이다. 1개의 PMOS와 1개의 NMOS로 이루어져 있으며, 전체 회로의 공급 전압인 Vdd(1)가 PMOS에 NMOS는 GND(0)되어있다. 인버터의 입력(A)으로 0이 인가되면 PMOS는 ON, NMOS는 OFF 되어 출력(Q)으로 1이 나오고, 입력 1이 인가된다면 NMOS ON, PMOS OFF 되어 출력으로 0이 나타난다. 기존의 회로를 PMOS, NMOS 쌍으로 이루어진 Inverter로 대체하면 회로는 다음과 같이 된다.

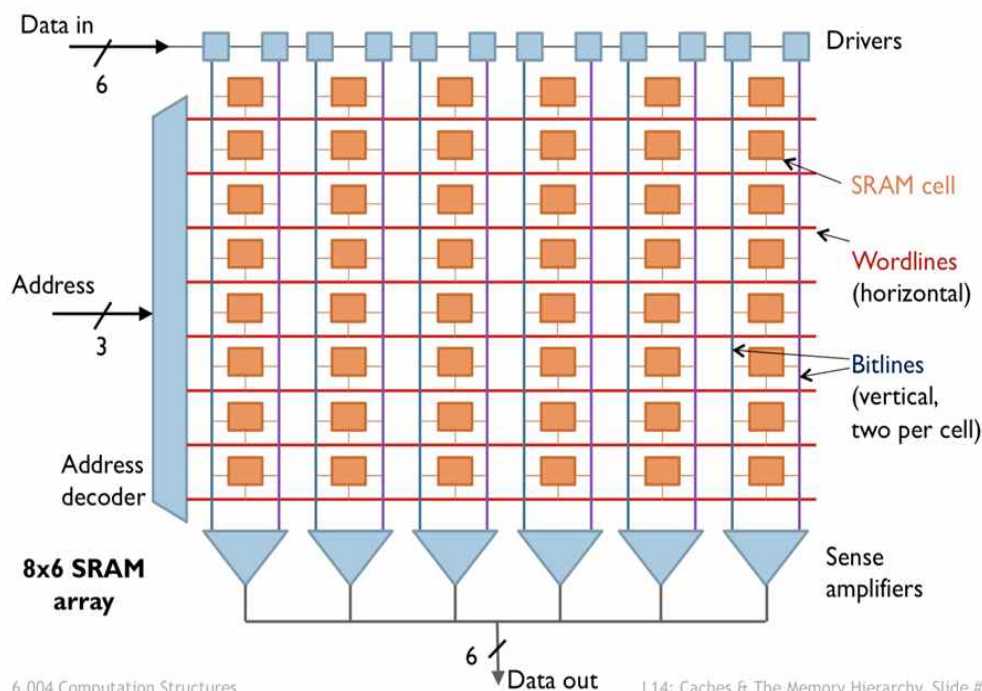


<4개의 TR을 2개의 Inverter로 대체한 회로>

출처 : MIT open course ware

Inverter의 출력은 다른 인버터의 입력으로 되먹임 되어 안정된 회로를 구성한다. 만약 이 인버터 회로가 Access 트랜지스터와 전기적으로 단절되어 있다면, 무한 피드백 루프를 구성하여 data를 반영구적으로 저장할 수 있게 되는 일종의 latch 회로가 된다. 물론 전체 회로의 공급 전압인 Vdd가 공급된다는 가정 하에서 말이다.

Static RAM (SRAM)



< SRAM 메모리 배열 >

6.004 Computation Structures

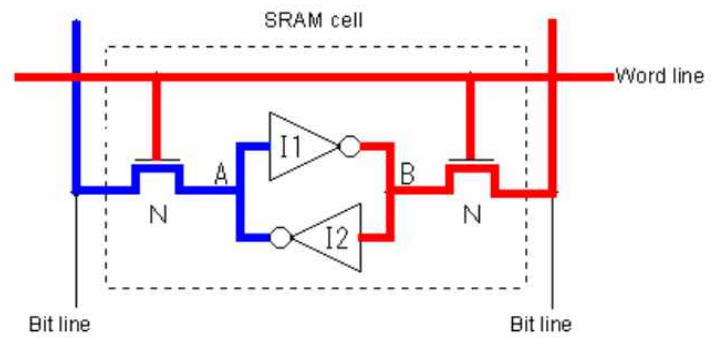
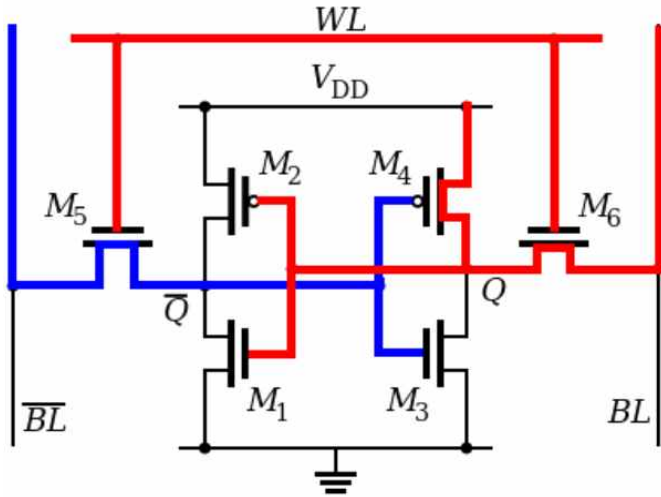
L14: Caches & The Memory Hierarchy, Slide #4

출처 : MIT open course ware

다음은 8*6의 크기를 가지는 SRAM의 블록다이어그램이다. 어드레스 디코더에 3비트가 입력으로 들어가며, 2^3 개의 출력 선은 SRAM CELL에 접근할 수 있는 Word Line이 된다. 각각의 워드라인은 data를 저장하는 메모리 로케이션의 역할을 하며, 단일 메모리 로케이션은 6bit의 data를 저장할 수 있다. SRAM의 정보에 접근하기 위하여 어드레스 디코더에 3bit의 입력신호를 주면 출력에 해당하는 워드라인이 선택되어 그 로케이션에 저장된 데이터를 읽거나 쓸 수 있게 되는 것이다. Drivers는 비트라인에 0 또는 1의 data를 주는 역할을 하며 1개의 비트라인은 BL과 BL bar의 보수 관계 쌍으로 존재한다.

SRAM 동작원리

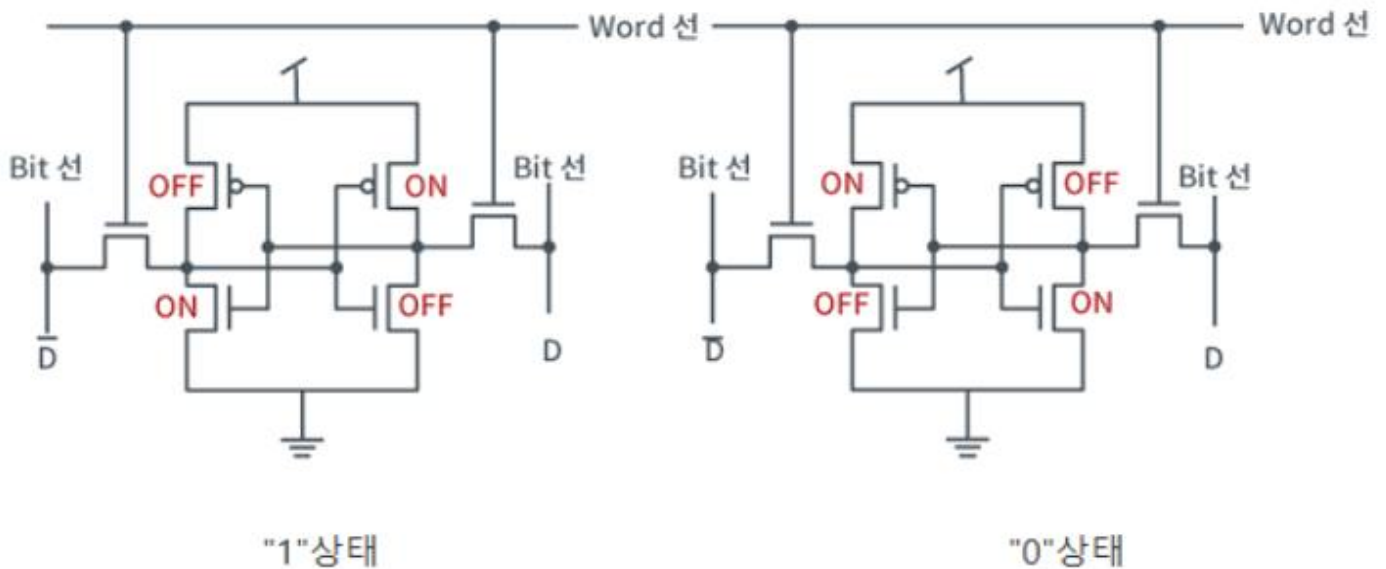
- WRITE 동작원리



출처 : <https://kldp.org/node/110670>

- 1) Drivers를 이용하여 BL에 0 또는 1의 신호를 인가한다. 위의 그림은 BL에 1을 인가한 상태이다.(red: 1, blue: 0)
- 2) 어드레스 디코더를 통하여 접근할 Cell에 WL = 1을 인가한다.
- 3) WL에 의하여 Access 트랜지스터 M5, M6가 On되고, BL과 인버터 회로를 전기적으로 연결 시켜 준다.
- 4) BL이 1이므로 M1 ON, M2 OFF되어 출력 Q bar는 0이 된다.
- 5) Q bar = 0, BL bar = 0 이므로 M4 ON, M3 OFF되어 출력 Q는 1(Vdd)이 된다.
- 6) WL을 0(low)으로 만든다면 Access TR M5, M6가 OFF되어 인버터 회로와 BL은 전기적으로 단절된다. 이 때 인버터 회로는 I2의 출력 0이 I1의 입력으로 들어가고, 다시 I1의 출력 1이 I2의 입력으로 들어가는 무한 피드백 루프를 구성하게 된다. 이는 Latch의 동작원리와 같고, 전원 공급기의 전원이 꺼지지 않는 이상 data를 보존하게 된다.

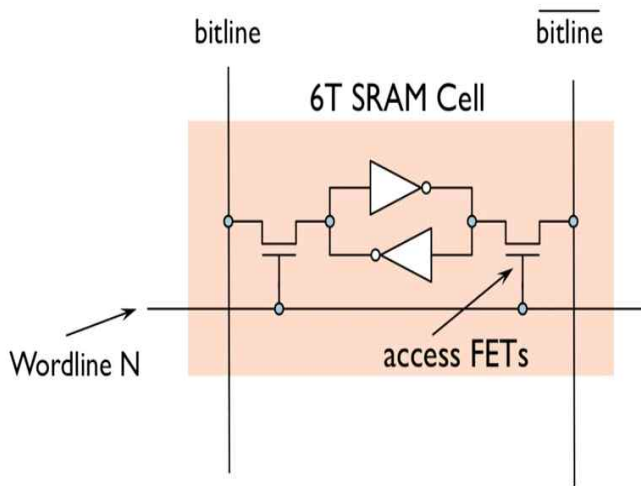
- READ 동작원리



출처 : https://www.rohm.co.kr/electronics-basics/memory/memory_what3

- 1) Driver를 통해 BL을 Pre-charge 시킨다. (BL Pre-charge)
- 2) 어드레스 디코더를 통해 WL에 1을 부여한다. (WL Cell select)
- 3) Cell에 저장되어 있던 charge(data)가 전위차에 의해 비트 라인으로 빠져나간다.
- 4) 이 때 Pre-charge된 비트 라인의 전위 변화(아날로그)를 Sense amplifier가 감지하여 증폭하고, 디지털 신호로 변환시켜 0 또는 1을 읽는다.

- 아무 동작도 하지 않을 때



< access TR과 bistable element로 이루어진 SRAM Cell>

출처 : MIT open course ware

WL이 0이 되어 Cell에 아무런 동작도 하지 않을 때에는 인버터 회로가 BL과 전기적으로 단절된다. 이 때 인버터는 무한 피드백 루프가 되어 저장되어 있던 data를 안정적으로 보존한다.

SRAM은 DRAM과 달리 전원이 공급되는 동안에는 저장되어 있는 data가 절대 사라지지 않는다. 따라서 DRAM 처럼 data 보존을 위해 Refresh와 같은 작업을 하지 않아도 된다. SRAM의 Static은 여기서 나온 말이다. 6개의 TR로 구성되어 있기 때문에 집적도가 좋지 않고, 구조가 복잡하며 소비전력이 크다. 게다가 가격도 비싸다. 이러한 단점들도 불구하고 SRAM을 사용하는 이유는 빠른 접근 및 동작 속도로 인해 CPU의 캐시메모리로 주로 사용된다.