

10주차 : SRAM의 static noise margin, readability, writability

조 명 : 똑딱똑딱

조원 : 김동현, 김승현, 나경운, 이경민, 이근정

SRAM은 2진 논리값 '0'과 '1'을 저장하는 휘발성 반도체 메모리의 일종이다. 소자 집적 기술의 발달로 SRAM의 집적도는 꾸준히 증가하였고, SOC 칩 내의 작은 구동 전압원을 사용하는 집적 소자들로 인해 SRAM도 작은 공급 전압원으로 동작할 수 있게 되었다. 덕분에 상당한 규모로 전체 SRAM Array의 전력 소모를 감소시킬 수 있었다. 하지만 회로 공급 전압원 VDD의 감소는 SRAM의 동작 속도를 저하시켰고, 안정성과 직결되는 SNM을 감소시켰다. 따라서 VDD의 감소로 인해 SRAM의 안정성은 나빠졌고, 이는 SRAM 소자의 신뢰성을 크게 떨어뜨렸다. 최근 발표된 연구들에 의하면 Conventional 6T SRAM에서는 VDD가 작아질수록 SNM은 감소하며, 회로가 Read 또는 Write 동작 시에 SNM이 급격하게 감소한다고 한다. 따라서 본 보고서에서는 SRAM의 SNM과 Read, Write 동작 시에 Cell의 SNM 변화를 알아보고, SNM 감소로 인한 안정성 저하문제를 해결하기 위한 여러 방안들을 살펴보겠다.

1. Static Noise Margin (SNM)

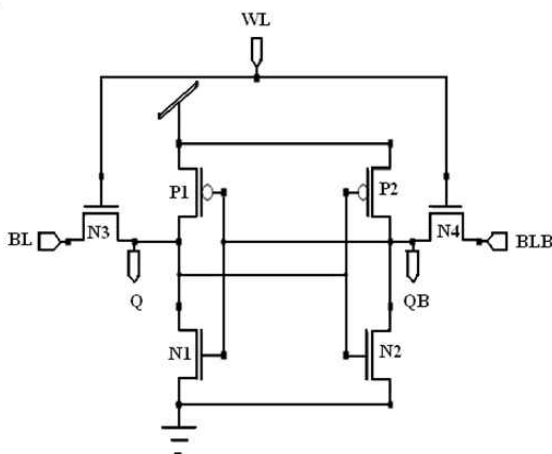


그림 1 Conventional 6T SRAM의 구조

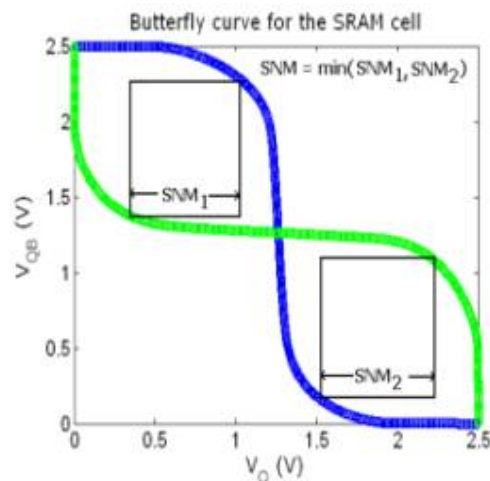


그림 2 Static Noise Margin

SNM이란 SRAM의 Stability를 나타내는 지표로 SRAM Cell의 state 반전 없이 교차 결합된 Inverter의 출력 노드에서 허용될 수 있는 noise의 최댓값

을 말한다. 만약 여러 가지 환경 요인으로 인해 Q 또는 Q bar의 noise(그림 3에서의 V_n)가 Static Noise Margin보다 크게 되면 SRAM Cell에 저장된 값이 toggling되어 반대 값을 가지게 된다. 이는 저장된 data가 손실되는 바람직하지 못한 결과이다.

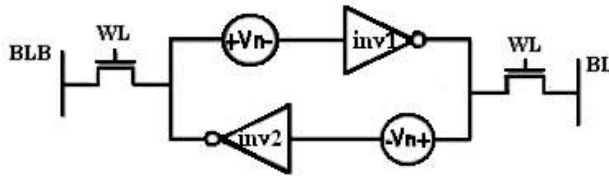


그림 3 SNM 정의를 위한 표준적인 구조

[그림 2]는 SNM을 그래프 상에서 나타낸 것이다. SNM을 측정하는 방법은 다음과 같다.

- ① 교차 결합된 인버터에 대해서 DC transfer curve를 그린다. 이때 inv2는 정방향으로, inv1은 뒤집어서(inverse) VTC를 그린다.
- ② [그림 2]처럼 2엽 장미 형태의 그래프가 나타나는데 이를 버터플라이 커브라고 한다.
- ③ 버터플라이 커브의 내부에 만들어질 수 있는 가장 큰 정사각형의 변의 길이가 SNM이 된다.

일반적인 SRAM의 구조는 [그림 1]의 Conventional 6T SRAM을 사용한다. 이는 8T SRAM에 비해 더 작은 면적을 차지한다는 이점이 있다. 그러나 이러한 설계는 read와 write 동작이 일어날 때 Cell이 noise에 취약하고 따라서 Cell의 안정성에 영향을 끼칠 수 있는 잠재적인 안정성 문제가 일어날 수 있다. 따라서 Cell의 구조가 적절하게 설계되지 않으면 read와 write 동작이 일어날 때 상태가 변화할 수 있다.

SNM은 SRAM의 동작 모드에 따라 달라진다. 그리고 SNM은 read 동작을 하는 동안 Cell의 안정성을 확인하기 위한 중요한 요소이다. 따라서 Read, Writer 동작 시에 SRAM의 동작과 SNM의 변화를 살펴보면 다음과 같다.

2. Read Stability

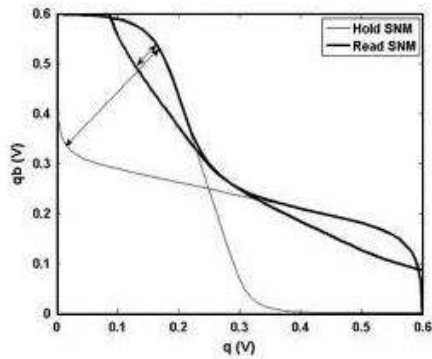


그림 4 Static Noise Margin

[그림 4]는 SRAM의 Hold, Read 동작 시에 Static Noise Margin(SNM)을 나타낸다. Cell이 hold 상태일 때 보다 read 동작을 할 때 SNM이 가장 작은 값을 가지고 있다는 것을 확인할 수 있고 이는 Cell이 노이즈에 취약한 상태라는 것을 의미한다. 즉 SRAM은 Read 동작시에 안정성이 저하된다는 것을 알 수 있다.

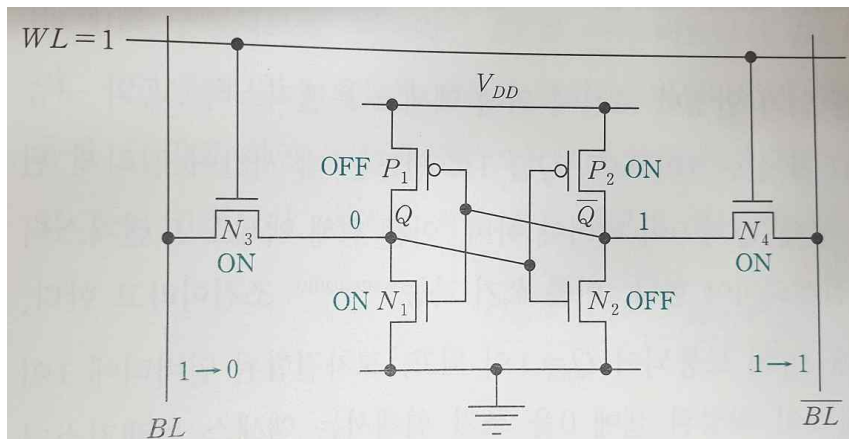


그림 5 셀에 데이터 0이 저장된 상태의 읽기 동작

메모리 셀에 데이터 0이 저장되어 있는 경우의 읽기 동작을 살펴보자. [그림 5]는 메모리 셀에 데이터 0이 저장된 상태의 읽기 동작을 보이고 있다. 셀 내부의 두 CMOS 인버터는 교차 결합되어 있으므로, N1과 P2는 도통 상태이고, N2와 P1은 개방상태를 유지하고 있다. 따라서 $Q=0$, $\bar{Q}=1$ 을 유지하고 있다. 비트라인 BL과 반전 비트라인 \bar{BL} 을 1로 프리차지시킨 후, 읽기 동작을 위해 워드라인을 $WL=1$ 로 활성화시키면, BL과 \bar{BL} 에 연결된 액세스 트랜지스터 N3와 N4가 도통된다. 이때 비트라인 BL의 전압은 도통된 N1을 통해 0으로 감소하며, 동시에 노드 Q의 전압은 프리차지된 비트라인의 전압에 의해 상승한다.

노드 Q의 전압은 도통된 N1에 의해 낮은 전압을 유지하고 있지만, 도통된 N3를 통해 유입되는 전류에 의해 상승한다. 따라서 만약 N3 패스 트랜지스터와 N1 Pull-Down 트랜지스터의 설계 값이 적절하게 선택되지 않는다면 Q 노드에 BL에 의한 전하가 축적된다. 만약 이 축적된 전하에 의한 노이즈가 SNM보다 크다면 Cell의 state가 변화될 것이다. 이것은 SRAM이 정상 작동하지 못한다는 것을 의미한다.

읽기 동작이 올바르게 이루어지기 위해서는 노드 Q의 전압이 비트라인의 전압의 영향을 작게 받아야 하므로, 트랜지스터 N1의 구동력이 액세스 트랜지스터 N3보다 크게 설계되어야 한다. 이 조건을 읽기 안정화(read stability) 조건이라고 한다.

일정 시간 내 읽기 비트라인 방전 전압이 감지 증폭기의 오프셋 전압보다 작을 때 Readability failures가 발생한다. 종전의 6T-SRAM 해석을 하면서 패스 트랜지스터를 통과한 V_{DD} 가 NMOS로 방전이 제대로 되지 않으면 Q가 반전되는 상황을 볼 수 있었다. 이로 인해 읽기에 문제가 생긴다면 Read Stability가 떨어지는 것이다.

Read ability 측정에는 Static Noise Margin (SNM)을 이용하며 SRAM의 안정성을 나타내는 척도로 사용된다. SRAM의 Cell Stability를 계산하는 고전적인 방법은 SRAM에서 교차 결합된 인버터의 Static Noise Margin (SNM)을 측정하는 것이다. SNM은 셀이 반전되지 않으면서 인버터 노드에서 허용할 수 있는 최대 Noise 전압 범위를 측정한 것이다. 즉, 저장된 비트를 변경하지 않고 SRAM 셀에 의해 허용될 수 있는 DC Noise 전압을 뜻한다.

따라서 Stability는 일반적으로 SNM의 최댓값으로 정의할 수 있다. 셀의 공급 전압이 낮으면 Leakage current가 증가하고 가변성이 증가하여 셀의 안정성이 떨어진다. 이 결과들은 Technology scaling으로 인해 발생하는 것이다.

3. Write ability

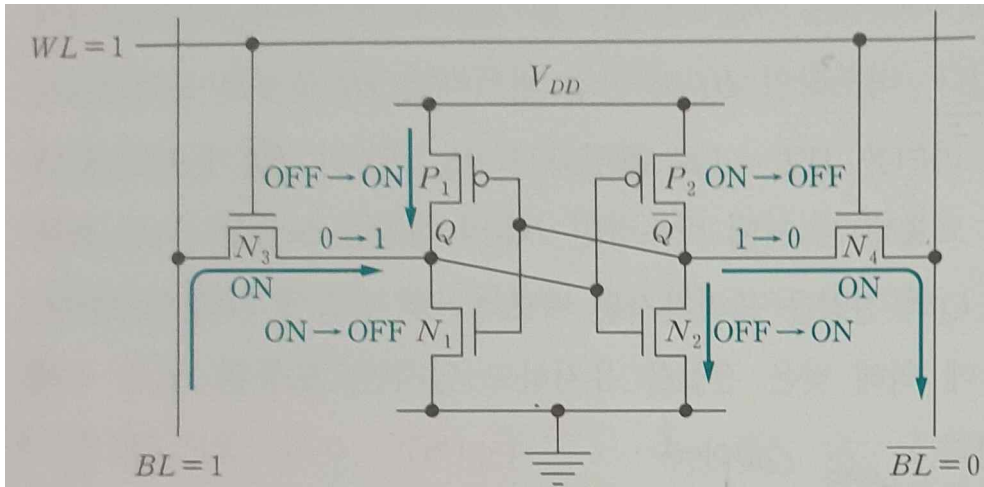


그림 6 셀에 데이터 0이 저장된 상태에서 데이터 1 쓰기 동작

다음은 SRAM 메모리 셀의 쓰기 동작을 알아보자. 메모리 셀에 데이터 0이 저장되어 있는 상태에서 데이터 1의 쓰기 동작을 살펴본다. [그림 6]은 메모리 셀에 데이터 0이 저장된 상태의 쓰기 동작을 보이고 있다. 비트라인 BL과 반전 비트라인 \overline{BL} 을 VDD로 프리차지시킨 후, $\overline{BL}=0$ 으로 만들어 저장될 데이터 1을 BL과 \overline{BL} 에 인가한다. 쓰기 동작을 위해 워드라인을 WL=1로 활성화시키면, BL과 \overline{BL} 에 연결된 액세스 트랜지스터 N3와 N4가 도통된다.

메모리 셀의 읽기 동작을 위한 읽기 안정화 조건에 의해 액세스 트랜지스터 N3의 구동력이 약하게 만들어지므로, BL에 실린 1이 노드 Q를 1로 만드는 데 시간이 걸리게 된다. 따라서 쓰기 동작은 N4를 통해 \overline{Q} 가 0이 되어야 하며, 이를 위해 액세스 트랜지스터 N4의 구동력이 P2보다 크게 설계되어야 한다. 이를 쓰기 가능(writability) 조건이라고 한다.

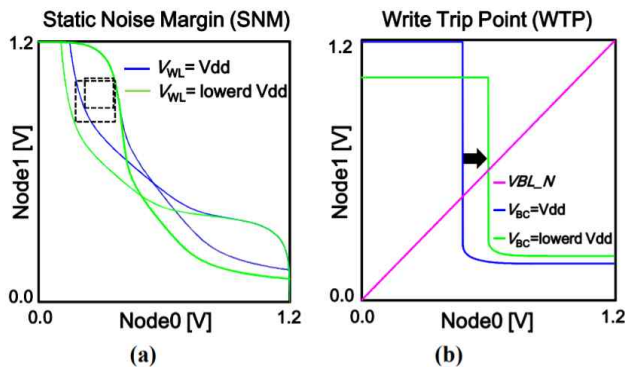


그림 7 WTP

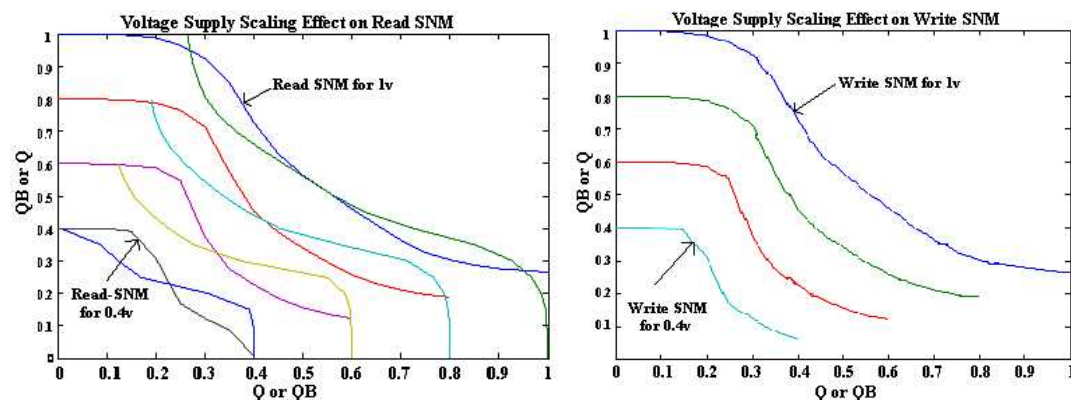
Write noise margin은 SRAM이 Cell의 state를 flip할 때의 BL 최솟값으로 정의되고, 그 때의 BL 값을 Write Trip Point(WTP)라 한다.

4. Conventional 6T SRAM의 안정성을 향상시키는 방법

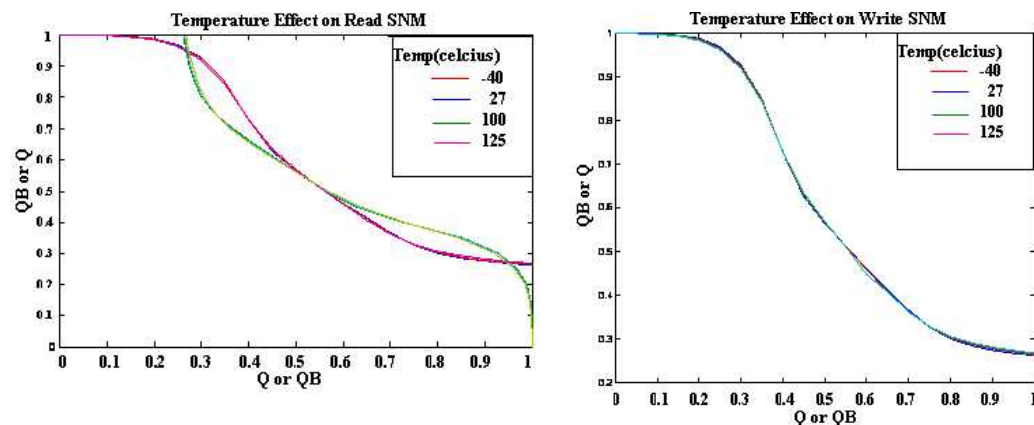
SRAM Cell Stability는 문턱 전압과 Scaling을 비롯해 현재와 미래 기술에 대한 주요한 고민거리이다. SRAM이 대기 혹은 읽기를 하면서 SRAM 셀의 데이터 손실이 생기는 것은 치명적인 문제로 이어지기 때문이다. 그래서 SRAM 메모리의 Stability를 올려 Write와 Read를 도와줄 회로 기술이 필요하다.

SRAM의 안정성을 향상시키기 위해서 8T, 9T 등 트랜지스터의 양을 늘리기도 한다. SNM은 트랜지스터의 양을 늘림으로써 향상되지만, 소자의 속도가 느려진다. 트랜지스터의 수가 증가함에 따라 전력 소모가 증가하고, switching activity factor의 가능성이 높아져서 실리콘 면적이 커진다. 하지만 배터리로 작동하는 장치의 필요성 때문에 CMOS 기술의 크기 조정은 불가피하다. 따라서 공급 전압, 셀 비율, 풀업 비율, 온도 및 word line 전압 변조를 수정하여 최적의 셀 안정성을 얻기 위해 6T SRAM Cell을 수정했다. 이러한 수정은 SNM 곡선의 급격한 변화를 보여준다.

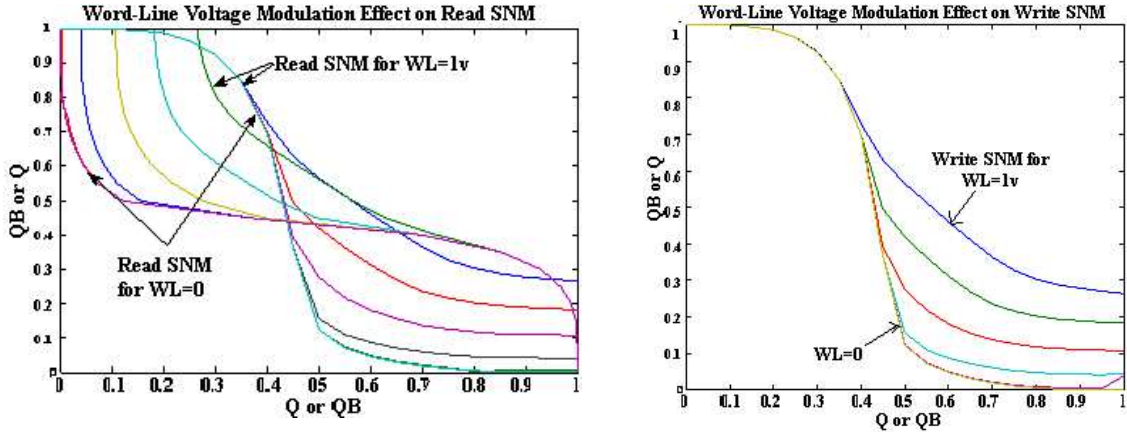
① 공급 전압이 클수록 SNM은 증가한다.



② 온도는 SNM에 큰 영향을 미치지 않는다



③ Word line 전압이 작아질수록 SNM이 작아진다.



④ Transistor width modulation effect

앞의 3가지 방법보다 SNM을 키우기 위해 가장 일반적인 방법은 2, Read Stability 3. Write ability에서 하였던 TR Channel width를 조정하는 것이다. 드라이버 트랜지스터의 적절한 크기 조정은 SNM 값에 막대한 영향을 끼치고, 이를 자세히 설명하자면 다음과 같다.

$$CR(r) = \frac{\text{Size of pull down transistor}}{\text{Size of access transistor}}$$

[그림 5]에서 읽기 안정화 조건이 만족되면 프리차지된 비트라인은 N3와 N1을 통해 접지로 방전되어 0이 되고, 반전 비트라인은 1을 유지하여 저장된 값 0이 읽히게 된다. 동일한 원리에 의해 1을 읽기 위해서는 트랜지스터 N2의 구동력이 액세스 트랜지스터 N4보다 크게 설계되어야 한다. 이상을 종합하면, SRAM 셀의 읽기 안정화 조건을 만족하기 위해서는 트랜지스터의 채널폭이 $W_{N3} < W_{N1}$ 와 $W_{N4} < W_{N2}$ 를 만족하도록 설계되어야 한다. 즉, CR이 1.2보다 크면 readability를 만족하며, $1.2 \leq CR \leq 2$ 정도로 설정하는 것이 일반적이다.

$$PR(q) = \frac{\text{Size of pull up transistor}}{\text{Size of access transistor}}$$

[그림 6]에서 \bar{Q} 가 0이 되면, 이에 의해 P1이 도통되어 Q=1이 되고, 교차결합된 인버터에 1이 저장된다. 동일한 원리에 의해 1이 저장된 셀에 0을 쓰기 위해서는 액세스 트랜지스터 N3의 구동력이 P1보다 크게 설계되어야 한다. 이상을 종합하면 SRAM 셀의 쓰기 가능 조건을 만족하기 위해서는 트랜지스터

의 채널폭이 $W_{P1} < W_{N3}$ 와 $W_{P2} < W_{N4}$ 를 만족하도록 설계되어야 한다. 즉, PR이 1.8보다 작으면 writability를 만족하며, $0.4 \leq PR \leq 1.8$ 로 설정하는 것이 일반적이다.

9주차

김승현 : 디자인 및 보고서 작성

김동현, 나경운, 이경민, 이근정 : 디자인

10주차

나경운 : 자료조사 및 보고서 작성

김동현, 김승현, 이경민, 이근정 : 자료조사

참고문헌

신경옥, 『CMOS 디지털 집적회로 설계』, 한빛아카데미, 2014, p437-438

Nahid Rahman, 「Static-Noise-Margin Analysis of Conventional 6T SRAM Cell at 45nm Technology」, 『International Journal of Computer Applications』, 2013

Ajay Gadhe, 「Read stability and Write ability analysis of different SRAM cell structures」, 『International Journal of Engineering Research and Applications』, 2013

Tanvir Tanvir, 「DESIGN AND STABILITY ANALYSIS OF A HIGH-TEMPERATURE SRAM」, December, 2012

SRAM Readability

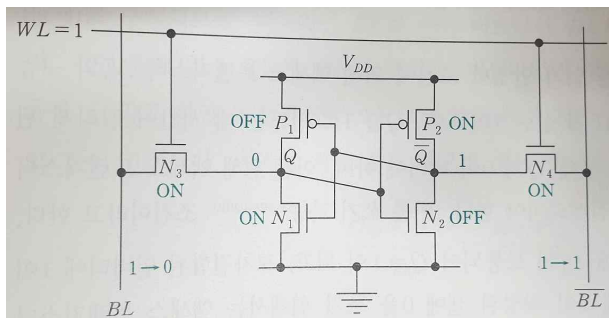
조 명 : 똑딱똑딱
김승현, 이경민

1. 6-T SRAM 읽기 절차 및 안정도를 위한 Width 값 지정

6-T SRAM 은 정적 전력 손실이 적다는 장점이 있지만 Stability 가 떨어지는 단점이 있다.

SRAM 의 해석에 있어서 가장 직관적이므로 6-T SRAM을 기준으로 Stability 에 대해 고찰하였다.

6-T SRAM 셀 회로의 Read 절차는 다음과 같다.

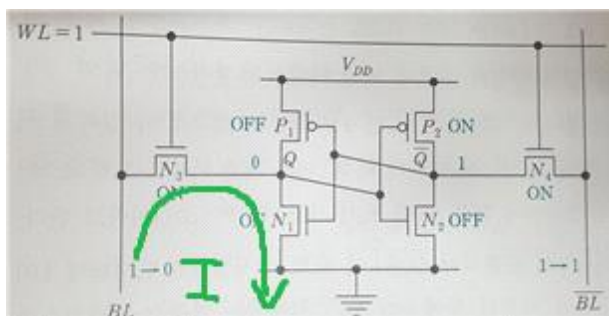


왼쪽 그림은 비트라인과 반전비트라인이 V_{DD} 로 프리차지 되어있고 메모리 셀에 데이터 0이 저장되어 있는 모습이다.

셀 내부의 두 CMOS 인버터가 교차 결합되어 있으므로

N_1, P_2 가 Turn on 상태를 유지하게 된다.

따라서 $Q=0, \bar{Q}=1$ 을 유지하게 된다.



이 때 비트라인이 V_{DD} 였지만, N_1 이 Turn on 되면서 비트라인이 0 V 로 방전하게 된다.

여기서 읽기 안정화 조건을 고려할 필요가 있다.

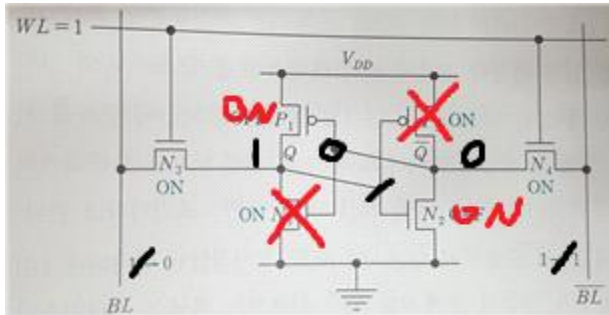
만약 N_3 의 채널이 짧아 비트라인 V_{DD} 가 N_3 를 통과 하더라도 V_{DD} 와 비슷한

값이 나올 것이다. 이로 인해 $Q=1$ 로 바뀐다면 Q를 유지하지 않고 있으므로 SRAM 으로서의 안정성이 떨어졌다고 볼 수 있다.

이런 상황을 피하기 위해서는 N_1 에서 그라운드로 빠르게 방전을 시켜 Q 가 1로 인식하지 않도록 할 필요가 있다.

N_1 에 흐르는 전류를 키우기 위하여 N_1 의 Width를 증가시키면 된다.

즉, $Q=0$ 을 유지하기 위한 읽기 안정화 조건으로 $W_{N1} > W_{N3}$ 를 만족해야 한다.



다음은 메모리 셀에 데이터 1이 저장되어 있는 모습이다.

셀 내부의 두 CMOS 인버터가 교차 결합되어 있으므로

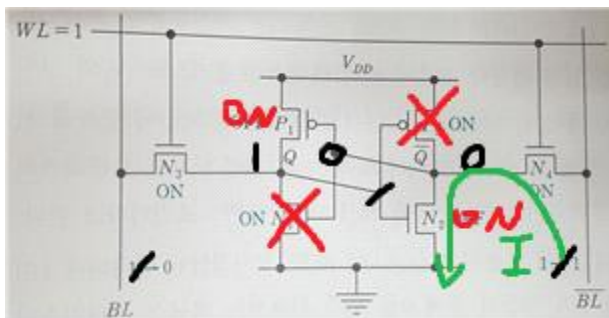
N_2, P_1 가 Turn on 상태를 유지하게 된다.

따라서 $Q=1, \bar{Q}=0$ 을 유지하게 된다.

만약 N_4 의 채널이 짧아 반전비트라인

V_{DD} 가 N_4 를 통과 하더라도 V_{DD} 와 비슷한 값이 나올 것이다.

이로 인해 $\bar{Q}=1$ 로 바뀐다면 \bar{Q} 를 유지하지 않는 상황이 된다.



이런 상황을 피하기 위해서는 N_4 에서 그라운드로 빠르게 방전을 시켜 \bar{Q} 가 1으로 인식하지 않도록 할 필요가 있다. N_2 에 흐르는 전류를 키우기 위하여 N_2 의 Width를 증가시키면 된다.

즉, $\bar{Q}=0$ 을 유지하기 위한 읽기 안정화 조건으로 $W_{N2} > W_{N4}$ 를 만족해야 한다.

이 두 가지를 조합하였을 때 SRAM 셀의

읽기 안정화 조건으로는 각 MOSFET 의 채널 Width 가 $W_{N1} > W_{N3}$, $W_{N2} > W_{N4}$ 를 만족하여야 한다.

2. Readability

SRAM Cell Stability 는 문턱전압과 V_{DD} Scaling를 비롯해 현재와 미래 기술에 대한 주요한 고민 거리이다.

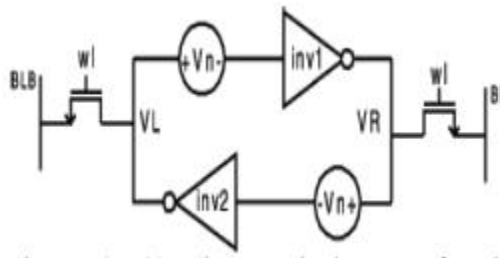
SRAM이 대기 혹은 읽기를 하면서 SRAM 셀의 데이터의 손실이 생기는 것은 치명적인 문제로 이어지기 때문이다.

그래서 SRAM 메모리의 Stability를 올려 Write 와 Read를 도와줄 회로 기술이 필요하다.
읽기 동작의 안정성을 올리기 위해서는 Cell Modulation이 도움이 될 수있다.
또 다른 방법으로는 Circuit techniques 을 통해 읽기 동작중에 패스 트랜지스터를 약화 시키거나 Pull-up 트랜지스터를 강화 시켜야 한다.

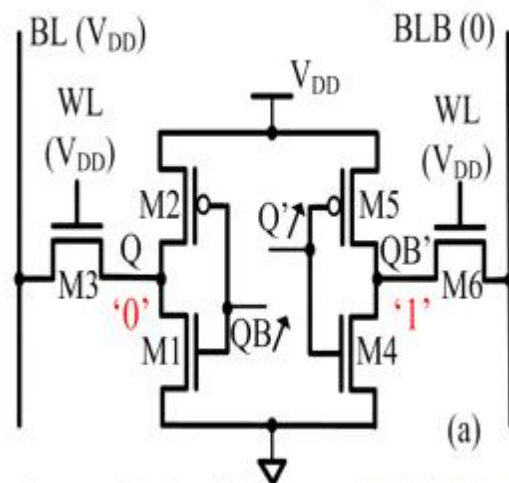
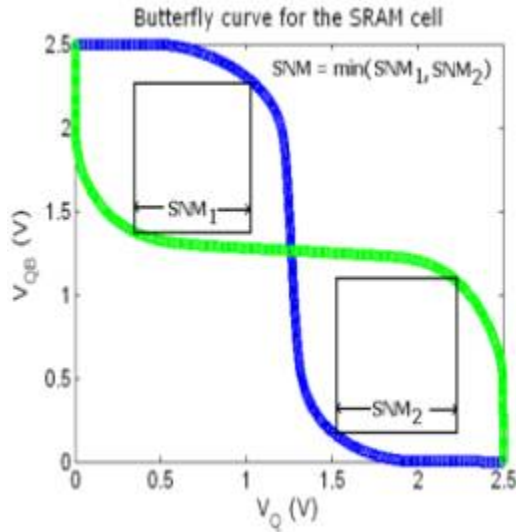
일정 시간내 읽기 비트라인 방전전압이 감지 증폭기의 오프셋 전압보다 작을 때 Readability failures 가 발생한다.
종전의 6T-SRAM 해석을 하면서 패스 트랜지스터를 통과한 V_{DD} 가 NMOS 로 방전이 제대로 되지 않으면 Q가 반전되는 상황을 볼 수 있었다. 이로 인해 읽기에 문제가 생긴다면 Read Stability 가 떨어지는 것이다.

Readability 측정에는 Static Noise Margin (SNM)을 이용하며 SRAM 의 안정성을 나타내는 척도로 사용된다
SRAM의 Cell Stability을 계산하는 고전적인 방법은 SRAM에서 교차 결합된 인버터의 Static Noise Margin (SNM) 을 측정하는 것이다.
SNM은 셀이 반전되지 않으면서 인버터 노드에서 허용 할 수 있는 최대 Noise 전압 범위를 측정한 것이다.
즉 저장된 비트를 변경하지 않고 SRAM 셀에 의해 허용될 수 있는 DC Noise 전압을 뜻한다.
따라서 Stability 는 일반적으로 SNM 의 최대값으로 정의할 수 있다.

셀의 공급 전압이 낮으면 Leakage current 가 증가하고 가변성이 증가하여 셀의 안정성이 떨어진다.
이 결과들은 Technology scaling 으로 인해 발생하는 것이다.



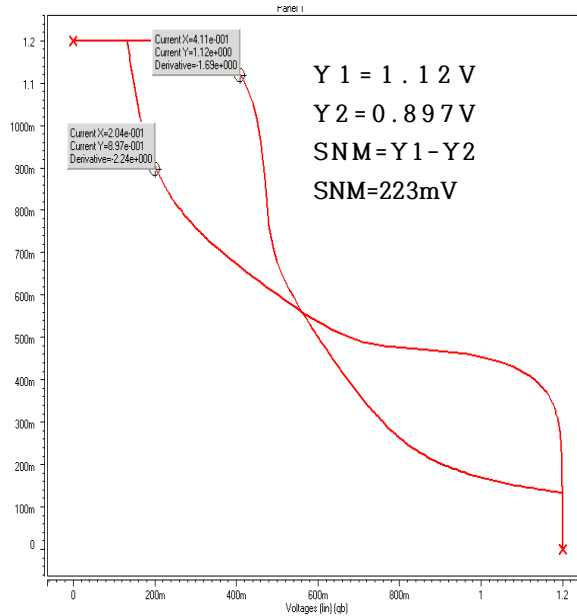
왼쪽 그림은 SNM 정의에 의한 등가 회로이다.
두 DC Noise 전압 소스는 교차 결합된 인버터와 직렬로 배치되어 있다.
셀의 상태를 반전 시키는데 필요한 Noise voltage V_n 의 최소값이 SNM 으로 측정된다.



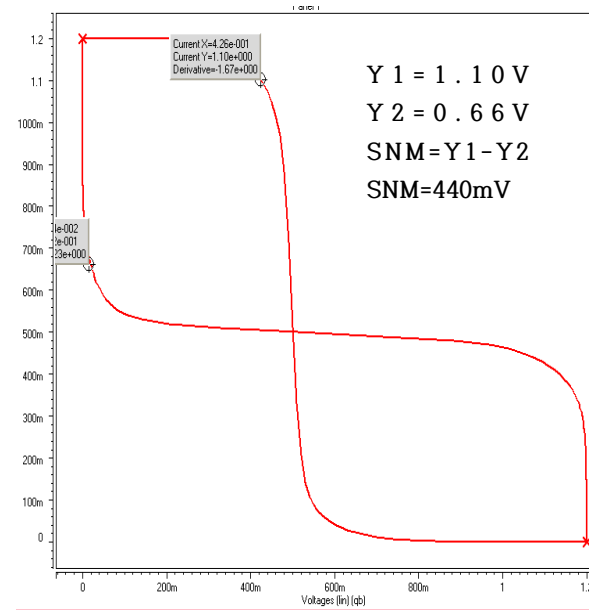
실제로 SNM을 결정하기 위한 방법은 SRAM 셀 인버터의 정적 전압 전송 특성을 사용한다.
한 셀 인버터의 전압 전달 특성 (VTC) 과 다른 셀 인버터의 반전 VTC 와 겹쳐서 SRAM 셀의 버퍼 플라이 곡선을 얻을 수 있다.

이 그래프는 SNM을 결정하는 데 사용되며, SNM 은 버퍼 플라이 곡선의 로브 내부에 가장 큰 직사각형을 만들었을 때의 가로 길이로 구할 수 있다.
SNM의 값이 클수록 SRAM 셀의 읽기 안정성이 높다.

SRAM CELL	READ SNM (mV)
6T	223
8T	440



6T SRAM Read 모드의 SNM



8T SRAM Read 모드의 SNM

3. Readability 개선 방법

Readability를 증가시키는 방법을 여러 가지 고려해볼 수 있다.

1. SRAM cell modifications

SRAM의 셀 비율이 증가하면 read margin 이 증가하는데, 이에 따라 Pull-down NMOS 트랜지스터를 통과하는 전류가 증가하여 SRAM 셀의 readability 향상에 도움이 된다. 감소된 워드라인 전압 기술은 read margin을 증가시킨다 (conventional 6T SRAM cell 과 비교할 때)

2. Circuit techniques

읽기 작업을 성공적으로 수행하려면 읽기 작업중에 패스 트랜지스터의 강도를 줄이거나 pull-up 의 강도를 증가시키는 방법이 있다.

① Lowered wordline voltage (LWL)

NMOS 소자를 사용하여 문턱전압 강하에 의해 워드라인 전압을 낮춘다.

패스 트랜지스터의 게이트-소스 전압에 적용되는 전압 레벨이 공급 전압보다 낮아진다.

따라서 패스 트랜지스터는 약하게 구동된다.

워드라인 전압이 감소하면 SNM 에는 도움이 되지만 선택한 비트 셀의 Write margin 은 감소할 것이다.

② Cell VDD boost (VDDb)

셀을 통과하는 공급 전압을 V_{DD} 보다 높게 한다.

이로 인해 Pull-up 트랜지스터의 강도로 V_{gs} 를 향상시키므로 읽기모드에서 read stability가 충분히 향상된다.

그러나 VDD Boost 방법은 쓰기 모드에서 write margin을 감소시키기 때문에 이 방법을 사용해서는 안된다.

③ Negative VSS

기존에 있던 접지를 0V 아래로 줄이면 read stability 가 증가한다.

음의 접지는 접지 아래에서 0을 유지하는 내부 노드를 당기므로 Pull-Down 및 패스 게이트 트랜지스터에서 V_{gs} 를 증가시키므로 readability 보조 기술 중 가장 효과적이다.

하지만 이 기술은 GND 라인이 커패시턴스가 크기 때문에 메모리 배열에 대한 에너지 비용이 높다.

Conventional 6TR SRAM SNM

1. 서론

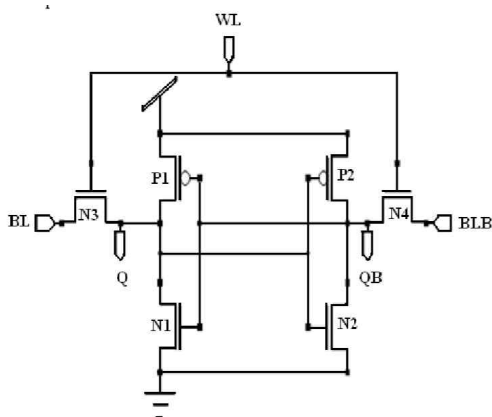
- Conventional 6TR SRAM은 집적도 향상 및 SOC 칩 내의 작은 구동 전압원 VDD를 사용하는 다른 집적 소자들로 인해 계속해서 사이즈가 작아졌음.
- 이는 SRAM Cell이 작은 VDD로 동작하게 했음. -> 이는 전체 SRAM Array 입장에서 상당한 양의 소비전력 감소를 의미함. -> 따라서 작은 VDD로 SRAM을 구동하는 것은 매우 바람직함.
- 그러나 VDD의 감소는 SRAM Cell의 Stability와 직결되는 SNM을 감소 시킴.
- 그리고 VDD의 감소는 SRAM Cell의 delay 시간을 증가시키고, 소자의 동작 속도를 저하시킴.
- > 이 부분 이해 못하겠음. 보통 CMOS Inverter에서 vdd 작을수록 speedy 한데, SRAM에서는 오히려 속도가 저하된다네??? SNM 감소 때문인가?

ABSTRACT

Static random access memory (SRAM) is a type of volatile semiconductor memory to store binary logic '1' and '0'. The SRAM sizing has been scaled down due to the increase density of SRAM in System-On-Chip (SoC) and other integrated devices, which works on lower supply voltage. This leads to considerable amount of power saving, but the stability and performance of the SRAM circuit is also being affected due to the scaling of supply voltage. The lower supply voltage reduces the Static Noise Margin upon which the stability of the SRAM cell depends. With lower Vdd, the delay of SRAM cell increases considerably and speed of the SRAM will be lowered. This paper discusses about the noise effect on Read SNM and Write SNM of Conventional 6T SRAM cell. This paper also presents the effect of device parameters on Conventional 6T SRAM cell which increases the cell stability without increasing transistor count at 45nm technology.

<- 빨간색 부분 보고 적은거임.

2. Conventional 6TR SRAM SNM



- SRAM의 동작은 Hold, Read, Write로 구분함.

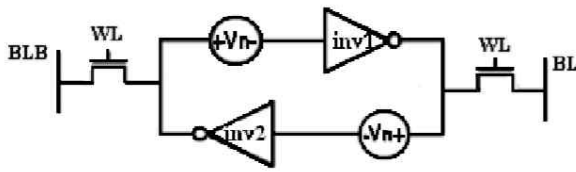
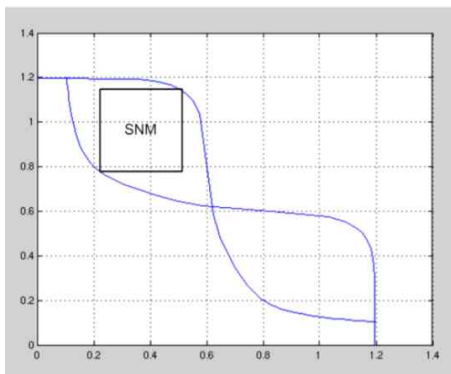


Fig 2: The standard setup for SNM definition [2]

- SNM은 Inverter의 VTC 그래프로 얻을 수 있음. 과정은 다음과 같음.
 - 1) BL을 게이트 입력으로 하는 Inverter2에 대한 VTC를 그린다.
 - 2) BL Bar를 게이트 입력으로 하는 Inverter1에 대한 VTC를 뒤집어서(inverse) 그린다.
 - 3) 그 때 두 개의 VTC curve는 butterfly curve를 만들고, SNM은 butterfly curve 내에 그릴 수 있는 가장 큰 사각형의 변의 길이로 정의된다.



- BL에는 항상 noise가 존재하며, 이 noise V_n 이 커질수록 Inv2에 의한 VTC는 오른쪽으로, Inv1에 의한 VTC는 아래 쪽으로 Graph를 이동 시키는 것과 같음.
 - > gate 입력 noise는 그림과 같이 gate input을 감소시키는 방향으로 동작하므로 Inv2 VTC(감소 함수)는 동일한 gate input voltage 대비 noise로 인해 output이 증가하는 것과 같고, Inv1 VTC(증가 함수)는 output이 감소하는 것과 같음.
- SNM의 직관적인 이해는 Inverter Latch가 출력을 유지할 때의 가장 큰 gate input noise를 말함.
- gate input의 noise가 변한다면 SRAM Cell의 SNM도 변할 것임.

3. RSNM / WSNM

- SNM은 SRAM의 동작 모드에 따라 달라짐.
- Read 동작시 SNM은 작아지게 되어 Cell은 큰 노이즈 마진을 가지는 hold condition 대비 불안정한 상태가 됨.
- Read 동작시 Read SNM은 감소하게 됨.
 - > 그 이유는 다음과 같음.
 - > Read 동작 초기에 BL은 1로 pre-charge 되고, WL=1이 인가되어 Access TR이 ON 됨.
 - > 만약 Q에 0이 저장되어 있었다면, BL의 charge가 Access TR N3를 거쳐 Q에 쌓일 것임. 이것은 Q의 전압을 상승시키고, SNM을 감소시키는 결과를 초래함.
 - > 즉 Q의 전압이 증가한다는 것 자체가 noise가 생긴다는 것으로 이해할 수 있음.

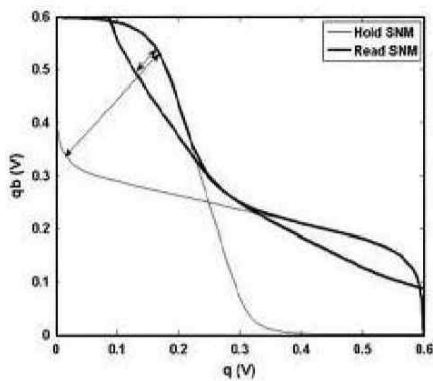
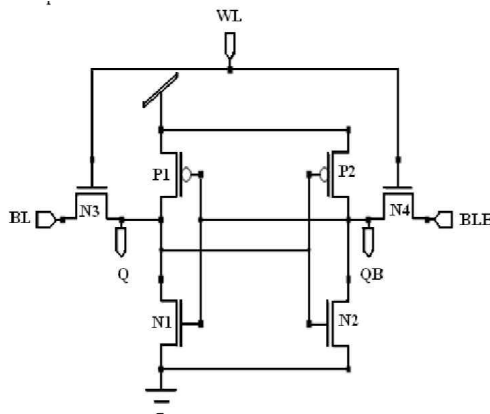


Fig 3: General SNM characteristics during Standby and Read operation



- Write noise margin은 Cell의 state를 바꾸는(저장된 data를 바꾸는) 가장 작은 BL 전압 값을 말함.

-> 만약 Q에 1이 저장되어 있고, 0을 write 해야 한다면 BL=0이 되어 Q의 1이 discharging 되어야함. 이 때 BL에 noise로 인해 BL이 일정한 potential을 가진다면 방전이 원활하게 되지 않을 것임.

이를 write noise margin이라 함.

- 추가적으로 Q에 1이 저장되어 있고 0을 Write 해야하는 상황에서 BL이 0이 된다면

-> Q의 1이 BL을 통해 discharging 될것임. 이 때 Q는 PUN에 동기화 되어 있으므로 charge를 방전함과 동시에 PUN에 의해 충전이 됨. 이것은 Write noise margin을 감소시킴.

결론적으로 hold condition에서는 SNM이 크지만, read / write operation에서는 SNM이 감소하기 때문에 SRAM 동작시 안정성이 떨어질 수밖에 없음. 그렇다면 안정적인 SNM을 보장하려면 어케해야하노 ?

4. SNM을 증가시키기 위해선?

1. VDD가 클수록 SNM은 증가한다.

2. 온도는 SNM에 큰 영향 미치지 않음.

3. WL 전압이 작아질수록 SNM이 작아짐

-> 극단적인 예로 hold condition에서는 WL=0 이고, 이 때 SNM은 read operation 할 때 보다 훨씬 큼.(위에 FIG.3으로확인할수 있음.)

4. TR WIDTH modulation effect

1번, 2번, 3번 보다 SNM을 키우기 위해 하는 가장 일반적인 방법은 TR Channel width를

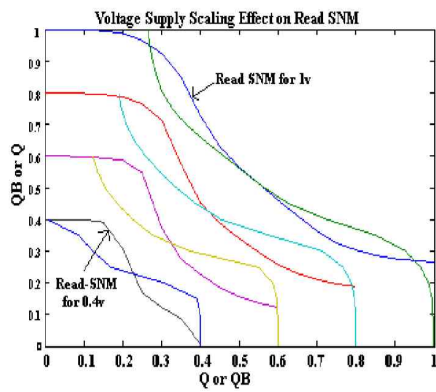


Fig 5(a): Effect on supply Voltage on Read SNM

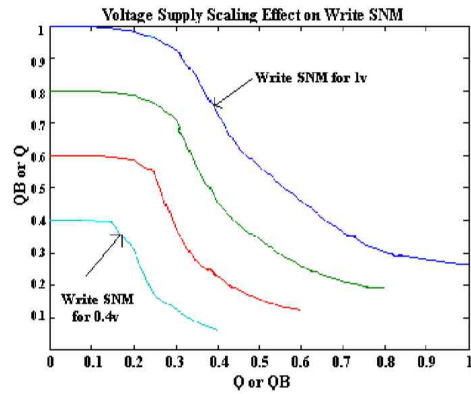


Figure 5(b): Effect on supply Voltage on Write SNM

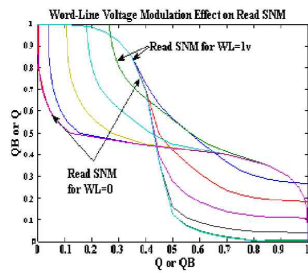


Fig 7(a): Effect of Wordline Voltage Modulation on Read SNM

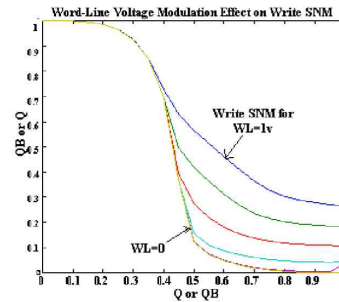
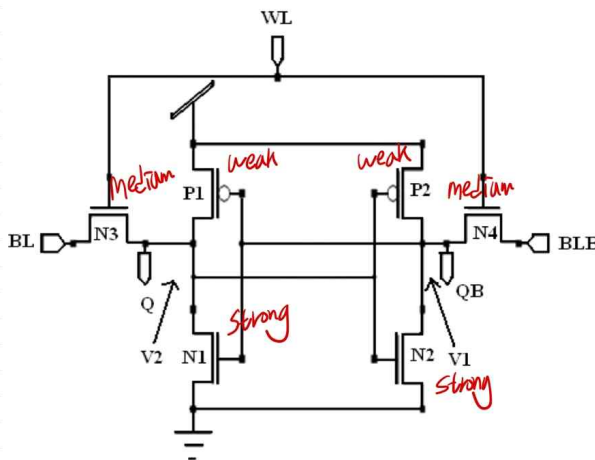
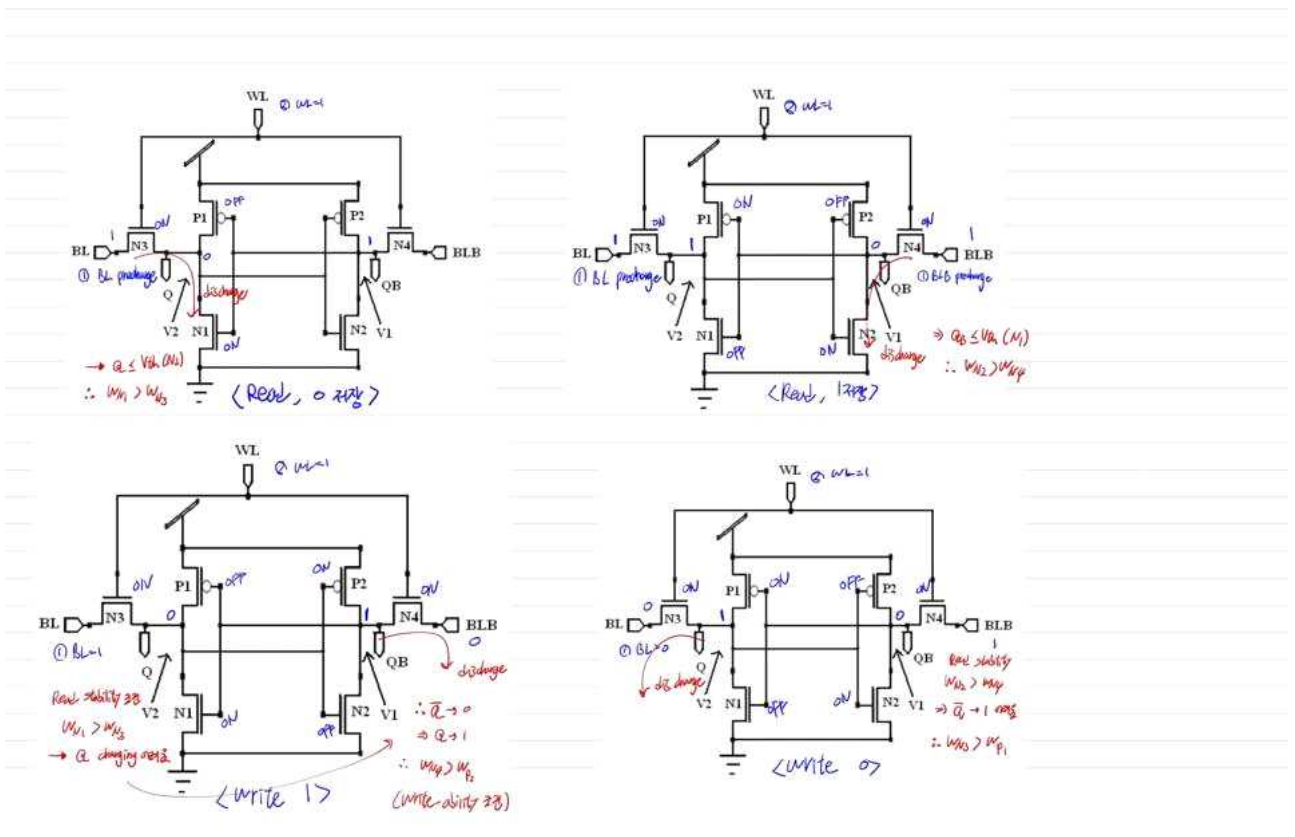


Fig 7(b): Effect of Wordline Voltage modulation on Write SNM

조정하는 것임.





금오공대 KOCW에 width size 나와있으니 설명은 생략하겠음. 결과만 말하자면 PDN Width > Access TR width > PUN Width 로 sizing 하면 read / write 동작시에 발생하는 SNM 감소를 방지할 수 있음.

즉, CR이 커질수록 Strong pull down network에 의해 Read 동작시에 RSNM을 증가시킬 수 있고, PR이 작아질수록 write margin을 증가시키며 write-ability를 보장할 수 있음.

$$CR(r) = \frac{\text{Size of pull down transistor}}{\text{Size of access transistor}} \quad \text{출처 : Static-Noise-Margin Analysis of Conventional 6T SRAM Cell at 45nm Technology}$$

by Nahid Rahman, B. P. Singh

$$PR(q) = \frac{\text{Size of pull up transistor}}{\text{Size of access transistor}}$$

추가) Write trip point

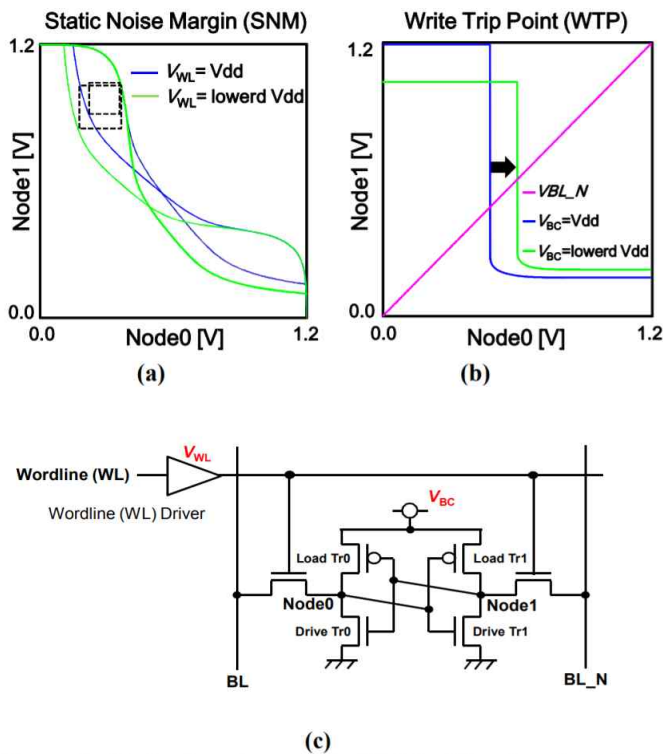


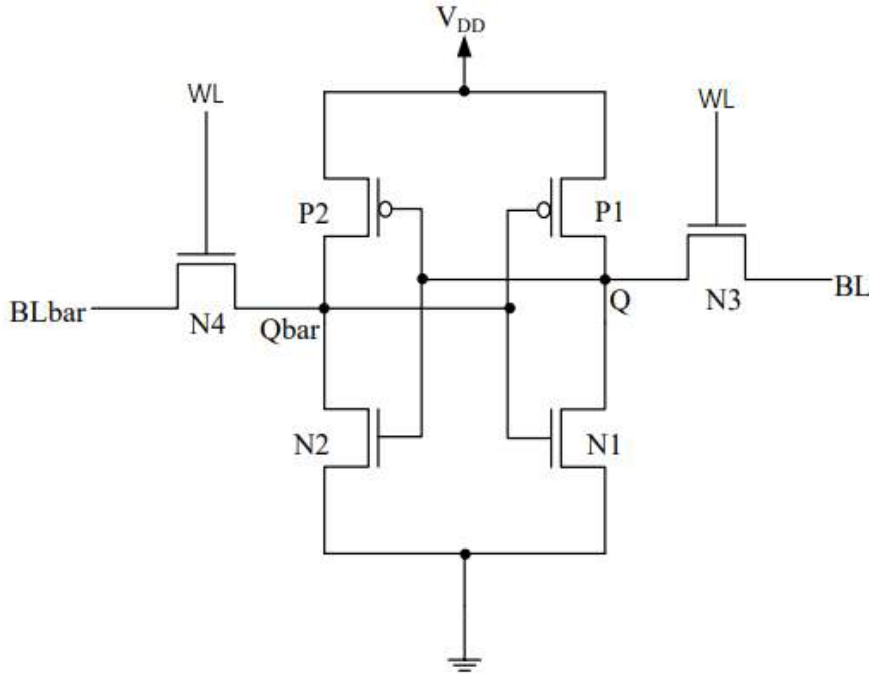
Figure 1: (a) Static noise margin (SNM), (b) write trip point (WTP), and (c) SRAM bitcell circuit.

SRAM은 계속해서 Scale down 했음. 따라서 vdd도 계속 작아졌고, 이는 회로의 안정성을 저하시켰음.(작은 noise에도 state가 바뀔 수 있기 때문.) 그래서 이 stability를 살펴보는 척도로 SNM을 사용함. SNM은 인버터 인풋단에서 허용되는 최대 노이즈임.(state를 flip하지 않는 선에서) 그런데 이건 standby condition에서 상대적으로 큰 값을 가짐. 하지만 read 동작시에는 SNM이 감소함.(charge 이동으로 인해 인풋단에서의 noise가 증가하기 때문임.) 이를 해결하기 위해 TR의 channel width를 적절하게 조정함.(CR 조정, 크게 할수록 유리) 하지만 이것은 write 동작시에 제대로 write가 되지 않게 만들 수 있음. 이것을 나타내는 척도로 write noise margin 또는 write trip point가 존재함. write noise margin이란 BL단에서 허용되는 최대의 노이즈 값임.(SRAM state를 flip하지 않는 선에서) 이 때 WTP는 state가 막 flip 될 때의 BL 값을 말함. WTP 값이 클수록 write noise margin이 좋다는 것이고, write ability가 좋다는 것을 말함. write ability를 좋게 하기 위해서도 TR channel width를 조정할 수 있음.(PR 조정 작게할수록 유리)

Write noise margin은 sram이 저장된 state를 flip할 때의 BL 최소값으로 정의된다고 하였음.

WTP란 그 때의 BL값을 WTP라 함. 즉 좌측 그림에서 분홍색 BL라인이 sweep되고 있을 때, sram state가 flip 되는 순간에서의 BL 값임.

1. Readability



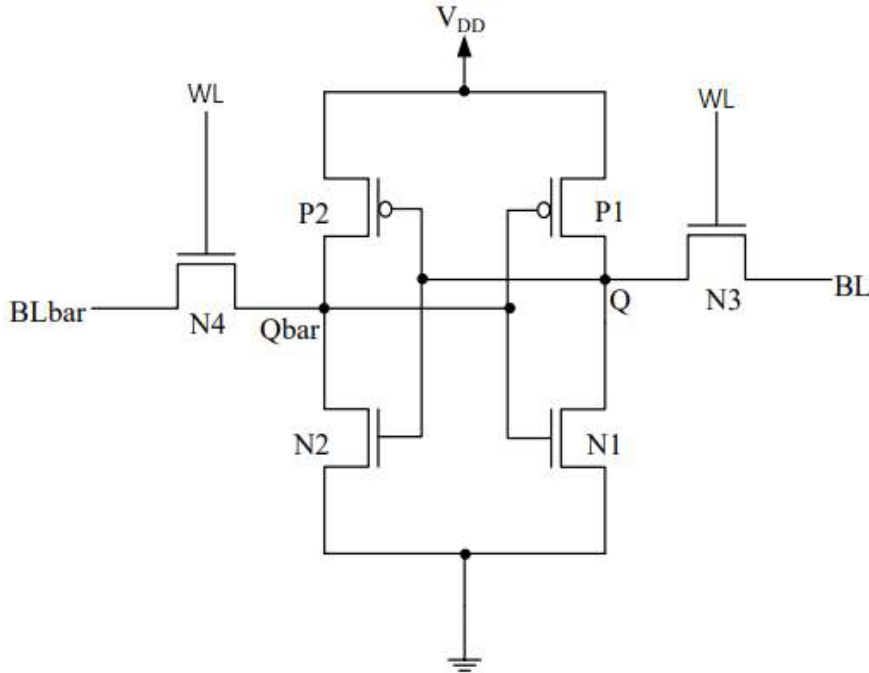
우선 $Q=0$, $Qbar=1$ 이라고 가정한다. 읽기 동작을 수행하기 위해 BL, BLbar는 VDD로 precharge 시키고, WL에 1을 가한다. 그러면 P2가 on 되어서 P2, N4에 의해 Qbar는 1을 유지한다. 그러는 동시에 N1이 on 되어서 N1, N3에 의해 BL이 discharge 된다. BL이 discharge 되는 동안 N1, N3가 voltage divider network를 구성하게 되어 Q가 일시적으로 상승하게 된다. 만약 Q 값의 일시적 상승 과정에서 P2-N2 인버터의 문턱 전압을 넘게 되면, N2가 on 되어서 P2-N2 인버터의 출력이 0이 되어버린다. 이렇게 셀의 상태가 바뀌는 상황을 read upset이라고 한다. read upset을 방지하기 위해 N1의 (W/L)을 N3의 (W/L)보다 크게 한다면 Q의 일시적 상승량이 줄어들게 되어 read upset이 방지될 수 있다. 다시 말해, read upset을 방지하기 위해 Q의 일시적 전압 상승이 반대편 인버터의 문턱 전압보다 커지지 않게 해야 하고 이러한 제약을 readability라고 한다. read static noise margin(RSNM)이 작을수록 readability도 좋지 않다.

readability를 만족시키기 위해 풀 다운 트랜지스터 N1, N2의 (W/L)을 패스 트랜지스터 N3, N4의 (W/L)보다 크게 설정하여야 한다.

즉, $Cell\ Ratio(CR) = \frac{(\frac{W}{L})_{N1, N2}}{(\frac{W}{L})_{N3, N4}}$ 를 설정할 때, CR이 1.2보다 크면 readability를 만

족하며, $1.2 \leq CR \leq 2$ 정도로 설정하는 것이 일반적이다.

2. Writability



마찬가지로 $Q=0$, $Qbar=1$ 로 가정한다. 이 상태에서 1을 기록 하기 위해, WL에 먼저 1을 가하고, BL을 VDD로, BLbar를 접지시킨다. $Q=1$ 로 만들기 위해, $Qbar$ 는 P1-N1 인버터의 문턱 전압보다 낮게 설정되어야 한다. 이러한 제약을 writability라고 한다. 마찬가지로 write static noise margin(WSNM)이 작을수록 writability가 좋지 않다. 셀에 1을 기록할 때, $Qbar$ 는 N4로부터 discharge 되고 있고, 동시에 Q가 1이 되기 전까지 $Qbar$ 는 P2로부터 charge 되고 있다. 그 말은 P2, N4가 동시에 on 되어 voltage divider network를 구성하고 있다는 뜻이다. 이 네트워크에 적절한 사이징을 통해 writability를 만족시키면, $Qbar$ 는 P1-N1 인버터의 문턱 전압보다 낮게 설정되어 Q가 1이되면서 다시 feedback을 통해 P2가 off 되고, N2가 on 되면서 $Qbar$ 가 정상적으로 pull down 된다.

writability를 만족시키기 위해 패스 트랜지스터 N3, N4의 (W/L)을 풀업 트랜지스터 P1, P2의 (W/L)보다 크게 설정해야 한다.

$$\text{즉, } Pull\ up\ Ratio(PR) = \frac{\left(\frac{W}{L}\right)_{P1,P2}}{\left(\frac{W}{L}\right)_{N3,N4}} \text{를 설정할 때, PR이 1.8보다 작으면 writability를}$$

만족하며, $0.4 \leq PR \leq 1.8$ 로 설정하는 것이 일반적이다.