

Week #11 : SRAM Cell

똑딱똑딱조

김동현, 김승현, 나경운, 이경민, 이근정

1. Consider the SRAM cell in Fig. 1.

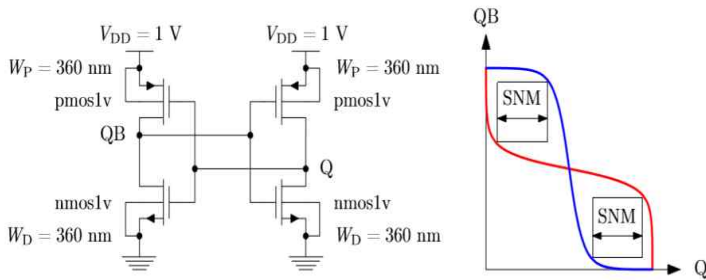
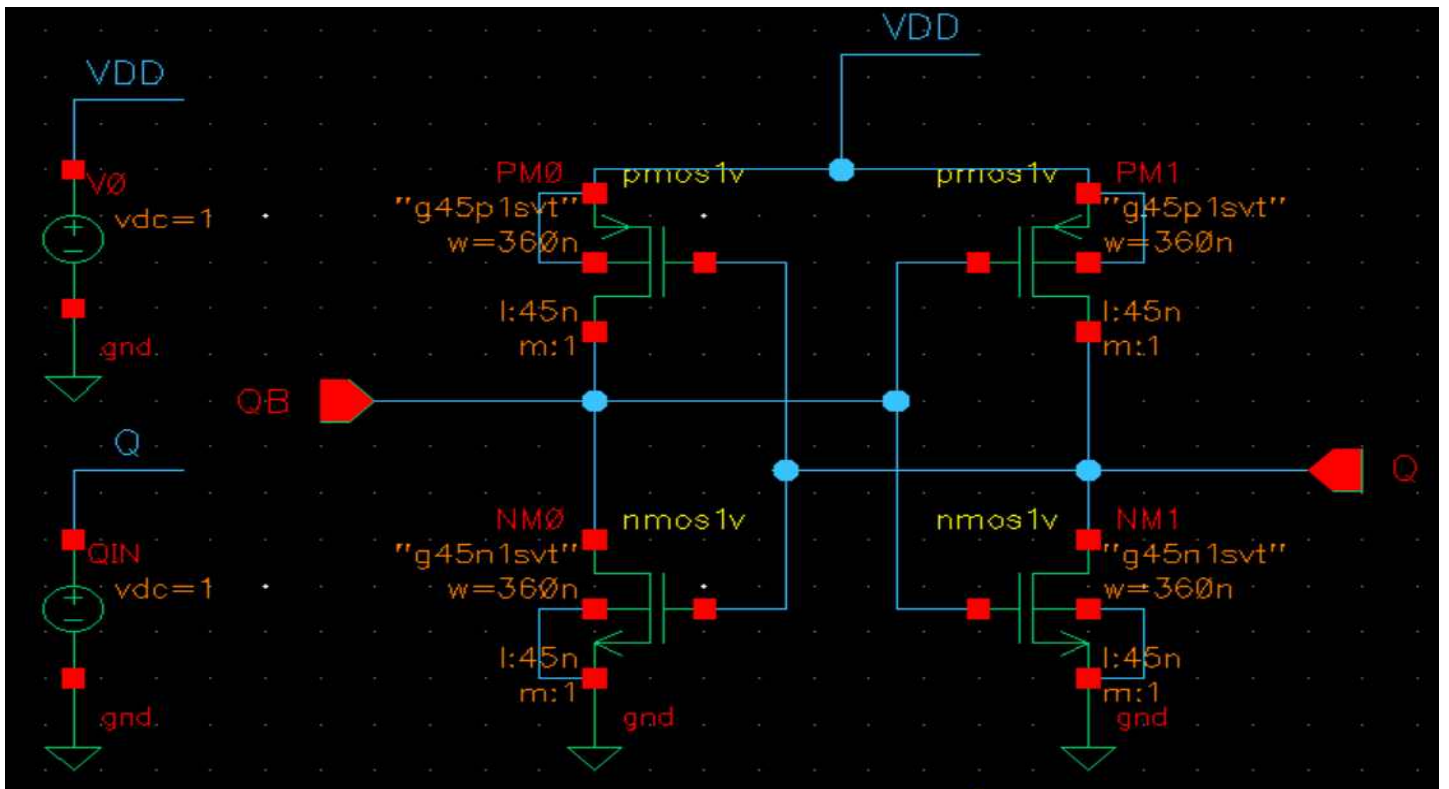


Fig. 1: An SRAM cell and its static noise margin.

(a) Plot the butterfly plot as shown in the figure. Cut the connection of the back-to-back inverters and apply a DC voltage source to one of the inverters. Plot the Q vs. QB curve along with the QB vs. Q curve. You may use the 'Axis → Y vs. Y ...' menu in the waveform window. Measure the static noise margin (SNM) of the SRAM cell, which is defined as the side length of the largest square that fits in the butterfly plot. You can draw two

largest squares. SNM is the length of the smaller one. Alternatively, see Section IV of the following paper for SNM simulations (Use the 'vcvs' devices from 'analogLib'). E. Seevinck, F. J. List, and J. Lohstroh, "Static-Noise Margin Analysis of MOS SRAM Cells," IEEE J. Solid-State Circuits, vol. 22, no. 5, pp. 748-754, 1987.

1) Schematic



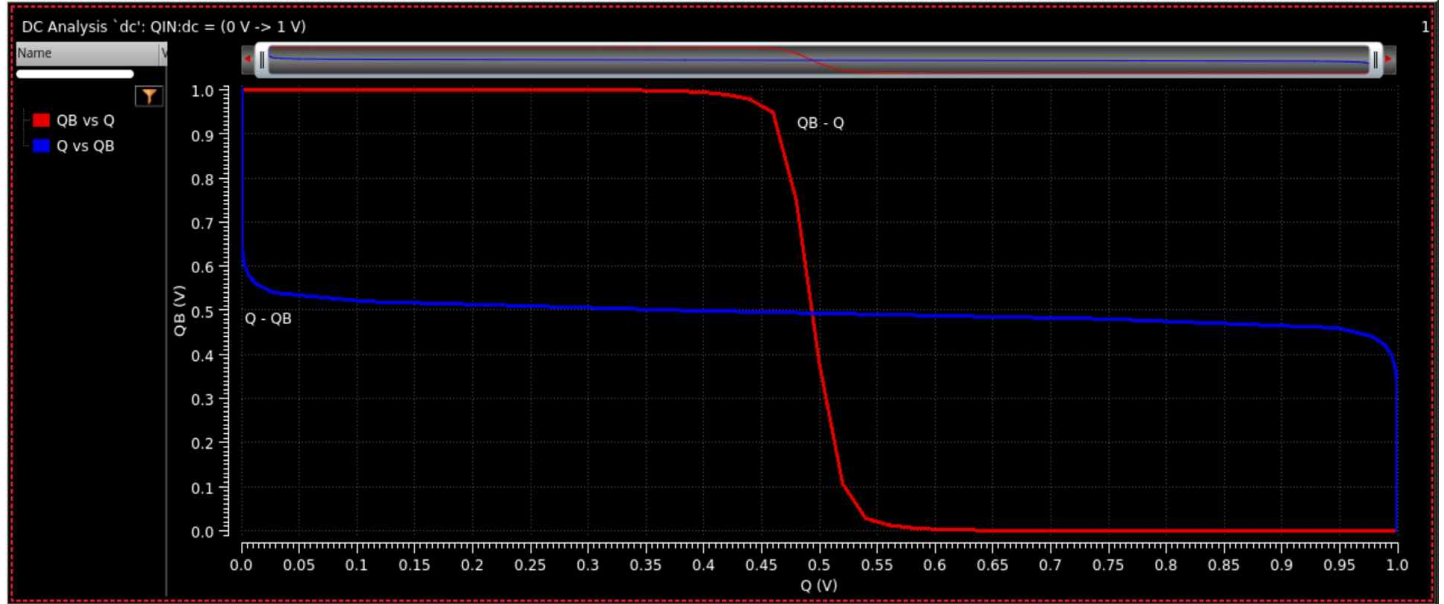
<SRAM Cell in hold mode>

Fig 1과 같이 back-to-back Inverter의 외부 회로 연결을 끊어 ($WL = 0$, Access TR OFF) SRAM이 hold mode에 있도록 하였다. 왼쪽 Inverter(이하 Inv1)의 input에 sweep할 DC 독립 전압원을 인가하였고, 모든 TR의 Channel width는 주어진 설계 값을 사용하였다.

$$\text{Channel width} = 360[\text{nm}]$$

$$\begin{array}{ll} \text{Inv1 input} : \bar{Q} & \text{Inv2 input} : \bar{Q} \\ \text{output} : \bar{Q} & \text{output} : \bar{Q} \end{array}$$

2) Butterfly Curve



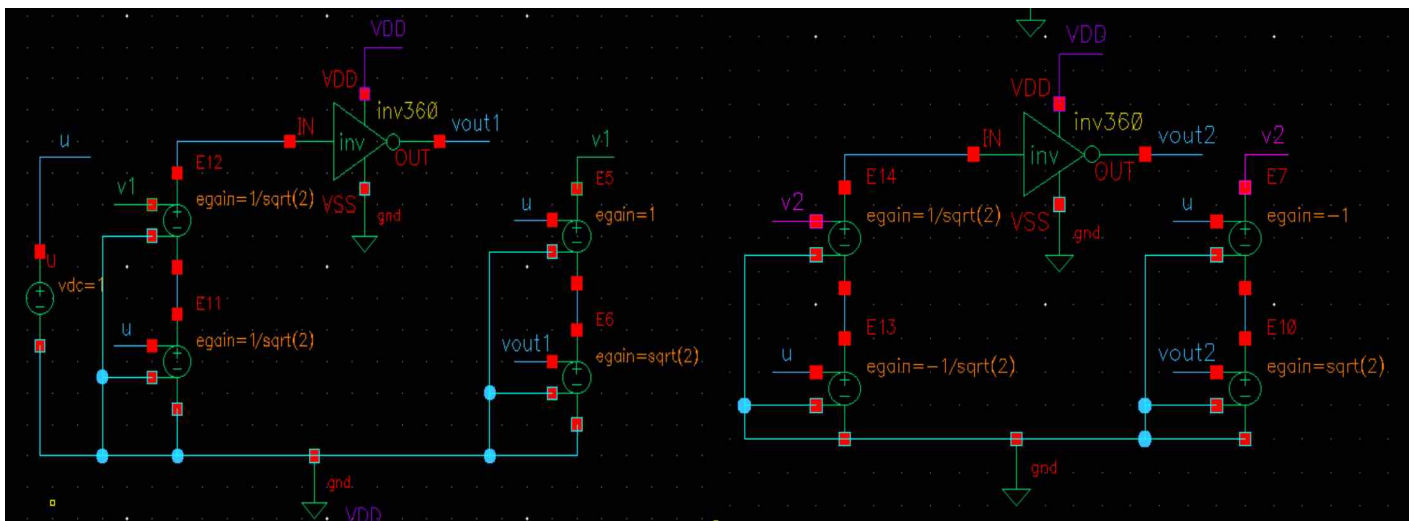
<Butterfly Curve of SRAM Cell>

Red Curve는 Inv1에 대한 VTC를 나타낸 것이고, Blue Curve는 Inv2에 대한 VTC를 inverse하여 Y축에 나타낸 것이다. Cell이 hold mode 이므로 Butterfly Curve 내에 그릴 수 있는 정사각형이 크다는 것을 직관적으로 알 수 있다. 이는 SNM의 크기가 Cell이 동작 중(Read or Write mode)일 때 대비 크다는 것을 의미한다.

3) Static Noise Margin

1) Schematic

Static Noise Margin을 측정하기 위하여 Seevinck이 제안한 circuit model을 사용하였다. 회로는 다음과 같다.



<Seevinck's Circuit model for estimation of SNM>

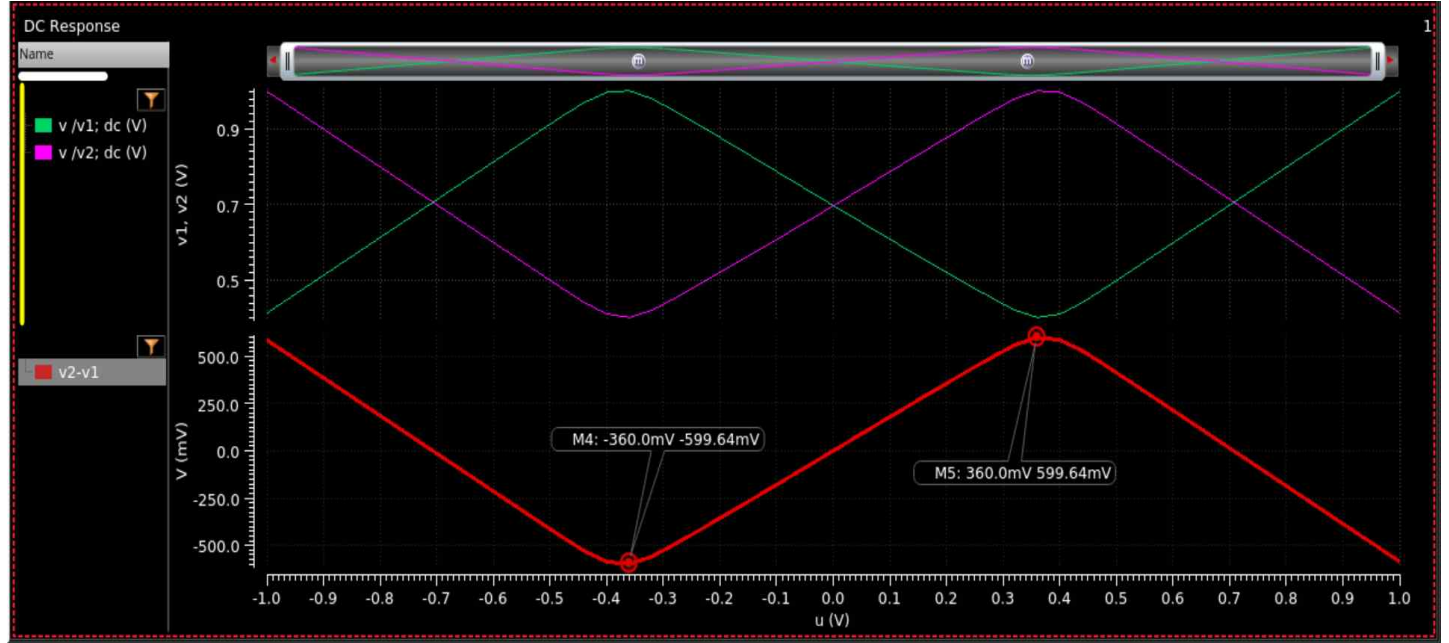
DC Sweep을 하기 위해 $v_1 - u$, $v_2 - u$ circuit model에 공통으로 독립 전압원 u 를 인가하였고, vcvs를 사용하여 아래와 같은 v_1, v_2 에 대한 circuit model을 구현하였다. (Inv360 : 모든 TR의 Channel width = 360 [nm]인 Inverter)

$$\begin{aligned} v_1 &= u + \sqrt{2} F_1(\frac{1}{\sqrt{2}}u + \frac{1}{\sqrt{2}}v) \\ v_2 &= -u + \sqrt{2} F_2(-\frac{1}{\sqrt{2}}u + \frac{1}{\sqrt{2}}v) \end{aligned}$$

(참고) SRAM SNM을 측정하기 위하여 Seevinck이 제안한 모델은 SRAM Cell의 back-to-back Inverter에 대한 입출력 함수 $y = F(x)$ 를 (u, v) 에 대한 새로운 좌표 시스템으로 나타내는 것이다. (u, v) 좌표 시스템은 (x, y) 에 대한 좌표계를 시계방향으로 45도 rotate 시켜 얻은 좌표 시스템이다. (u, v) 좌표 시스템에서는 Butterfly Curve 내부에 있는 정사각형의 대각선 길이를 쉽게 구할 수 있다.

2) Simulation

독립전압원 u 를 $-V_{DD}$ 에서 V_{DD} 까지 넓은 범위로 DC Sweep 하면서 v_1, v_2 를 측정한 결과는 다음과 같다.

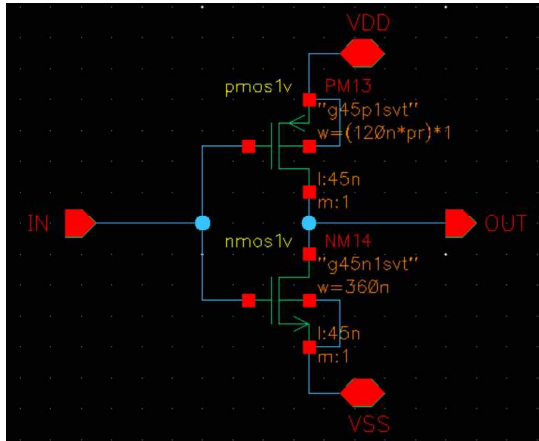


<Simulation of Seevinck's Circuit model>

$v-u$ 좌표 시스템에서 $|v_1 - v_2|$ 또는 $|v_2 - v_1|$ 의 local Maximum 값은 butterfly curve 내부에 fitting 되어 있는 두 개의 정사각형의 대각선의 길이와 각각 같다. 따라서 calculator를 통해 $v_2 - v_1$ curve를 fitting하여 나타내었다. 이 때, $|v_2 - v_1|$ 의 최댓값은 $u = \pm 360[mv]$ 일 때, 약 $599.64[mv]$ 로 측정되었다. 이 값은 butterfly curve 내 정사각형의 대각선의 길이와 같다. 따라서 SRAM Cell의 Hold mode에서 Static Noise Margin은

$$SNM = 599.64m \div \frac{1}{\sqrt{2}} = 424[mv] \text{ 이다.}$$

참고로 현재의 SRAM Cell은 TR mismatch와 같은 다른 변수들이 크게 고려되지 않은 ideal case이다. 따라서 $v_2 - v_1$ 의 maximum 값과 minimum 값이 같게 측정되었다.



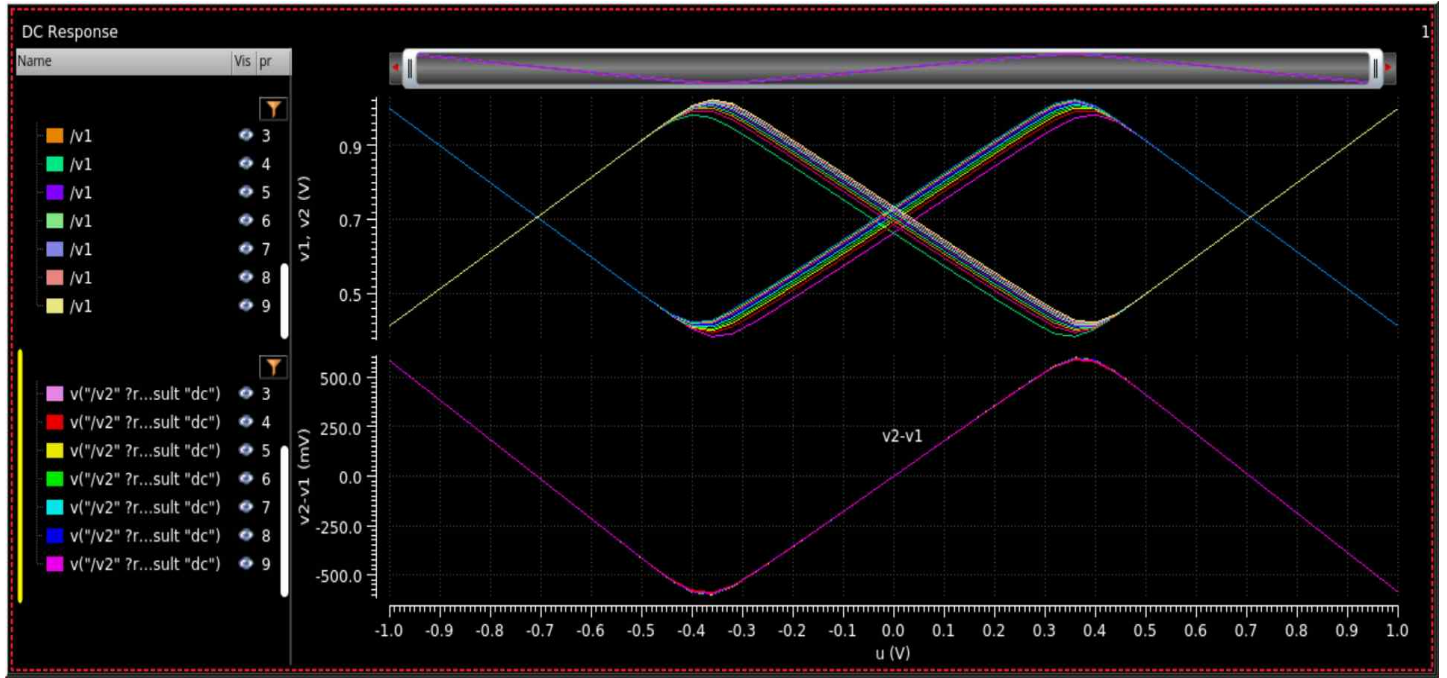
(b) Repeat (a) by changing WP from 120 nm to 1080 nm with a step size of 120 nm. What is the value of WP that maximizes the SNM?

Variable	Value	Sweep?	Range Type	From	To	Step Mode	Total Steps
pr	1	<input checked="" type="checkbox"/>	From/To	1	9	Auto	9

W_P 를 조정하기 위하여 Inverter symbol을 수정하였다.

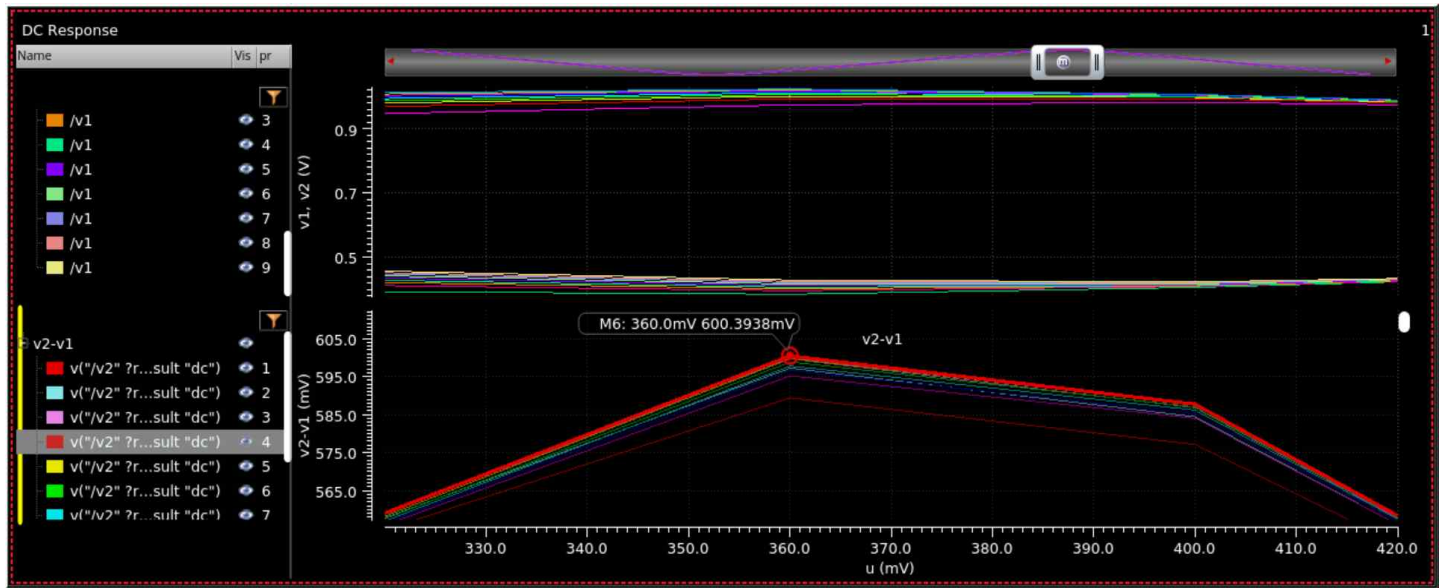
$W_P = 120n * pr$ 로 설정하여, 디자인 조건대로 120nm의 step size로 120nm ~ 1080nm 까지 PMOS의 Channel Width를 조정하며, 그 때의 SNM의 최댓값을 찾아보았다.

Simulation 결과는 다음과 같다.



<PMOS Channel width를 조정하며 v_1 , v_2 , $v_2 - v_1$ vs u 측정 결과>

현재 SRAM Cell은 TR mismatching과 같은 다른 환경 변수가 없는 ideal model 이므로 $v_2 - v_1$ 의 Maximum 값과 Minimum 값의 절댓값은 같을 것이다. 따라서 pr 의 변화에 따른 $|v_2 - v_1|$ 의 최댓값은 다음과 같다.



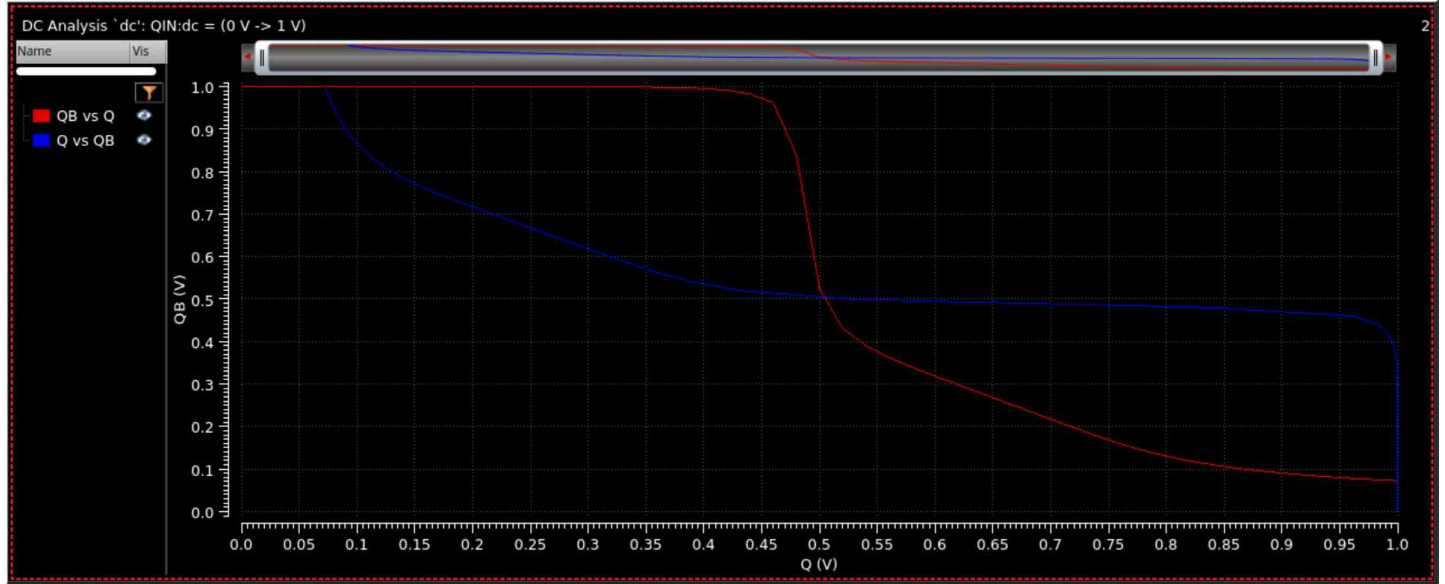
< $pr = 4$ 일 때, $v_2 - v_1$ Maximum 값 가진다.>

Simulation 결과, $pr = 4$ 일 때, $u = 360[mv]$ 에서 $v_2 - v_1 = 600.39[mv]$ 의 Maximum 값을 가졌다. 따라서

$$SNM = 424.54[mv] \text{ 이고, } pr = 4 \text{이므로 그때의 } W_P = 480[nm] \text{ 이다.}$$

1-(a)의 결과로 $W_P = 360[nm]$ 일 때, $SNM = 424.0095[mv]$ 이고, 1-(b)의 결과로 $W_P = 480[nm]$ 일 때, $SNM = 424.54[mv]$ 이다. 따라서 SRAM Cell이 hold mode 일 때, W_P 의 변화에 대해 SNM이 크게 변하지 않는다는 것을 알 수 있다. 그 이유는 다음과 같이 유추해볼 수 있다.

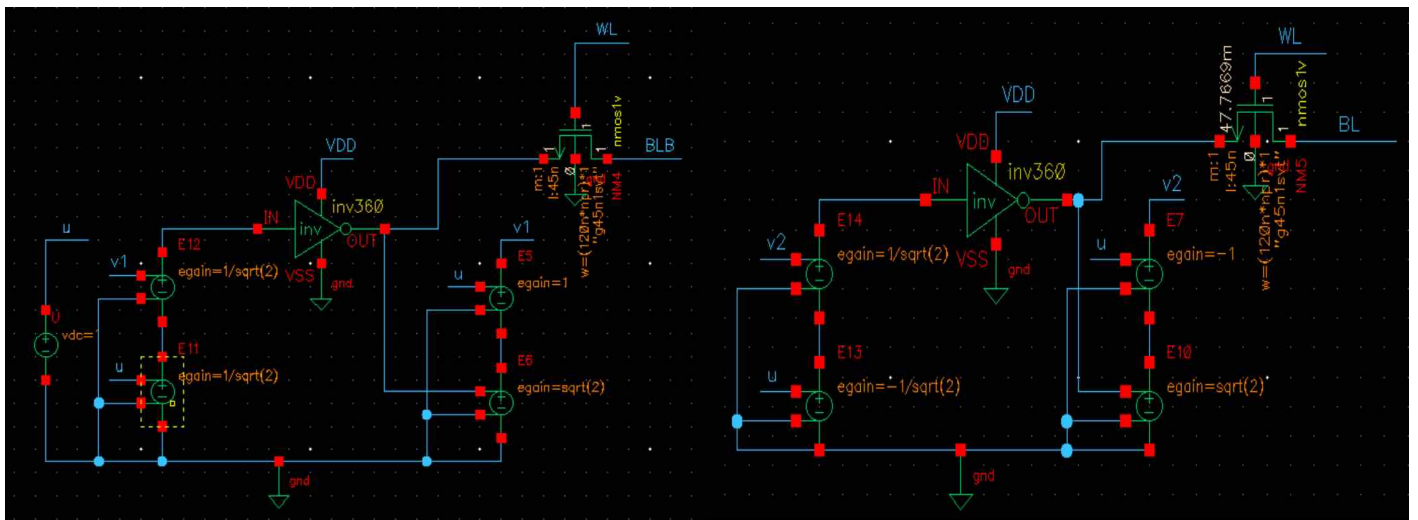
2) Butterfly Curve



< $n_{pr} = 1 \rightarrow W_A = 120[nm]$ 일 때, butterfly curve>

Hold mode 대비 Read mode에서 Butterfly Curve 내에 그릴 수 있는 정사각형의 크기가 작아졌다는 것을 직관적으로 알 수 있다. 이는 Read mode에서 SRAM Cell이 불안정해지는 것과 일치하는 결과이다.

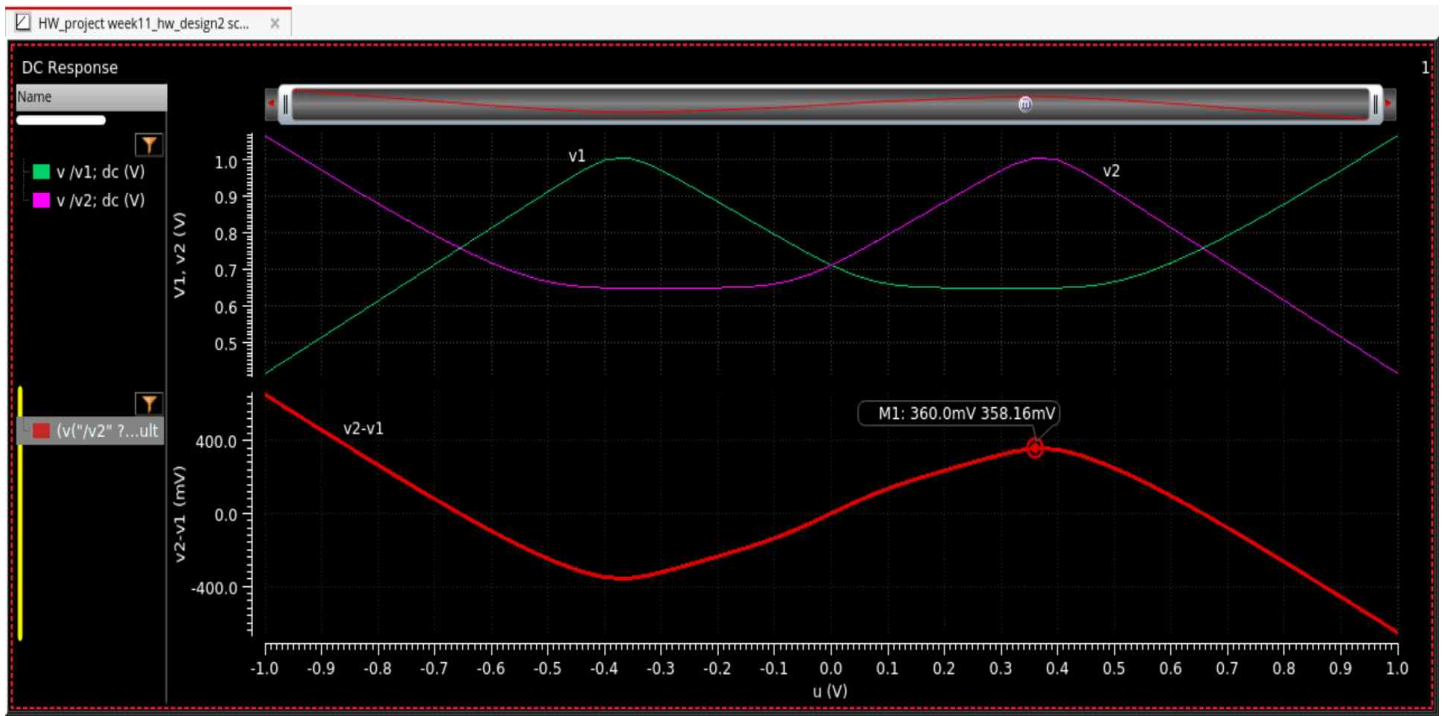
3) Staic Noise Margin



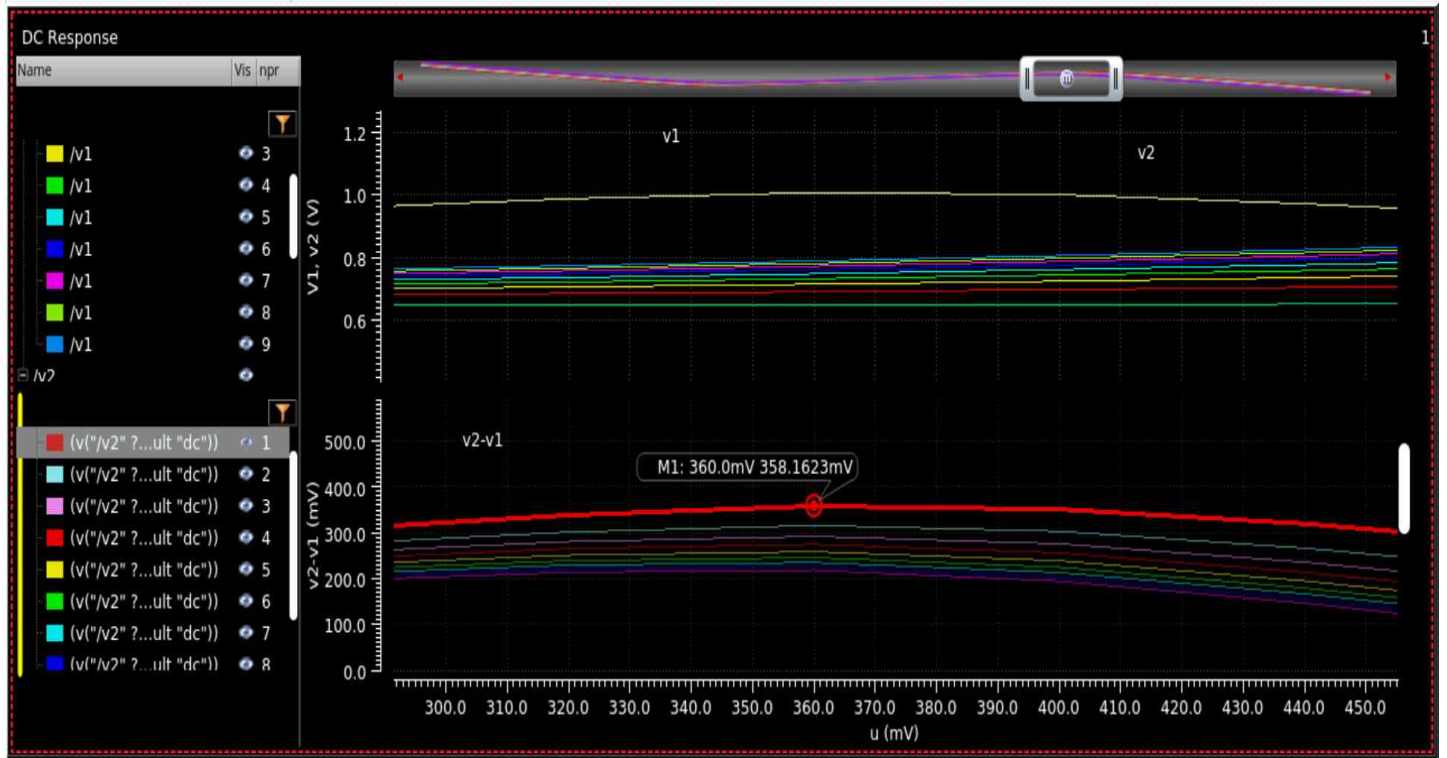
<Seevinck's Circuit model to estimate SNM in read mode>

Read mode에서 SNM을 측정하기 위해 Seevinck's Circuit model에서 Inverter의 출력 노드에 Access TR을 추가로 연결해 주었다. 디자인 조건에 의해 W_A 를 120[nm]의 step size로 120[nm]에서 1080[nm]까지 변화를 주었고, DC 독립 전압원 u 는 $-V_{DD}$ 에서 V_{DD} 까지 넓은 범위로 DC Sweep 하였다. 위의 조건대로 Simulation을 진행하여 측정한 v_1, v_2 는 다음과 같다.

여백



<Simulation of Seevinck's Circuit model at $npr = 1$ >



< $npr = 1$ 일 때, $v_2 - v_1$ 은 Maximum 값을 가짐.>

Simulation 결과, $npr = 1 \rightarrow W_A = 120[nm]$ 일 때, $v_2 - v_1 = 358.16[mv]$ 로 Maximum 값을 가졌다. 따라서

$W_A = 120[nm]$ 에서 SNM (read mode) = $253.26[mv]$ 의 Maximum 값을 가진다.

3. Consider the configuration of Fig. 3.

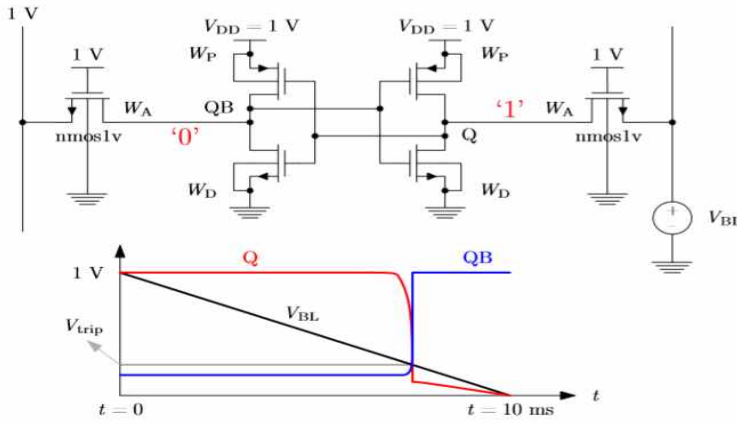
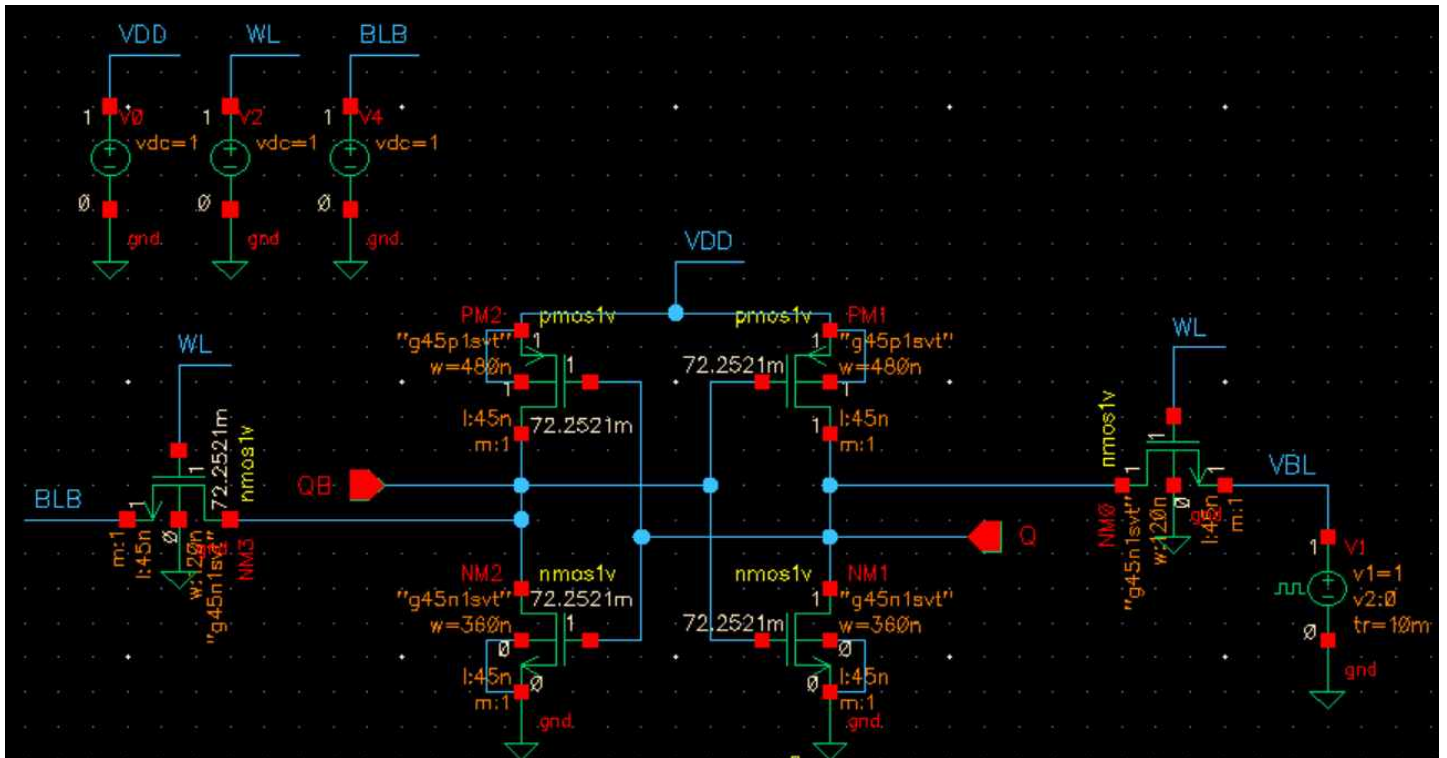


Fig. 3: An SRAM cell in write mode.

(a) Apply a voltage VBL to one of the bit lines. VBL changes slowly from 1 V to 0 V. You may use the 'vpulse' device from 'analogLib'. Set the initial condition of Q as 1 V (see Fig. 4). Run a transient simulation and find the value of VBL (Vtrip) where Q and QB flip. Use the values that are obtained in the problems 1-(b) and 2 for W_P and W_A, respectively. Assume that W_D = 360 nm.

1) Schematic



<SRAM Cell in Write mode>

Voltage 1	1 V
Voltage 2	0 V
Period	40m s
Delay time	0 s
Rise time	10m s
Fall time	10m s
Pulse width	20m s

VBL 전압원을 다음과 같은 VPULSE로 설정하여 BL 전압이 V_{DD} 에서 GND 까지 천천히 감소하게 하였다. Inv2의 출력 Q의 초기 값은 1로 설정하였으며 앞선 디자인의 결과로

$W_P = 480[nm]$, $W_A = 120[nm]$, $W_D = 360[nm]$ 로 설정하였다.

현재의 SRAM Cell의 상태는 $WL = 1$, $BLB = 1$, $BL = 0$ 으로 Cell에 1이 저장되어 있는 상태에서 0을 Write 하는 상태이다. VBL를 1에서부터 0까지 천천히 감소시키며 Cell의 state가 flip될 때의 VBL(V_{trip})을 찾아보겠다.

<VBL PULSE 설정>(period=60ms)

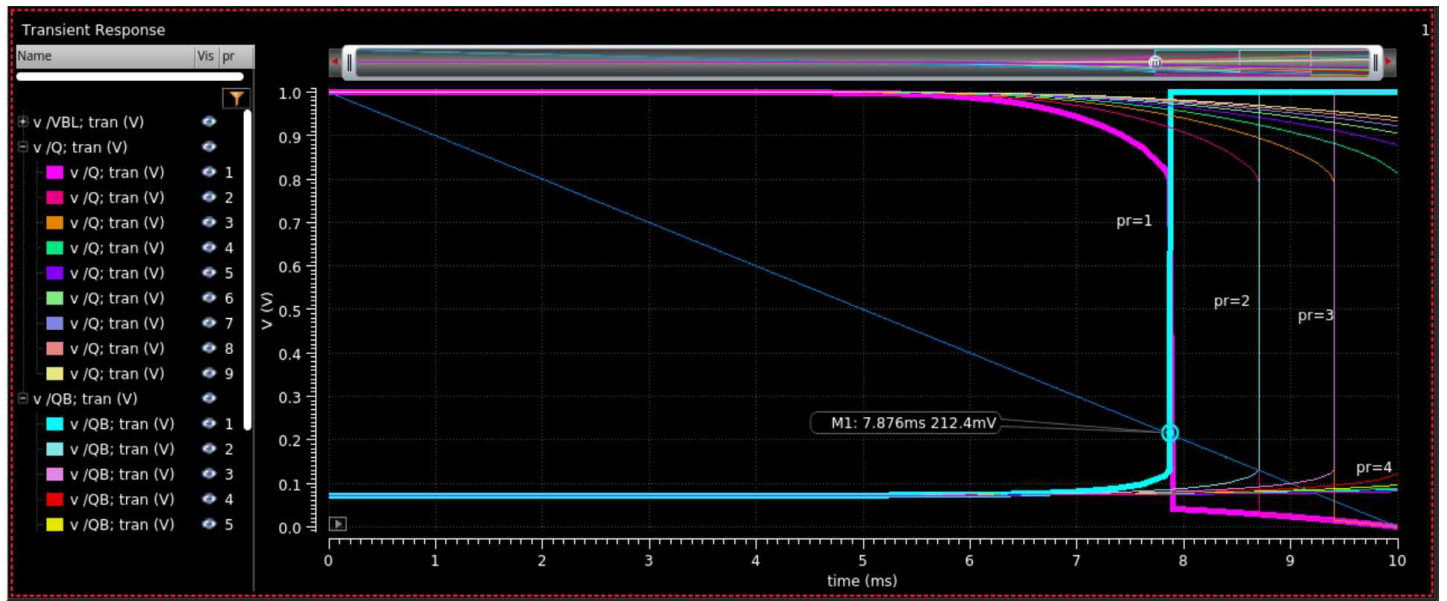
2) Write Trip Point



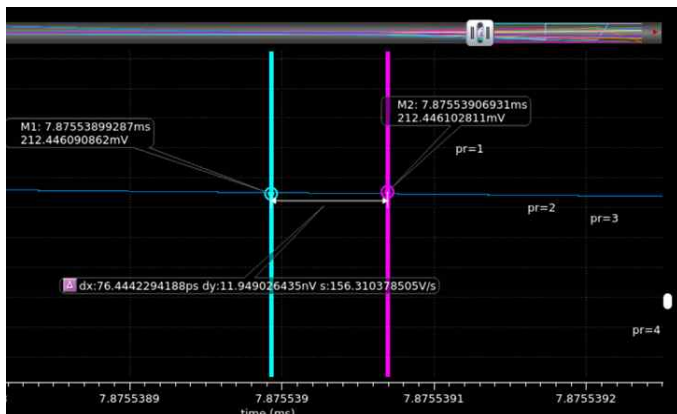
< W_{trip} 을 찾기 위한 Transient Simulation >

현재의 디자인 값 $W_P = 480[nm]$, $W_A = 120[nm]$, $W_D = 360[nm]$ 으로는 올바른 “0” Write 동작이 수행되지 않았다. 따라서 Simulation 결과 $V_{LB} = 0$ 인 경우에도 Cell의 state(Q)가 flip되지 않았으며 W_{trip} 는 존재하지 않는다.

(b) Repeat (a) changing WP from 120 nm to 1080 nm with a step size of 120 nm.



< $W_P = 120n*pr$, pr 변화에 따른 3-(a) Simulation 결과 >



$W_P = 120n*pr$ 로 설정하여 pr 의 변화에 따른 W_{trip} 을 찾아보았다. pr 이 3보다 작을 때 부터 W_{trip} 이 존재하였으며 $pr = 1$ 인 경우 $V_{LB} = 212.4[mv]$ 일 때 Cell의 state가 1에서 0으로 flip 되었다.

좌측의 그림을 보면 Cell의 state가 flip 될 때, Inv1의 출력 QB(하늘색)의 변화가 먼저 일어나고, 그 변화가 Inv2의 입력으로 들어가 Q(보라색)의 변화가 일어난 것을 볼 수 있다. 이것은 VBL이 Inv1의 입력으로 인가 되었으므로 당연한 결과이다.

4. Repeat the problems 1-3 for the process corners 'ss', 'ff', 'sf', and 'fs'.
See Fig. 5 for the model file setup.

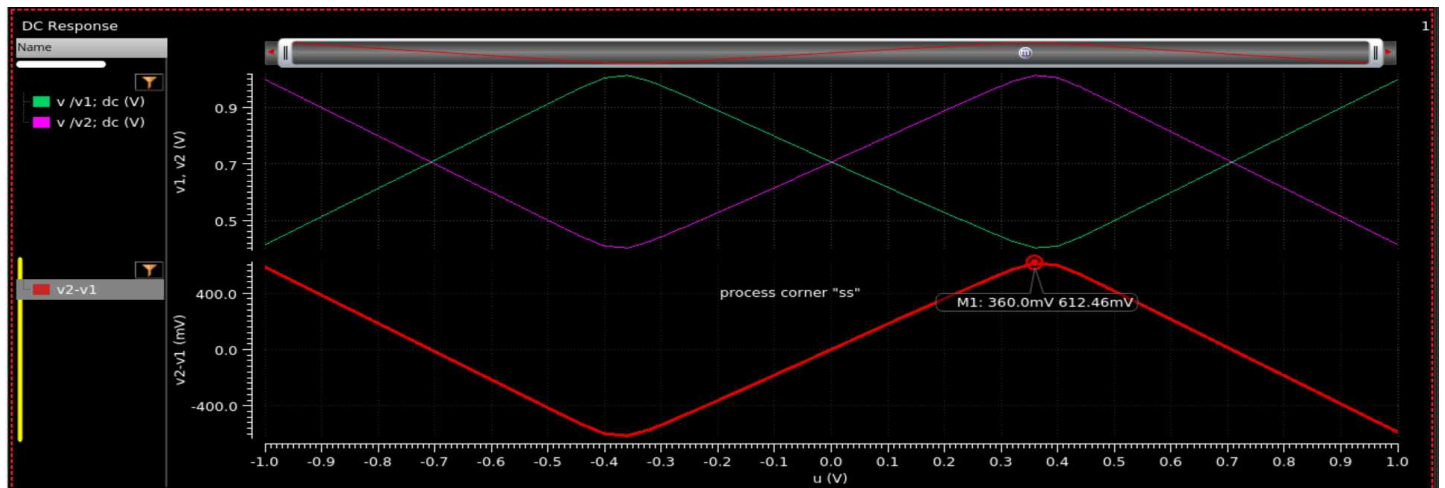
Process Corner란 Design Of Experiment (DOE) 기술의 일종으로 IC 공정 시 발생하는 여러 가지 파라미터 값들을 concept에 맞게 저장해놓은 model files 이다. 크게 FEOL corners와 BEOL corners로 나뉘며 schematic design을 할 때에는 항상 FEOL corners만 사용한다.

FEOL corners의 앞 글자는 NFET, 두 번째 글자는 PFET에 관한 것이며, 예를들어 "ss"는 NFET과 PFET의 carrier mobility가 둘 다 slow 한 것을 말하고, "ff"는 fast 한 것을 말한다. "sf", "fs" corner는 skewed(왜곡된) corner라 불리며 여러 가지 문제점을 야기한다. 왜냐하면 CMOS의 두 가지 TR 중 한 개는 빠르게 Switching 되고, 다른 한 개는 느리게 Switching 되기 때문이다. 이 불균형한 Switching은 SRAM에서 한 쪽 output node는 빠르게 switching 되는 반면, 다른 쪽 output node는 천천히 switching 되는 결과를 가져온다. 이로 인해 SRAM Cell은 잘못된 data를 기록 할 수 있기에 매우 치명적이다.

(참고) 일반적으로 Simulation에서 사용하는 model parameter는 "mc"이다. "mc"는 monte carlo의 약자로 통계적 분포로 각 공정 파라미터들을 추산해내는 방법이다. 최소 250회 이상의 Simulation을 통해 많은 공정 파라미터 값들을 random하게 추산해내며 IC의 공정 변수나 mismatching을 현실적으로 시뮬레이션 하는 방법이다.

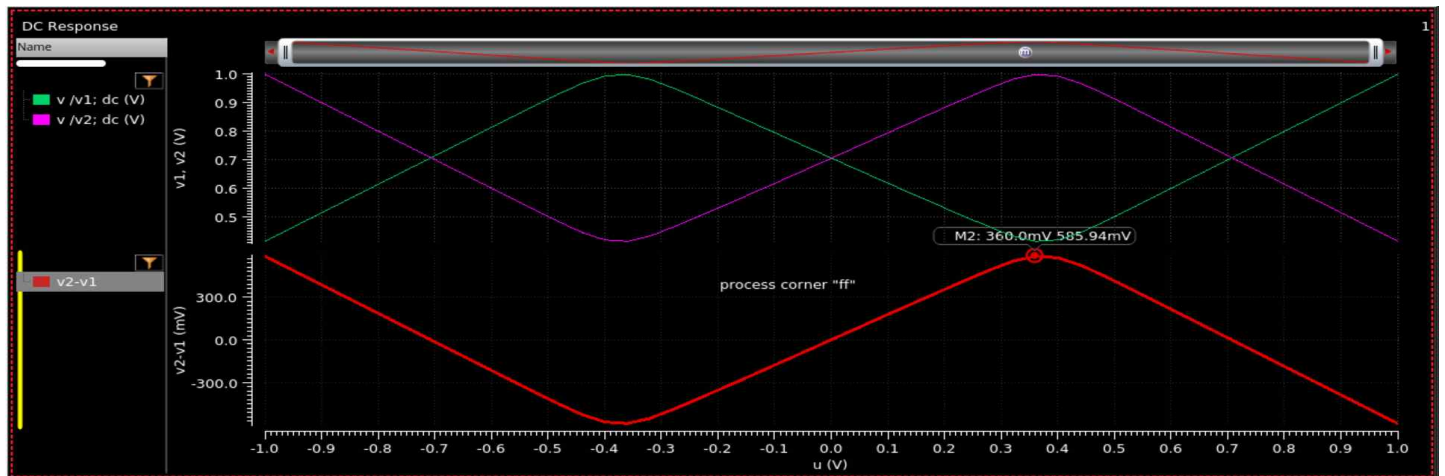
1) 1번 디자인 재측정 결과 (Hold mode)

1번 디자인의 결과인 $v_2 - v_1 = 600.39[mv]$, $SNM = 424.0095[mv]$, $W_P = 480[nm]$, $W_D = 360[nm]$ 에 대해 각 process corner 별로 SNM을 재측정한 결과는 다음과 같다.



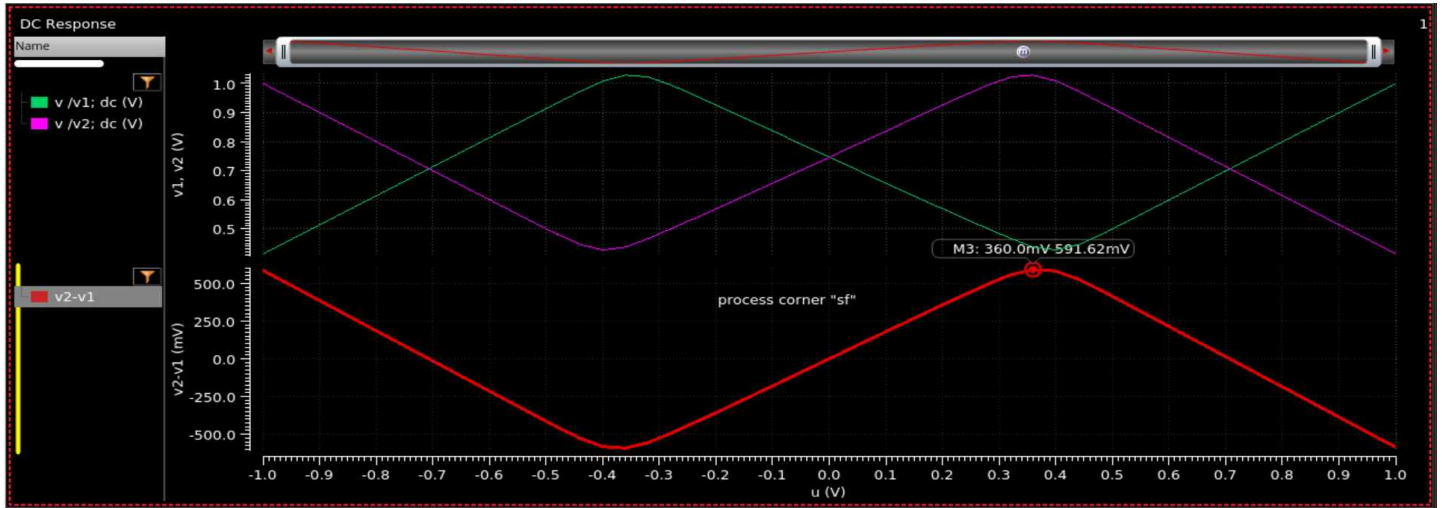
<process corner "ss", $SNM = 433.07[mv]$ >

Speed worst case인 "ss" corner에서 SNM이 가장 크게 측정되었다. 이는 Cell의 동작속도와 SNM 간에는 trade-off가 있다는 것을 의미한다.

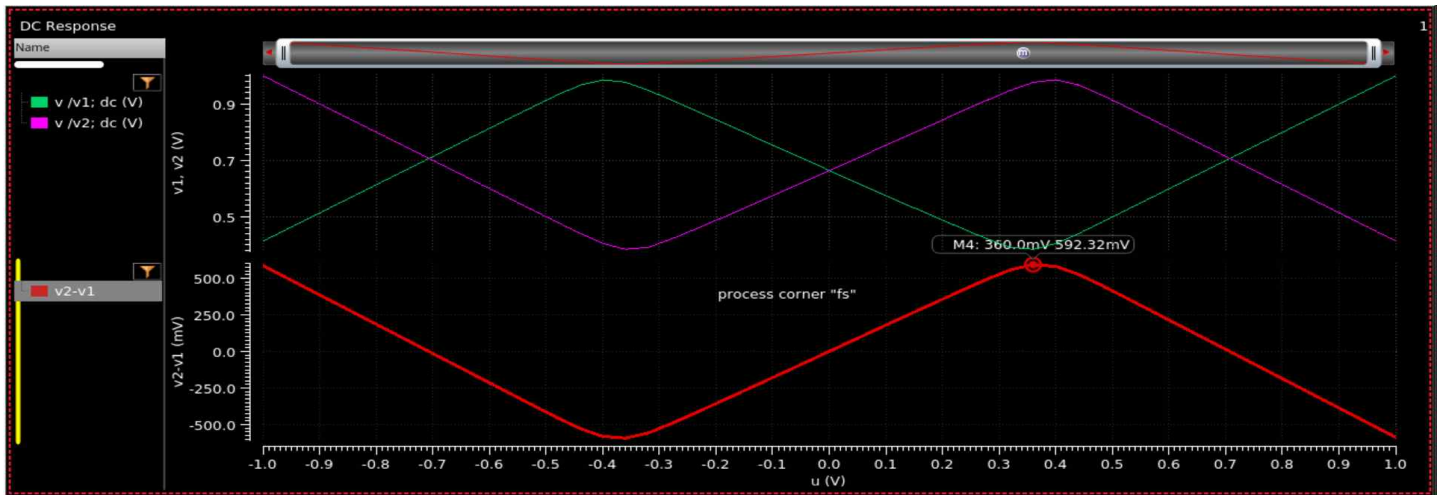


<process corner "ff", $SNM = 414.32[mv]$ >

CMOS의 Power worst case(전류가 가장 크기 때문에)인 “ff” corner에서 SNM이 가장 작게 측정되었다. “ss” corner와 마찬가지로 동작속도가 빨라지니 SNM이 작아지는 trade-off가 존재하였다.



<process corner “sf”, $SNM = 418.34[mv]$ >

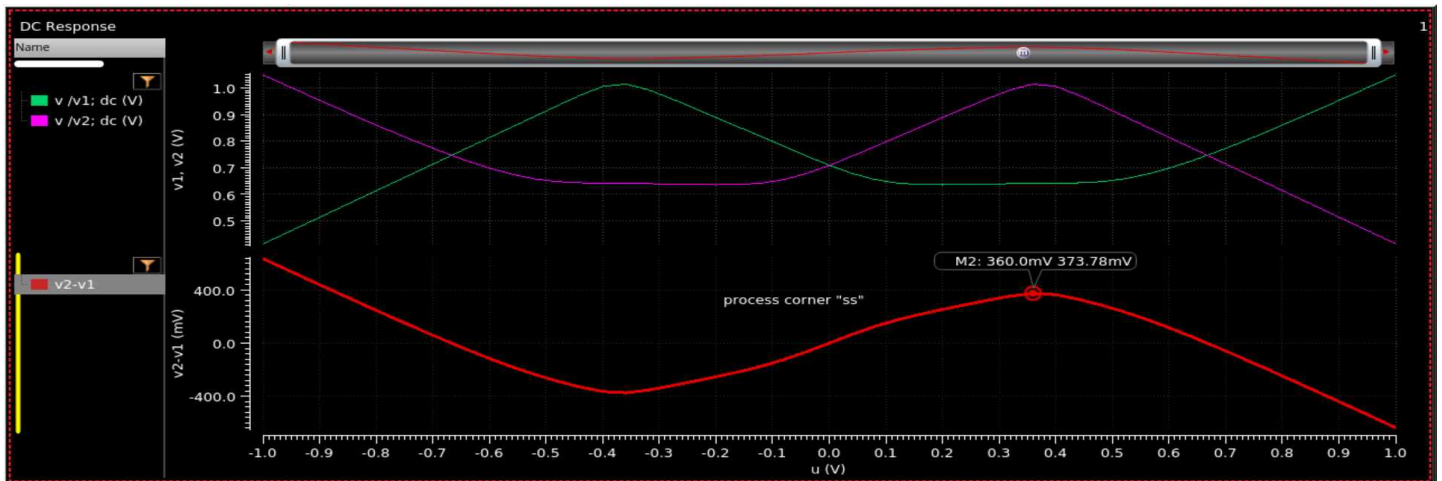


<process corner “fs”, $SNM = 418.83[mv]$ >

현재의 SRAM Cell은 hold mode에 있으므로 back-to-back inverter의 NFET 2개, PFET 2개만 사용한다. 즉 PFET과 NFET의 개수가 같다. 따라서 precess corner “sf”와 “fs” 간에 SNM에는 큰 차이가 없다.

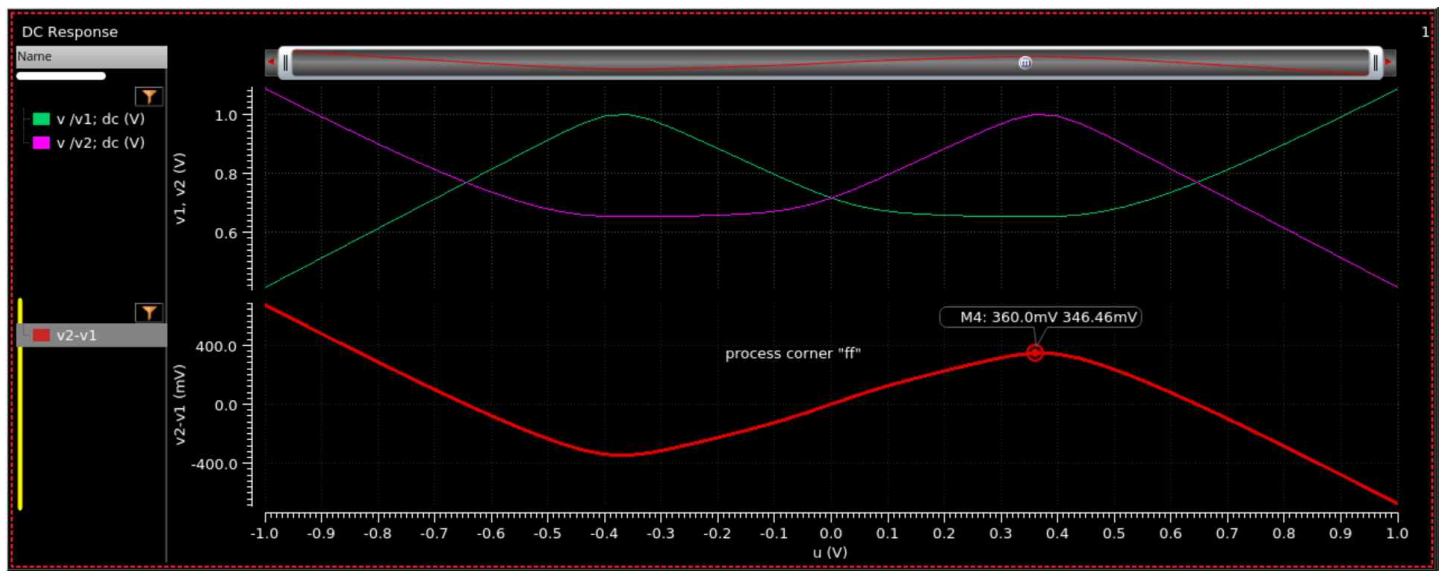
2) 2번 디자인 재측정 결과 (Read mode)

2번 디자인의 결과로 $W_P = 480[nm]$, $W_A = 120[nm]$, $W_D = 360[nm]$ 일 때, $SNM = 253.26[mv]$ 이었다.



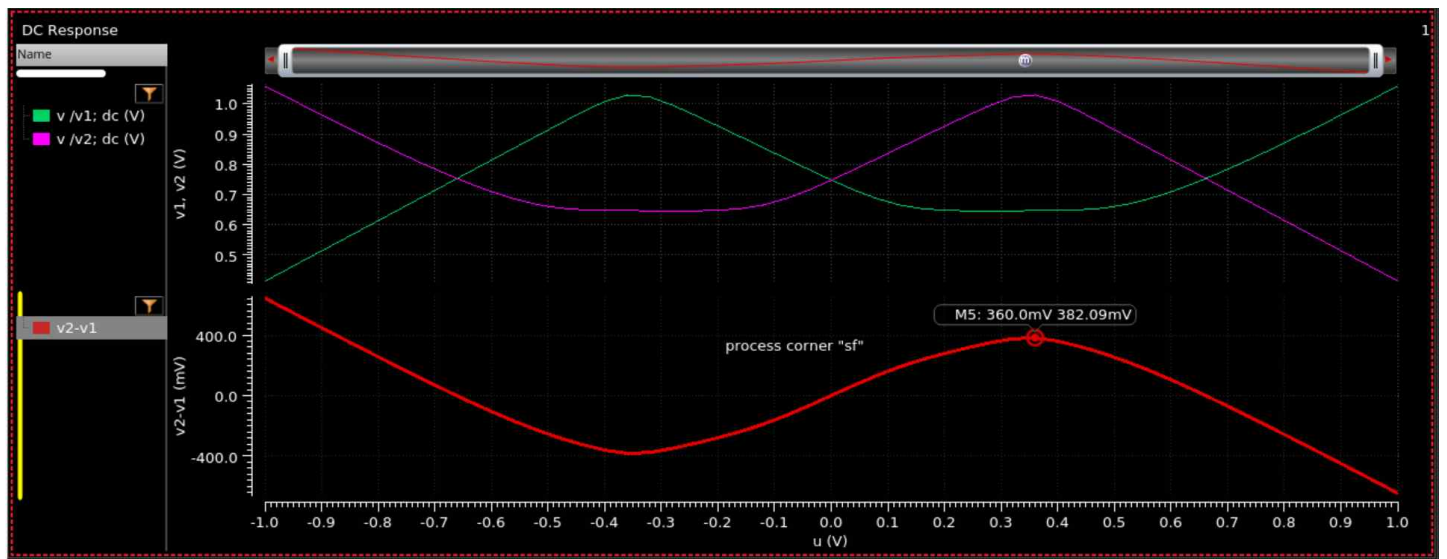
<process corner “ss”, $SNM = 264.3[mv]$ >

Speed worst case에서 SNM이 최대가 되는 trade-off를 보였다.

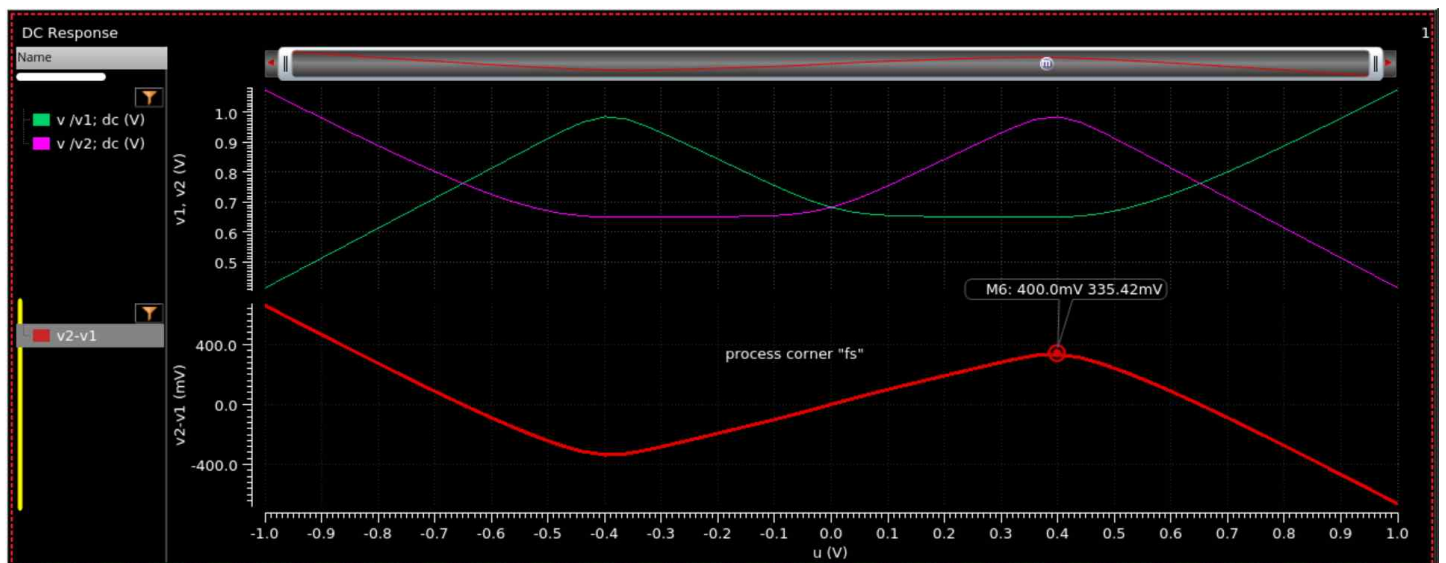


<process corner "ff", $SNM = 244.98[mv]$ >

Power worst case에서 동작 속도가 최대이기 때문에 SNM이 최소가 되었다.



<process corner "sf", $SNM = 270.17[mv]$ >

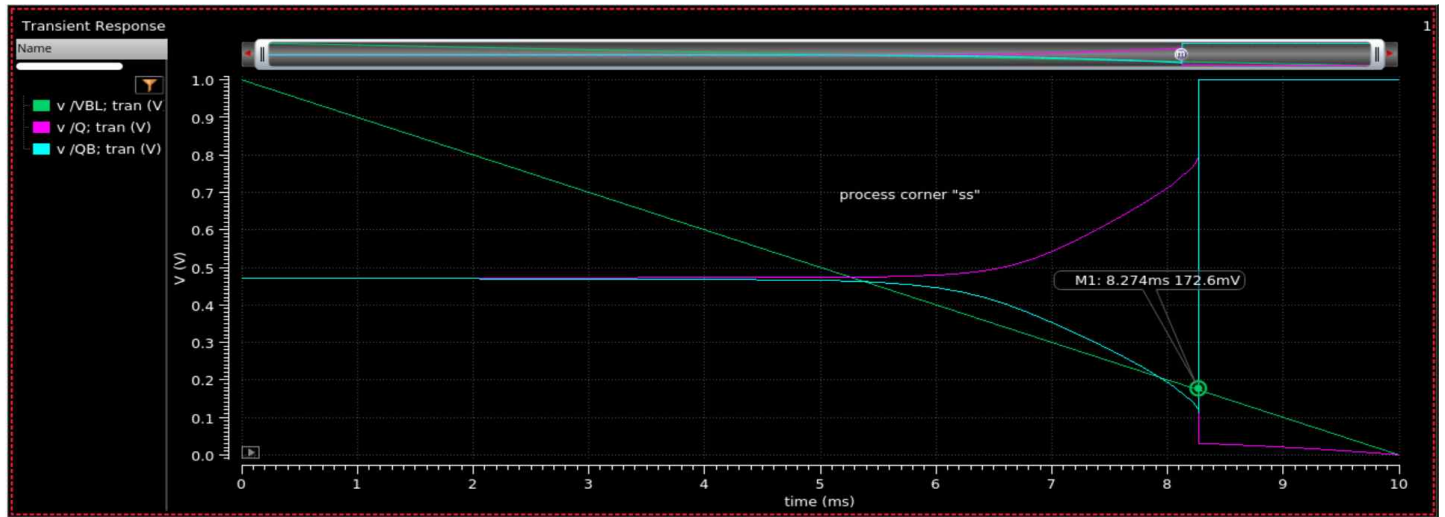


<process corner "fs", $SNM = 237.17[mv]$ >

1)의 Hold mode 대비 Read mode는 2개의 NFET을 더 사용한다. 따라서 "sf" corner에서 slow 동작하는 TR이 더 많으므로 SNM이 "sf" corner 일 때가 "fs" corner 일 때보다 더 크게 측정 되었다.

3) 3번 디자인 재측정 결과

3번 디자인의 결과로 $W_p = 120[nm]$ 일 때, $W_{trip} = 212.4[mv]$ 였다.



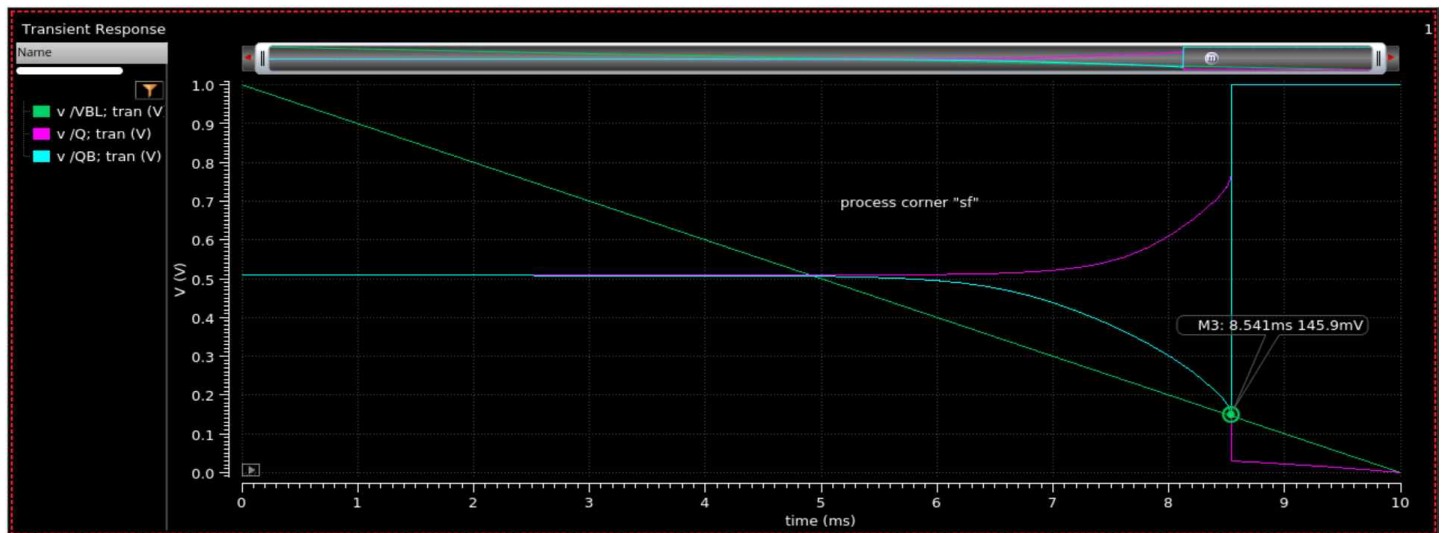
<process corner "ss", $W_{trip} = 172.6[mv]$ >

일반적으로 Read mode와 Write mode의 안정성에는 trade-off가 존재한다. 따라서 Speed worst case에서 Read mode의 안정성은 좋아졌지만, 지금의 Write mode의 경우 Write noise margin이 감소하는(V_{trip} 이 작아지는) 결과를 보였다.

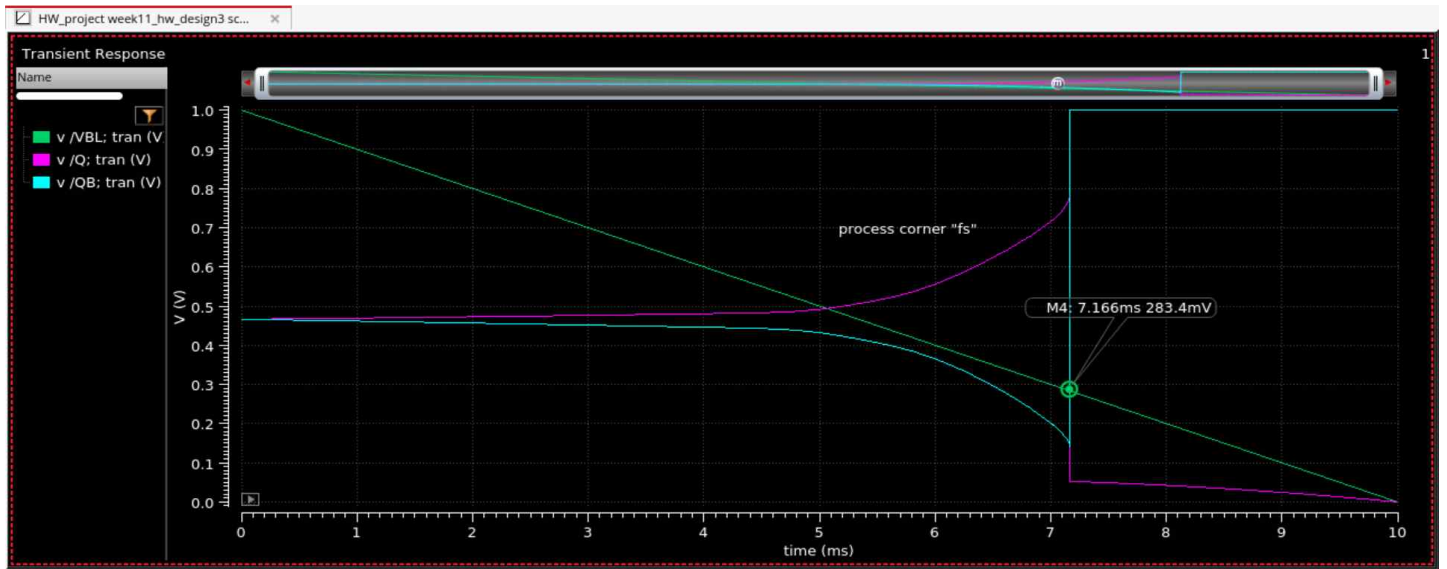


<process corner "ff", $W_{trip} = 246.3[mv]$ >

Power worst case에서는 동작 속도가 최대이기 때문에 Write noise margin도 증가한 것을 볼 수 있다.



<process corner "sf", $W_{trip} = 145.9[mv]$ >



<process corner "fs", $W_{trip} = 283.4[mv]$ >

2번 Read mode와 마찬가지로 "sf" corner에서 더 많은 TR의 동작 속도가 느려지고, "fs" corner에서 더 많은 TR의 속도가 빨라지므로 "fs" corner에서 W_{trip} 이 가장 크게 측정 되었다.

5. Comment on the read/write stability and sizing requirements of SRAM cells.

Read-Stability란 읽기 동작 중 RSNM을 최대화 하여 Cell의 상태 변화 가능성을 최소화하고, 올바르게 읽기 동작을 수행하기 위한 지표이다. 일반적으로 TR Width를 조정하여 읽기 안정성을 보장 시킬 수 있으며, 그 방법은 다음과 같다.

$$CR = \frac{\text{Size of pull down TR}}{\text{Size of Access TR}}$$

Read 동작 중 Access TR과 PDN NFET의 적절한 Channel Width 조정을 통해 CR (Cell ratio)을 극대화 시킨다. CR 이 클수록 Strong pull down network에 의해 BL 의 charge를 빠르게 GND 로 뺄 수 있으며, 동시에 Access TR과 PDN NFET의 voltage divider에 의한 Inverter 출력 노드 Q 에 charge가 쌓이는 것을 방지 해준다. 이는 RSNM이 증가하는 것과 같고, Cell의 안정성 향상(SNM 증가)을 의미한다. -> Read upset / Destructive Read 방지

이러한 조건을 read-ability라고 하며 일반적으로 $CR \geq 1.2$ 일 때, read-ability를 만족하며 $1.2 \leq CR \leq 2$ 로 설계하는 것이 일반적이다. (Read "1"을 예로 들었음.)

2번 디자인의 결과로 SNM을 최대화 시키기 위한 설계값은 $W_D = 360[nm]$, $W_A = 120[nm]$ 이였다. 이는 고정된 설계값 W_D 에 대해 W_A 를 작게 조정하여 CR 을 최대화 시키기 위한 것이다. 따라서 W_A 를 허용 가능한 가장 작은 값으로 선택하고, CR 을 최대화 시켜 큰 값의 RSNM 그리고 Read stability, Read ability를 만족 시켜주었다. 이때,

$$CR = \frac{360n}{120n} = 3 \text{으로 계산 되었다.}$$

여백

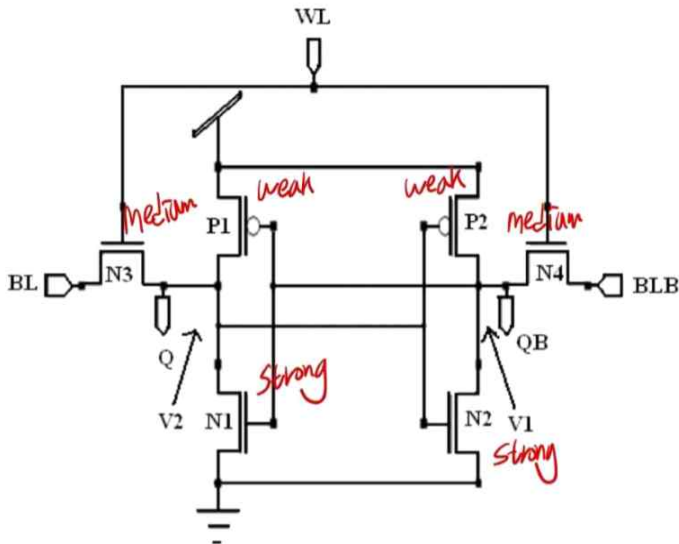
다음으로 **Write-stability**란 쓰기 동작 중 Inverter 출력 노드에서의 WSNM, BL 단에서의 write noise margin을 최대화하여 Cell의 상태 변화 없이 안정적으로 쓰기 동작을 수행하기 위한 지표이다. Read 동작과 마찬가지로 TR Width를 조정하여 쓰기 안정성을 보장 할 수 있다.

$$PR = \frac{\text{Size of pull up TR}}{\text{Size of Access TR}}$$

앞선 Read-ability 조건($1.2 \leq CR \leq 2$)에 의해 Write “1” 동작 중 BL 단의 charge가 Inv2의 출력 노드 Q에 보존 되지 않고 Strong PDN에 의해 GND로 빠지는 Write-failure가 일어 날 수 있다. 따라서 Inv2가 아닌 반대 쪽 Inv1의 출력 노드 QB의 potential을 0으로 만들어 올바른 Write 동작이 수행 되도록 하여야 한다. 이는 Access TR의 구동력을 PUN PFET의 구동력보다 강하게 만들어 실현할 수 있다. 따라서 $PR(\text{Pull up Ratio})$ 의 값을 작게 하여 쓰기 안정성을 보장하도록 한다. 이러한 조건을 Write-ability라 한다. 일반적으로 $PR \leq 1.8$ 일 때 Write-ability를 만족하며, 보통 $0.4 \leq PR \leq 1.8$ 의 값을 가지도록 설계한다.

(참고) WSNM은 Inverter 출력 노드에서 Cell의 상태 변화 없이 허용 가능한 최대 DC noise 전압을 말하고, Write noise margin은 올바른 Write 동작이 수행되고 있을 때, BL 단에서 허용 가능한 최대 noise 전압을 말한다. W_{TP} (Write Trip Point) 또는 V_{trip} 은 그 때의 BL 단 전압을 말한다.

3번 디자인의 초기 설계 조건은 $W_D = 120[nm]$, $W_A = 120[nm]$, $W_P = 480[nm]$ 였다. 따라서 $PR = 4$ 이기 때문에 Write-ability 조건을 만족하지 못하였고, Write-failure가 발생하였다. $W_P = 120n * pr$ 의 pr 값을 조정하였을 때 pr 값이 작아질수록, 즉 W_P 값이 작아질수록 PR 값도 작아졌다. 디자인의 결과로 $pr = 1$, $W_P = 120[nm]$ 일 때, BL 단에서의 Write noise margin이 $V_{BL} = 212.4[mv](V_{trip})$ 로 가장 크게 측정 되었다. 이는 PR 값이 작아질수록 안정적으로 올바른 쓰기 동작이 가능하며 큰 값의 Write Trip Point(V_{trip})를 가진다는 것을 의미한다. 하지만 PR 이 극단적으로 작은 경우에는 원치 않는 Write 동작이 일어날 수 있으므로 $0.4 \leq PR \leq 1.8$ 을 만족하도록 설계하는 것이 바람직하다.



결론적으로 SRAM의 올바른 읽기 및 쓰기 동작을 수행하기 위하여 다음과 같은 Design Rule이 지켜져야 한다.

$$W_P \leq W_A \leq W_D$$

$$0.4 \leq PR \leq 1.8$$

$$1.2 \leq CR \leq 2$$

끝.

11주차 종합설계프로젝트

이근정 : 레포트 작성 및 디자인

김동현, 김승현, 나경운, 이경민 : 디자인

참고 문헌 : E. Seevinck, F. J. List, and J. Lohstroh, "Static-noise margin analysis of MOS SRAM cells," IEEE J. Solid-State Circuits, vol. 22, no. 5, pp. 748-754, Oct. 1987.