

종합설계프로젝트

2017117986 이근정

#7주차 과제.

(a) The channel width of nmos1v (W_n) is 120 nm. Let the channel width of pmos1v is $pr \times W_n$. Plot the DC transfer curves (V_O vs. V_I) changing pr from 1 to 2 with a step size of 0.1. What is the value of pr that makes V_O closest to 0.5 V when $V_I = 0.5$ V?

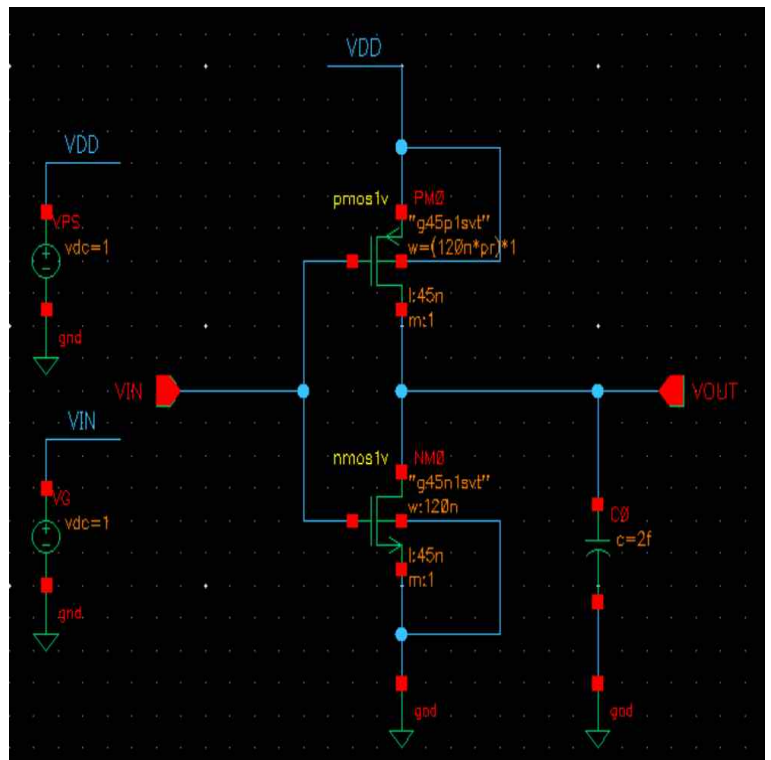
CMOS는 PMOS, NMOS의 majority carrier인 hole과 electron의 mobility 차이로 인해 On Current mismatching, $t_{PLH} \neq t_{PHL}$, $V_{LT} \neq \frac{V_{DD}}{2}$, Non symmetrical VTC 등의 문제가 발생한다. 이를 해결하기 위해서 MOS 소자의 sizing을 통해 $\beta = 1$ 로 만들어 주는 것이 좋다.

$$\beta = \frac{\beta_N}{\beta_P} \left(\beta_N = u_n C_{ox} \frac{W_n}{L_n}, \beta_P = u_p C_{ox} \frac{W_p}{L_p} \right)$$

beta ratio matching을 위해서는 MOS 소자의 channel length size를 조작하는 것보다 channel width size를 조작하는 것이 바람직하므로 channel width sizing을 통해 위의 문제들을 해결한다.

45nm 공정에서는 PMOS와 NMOS의 channel width의 큰 차이 없이, beta ratio matching이 되는 것으로 알려져 있다. (a) 설계를 통해 beta ratio matching이 일어날 때의 정확한 PMOS와 NMOS의 channel width 비율을 구하는 것이 (a) 설계의 핵심이다.

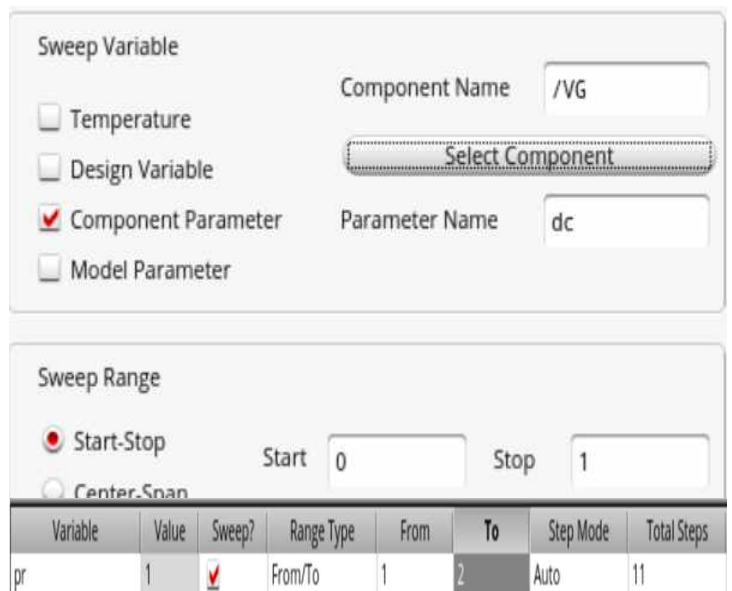
여백



CMOS circuit (그림1)

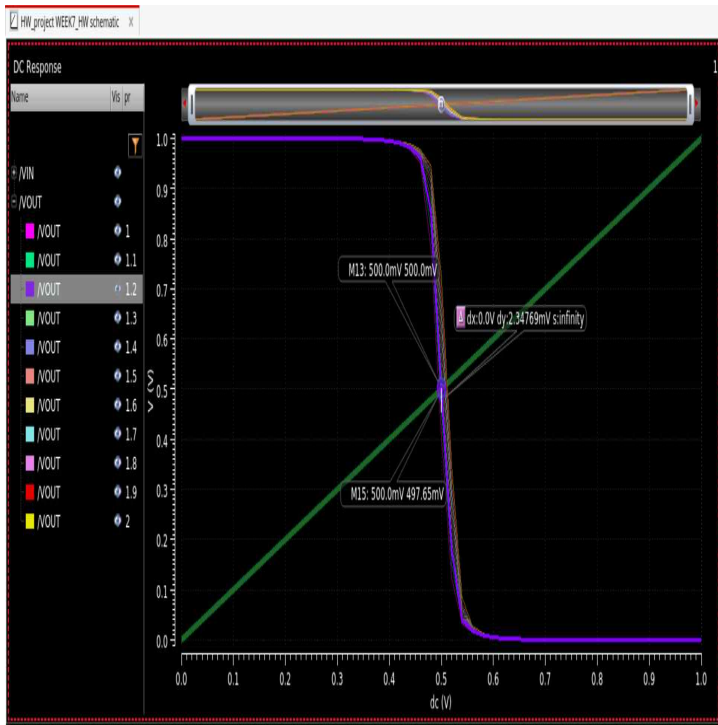
그림1은 (a)의 조건을 만족하여 설계한 회로이다. 회로 출력단의 전체 Load Capacitance $C_L = 2[fF]$ 이고, $V_{DD} = 1[V]$. PMOS, NMOS의 channel length는 모두 45nm로 고정된 설계 값을 가지고 있다. NMOS channel width 역시 120nm로 고정되어 있다. PMOS channel width는 NMOS의 pr 배로 설계하여

$$\beta = \frac{u_n}{u_p \times pr} (L_n = L_p, W_p = W_n \cdot pr) \text{이 되도록 하였다.}$$



Simulation Setting (그림2)

DC transfer curve $V_O - V_I$ graph를 얻기 위해 dc sweep 해석으로 V_I 를 0 V에서부터 1 V 까지 증가시키며, 그 때의 V_O 를 측정하였다. PMOS와 NMOS의 channel width 비율인 pr 은 (a)의 조건대로 1에서부터 2까지 0.1 step으로 증가되게 설정하였다.



simulation 결과 VTC (그림3)

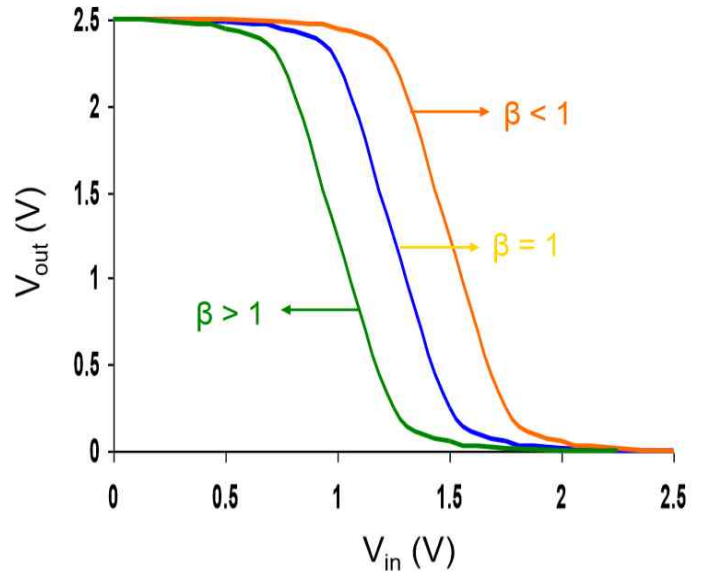
X축은 V_I (초록색 굵은 실선)를 나타내고 있고, Y축은 V_O 를 나타내고 있다. pr 값을 1에서부터 2까지 0.1 step으로 증가하면서 $V_I = 0.5[V]$ 일 때, V_O 가 $0.5[V]$ 에 제일 근접한 pr 값을 찾아본다.



VTC, $pr = 1.2$ (그림4)

pr 값의 증가는 $\beta = \frac{u_n}{u_p \times pr}$, beta ratio가 점점 작아지는 것을 의미하고, 이는 V_O graph가 V_{LT} 를 기준으로 점점 오른쪽으로 밀려나는 것과 같다.(이 때의 V_{LT} 는 $pr = 1.2$ 기준임.) 반대로 pr 값의 감소는 beta ratio의 증가로 이어지고, 이것은 V_O graph가 V_{LT} 를 기준으로

점점 왼쪽으로 밀려나는 것과 같다. simulation을 통해 $pr = 1.2$ 일 때 V_O 가 $0.5[V]$ 에 가장 근접하고, 이것은 $V_{LT} = 0.5 V_{DD} = 0.5[V]$ 가 된다는 것을 의미한다. 따라서 VTC는 symmetrical VTC가 되고, 서론에서 말했던 여러 가지 문제들이 해결된다. 따라서 PMOS의 channel width를 NMOS의 channel width의 1.2배가 되도록 sizing 해서 mobility 차이로 인한 beta ratio mismatching을 해결한다.



beta ratio 크기에 따른 VTC 변화 (그림5)

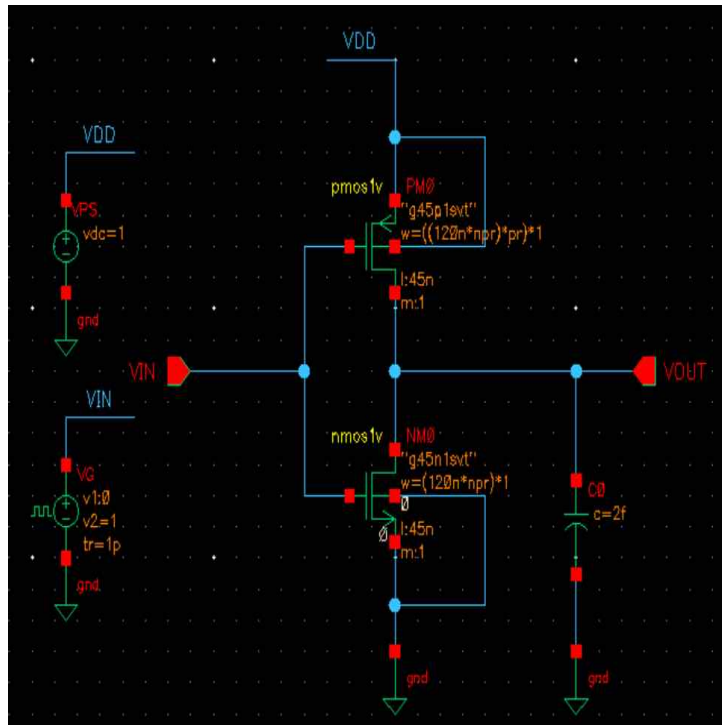
출처 : Prof. 정연배 전자회로설계 강의자료

그림5에서의 beta ratio 변화에 따른 VTC graph의 이동과 같이 dc sweep simulation 결과는 pr 값이 증가함에 따라 beta ratio는 감소하고, VTC가 전체적으로 오른쪽으로 밀리는 것을 확인할 수 있다. 반대로 pr 값의 감소로 인해 beta ratio는 증가, VTC는 왼쪽으로 밀리는 것 역시 확인해 볼 수 있다.

*그림3과 그림4의 보라색 실선은 $pr = 1.2$ 일 때의 VTC이고, $pr = 1.2$ 일 때, $V_{LT} = 0.5[V]$ 기준으로 오른쪽 방향은 pr 의 증가 방향, 왼쪽 방향은 pr 의 감소 방향이다.(즉, 11개의 plot된 V_O graph 제일 왼쪽이 $pr = 1$ 일 때, 제일 오른쪽이 $pr = 2$ 일 때임.)

(b) Find the minimum channel width of nmos1v that makes trise and tfall are both less than 10 ps. Use the pr value obtained in (a). Make sure that the rise/fall time of VI is less than 1 ps when run the 'tran' simulations.

(a) 설계의 결과로 CMOS beta ratio가 matching되는 pr 값은 1.2인 것을 알았다. 따라서 PMOS channel width는 항상 NMOS channel width의 1.2배가 되도록 sizing 하여 On Current matching, $t_{PLH} = t_{PHL}$, $V_{LT} = \frac{V_{DD}}{2}$ 등을 만족시키도록 한다.



(b) 설계조건의 CMOS Circuit (그림6)
(b) 설계의 조건으로 CMOS의 Propagation delay에 해당하는 t_{PLH} (propagation low to high, t_{rise}), t_{PHL} (propagation high to low, t_{fall})이 10ps 보다 작아야 한다.

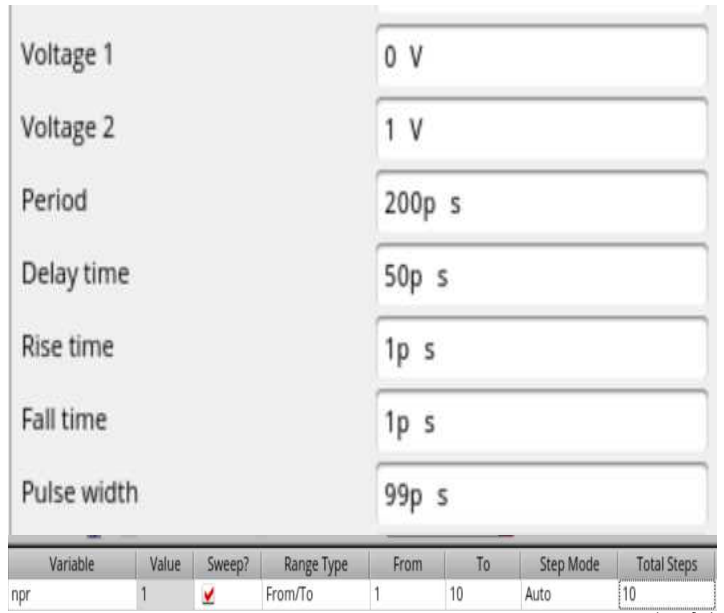
$$t_{PHL} = \frac{1.6 C_L}{\beta_N \cdot V_{DD}}, \quad t_{PLH} = \frac{1.6 C_L}{\beta_P \cdot V_{DD}}$$

이고, $C_L = 2[fF]$, $V_{DD} = 1[V]$ 로 설계의 조건이 주어졌으므로 beta 값의 조정을 통해 delay time이 10ps 보다 작게 만들어야 한다. 그런데 (a)의 결과로 PMOS의 channel width는 항상 NMOS channel width의 1.2배 이므로 NMOS channel width size의 조절을 통해 원하는 설계 사양을 충족시켜야 한다. 따라서

$W_N = 120n \cdot npr$, $W_P = W_N \cdot pr$ ($pr = 1.2$)로 설정하였다.

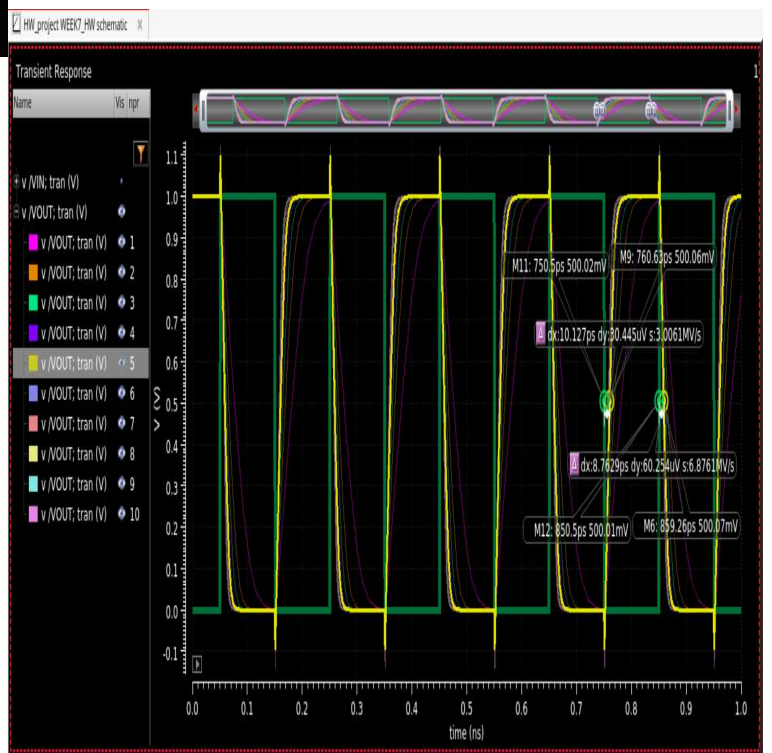
(설계 조건이 없더라도 여러 가지 이유로 인해 C_L 을 줄

이거나, V_{DD} 를 키우는 것보다 Channel width size를 조절하는 것이 훨씬 쉽다.)



Transient simulation setting (그림7)

(b) simulation 조건으로 인해 Gate 입력 전압 V_I pulse 파의 rising time, falling time은 1ps로 설정하였고, 출력단 $2[fF]$ Capacitor에 전하가 charging, discharging 되는 충분한 시간을 주기 위해서 pulse파의 period를 200ps로 넉넉하게 설정하였다. NMOS channel width 변화에 따른 propagation delay time을 측정하기 위해 초기에는 npr을 1에서 10까지 넓은 범위로 10개의 step으로 나누어 simulation 해주었다. 그리고 회로가 충분히 안정된 상태의 결과를 보기 위해 transient 해석 stop time을 1000ps로 5주기 정도의 결과를 볼 수 있게 설정하였다.



Transient simulation, npr from 1 to 10, 10 step (그림8)

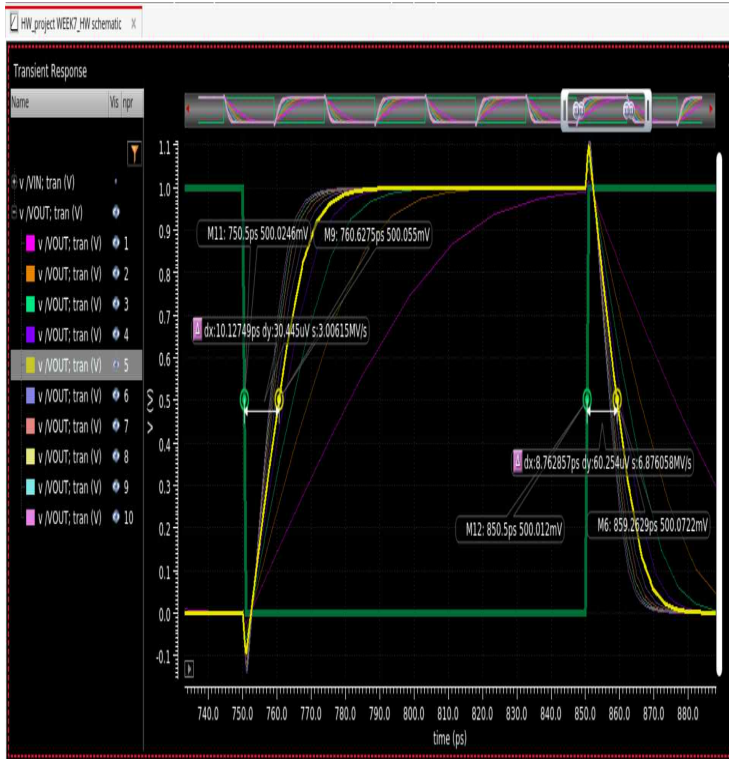
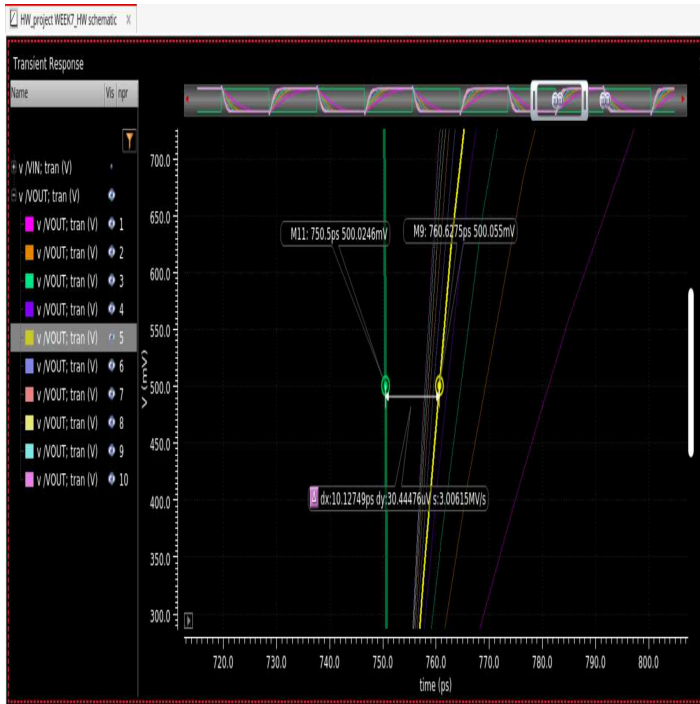


그림8 simulation 결과를 정상 상태에서 확대한 모습 (그림9)

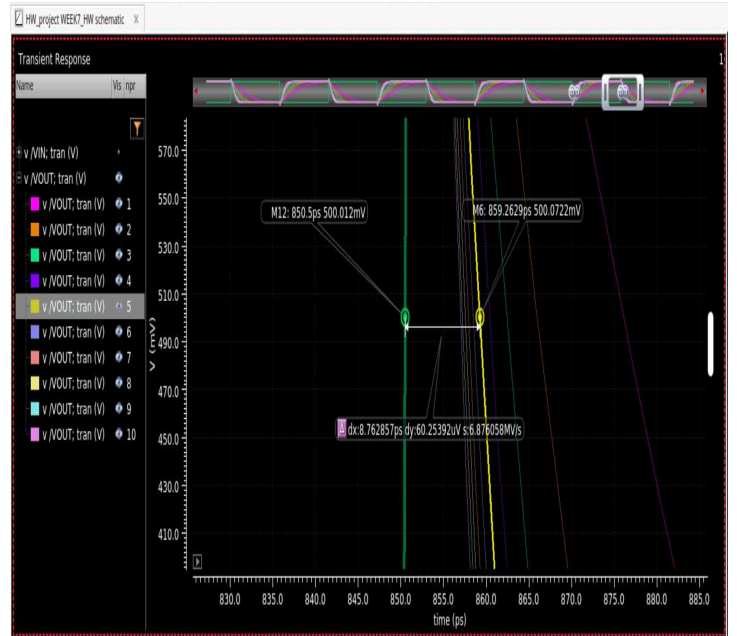
$$t_{PHL} = \frac{1.6C_L}{\beta_N \cdot V_{DD}}, \quad t_{PLH} = \frac{1.6C_L}{\beta_P \cdot V_{DD}}$$

simulation 결과 npr이 증가함에 따라 W_n , W_p 모두 증가하게 되어 fall time과 rise time 모두 감소하게 된다. 따라서 simulation graph V_O graph가 오른쪽으로 갈수록 W_n , W_p 이 작아지는 방향이고, npr이 작아지는 방향이다.



npr = 5, propagation low to high (그림10)

simulation 결과 npr = 5일 때, $t_{rise} = 10.1[ps]$ 로 측정되었다.



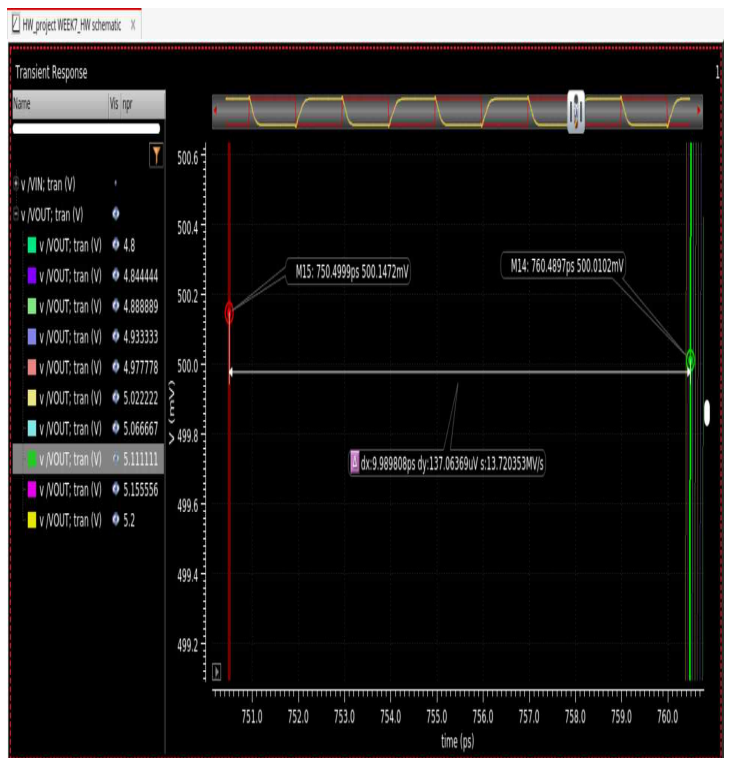
npr = 5, propagation high to low (그림11)

simulation 결과 npr = 5일 때, $t_{fall} = 8.7[ps]$ 로 측정되었고, npr = 5이므로 이때의 channel width는 $W_N = 120n \cdot npr = 600[nm]$ 이고, $W_P = W_N \cdot pr$ ($pr = 1.2$) = 720[nm] 인 것을 알 수 있다.

Variable	Value	Range	Type	From	To	Step	Mod	Total Steps
npr	1	From/To		4.8	5.2	Auto		10

정확한 설계를 위한 npr 조절 (그림12)

설계 사양은 t_{rise} , t_{fall} 모두 10ps 보다 작아야 하므로 보다 완벽하게 설계 사양을 충족시키기 위해 npr을 4.8에서 5.2 범위까지 10step으로 나누어 다시 simulation 하였다.



npr 약 5.1 일 때 propagation low to high (그림13)

[illegible]

simulation 결과 $npr \approx 5.1$ 일 때, $t_{fall} = 8.67[ps]$ 로 측정되었다.

따라서 $W_N = 120n \cdot npr = 612[nm]$ 이고,
 $W_P = W_N \cdot pr$ ($pr = 1.2$) $= 734.4[nm]$ 이다.

따라서 $W_N = 120n \cdot n_{pr} = 612[nm]$ 이고,

$$W_P = W_N \cdot pr \ (pr = 1.2) = 734.4[nm] \text{이다.}$$