

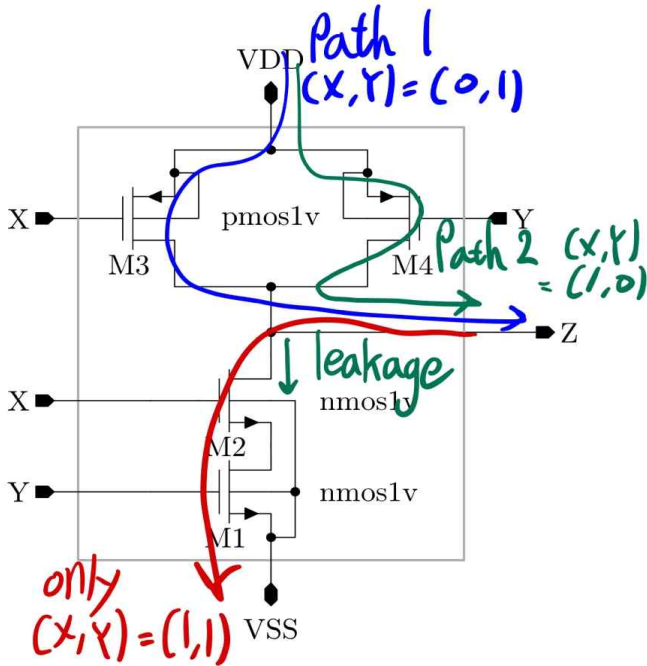
# 종합설계프로젝트

2017117986 이근정

## #8주차 과제.

1.

CMOS 회로의 Worst case란 각 Network가 정상 동작 할 때, Network의 effective channel width는 최소화 되고, effective channel length는 최대화 되는 경우를 말한다. 이 경우 소자가 동작할 때, 가장 성능이 좋지 못하므로 일반적으로 소자를 설계할 때, Worst case에서 best performance를 내도록 소자를 설계한다.



nand gate circuit worst case current path (그림1)

그림1 NAND Gate 회로의 Worst case는 다음과 같다.

PUN의 경우, 병렬 연결된 PMOS 2개 중 오직 1개만 ON 될 때, effective channel width가 최소화되므로 Worst case 이다. 따라서 그림1과 같이 2가지의 Worst case current path가 존재한다. 하지만 path 1의 경우는 유출되는 전류가 없지만 path 2의 경우는 입력  $(X, Y) = (1, 0)$ 이므로 PDN의  $M_2$  TR을 ON 시키게 되어 PUN으로부터 온 전류가  $M_2$  TR에 흐르게 된다. (즉, 전류 유출이 있다.) 따라서 입력  $(X, Y) = (1, 0)$ 인 경우가 입력  $(X, Y) = (0, 1)$ 인 경우보다 Load Capacitor를 충전하는데 더 오랜 시간이 걸리고, 이는 곧 propagation delay가 상대적으로 더 크다는 것을 의미한다.

PDN의 경우, NMOS 2개가 직렬 연결되어 있기 때문에 PDN이 정상 동작하기 위해서는 NMOS 2개가 모두 ON 되어야 한다. 따라서 오직 1개의 worst case를 가진다.

설계 사양은 worst case에서 propagation delay가 15ps 보다 작아야 한다. 따라서 worst case에서 best performance를 내도록 PUN과 PDN의 effective beta ratio를 matching 시켜 주어야 한다.

Week 7 hw의 결과로 45nm 공정에서 NMOS의 전자 이동도가 PMOS의 정공 이동도보다 약 1.2배 빠르다는 것을 알았다. 즉,  $u_n = 1.2u_p$ 이다. 그리고 PUN과 PDN의 Worst case effective beta는 다음과 같으므로

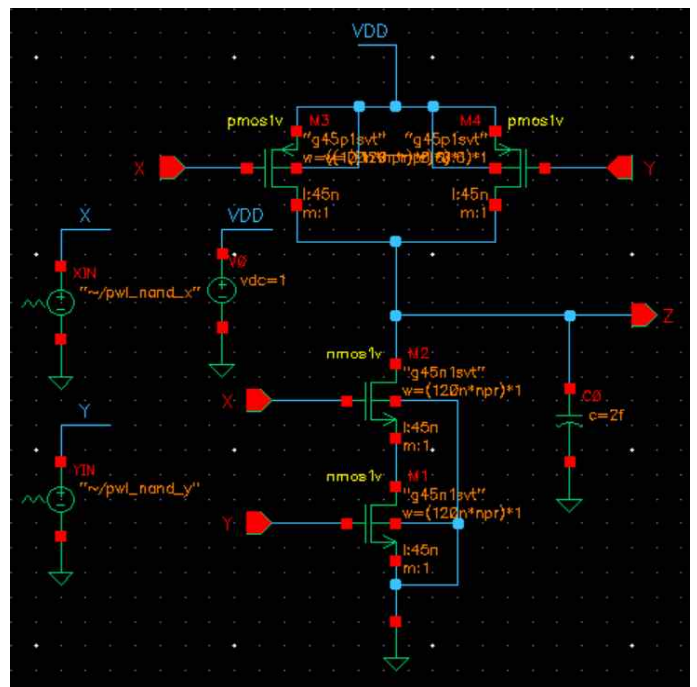
$$\beta_{N,eff} = u_n C_{ox} \frac{W_n}{2L_n}, \quad \beta_{P,eff} = u_p C_{ox} \frac{W_p}{L_p}$$

effective beta ratio matching을 위하여 Channel length는 45nm로 고정을 하고,  $\beta = \frac{\beta_{N,eff}}{\beta_{P,eff}} = 1$ 로 Channel width를 sizing 해야 한다. 따라서

$$\beta = \frac{1.2u_p C_{ox} \frac{W_n}{2L_n}}{u_p C_{ox} \frac{W_p}{L_p}} = 1 \text{ 이므로 } W_p = 0.6 W_n \text{ 을 만족}$$

하도록 Channel width를 sizing 해야 한다.

설계 조건을 만족하는 NAND Gate 회로는 다음과 같다.



NAND gate circuit (그림2)

Channel width sizing의 결과로  $W_n = 120n \cdot npr$ ,

$W_p = 120n \cdot npr \cdot 0.6$ 으로 설정하였고, 게이트 입력 X, Y에 대한 pwl 전원의 주기는 300ps로 설정하였다.

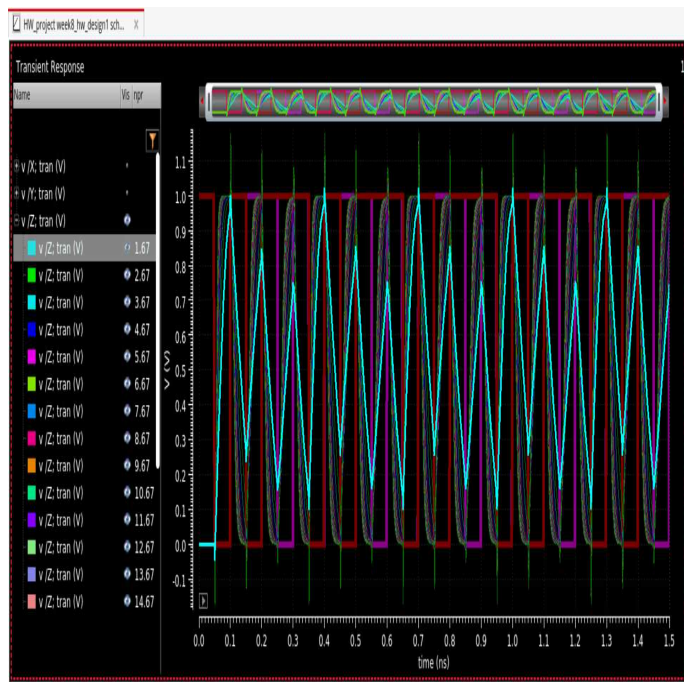
여백

Worst case에서 propagation delay가 15ps보다 작아야 하므로  $npr$ 을 증가시키면서(MOS 소자의 Channel width를 키우면서) 점점 감소되는 propagation delay를 측정해야 한다. 주의할 점으로 45nm 공정에서 Channel width는 120nm 보다 작아질 수 없으므로  $npr$ 의 default 값을 1.67로 설정하였다.( $npr$ 이 약 1.67일 때, PMOS Channel width가 120nm 이다.)

Variable	Value	Range Type	From	To	Step Mod	Total Steps
$npr$	1.67	From/To	1.67	20.67	Auto	20

$npr$  변수 범위 설정 (그림3)

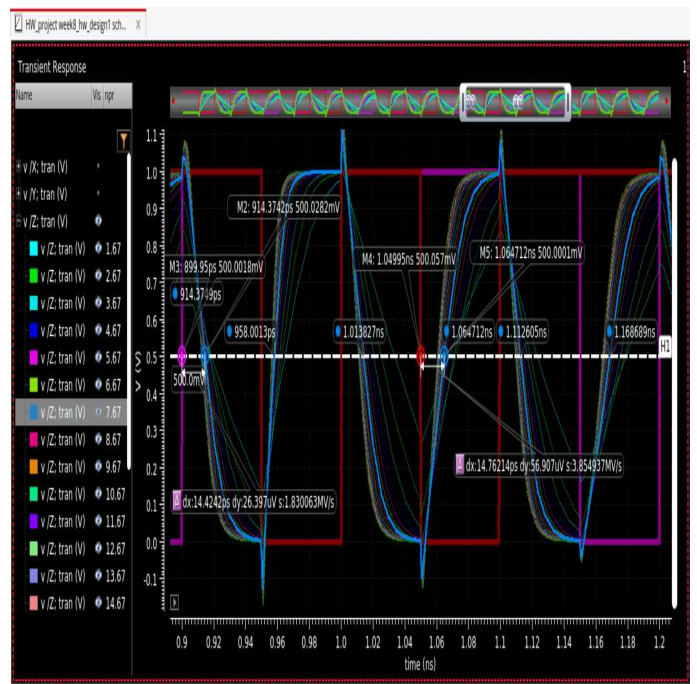
$npr$ 을 1.67에서 20.67까지 1씩 증가하며 1500ps의 stop time으로 transient 해석한 simulation 결과는 다음과 같다.



Transient Analysis simulation (그림4)

$npr = 1.67$ 일 때, 출력  $Z$ 가 GND에서 VDD까지 Full Swing을 하지 못 하였고(MOS 소자의 Channel width가 출력이 full swing을 내기엔 너무 작음.),  $npr$ 이 커질수록 입력이 스위칭 될 때, overshoot가 커지는 것을 볼 수 있었다.(channel width가 커질수록 current 양이 많아지기 때문임.)

900ps에서 1200ps까지의 1주기 동안의 simulation 결과를 확대하면 다음과 같다. (빨간색은 X 입력, 보라색은 Y 입력을 나타냄)



900ps ~ 1200ps simulation 결과 (그림5)

Simulation 결과로  $npr = 7.67$ 일 때, PDN Worst case에 의한 delay는 모두 15ps 보다 작다는 것을 확인할 수 있었다.(예를 들어, 900ps에서 입력이  $(X, Y) = (1, 0)$ 에서  $(X, Y) = (1, 1)$ 로 변할 때, 출력  $Z$ 가 PDN에 의해 high level에서  $0.5 V_{DD}$  ( $V_{LT}$ )까지 스위칭 되는데 걸리는 시간은 약 14.42ps 였다.)

하지만 PUN Worst case에 대해서는 1.05ns에서 입력이  $(X, Y) = (1, 1)$ 에서  $(X, Y) = (0, 1)$ 로 변할 때, 출력  $Z$ 의 propagation low to high는 약 14,76ps 걸렸지만, 1.15ns에서 입력이  $(X, Y) = (1, 1)$ 에서  $(X, Y) = (1, 0)$ 으로 변할 때는 약 18.6ps 걸렸다. 이것은 서두에서 말한 것처럼 입력이  $(X, Y) = (1, 0)$ 인 경우는 유출 전류가 있기 때문이다.

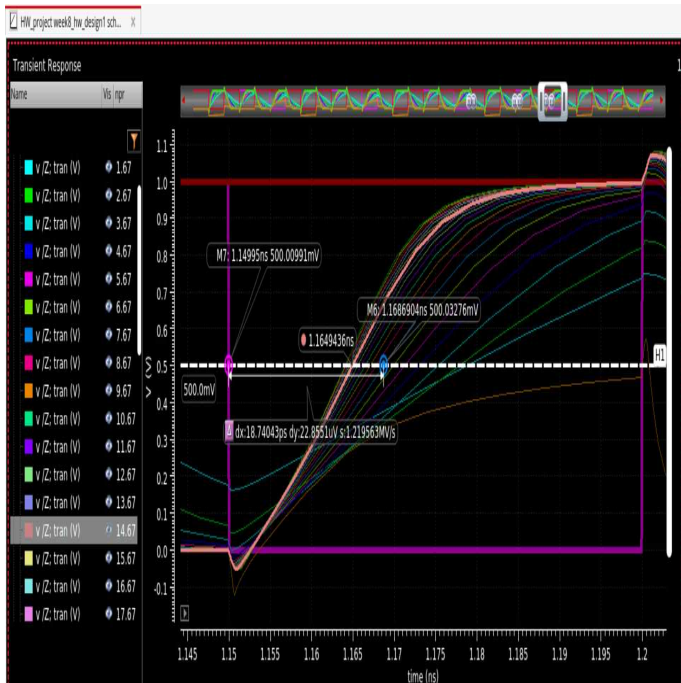
\*참고로 입력  $(X, Y) = (0, 0)$ 인 best case에서 출력  $Z$ 의 propagation low to high는 약 8ps 걸렸다.(2개의 PMOS가 모두 ON 되기 때문에 상대적으로 더 많은 current를 흘릴 수 있다.)

입력  $(X, Y) = (1, 0)$ 인 경우에서 전류가 유출되는 것을 확인하기 위해 PDN의  $M_1$  NMOS의 Drain 전압을 추가로 측정해보았다. 그 결과는 다음과 같다.



주황색 선은 M1 NMOS의 Drain 전압을 나타낸다. (그림6)

simulation 결과  $(X, Y) = (0, 1)$ 일 때는  $M_2$  TR이 OFF 되기 때문에 PUN에서의 전류가  $M_2$  TR로 세지 않고, 그 결과로  $M_1$  Drain node에서의 전압이 0으로 측정되는 것을 볼 수 있다. 반면  $(X, Y) = (1, 0)$ 일 때는 PUN에서의 전류가 Capacitor로만 흐르는 것이 아니라 PDN의  $M_2$  TR로도 흐르기 때문에  $M_1$  Drain node의 potential이 Load Capacitor가 충전됨에 따라 점점 증가하는 것을 볼 수 있다. 따라서 입력  $(X, Y) = (0, 1)$ 인 경우는 전류 유출이 없지만, 입력  $(X, Y) = (1, 0)$ 인 경우는 전류 유출이 있고, propagation delay가 더 크다는 것을 알 수 있다.



npr이 약 14.67일 때 (그림7)

따라서 입력  $(X, Y) = (1, 0)$ 인 경우가 NAND Gate 회로에서의 가장 심한 Worst case 인 것을 알 수 있고, 이때를 기준으로 설계 사양을 충족 시켜야 한다. 따라서  $npr = 14.67$ 일 때, 가장 최악 조건에서 propagation delay가 약 14.9ps로 설계 사양을 충족시키는 것을 확인 할 수 있다.

variabl	Value	eeRange	Type	From	To	ep Mod	Total Steps
npr	1.67	From/To		13.67	14.67	Auto	10

npr 범위 조정 (그림8)

보다 더 정확한 결과를 보기 위해 npr의 범위를 13.67에서 14.67까지 조정하여 다시 측정한 결과는 다음과 같다.

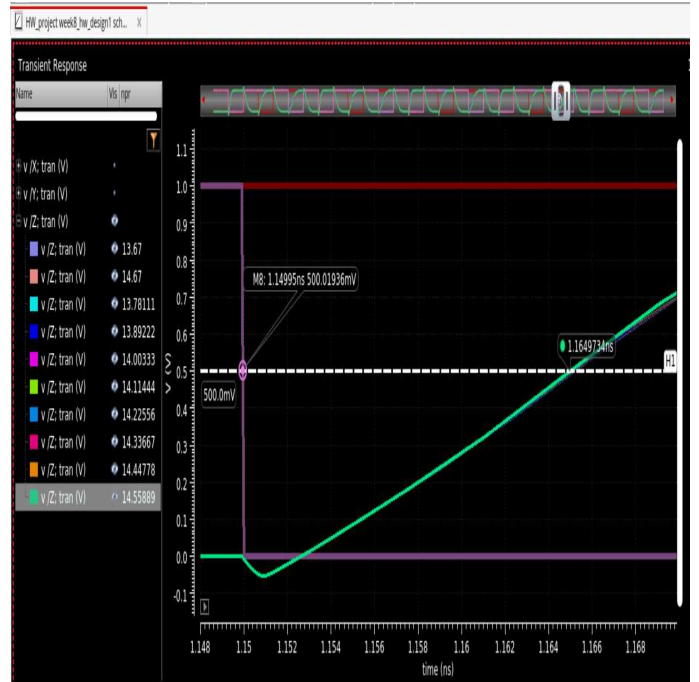


그림8 npr 범위의 simulation 결과 (그림9)

Simulation 결과  $(X, Y) = (1, 0)$ 인 가장 Worst case에서  $npr \approx 14.5$ 일 때, delay time이 약 14.97ps로 15ps에 가장 근접하는 것을 확인 할 수 있었다.

회로 설계가 사양을 만족할 때, 집적도를 높이기 위해 사용되는 TR의 면적은 최소화가 되어야 한다.(minimize

$$\sum_{i=1}^4 W_i L_i \text{ 따라서 } npr \approx 14.5 \text{일 때, 소자의 Channel}$$

width가 최소화되므로 그 때의

$W_n = 1740[nm]$ ,  $W_p = 1044[nm]$ 이고 Channel length는 45nm 이다.

따라서 1번 설계 사양을 충족시키는 설계 값은

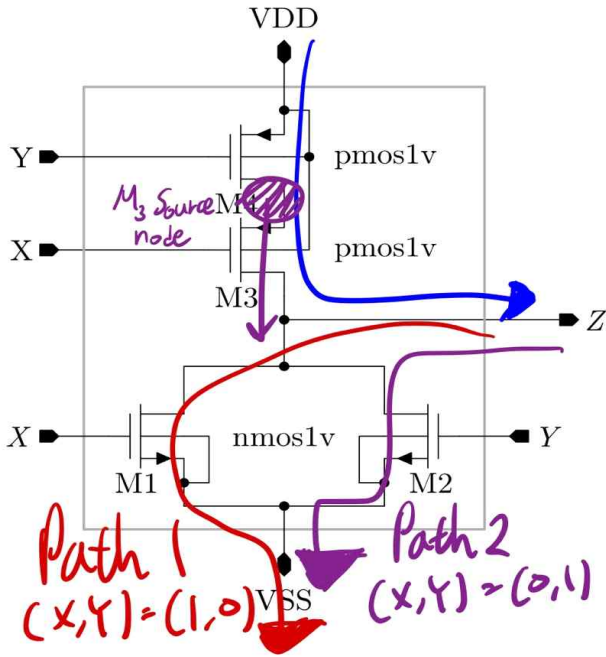
$$W_n = 1740[nm], L_n = 45[nm]$$

$$W_p = 1044[nm], L_p = 45[nm] \text{ 이다.}$$



2.

NOR Gate 회로의 Worst case는 다음과 같다.



nor gate worst case current path (그림1)

PUN의 경우, 직렬 구성이므로 PMOS 2개가 모두 ON 되어야 회로가 정상 작동 한다. 따라서 Worst case는 PMOS 2개가 모두 ON된 경우로 유일하다.

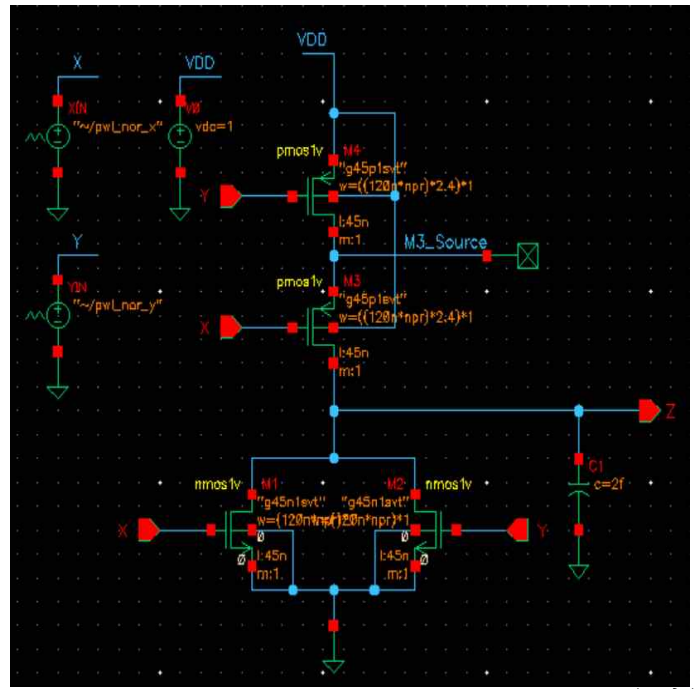
PDN의 경우, 병렬 구성이므로 2개의 NMOS 중 1개만 ON 되어야 Worst case 이다. 따라서 그림1에서와 같이 2 개의 Worst case Current path가 존재한다. 1번 설계와 마찬가지로  $(X, Y) = (0, 1)$ 인 경우는 PUN의  $M_3$  PMOS 를 ON 시키기 때문에 PDN이  $M_3$  Source node와 전기적으로 연결될 수 있다. 따라서 출력 Z의 전압이  $V_{LT}$ 까지 감소하는데 걸리는 시간은  $(X, Y) = (1, 0)$ 인 경우보다 상대적으로 더 오래 걸린다는 것을 미리 짐작할 수 있다.

Worst case에서 best performance를 내기 위하여 PUN과 PDN의 effective beta ratio를 matching한 결과는 다음과 같다.

$$\beta_{N,eff} = 1.2u_p C_{ox} \frac{W_n}{L_n}, \quad \beta_{P,eff} = u_p C_{ox} \frac{W_p}{2L_p}$$

$$\beta = \frac{\beta_{N,eff}}{\beta_{P,eff}} = 1, \quad \text{따라서 } W_p = 2.4 W_n \text{이다.}$$

여백



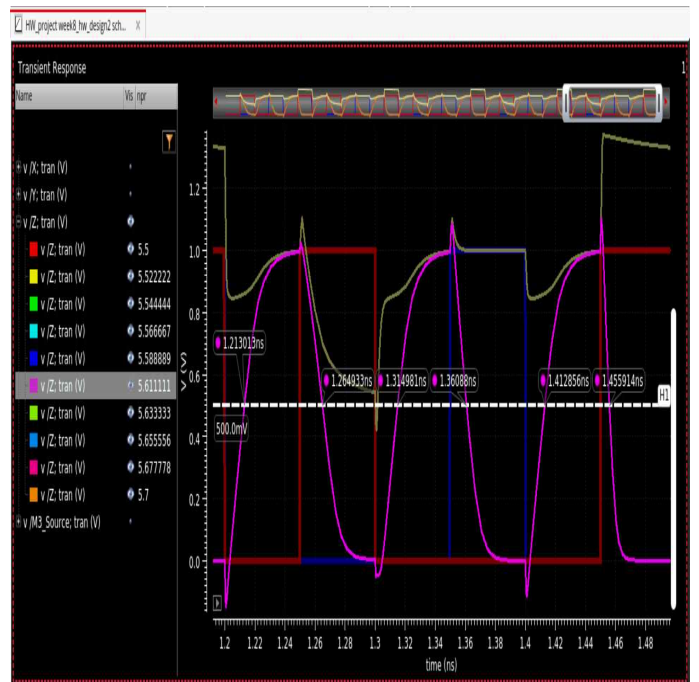
nor gate circuit (그림2)

Channel length는 모두 45nm 이고,  $W_p = 2.4 W_n$ 이므로  $W_n = 120n \cdot npr$ ,  $W_p = 120n \cdot npr \cdot 2.4$ 로 설계하였다.

variab	Value	Sweep	Range	Type	From	To	Step	Min	Max	Total	Step
npr	1	<input checked="" type="checkbox"/>	From/To		5.5	5.7	Auto			10	

npr 범위 설정 (그림3)

최초 simulation 시, npr의 범위를 1에서 10까지로 설정하였다. 그 때 측정된 delay time을 바탕으로 보다 정확한 결과를 얻기 위해 npr의 범위를 5.5에서 5.7까지 조정하여 총 10개의 step으로 simulation 하였다.



npr이 약 5.61일 때 simulation 결과 (그림4)

X 입력은 파란색 선이고, Y 입력은 빨간색 선, 출력 Z는 보라색 선이다. 노란색 선은  $M_3$  Source node의 potential을 나타낸다.

PDN의 경우,  $(X, Y) = (1, 1)$ 일 때 PDN의 NMOS 2개가 모두 ON되므로 Best case이다. 따라서 약 6ps로 빠르게 Capacitor가 방전되는 것을 확인할 수 있었다. Worst case는 입력이  $(X, Y) = (0, 1)$  또는  $(X, Y) = (1, 0)$ 인 경우이다.  $(X, Y) = (1, 0)$ 인 경우는 X 입력이 1이므로 PUN의  $M_3$  PMOS를 OFF 시킨다. 따라서 그림4의 1.35ns에서 1.4ns 까지의 M3\_Source 전압은 감쇠가 없고, 1에 유지된다. 그리고 propagation high to low는 약 10ps 소요되었다. 하지만  $(X, Y) = (0, 1)$ 인 경우는 X 입력이 0이므로  $M_3$  PMOS를 ON 시킨다. 이는  $M_3$  PMOSFET의 Source node를 PDN과 전기적으로 연결시키는 결과를 초래한다. 따라서 PDN이 동작할 때, Capacitor 전압만 방전되는 것이 아니라  $M_3$  Source node의 potential도 GND로 빠져 나가게 된다. 따라서 출력 Z의 propagation high to low는 약 14.93ps로  $(X, Y) = (1, 0)$ 인 경우보다 더 많은 delay가 발생하였다.

PUN의 경우, Worst case는 입력이 모두 0인 경우로 유일하다. 하지만 입력 값의 변화에 따라 PUN Worst case의 delay time은 조금씩 달랐다. 그중에서도 시간이 1.3ns ~ 1.35ns 입력  $(X, Y) = (0, 0)$ 일 때가 propagation low to high가 약 14.98ps로 delay가 가장 길었다. 이는 1.25ns ~ 1.3ns에서  $(X, Y) = (0, 1)$ 일 때 M3\_Source node의 potential이 약 0.5V까지 감쇠했기 때문이다. Source potential의 감소는  $M_3$ 의  $V_{SD}$  감소를 의미하고, 이는 곧  $M_3$  TR에 흐르는 전류가 상대적으로 감소한 것을 의미한다. 따라서 출력 Z의 Capacitor가 충전되는 시간이 다른 경우보다 더 길어졌다.

\*그림4의 M3\_Source 전압 그래프를 보면 potential이 감소한 것을 확인할 수 있다. 다른 경우에는  $M_3$  Source node의 potential 감소가 없기 때문에  $V_{SD}$  값이 상대적으로 크다. 따라서 더 많은 Current가 흐르기 때문에 propagation low to high는 더 짧은 시간이 소요된다.

Simulation 분석 결과  $npr \approx 5.61$ 일 때 가장 Worst case에서의 delay time(14.98ps)을 15ps 보다 작게 만들 수 있었고, 사용되는 TR의 총 면적을 최소화 시킬 수 있었다. 따라서 설계 사양을 만족하는 설계 값은 다음과 같다.

$$L_n = L_p = 45[nm]$$

$$W_n = 120n \cdot 5.61 = 673.2[nm]$$

$$W_p = W_n \cdot 2.4 = 1615.68[nm]$$