

2020년 1학기 반도체공정기술 **10주차** 출석인정을 위한 과제

제출기한: 2020년 5월 24일

학번: 2017117986

성명: 이근정

강의내용/자료 참고해서 아래 질문에 답하세요.

본 과제 출석 인정을 위한 것이며 LMS를 통해 과제 제출하면 출석 인정됩니다.

**[질문]** 반도체 관련 신문기사에서 자주 접할 수 있는 용어가 technical node입니다.

예를 들어 오늘(5/18일) 전자신문(etnews.com) 메인 뉴스 화면이 다음과 같았습니다.

**TSMC, 120억달러 투자 미국에 5나노 팹 짓는다..."...**



[https://www.etnews.com/20200515000168?mc=em\\_001\\_00001](https://www.etnews.com/20200515000168?mc=em_001_00001)

(1) 현재 삼성과 TSMC가 AP칩 제작에 사용하고 있는 공정은 몇 나노 공정인가?

삼성 Galaxy S20의 AP칩에 삼성은 7nm FinFET LPP EUV 공정을 하고 있고, TSMC 역시 7nm FinFET ArFi 공정을 하고 있다.

(2) Technical node를 통해 공정 기술을 나타내는 “00 nm 기술”이란 용어에서 “00 nm”가 나타내는 의미는 무엇인가?

(간단하지 않은 어려운 질문인 것 같습니다. 그리고 명확한 정답이 있지 않은 질문인 것 같습니다. 여러분이 실제로 중요한 면접 과정에서 이러한 질문을 받았다고 가정하고 그에 적절하게 답할 수 있는 답변을 강의자료나 인터넷 검색 내용을 참고해서 정리해 보기 바랍니다.)

과거 technical node가 45/32nm일 때는 ITRS에서 정의한 동일한 pattern을 가진 cell간의 half-pitch로 technical node를 정의했다. 이 때 node는 gate length, channel length, M1 half-pitch와 dimension이 비슷했다. 하지만 22nm 공정이 시작된 이후로 cell 구조가 flat한 구조가 아닌 3차원으로 변하면서(예를 들어 FinFET) 기존의 technical node 의미를 잃게 되었다. 최근의 technical node(22nm, 16nm, 14nm, 10nm~)는 gate length 또

는 half-pitch와 일치하지 않고, 각 기업에서 정의하기에 따라 그 의미가 다르다. 그래서 최근에는 technical node가 각 기업의 공정 브랜드 네임으로 쓰이고 있다.

참고사항으로 ASML사에서 각 기업의 node를 비교하기 위하여 standard node를 정의하기도 하였다.