

2020년 1학기

반도체공정기술 과제 #02

Prof. 박홍식

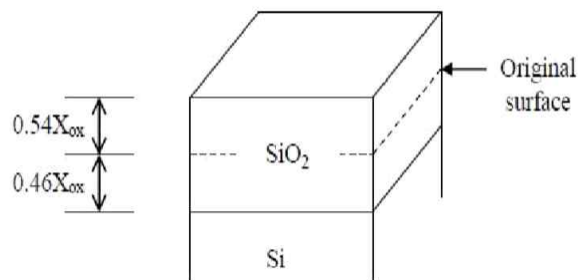


전자공학부
2017117986 이근정

[1] 메모리 반도체 칩과 연산용 CPU 반도체 칩 제작을 위한 재료로 Si(실리콘)을 주로 사용하는 이유는?

(1) 제작이 용이하다.

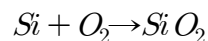
실리콘은 다른 반도체 재료에서는 제작하기 힘든 우수한 성능의 절연 박막을 쉽게 제작할 수 있다. 산화공정이라 부르는 이 공정은 800~1200도 정도 되는 고온의 furnace에 실리콘 웨이퍼를 단지 산소 또는 수증기와 반응시켜 우수한 성능의 SiO_2 박막을 만들어 낸다. 단지 산소 또는 수증기와 Si 실리콘이 결합하여 SiO_2 산화막을 만들어 내기에 다음과 같이 Si 실리콘의 Original Surface 표면이 낮아진 것을 볼 수 있다. 기존의 표면에서 위쪽으로 54%,



아래쪽으로 46%의 SiO_2 층을 만들어 낸다.

사진 출처 : 강인만 교수님 강의자료

Si 실리콘을 고온에서 산소와 반응 시키는 공정을 **Dry Oxidation**이라하며 우수한 품질의 박막질을 얻을 수 있지만 증착 속도가 느리다는 단점이 있다. Dry Oxidation은 Gate Insulator와 같은 고품질의 얇은 절연 박막이 필요한 곳에서 사용되며 화학 반응식은 다음과 같다.



다음으로 Si 실리콘을 고온에서 수증기와 반응 시키는 공정은 **Wet Oxidation**이라 한다. 박막질의 품질은 Dry Oxidation에 비해 좋지 못하지만 증착 속도가 빠르다는 장점이 있다. 품질이 상대적으로 좋지 못하기에 주로 Device 보호를 위한 Passivation층을 두껍게 만들 때 사용하는 공정 방식이다. 화학 반응식은 다음과 같다. $Si + 2H_2O \rightarrow SiO_2 + 2H_2$

이외에도 실리콘은 다른 반도체 재료에 비해 Wafer 제작이 쉽다. 쇼크랄스키법 또는 플로팅 존법으로 단결정 실리콘을 제작하며, 그 방법은 다결정 실리콘을 용해한 후 단결정 실리콘으로 성장하여 제작한다. 다결정 실리콘은 bridgman법, casting법 등으로 실리콘 원료를 용해한 후 냉각 또는 굳혀서 응고시켜 제작한다.

상대적으로 Si 실리콘을 이용한 공정이 다른 재료를 이용한 공정보다 쉬우므로 수율에서도 큰 이점을 가진다. 예를 들어 **Ge** 저마늄은 Si 실리콘이 주 반도체 재료로써 사용되기 전에 주로 사용하던 반도체 재료였다. 저마늄 전자의 mobility는 실리콘보다 약 3배 이상 크다는 장점이 있지만 energy band gap은 약 0.66ev로 실리콘의 1.12ev 보다 훨씬 작다. 고온에서 실리콘에 비해 불안정하기 때문에 고온을 사용한 공정에서 취약한 단점이 있다. 따라서 안정된 절연 산화막의 제작이 어렵고, 이는 제품의 수율에도 좋지 못하다. 게다가 실리콘은 고온에 강하므로 MOS에서 Gate의 전극으로 Metal 대신 사용되기도 한다. Metal은 melting point가 낮아 고온 공정 시 SiO_2 와 반응하기가 쉽다. 따라서 실리콘에 도너를 고농도로 도핑

한 poly-silicon을 Gate 전극으로 사용한다. 이처럼 실리콘은 고온 공정 시 risk가 상대적으로 매우 적다.

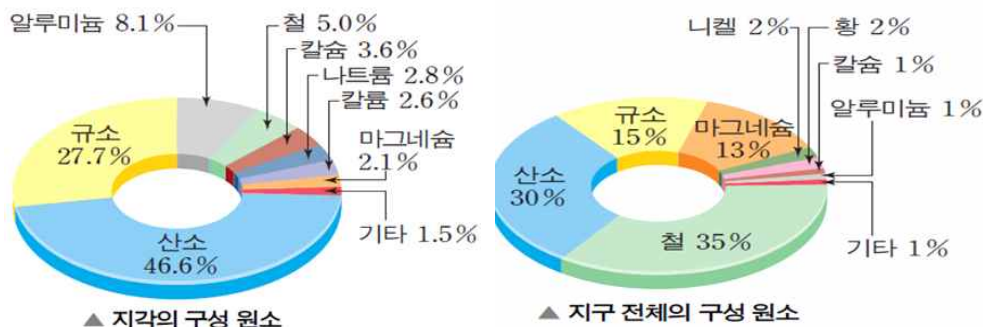
실리콘은 원소 반도체이기 때문에 GaAs와 같은 화합물 반도체에 비해 안정적이다. GaAs는 고온 공정 시 1:1의 원소비가 깨지기 쉽고, 산화 공정 시 산화하기 쉬운 물질이 먼저 산화하기 때문에 1:1의 원소 비를 유지하기가 힘들다. 게다가 재료를 단결정으로 만들 때 1:1 원소비가 아니면 결정이 깨지기 쉽다. 그래서 화합물 반도체를 이용한 공정은 제작이 어려운 것이다. 하지만 실리콘은 원소 반도체이므로 화합물 반도체에 비해 공정이 쉽다.

(2) 양질의 성능

(1)에서 말했듯이 실리콘은 다른 반도체 재료에서는 제작하기 힘든 우수한 성능의 실리콘 산화막을 제작하기가 쉽다. Dry Oxidation 공정으로 아주 얇고, 균일한 SiO_2 산화막을 웨이퍼위에 증착 할 수 있고, Wet Oxidation 공정으로 반도체의 보호가 필요한 곳에 아주 두꺼운 산화막을 만들 수 있다. SiO_2 산화막은 먼지나 부유물질과 같은 particle로부터 웨이퍼 표면이나 반도체를 보호하는 역할을 한다. 요즘 같은 수nm 공정시대에 수십 um에 달하는 particle이 반도체 표면 또는 웨이퍼 표면에 접촉한다면 제품에 치명적인 불량을 일으킬 것이다. 수율이 매우 중요한 반도체 공정에 이는 매우 바람직하지 못한 것이다. 실리콘은 우수한 SiO_2 박막을 만들어 낼 수 있기 때문에 이러한 particle의 오염으로부터 반도체를 보호할 수 있다. 이외에도 SiO_2 산화막은 이온 주입 공정 시에 선택적인 이온 주입을 할 수 있는 MASK의 역할, 우수한 절연체의 역할을 하므로 소자간의 분리, MOS에서 Gate 전극과 Body Substrate 사이에서 우수한 성능의 Dielectric 역할을 한다. 게다가 MOS에서 Si 층과 SiO_2 층의 계면이 매우 고르고 평평하게 공정이 가능하므로 우수한 성능의 MOS 소자의 제작이 가능하다. 과거 MOS의 이론이 1930년대에 나왔지만 기술의 부족으로 소자 제작 실현은 어려웠다. 그 이유 중에 하나가 Si 층과 SiO_2 층의 균일하고, 평평한 계면 형성인데 이를 잘 실현 시켜주는 것이 Si 실리콘을 이용한 MOS 제작인 것이다.

(3) 접근성

실리콘은 산소 다음으로 지구상에서 가장 흔한 원소이다. 모래나 암석과 같은 물질에서 Si 원소를 쉽게 찾아볼 수 있다. 따라서 재료수급이 매우 용이하며 가격 또한 매우 저렴하다. 이는 기업의 입장에서 매우 좋은 가격 경쟁력을 갖출 수 있는 요소이다. 그리고 인체에 무해하며 환경에도 무공해한 이점이 있다.



출처 : ZUM 백과사전

[2] (1) 다음에 나열한 6개의 (i) 소자 성능들의 정의를 간단히 표현하고, 이 지표를 나타내는 (ii) 간단한 식을 전자소자 교과서나 다른 자료를 통해 찾아서 적어보세요. (파라미터 의미 표기할 것, $[F]$, $[F/cm^2]$ 구분하여 표기할 것)

■ MOSFET drain current in a saturation region : I_D

$$I_D = \frac{1}{2} k'_n V_{OV}^2 \quad (k'_n = u_n C_{ox} \frac{W_n}{L_n}, V_{OV} = V_{GS} - V_{tn}) \quad [A]$$

NMOSFET saturation region에서 drain current 공식이다. MOSFET의 Drain에서 Source로 흐르는 전류의 크기를 나타내며, Gate에는 gate-insulator로 인해 전류가 흐르지 않는다.

■ MOSFET trans conductance : g_m

$$g_m = \sqrt{2u_n C_{ox} \frac{W_n}{L_n} I_D} \quad [\frac{A}{V}]$$

MOSFET 동작점에서의 $i_D - v_{GS}$ 의 비를 의미한다.

■ MOSFET subthreshold slope (swing) : SS

$$SS = 2.3 \frac{kT}{q} [1 + \frac{C_d}{C_{ox}}] \quad [V/dec]$$

MOSFET weak inversion 상태, 즉 Subthreshold region에서 $I_D - V_G$ 비의 역수(그래프 기울기의 역수)를 의미한다. current의 양이 10배 증가하는데 필요한 게이트 전압의 크기를 나타낸다.

■ CMOS delay time : τ_d

$$t_p = (t_{pHL} + t_{pLH})/2 \quad (t_{pLH} = \frac{1.6C_L}{\beta_P \cdot V_{DD}}, t_{pHL} = \frac{1.6C_L}{\beta_N \cdot V_{DD}}, \beta = \mu C_{ox} \frac{W}{L})$$

CMOS의 Propagation delay로 입력이 변했을 때 소자의 논리 값이 스위칭 되는데 걸리는 지연시간을 의미한다.

■ CMOS power consumption (dynamic) : $P_{dynamic}$

$$P_{dynamic} = C_L \cdot V_{DD}^2 \cdot f$$

CMOS가 동작할 때 Load Capacitor에 charging, discharging 하면서 생기는 Active Power이다.

■ CMOS power consumption (static) : P_{static}

$$P_{static} = V_{DD} \cdot I_{(leakage)}, I_{(leakage)} = u_n C_{ox} \frac{W_n}{L_n} \frac{\gamma \cdot V_T^2}{2\sqrt{2\phi_F + V_{SB}}} e^{\frac{-V_{TH}}{nV_T}}$$

CMOS가 OFF 상태여도 실제로는 Subthreshold region이므로 약간의 누설전류가 흐른다. 그 누설전류에 기인한 static power 또는 standby power이다.

u_n : NMOS에서 전자의 이동도, S_i 에서 전자의 이동도는 약 $1500 [cm^2/V \cdot S]$

C_{ox} : MOS Gate-산화막 커패시턴스, 단위 gate 면적당 평행판 커패시턴스 [F/cm^2]
 C_d : MOSFET의 Subthreshold region에서 산화물-반도체 계면의 공핍층 커패시턴스 [F]
 W_n : NMOS Channel Width
 L_n : NMOS Channel Length
 V_{tn} : NMOS threshold voltage [V]
 V_{DD} : CMOS에 공급되는 전원의 전압
 C_L : CMOS의 전체 Load Capacitance [F]
 f : frequency
 ϕ_F : Fermi Level potential

(2) 반도체 공정기술이 gate-insulator capacitance(C_{ox})를 증가시키는 방향으로 발전해온 이유가 무엇인지 설명해 보시오.

MOSFET의 C_{ox} 가 증가한다면 gate-insulator에 저장할 수 있는 전자의 수도 증가한다. 따라서 C_{ox} 의 증가는 MOSFET Drain Current의 증가로 이어진다. C_{ox} 의 증가로 인해 gate-insulator에 포획 할 수 있는 전자의 수가 많아지므로 이는 메모리 반도체의 일종인 Flash Memory에 큰 장점을 준다. 과거 SLC Flash Memory는 1bit의 논리 레벨을 표현할 수 있었지만, 현재 TLC Flash Memory는 gate-insulator의 커패시턴스 증가로 더 많은 전자를 포획할 수 있기 때문에 더 많은 경우의 수의 논리 레벨을 표현할 수 있는 것이다. 이는 플래시메모리의 비약적인 용량 증가를 이끌었다.

C_{ox} 의 증가는 MOSFET 트랜스 컨덕턴스 g_m 의 증가로 이어진다. 이는 동일한 게이트-소스 전압 증가 대비 더 큰 전류의 증가를 의미한다.

Subthreshold region Swing의 관점에서 C_{ox} 의 증가는 전류가 10배 커지는데 더 작은 게이트 전압이 필요하다는 것을 의미한다. Subthreshold region은 일반적으로 사용하지 않는 region으로 C_{ox} 가 클수록 Swing이 커져 동일 게이트 전압 대비 더 큰 전류를 흐를 수 있게 한다.

MOSFET propagation delay의 관점에서 C_{ox} 의 증가는 전체 지연시간의 감소를 의미한다. 이는 MOSFET이 스위칭할 때 논리 레벨이 반전되는데 걸리는 시간이 작아지는 것으로 MOSFET 동작속도의 증가를 의미한다. 하지만 전체 C_{ox} 의 증가는 전체 Load Capacitance의 증가를 유발한다. 이는 바람직하지 못하다.

MOSFET 전력 소모 관점에서

전체 로드 커패시터 $CL = CL_{driving} + CL_{driven} + CW$

$CL_{driving} \approx CDBP + CDBN \approx CDJP(V=0) + CDJN(V=0)$

$CL_{driven} \approx CGP + CGN \approx COX \cdot WP \cdot LP + COX \cdot WN \cdot LN$

CW = typically negligible except long signal wire

이므로 C_{ox} 의 증가는 dynamic power와 static power의 증가로 이어진다.