

2020년 1학기 반도체공정기술 **7주차** 출석인정을 위한 과제

제출기한: 2020년 5월 3일

학번: 2017117986

성명: 이근정

강의내용/자료 참고해서 아래 질문에 답하세요.

본 과제 출석 인정을 위한 것이며 LMS를 통해 과제 제출하면 출석 인정됩니다.

[질문] 다음 두 질문을 기술면접에서 받았다고 가정하고 면접 질문의 적당한 분량으로 잘 요약해 보시기 바랍니다. (C-V measurement는 강의내용 외에도 추가적으로 교과서나 자료를 검색해봐도 좋을 것 같습니다.)

(1) 반도체 BEOL 공정의 interconnection간 절연을 위해 low-k insulator 증착 공정 개발이 중요한 이유를 간단히 설명해 보세요.

BEOL 공정에서의 metal line과 절연, passivation을 위한 절연체의 증착은 원하지 않는 series R 성분과 parasitic C 성분을 야기한다. 이 두가지 성분은 반도체 소자 성능을 저하시키는 원인이 된다. 예를 들어 반도체 소자 성능의 주요 지표로써 propagation delay time과 power consumption이 있는데 $\tau_d = C_{ox}WL + C_{parasitic} \cdot VDD$ $2I_{on}$, $P_{dynamic} = kC \cdot VDD^2f$ 이다. (C : output node total load capacitor, Cp 성분 존재) 두 가지 지표 모두 기생 커패시턴스에 비례하는 것을 알 수 있고, 기생 커패시턴스의 증가는 소자의 전달 지연시간 및 전력 소모의 증가를 유발한다. 따라서 소자의 빠른 동작 속도와 dynamic power 소모 감소를 위해 BEOL 공정 중 low-k insulator를 사용하는 것이 중요하다.

(2) 반도체 재료, 소자 분석에서 C-V measurement의 용도에 대해 간단히 설명해 보세요.

MOS 소자의 경우 C-V measurement를 통해 소자의 threshold voltage, flat band voltage, oxide layer physical thickness 및 electrical thickness, substrate doping concentration 및 substrate 깊이 방향으로의 doping profile 등을 알 수 있다. 원리를 간단히 설명하면 dc gate voltage에 작은 소신호 ac signal을 인가하여 소자의 displacement current를 측정한다. ($i_{cap}/v_{ac} = wC$) 이를 통해 소자의 capacitance를 알 수 있고, oxide layer thickness를 알 수 있다. ($C_{ox} = \text{유전율} \cdot A / t_{ox}$) 또 gate negative 전압을 가변하면서 $1/C^2 - V_r$ graph를 실험적으로 fitting 하여 graph의 slope인 substrate doping concentration을 알 수 있다.

참고) 실제 기업체 면접에서 받게 될 수도 있는 질문 유형이라고 생각됩니다. 예를 들면, 저희 연구실 학부연수생 중 한 학생이 2년전에 SK Hynix에 취업하였는데, 최종 면접 때 "C-V measurement가 무엇인지 설명해 보세요"라는 질문을 받았다고 합니다. 석사학위자의 취업 기술면접에서도 지원하는 직무와 관련된 기초적인 전공 질문을 받게 된다고 일반적으로 알려져 있습니다.