

# 2020년 1학기

## 반도체공정기술 과제물 #01

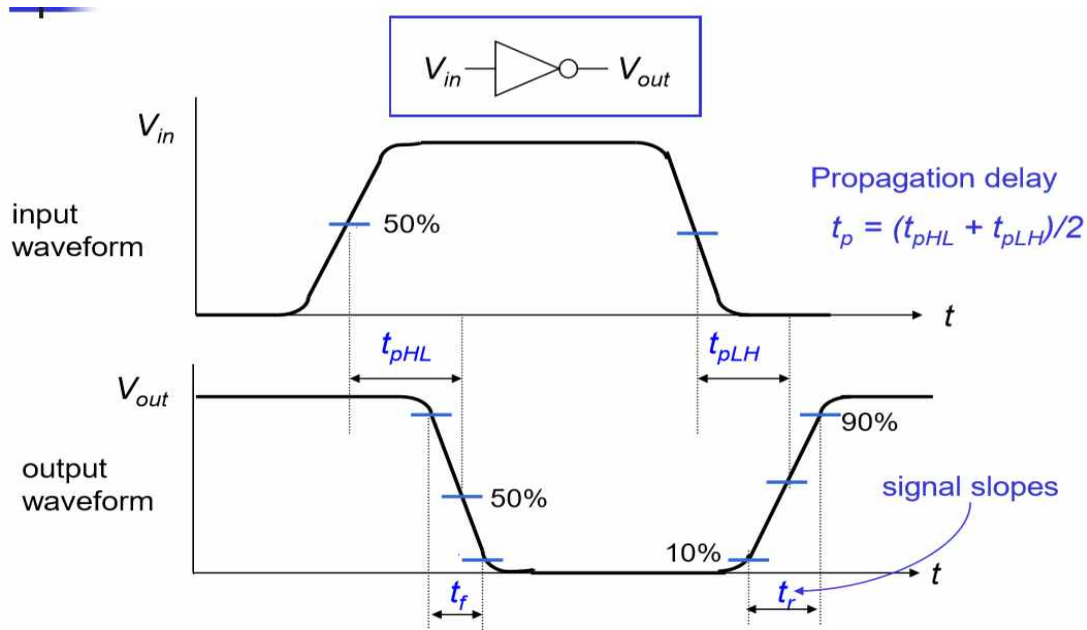
Prof. 박홍식



전자공학부  
2017117986 이근정

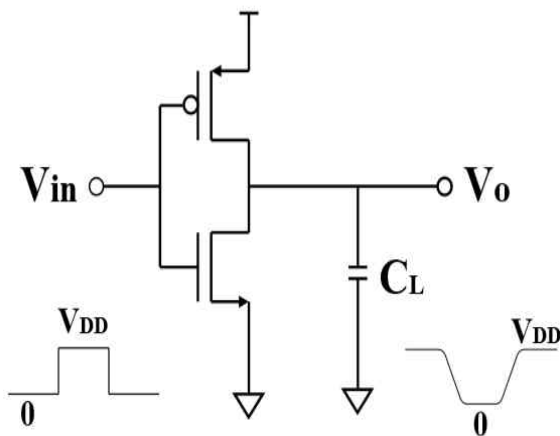
**[1] transistor channel length를 줄이기 위한 노력을 하는 이유를 CMOS 소자의 성능을 예로 들어 설명해 보시오.**

트랜지스터 채널 길이의 감소는 트랜지스터의 성능 향상과 반도체 회로 선평이 감소하므로 IC 칩의 성능 향상과 직결된다고 말할 수 있다. 여기서 IC 칩의 아주 기본적인 소자인 CMOS Inverter를 예로 들면, CMOS Inverter는 Not 논리 연산을 수행하는 아주 기본적인 Digital 소자이다. CMOS Inverter의 성능을 나타내는 지표로는 여러 가지가 있다. 대표적으로 소자의 스위칭 속도를 나타내는 Delay time, 소자가 사용하는 전력량을 나타내는 Power Dissipation이 있다.



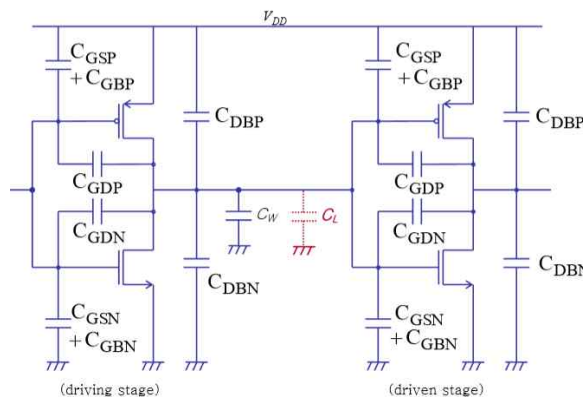
CMOS Inverter의 Delay time은 소자가 Low에서 High 또는 High에서 Low signal로 스위칭 할 때 걸리는 지연시간을 말한다. Delay time이 작을수록 소자의 signal이 바뀌는 스위칭이 빠르다는 것을 의미하고, 이는 곧 소자의 동작 속도와 직결된다. Delay time이 작을수록 data 처리 속도가 빠르고, 곧 IC 칩 전체의 성능 향상을 의미하는 것이다.  $t_{pHL}$ ,  $t_{pLH}$ ,  $t_p$ ,  $t_r$ ,  $t_f$  등으로 소자의 지연 시간을 추산 할 수 있는데 각 파라미터의 의미는 다음과 같다.

$t_{pHL}$	<b>rising propagation delay</b> From input to rising output crossing $V_{DD}/2$	$t_{pHL} = \frac{1.6 C_L}{\beta_N \cdot V_{DD}}, \beta = \mu C_{ox} \frac{W}{L}$
$t_{pLH}$	<b>falling propagation delay</b> From input to falling output crossing $V_{DD}/2$	$t_{pLH} = \frac{1.6 C_L}{\beta_P \cdot V_{DD}}$
$t_p$	<b>average propagation delay</b> $t_p = (t_{pHL} + t_{pLH})/2$	$t_p = (t_{pHL} + t_{pLH})/2$
$t_r$	<b>rise time</b> From output crossing 0.1 VDD to 0.9 VDD	$t_r \approx 3.7 C_L / \beta_P V_{DD}$
$t_f$	<b>fall time</b> From output crossing 0.9 VDD to 0.1 VDD	$t_f \approx 3.7 C_L / \beta_N V_{DD}$



따라서 Channel Length가 작아질수록  $\beta$  term이 작아지고 Delay time 파라미터가 감소하게 된다. 이는 곧 스위칭 속도의 증가, 즉 IC 칩의 성능 향상으로 이어진다. 이러한 성능 향상 목적을 달성하기 위해 현재 TSMC와 삼성 Foundry가 3nm 회로 선폭의 나노 공정 경쟁을 하고 있다.

CMOS Inverter의 Power Dissipation의 예로는 Dynamic Power Dissipation, Short Circuit Power Dissipation, Standby Power Dissipation 등이 있다. Dynamic Power는 Load Capacitor에 charging, discharging 하면서 생기는 Active Power의 일종이다. Short Circuit Power는 CMOS Inverter가 스위칭 할 때, NMOS와 PMOS가 동시에 Turn On 되면서 전류가 Direct로 빠지는 단락 회로 전류가 생길 때 발생한다. 마찬가지로 소자가 동작할 때 생기는 Active Power의 일종이다. 마지막으로 Standby Power는 우리가 흔히 말하는 대기전력인데, 제품의 전원이 꺼져있는 즉, 소자가 동작하지 않을 때에도 Leaking p-n junction, gate oxide leakage, transistor subthreshold current와 같은 요소로 전력 소모가 발생한다.



다음은 CMOS의 전력 소모에 중요한 역할을 하는 Load Capacitor에 대해 살펴보겠다. 각 Capacitance는 다음과 같이 계산된다.

전체 로드 커패시터  $CL = CL_{driving} + CL_{driven} + CW$

$CL_{driving} \approx CDBP + CDBN \approx CDJP(V=0) + CDJN(V=0)$

$CL_{driven} \approx CGP + CGN \approx COX \cdot WP \cdot LP + COX \cdot WN \cdot LN$

$CW$  = typically negligible except long signal wire

CMOS Inverter의 전체 전력 소모량은 다음과 같이 계산된다.

$P = CL \cdot VDD^2 \cdot f + \frac{2}{3} \beta n (VDD/2 - VTHn)^3 \cdot tr \cdot f + VDD \cdot I(leakage)$

위의 전력 소모량  $P$  = Dynamic Power Dissipation + Short Circuit Power Dissipation + Standby Power Dissipation이다. 이 때, 전체 전력소모의 약 90%를 차지하는 Dynamic Power Dissipation 전력은 다음과 같으므로  $P_D = f C_L V_{DD}^2$  Channel Length  $L$ 이 작아지

면 전체 Load Capacitance도 작아진다. 따라서 전체 전력소모가 감소하고, 이는 곧 IC 칩에서의 전력 소모량 감소로 이어진다. IC 칩의 속도와 마찬가지로 전력 소모량의 전체적인 감소는 IC 칩의 전체적인 성능 향상으로 이어진다. 따라서 많은 Foundry 기업체에서 트랜지스터의 Channel Length를 줄이려고 노력하는 것이다.

출처 : 경북대학교 정연배교수님 전자회로설계 강의자료

**[2] 반도체 칩 내에 포함되는 transistor의 개수가 10년 전에 비해 수십 배 증가 하였음에도 불구하고 반도체 회사들이 단가에 큰 변화 없이 반도체칩들을 제작/판매할 수 있는 이유가 무엇인 지 의견을 제시해 보시오.**

1947년 세계 최초의 트랜지스터가 개발되었다. 이후 1960년대 집적 반도체가 처음으로 상용화된 이후 1970년에 미국의 인텔이 1K DRAM IC 칩을 개발하였고, 1983년 일본의 히다치가 1M DRAM을 이어서 국내의 삼성전자가 세계 최초로 1G DRAM을 개발하였다. 이처럼 반도체 제조·공정기술 및 반도체 산업은 끊임없이 발전해 왔고, 현재에도 그 기술 발전이 이어지고 있다. 기술이 발전함에 따라 IC 칩에 들어가는 트랜지스터의 성능이 크게 발전하였고, 칩 내부에 집적되는 트랜지스터의 개수도 크게 증가하였다. 이에 따라 IC 칩의 성능은 비약적으로 발전하였다. 하지만 지난 10년과 비교해 봤을 때 기술 및 성능의 발전에 비해 제품의 단가는 크게 증가하지 않았다. 그 이유는 무엇일까?

#### 트랜지스터 공정의 미세화

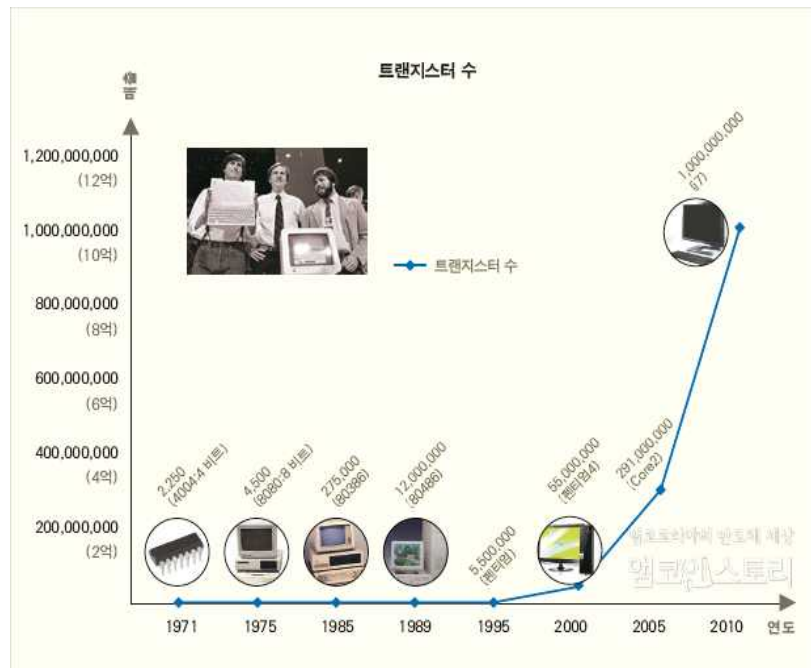
기술이 발전함에 따라 동일한 크기의 IC 칩에 더 많은 개수의 트랜지스터를 집적할 수 있는 공정의 미세화가 이루어졌다. 지난 80년대 초반 6um이었던 반도체의 미세 회로 선폭은 지난 40년간 비약적인 발전을 거듭해왔다. 90년대 초반까지는 1um의 회로 선폭이 대세였으나, 93



년도의 미국의 인텔이 0.8um 기반의 펜티엄 프로세서를 대량 생산하면서 소수점 um 시대를 열었다. 이후 무어의 법칙에 따라 약 2년간의 간격을 두고 0.5um, 0.35um, 0.25um, 0.18um로 꾸준히 회로 선폭이 미세화 되었고, 현재는 두 자릿수 nm 이하의 나노 공정의 시대에 살고 있고, 삼성과 TSMC에서 한 자릿수 nm의 나노공정 경쟁이 이루어지고 있다.

트랜지스터의 회로 선폭이 좁아지면 내부 전자의 이동도가 좋아지고, 저항의 감소로 인한

열 방출량 감소, 전력량 감소 등 트랜지스터의 성능 향상으로 이어진다. 이는 곧 제품의 성능과 직결되는 문제이다. 게다가 트랜지스터의 회로 선폭이 미세화 되면서, 동일한 크기의 Wafer에 훨씬 더 많은 트랜지스터를 집적할 수 있게 되었다. 이는 곧 반도체 생산성의 비약적 증가를 이끌었다. 과거 수천 개에 불과했던 IC칩의 트랜지스터 집적도는 현대에 이르러서는 수십억 개에 이르고, 이처럼 트랜지스터의 집적도가 높아짐에 따라 동일한 크기의 Wafer에서 더욱더 고성능의 IC 칩들을 더 많이 찍어 낼 수 있었다. 이러한 이유로 제품 성능의 큰 향상에도 제조 원가의 절감으로 제품의 단가는 그리 높아지지 않았다.



출처 : <https://amkorinstory.com/8>

## Wafer의 대구경화

공정의 미세화에 따라 IC 칩은 점점 소형화 되어왔지만 반대로 Wafer의 크기는 점점 증가하였다. Wafer의 크기가 커지면 Wafer 한 장에 더 많은 IC 칩을 담아낼 수 있기 때문이다. 1970년대 약 1~3인치(25~76mm)에 불과 했던 Wafer의 직경은 현재는 12인치(300mm)의 Wafer를 주로 사용하고 있으며, 그 크기는 더욱더 커질 전망이다. Wafer의 대구경화로 인해 동일한 공정을 하였을 때, 더 많은 IC 칩을 생산할 수 있다. 이는 곧 제조·공정의 생산 원가 절감으로 이어진다.

## 반도체 생태계 분업화

1960년대 반도체 IC 칩들이 처음으로 상용화 된 이후, 반도체 산업은 지속적으로 발전 및 안정되어 왔다. 현대에 이르러서는 각 기업들마다 반도체 산업에서 각자 맡은 역할이 있다고 할 정도로 산업의 분업화가 이루어졌다. 대표적으로 Fabless와 Foundry로 나눌 수 있겠다. Fabless란 반도체 Device의 설계와 최종적인 판매·유통 과정을 하는 기업체를 말한다. 반도체 제조 및 공정 시설, 인프라의 건설 및 유지비는 수조원에 이른다. 따라서 막대한 자본을 가지고 있는 대기업체가 아니면 반도체 제조·공정은 엄두도 내지 못한다. 따라서 설계 및 판매·유통과정을 전담하는 Fabless 기업체가 있다. 다음으로 Foundry란 반대로 반도체의 제조 및 공정단계를 분담하는 기업체를 말한다. 잘 갖추어진 시설 및 인프라와 점점 고도화되는 공정 기술을 바탕으로 Foundry 기업체는 Fabless 기업체로부터 의뢰를 받아 Fabless에서 설계한 반도체를 제조 및 공정한다. 이외에도 반도체 설계부터 생산까지 모든 과정을 종합적으로 갖춘 종합 반도체 기업(IDM, Integrated Device Manufacturer), 설계를 하여 그 지적 재산을 판매하는 IP(Intellectual Property)기업, Fabless에서 설계한 제품을 각 Foundry의 생

산 공정에 최적화된 디자인 서비스를 제공하는 디자인하우스 기업, 반도체 후공정 테스트와 패키징을 전문으로 하는 OSAT(Outsourced Semiconductor Assembly And Test)기업 등이 있다. 대표적인 Fabless 기업으로 미국의 애플, Foundry 기업으로 대만의 TSMC, IDM 기업으로 대한민국의 삼성 등이 있다. 이처럼 반도체의 전체 제조 및 공정 과정의 분업화를 통해 투자비용을 크게 절감하고, 더욱더 고도화되는 전문성으로 인해 생산 제품의 성능도 크게 증가하고, 생산 비용은 크게 절감된다.



### 장비산업발달 및 대량생산

반도체 산업이 발전함에 따라 그 장비 산업도 꾸준히 발전해왔다. 장비산업의 발달은 곧 반도체의 생산성을 크게 증가 시켰고, 이는 곧 대량생산으로 이어졌다.

### 끊임없는 경쟁

반도체 산업에서 기술의 정체는 곧 기업체의 몰락을 의미한다. 예를 들어 과거 이 산업의 선두 주자 중 한 명이었던 미국의 모토로라 기업은 지금은 몰락하였다. 이처럼 반도체 산업의 기업체들은 정체하지 않기 위해 끊임없이 기술 경쟁을 펼치고 있다. 예를 들어 삼성 Foundry와 대만의 TSMC는 현재 3nm 공정 시대의 선구자가 되기 위해 끊임없이 경쟁을 펼치고 있다. 이러한 기업체들 간의 경쟁은 더욱더 양질의 제품을 합리적인 가격에 소비할 수 있게 한다.

### 시대의 발전

과거와 달리 2020년 현시대에서는 반도체는 뭘레야 뭘 수 없는 인류 문명의 필수 불가결한 존재이다. 과거에는 반도체가 군수 산업과 같은 특수한 산업에서 주로 사용 되었지만, 지금은 반도체가 사용되지 않는 산업이란 없을 정도이다. 따라서 이러한 시대의 발전으로 인해 반도체 자체가 특수한 산업에 쓰이는 것이 아니라 매우 보편화 되었다. 이러한 시대의 발전으로 인해 제품의 단가 또한 낮아졌다고 할 수 있다.

### 수율의 증가

반도체 산업의 발전과 기술의 고도화로 인해 반도체 제조·공정 시 수율이 크게 증가되었다. 수율이란 공장에서 제품을 찍었을 때, 정상적인 제품의 비율을 말하는데 수율이 좋지 못하다면 동일한 생산비용 대비 제품의 단가가 비싸질 수밖에 없다. 하지만 갈수록 수율이 개선되고 있으므로 제품의 단가도 크게 증가하지 않다고 할 수 있다.

## [3] 국내/국제적 반도체 기술 혹은 시장의 전반적인 동향에 대한 최신 기사를 2개 찾아서 그 내용을 짧은 개조식 문장으로 요약해 보시오.

### 1. 삼성, CPU 개발 중단...20조 들인 美오스틴센터 290명 해고

- 삼성전자는 오스틴연구개발센터에 속한 CPU 코어 개발 프로젝트 부서를 해체하고, 해당 인력 290여명을 해고할 예정
- 이는 2015년 자체 개발한 엑시노스8 AP 이후 약 20조를 투입한 시스템 반도체 개발팀 일부가 해체되는 것임.
- 자체 AP CPU 코어 개발을 중단하기로 한 이유는 퀄컴 등 경쟁사의 모바일 CPU의 성능보다 떨어진다고 판단한 것임.
- 실제 업계에서 삼성의 AP는 사양, 성능은 우수하지만 전력 소비 효율, 발열, 멀티코어 효율 등에서 한계를 드러내.
- 시스템 반도체분야에서 업계 1위를 하겠다고 선언한 삼성은 선택과 집중을 택한 것으로 보여.
- 모바일 AP보다 성장가능성이 더 높은 신경망 처리 장치(NPU)와 그래픽 처리 장치(GPU)에 집중하겠다는 것으로 보여.
- 실제 삼성전자는 NPU 인력을 2000명 규모로 10배 늘리고, 미국의 반도체 기업 AMD와 협력해 2021년 출시를 목표로 모바일 GPU를 개발 중.
- 하지만 타사의 설계를 적용한 모바일 AP 개발은 계속 이어간다고 밝혀.

[출처: 중앙일보] 삼성, CPU 개발 중단...20조 들인 美오스틴센터 290명 해고, 2019.11.04.

### 2. 3나노 반도체 누가 먼저 내놓나? 삼성·TSMC 3나노 양산 전쟁

- 머리카락 굵기의 3만분의 1에 해당하는 3nm 반도체를 누가 양산하는냐에 따라 향후 파운드리 시장의 주도권이 걸려있어.
- TSMC 는 2020년 4월, 북미 기술 심포지엄에서 처음으로 3nm 공정 기술을 공개할 예정.
- 삼성전자는 이미 2018년 3nm 공정에 필수적인 GAA(Gate-All-Around)기술을 공개한바 있어.
- 양산 시점 누가 앞 당기는냐 관건, 두 기업 모두 양산 시점 2022년으로 밝혀.
- 현재 파운드리 시장 최강자는 TSMC, 2030년 까지 시스템반도체 1위에 오르겠다고 선언한 삼성이 3나노 선정으로 TSMC의 독주를 꺾지 귀추가 주목돼.

[출처: 중앙일보] 3나노 반도체 누가 먼저 내놓나? 삼성·TSMC 3나노 양산 전쟁, 2020.01.22