



UNIVERSIDAD NACIONAL AUTÓNOMA DE MÉXICO

---

FACULTAD DE INGENIERÍA

T E S I S

QUE PARA OBTENER EL TÍTULO DE:

INGENIERO EN COMPUTACIÓN

P R E S E N T A :

LUIS ESTEBAN SERRANO BERMÚDEZ

TUTOR

DR. ... TUTOR



CIUDAD UNIVERSITARIA, CD. Mx., 2020

*Dedicatoria ...*

# Agradecimientos

# Resumen

# Índice general

<b>Agradecimientos</b>	<b>II</b>
<b>Resumen</b>	<b>III</b>
<b>Prólogo</b>	<b>IX</b>
<b>1. Introducción</b>	<b>1</b>
1.1. Computadora . . . . .	1
1.1.1. Procesador . . . . .	1
1.1.2. Arquitecturas de Procesadores . . . . .	2
1.2. Microprocesador . . . . .	4
1.3. Microcontrolador . . . . .	5
1.3.1. Elementos Principales . . . . .	6
1.3.2. Arquitecturas CISC y RISC . . . . .	9
1.4. Sistemas Embebidos . . . . .	10
1.4.1. Protocolos de Comunicación . . . . .	11
1.4.2. BUS Inter-Integrated Circuited (I2C) . . . . .	12
1.4.3. BUS Serial Peripheral Interface (SPI) . . . . .	14
1.5. PIC32MZ2048EFM100 . . . . .	16
1.6. Medidor de Energía ADE7880 . . . . .	18
1.6.1. Gestion de Energía . . . . .	19
1.6.2. Procedimiento de Encendido . . . . .	21
1.6.3. Hardware Reset . . . . .	22

1.6.4. Software Resest . . . . .	23
1.6.5. Operación del ADE7880 . . . . .	23
1.6.6. Canal de Corriente del ADC . . . . .	26
1.6.7. Canal de Voltaje del ADC . . . . .	28
1.6.8. Procesador Digital de Señales . . . . .	29
1.6.9. Interrupciones . . . . .	30
1.6.10. Interfaces de Comunicación . . . . .	30
1.7. Entorno de Desarrollo MPLAB X . . . . .	33
1.7.1. Herramienta de configuración MPLAB Harmony . . . . .	34
1.7.2. Generador MPFS . . . . .	36
1.7.3. TCPIP Discoverer . . . . .	36
<b>2. Desarrollo</b>	<b>38</b>
2.1. Firmware . . . . .	38
2.1.1. Procedimiento de Encendido del Sistema . . . . .	38
2.1.2. Inicialización de Comunicación . . . . .	39
2.1.3. Configuración del puerto I <sup>2</sup> C . . . . .	42
2.1.4. Configuración del puerto HSDC . . . . .	42
<b>3. Resultados</b>	<b>43</b>
3.1. Lectura de Datos Usando el Canal SPI . . . . .	43
3.2. Lectura de Datos usando el canal HSDC . . . . .	44
<b>4. Conclusiones</b>	<b>47</b>
<b>5. Glosario</b>	<b>48</b>
<b>A. Características y pines PIC32MZ2048EFM100</b>	<b>51</b>
<b>B. Pines del Medidor de Energía ADE7880</b>	<b>55</b>
<b>C. Parámetros de Comunicación Medidor de Energía ADE7880</b>	<b>58</b>
<b>D. Tablas de Direcciones de Registros del Medidor de Energía ADE7880</b>	<b>62</b>

# Índice de figuras

1.1. Arquitectura Harvard . . . . .	2
1.2. Arquitectura Von Neumann . . . . .	3
1.3. Puertos de Entrada y Salida . . . . .	3
1.4. Memoria y Puertos I/O . . . . .	4
1.5. Esquema básico general de un microprocesador . . . . .	5
1.6. Esquema de bloques de un microprocesador . . . . .	6
1.7. Bloque WatchDog Timer . . . . .	7
1.8. Comunicación Síncrona . . . . .	12
1.9. Comunicación Síncrona . . . . .	12
1.10. Conexión I <sup>2</sup> C entre dispositivos . . . . .	13
1.11. Conexión SPI entre dispositivos . . . . .	15
1.12. Modos de reloj SPI . . . . .	15
1.13. Diagrama de Bloques del ADE7880 . . . . .	19
1.14. Encendido del ADE7880 . . . . .	22
1.15. Entradas analógicas de corriente . . . . .	23
1.16. Amplificadores de Ganancia . . . . .	24
1.17. Entradas analógicas de Voltaje . . . . .	24
1.18. Convertidor Analógico Digital . . . . .	25
1.19. Canal de Corriente . . . . .	26
1.20. Canal de Voltaje . . . . .	28
1.21. Interrupciones . . . . .	30
1.22. Ventana Principal . . . . .	33

1.23. Manejador de Archivos . . . . .	34
1.24. Generador MPFS . . . . .	36
1.25. TCPIP Discoverer . . . . .	37
1.26. Dispositivos TCPIP . . . . .	37
2.1. Inicialización del ADE7880 . . . . .	39
2.2. Inicialización de Comunicación . . . . .	40
2.3. Configuración SPI del PIC32MZ . . . . .	41
2.4. Configuración I2C del PIC32MZ . . . . .	41
3.1. Comunicación SPI con los registros de voltaje y corriente . . . . .	44
3.2. Gráficas de la primer prueba de los Canales de Voltaje . . . . .	45
3.3. Gráficas de la primer prueba de los Canales de Corriente . . . . .	46



# Índice de tablas

1.1. Especificaciones PIC32MZ2048EFM100. . . . .	17
1.2. Modos de Suministro de Energía . . . . .	20
1.3. Registros de última escritura . . . . .	31
2.1. Valores de bloqueo del puerto I <sup>2</sup> C . . . . .	42

# Prólogo

Este proyecto se ha desarrollado con la finalidad de añadir una mejora a los medidores de energía previamente realizados en el Instituto de Ingeniería de la UNAM. La finalidad de esta mejora es agregar una función de lectura de datos de registros del medidor de energía ADE7880 para poder analizar una gran cantidad de datos en poco tiempo.

# Capítulo 1

## Introducción

### 1.1. Computadora

Una computadora esta conformada por hardware y software. La parte de Hardware consta de 4 componentes: el procesador, que funciona como el cerebro; la unidad de entrada, por la cual los programas y los datos son ingresados; la unidad de salida por donde son presentados los los resultados y la memoria que es en donde se almacena el software y los datos.

#### 1.1.1. Procesador

El procesador, tambien llamada como la Unidad Central de Procesamiento se puede clasificar en tres partes:

- **Registros:** Es una locación de almacenamiento dentro de la CPU en la cual se mantienen los datos y las direcciones de memoria durante la ejecución de una instrucción. Accesar a los registros de datos es más rápido que acceder a los datos en la memoria externa. Estos registros varían dependiendo del modelo del procesador.
- **Unidad Lógica Aritmética:** Es la calculadora numérica y evaluadora lógica de operaciones. Aquí se reciben los datos provenientes de la memoria principal

o de los registros, realiza una operación lógica y si es necesario reescribe el resultado de vuelta al registro o memoria.

- **Unidad de Control:** Contiene las instrucciones lógicas del hardware, esta se encarga de decodificar y monitorear la ejecución de las instrucciones. También funciona como árbitro de varios de los servicios del CPU, los cuales se encuentran sincronizados por un reloj de sistema.

### 1.1.2. Arquitecturas de Procesadores

#### Arquitectura Harvard

El término de Arquitectura Harvard se le conoce a aquellas configuraciones donde las instrucciones y los datos de entrada/salida se almacenan por separado en 2 memorias, este término se le conoce por la primer computadora digital automática el "*Harvard Mark I*" (1944) diseñado por IBM y la Universidad de Harvard [Cuéllar, 2008].

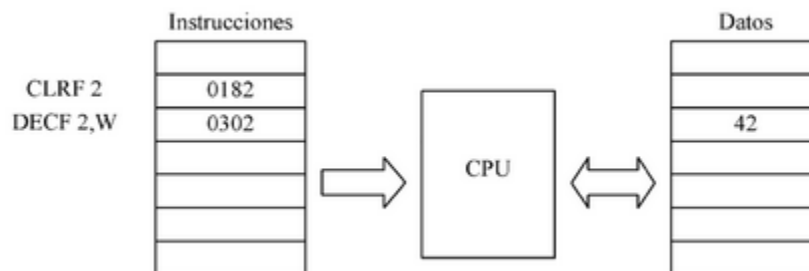


Figura 1.1: Arquitectura Harvard.

La arquitectura Harvard duplica efectivamente el espacio accesible de memoria y la velocidad teórica de ejecución, ya que el procesador puede realizar las operaciones de lectura y escritura sobre los 2 buses a la vez y leer datos e instrucciones en el mismo ciclo [Caprile, 2012].

#### Arquitectura Von Neumann

Esta arquitectura usa la misma memoria para instrucciones como para datos, es decir, utiliza una memoria de lectura/escritura para estos procesos. En esta arquitec-

tura no hay diferencia entre datos e instrucciones, todos son números y solo depende del uso que se le asigne. Esto ha permitido el desarrollo de procesadores simples y relativamente eficientes.

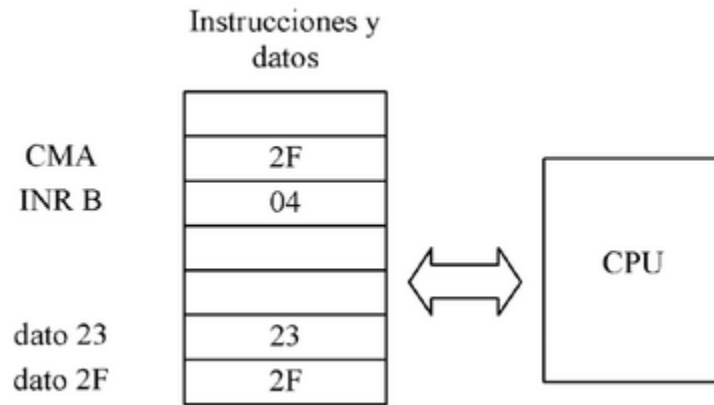


Figura 1.2: Arquitectura Von Neumann.

En estos casos es común el tener un programa para tomar datos externos, almacenarlos como datos en la memoria y ejecutarlos como instrucciones.

Actualmente se tienen microprocesadores de ambas arquitecturas y depende de las necesidades de cada situación en la que se beneficiará del uso de una u otra arquitectura.

## Puertos

Los puertos son un conjunto de conexiones con las que el procesador puede interactuar con el mundo exterior a través de señales digitales.

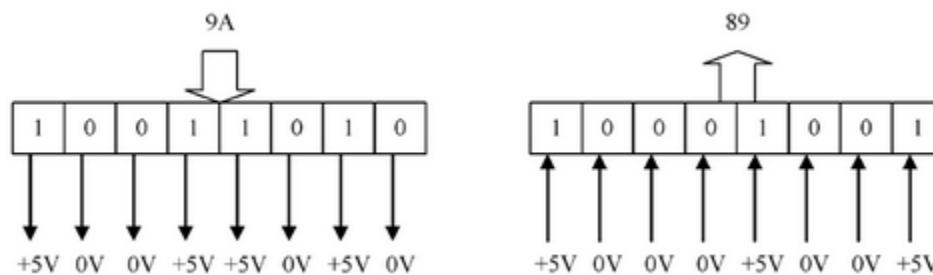


Figura 1.3: Puertos de Entrada y Salida.

Un procesador considera a estos como locaciones de memoria que se escriben o

leen datos. A un puerto que toma datos del exterior se le conoce como puertos de entrada (input) y si envía información al exterior entonces es de salida (output). Generalmente a estos puertos se les conoce como Puertos I/O.

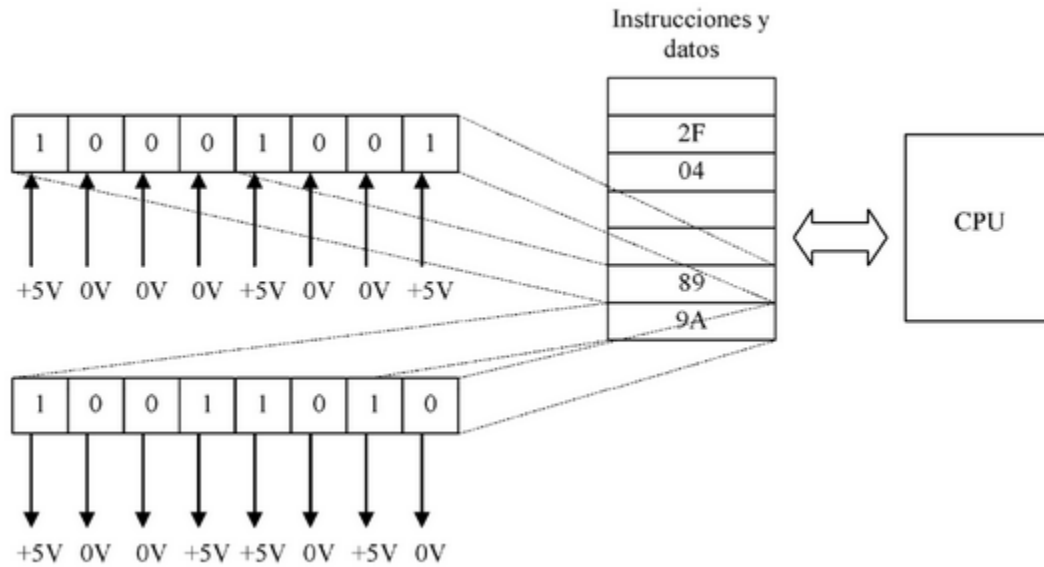


Figura 1.4: Interacción de puertos con la memoria y con el procesador.

## 1.2. Microprocesador

El procesador en una computadora, esta comprendido de varios circuitos integrados, mientras que un microprocesador es un procesador empaquetado en un único circuito integrado. Una microcomputadora usa un microprocesador como su CPU [Valdes and Areny, 2007].

Los microprocesadores vienen en diferentes presentaciones, 4-Bits, 8-Bits, 16-bits, 32-Bits e incluso en 64-Bits aunque estos últimos no son demasiado comunes como los anteriores. El número de bits corresponde al número de dígitos binarios que el microprocesador puede manipular en las operaciones.

El acceso de la memoria principal toma mucho más tiempo que el tiempo de reloj disponible por el CPU, por ello es que los microprocesadores de 32 y 64 Bits poseen una memoria caché de alta velocidad.

### 1.3. Microcontrolador

Una microcomputadora se compone de 3 bloques fundamentales: CPU, Memoria y los puertos de entrada/salida. Estos se conectan entre si mediante grupos de líneas eléctricas denominados buses; los cuales pueden ser de direcciones, si transportan direcciones de memoria, o de datos, si en cambio transportan datos o instrucciones, o de control si estos conducen diversas señales de control.

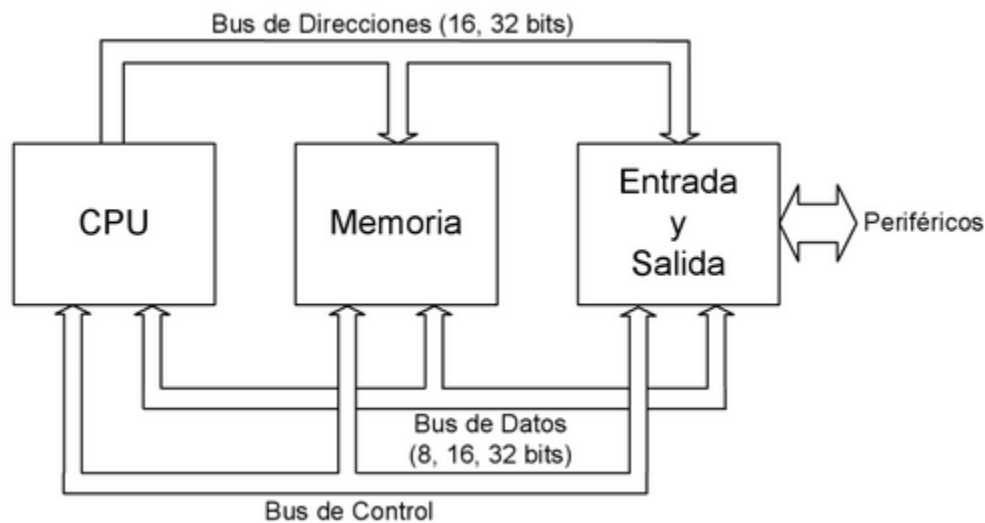


Figura 1.5: Esquema básico general de un microprocesador.

El CPU es el encargado en traer las instrucciones alojadas en la memoria, interpretarlas y hacer que se ejecuten. En una microcomputadora la CPU es el microprocesador por lo cual un Microcontrolador es una Microcomputadora fabricada en un Circuito Integrado.

Los microcontroladores son construidos fundamentalmente para aplicaciones puntuales en automoción, equipos de comunicaciones y telefonía, instrumentación electrónica, equipos médicos e industriales, electrodomésticos, etc. donde se deben realizar un pequeño número de tareas al menor costo posible. En estas el microcontrolador ejecuta un programa almacenado permanentemente en la memoria interactuando con datos almacenados temporalmente e interactúa con el exterior a través de las líneas de entrada/salida. El microcontrolador es parte de la aplicación (Controlador Embebido).

### 1.3.1. Elementos Principales

Además de la microcomputadora (CPU, memoria y líneas de entrada/salida) los microcontroladores disponen de más componentes para poder realizar el funcionamiento requerido por las aplicaciones.

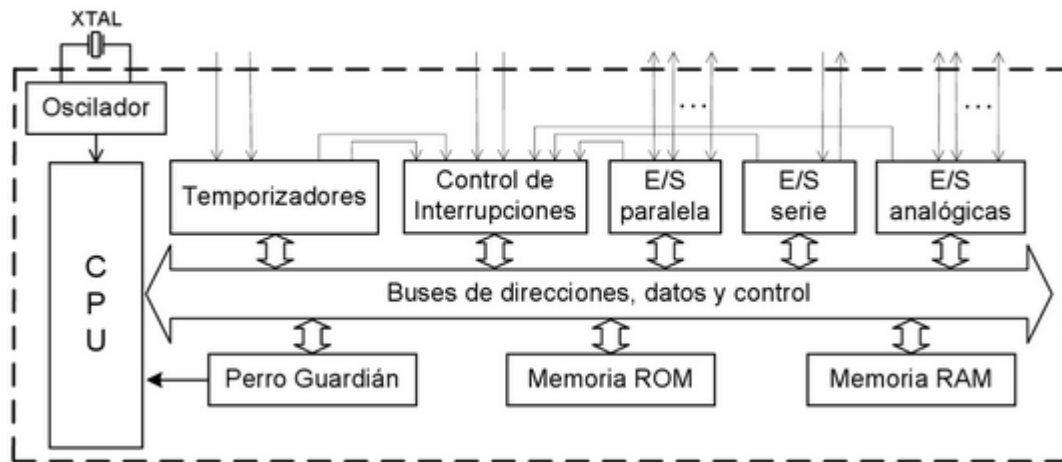


Figura 1.6: Esquema de bloques de un microprocesador.

#### Oscilador

Para poder realizar las operaciones internas el microcontrolador depende de un oscilador que genera los impulsos que permiten la sincronización de todas ellas. En la mayoría de los microcontroladores se utiliza como oscilador a un cristal de cuarzo debido a la gran estabilidad de frecuencia que ofrecen estos cristales ya que de estos dependen la velocidad de ejecución de las tareas.

#### Watchdog Timer (Perro Guardián)

Es un recurso disponible en la mayoría de los microcontroladores, consta de un oscilador (puede ser el principal) y de un contador binario de N-bits. La salida del contador va conectada al circuito *reset* del microcontrolador(1.7). El funcionamiento se define como un contador de pulsos que al llegar al desbordamiento reinicia el dispositivo, el fin de este bloque es que el programador evite el desbordamiento y



por ende el reinicio del dispositivo, por ello se debe reiniciar el contador desde el programador. En cambio si existe un error en alguna parte del código que evita que se reinicie el contador del perro guardián este reiniciará el microcontrolador y será posible retomar el control y redirigir el programa por la ruta correcta.

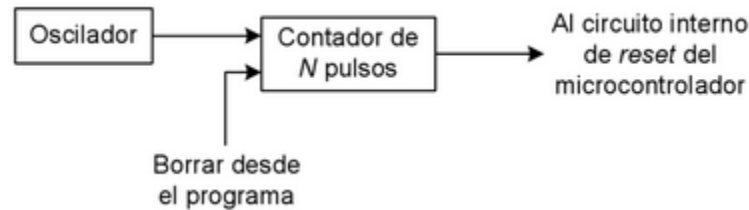


Figura 1.7: Bloque WatchDog Timer.

Es importante que cuando no se limpie el contador WDT a tiempo, se realice la acción de *reset* ya que entonces significa que se ha encontrado un fallo en la secuencia de las instrucciones y para remediarlo se redirecciona a una dirección de memoria determinada y no una aleatoria como podría suceder en estos casos.

En algunos microcontroladores como los PIC se señala la causa del reset por medio de bits de un registro del microcontrolador con lo cual se puede remediar el origen del fallo.

## Reset

El reset es una función con la cual se inician los microprocesadores y los microcontroladores. Esta acción se ejecuta cuando una señal de reset es aplicada de manera manual a una terminal en el CI con lo cual se pone el contador de programa (PC) a un valor predeterminado comunmente 0 haciendo que el microprocesador comience a ejecutar las instrucciones a partir de esa posición.

En un microcomputador la señal de *reset* se genera e forma manual al pulsar un botón o al iniciar el sistema (*Reset* por encendido), sin embargo tambien pueden haber otras fuentes de *reset* como lo son por "Fallo de Alimentación." por "Desbordamiento del WatchDog Timer".

El segundo caso, como se explicó anteriormente sucede cuando el contador WDT se desborda al no reiniciar el contador por lo que el microcontrolador ha perdido

la secuencia de las instrucciones o ha entrado en un bucle demasiado largo. El primer caso sucede cuando el valor de voltaje cae por debajo del umbral de operación momentáneamente con lo que el capacitor se descarga parcialmente y se produce el reinicio del dispositivo.

### Estado de Bajo Consumo

Una parte importante en los microcontroladores es la característica de tener un bajo consumo de corriente ya que hay un gran número de aplicaciones que requieren el uso de baterías como medio de alimentación por lo que un bajo consumo de corriente ayuda a una prolongada duración de la batería.

El consumo de corriente en el circuito se sustenta en el uso de compuertas CMOS que al mantenerse en un nivel lógico estático el consumo es prácticamente 0 y solo aumenta cuando el oscilador aumenta la frecuencia de las conmutaciones de los estados de las compuertas lógicas.

Los microcontroladores comunmente se encuentran en este estado y únicamente se activan al ocurrir un evento externo, realizan una tarea y regresan a este estado por lo que se recomienda tener el microcontrolador con bajo consumo de corriente hasta que ocurra un evento que lo saque de ese letargo.

### Memoria

La memoria en un microcontrolador es el lugar donde se almacenan el programa que se va a ejecutar y los datos y/o variables que va a utilizar. La memoria de datos es de lectura y escritura y los datos no permanecen en ella una vez que se suspende la alimentación al microcontrolador, es decir, la memoria es volátil (Memorias RAM estáticas). Algunos microcontroladores usan una memoria adicional externa de lectura y escritura no volátil como parte de la memoria de datos, para permitir almacenamiento de datos fijos, para este tipo de memorias se utilizan comunmente EEPROM.

- **RAM:** Esta es un tipo de memoria de lectura y escritura de alta velocidad. En la memoria RAM la información almacenada permanece estable indefinidamente

mientras no se suprima la alimentación del microcontrolador.

- **ROM:** Si se usa memoria ROM ésta se graba durante la fabricación del dispositivo y no se puede alterar una vez almacenada, por ello el programa debe ser depurado. Los microcontroladores que utilizan este tipo de memorias son aquellos que se fabrican en grandes cantidades ya que su fabricación es bastante rentable gracias a su bajo costo.
- **EEPROM:** Las memorias EEPROM son memorias no volátiles de lectura y escritura, donde la escritura se realiza por medios eléctricos y se puede lograr individualmente sin la necesidad de un borrado previo, sin embargo a pesar de ser reprogramables cuentan con un número finito de veces.
- **FLASH:** En las memorias FLASH se pueden realizar las operaciones de lectura y escritura celda por celda, pero a diferencia de las anteriores se requiere primero borrar la información de la celda antes de escribir en ella y estas deben borrarse por bloques de celdas colocando a 0. A menudo las operaciones de escritura de información se debe realizar un proceso de lectura-borrado-escritura del bloque de celdas donde se desea escribir la información. Todas las operaciones de borrado, lectura y escritura se realizan con la misma tensión de voltaje

### 1.3.2. Arquitecturas CISC y RISC

CISC (Complex Instruction Set Computer) y RISC (Reduced Instruction Set Computer) son dos modelos de computadoras visto desde el repertorio de instrucciones que repercuten en el modelo de arquitectura de la CPU y como lo dice su nombre las computadoras CISC tiene una mayor cantidad de instrucciones mientras que el RISC posee una menor cantidad.

Las arquitecturas CISC predominaba en un inicio debido a la ambición de hacer los microprocesadores y microcontroladores los más potente posibles. Debido a la complejidad que fue aumentando lo hizo también la complejidad de la CPU y por ende se le debió dedicar un mayor espacio en el circuito integrado a la decodificación

y ejecución de las instrucciones.

Por el contrario las RISC tienen un repertorio corto de instrucciones sencillas que pueden realizar operaciones simples pero a alta velocidad. La complejidad del CPU disminuye, así que a frecuencia del oscilador puede aumentar y así mejorar la velocidad de ejecución de las operaciones. Esto también apoya en su fabricación siendo más sencillos y baratos de producir, por ello esta arquitectura ha sido la predominante en microcontroladores PIC.

## 1.4. Sistemas Embebidos

Un sistema embebido posee Software junto con Hardware que trabajan en conjunto a fin de lograr que estos puedan realizar funciones específicas y repetitivas en tiempo real, esto gracias a la miniaturización de componentes electrónicos y a su reducción de costos se permitió el desarrollo de los sistemas embebidos.

Usualmente estos dispositivos se centran en facilitar la comunicación entre varios dispositivos con el fin de buscar una mayor interoperabilidad de sistemas y componentes, sin embargo, debido a su tamaño tienen fuertes limitaciones como lo son las líneas de comunicación con el ambiente. El funcionamiento de los sistemas embebidos se logra al utilizar un microcontrolador que es el que se encarga de realizar todas las funciones en una pequeña pieza de circuito integrado. El microcontrolador es una pieza que incluye un microprocesador optimizado para funciones de control embebidas, comúnmente en monitorear señales. Las señales se obtienen a partir de sensores que son dispositivos eléctrico y/o mecánicos encargados de transformar magnitudes físicas en eléctricas medibles por el microcontrolador.

Cualquier funcionalidad en un sistema embebido se compone de 3 aspectos: procesamiento, almacenamiento y comunicación. El procesamiento es la transformación de datos, el almacenamiento la retención de estos y la comunicación en la transferencia de un dispositivo a otro. De acuerdo con lo anterior la memoria es la parte más importante para el funcionamiento ya que es la que almacenará datos y subrutinas y bibliotecas del programa principal, por ello es necesario dividir este almacenamiento

en 2 memorias separadas la memoria RAM y la ROM.

La memoria RAM tiene la posibilidad tanto de leer como escribir a altas velocidades pero con la desventaja de ser una memoria volátil, es decir, debe permanecer con alimentación eléctrica todo el tiempo o de lo contrario se perderán los datos almacenados en ella. Caso contrario con la memoria ROM que esta puede contener un patrón permanente de datos que no pueden alterarse y a diferencia de la RAM, es no volátil por lo cual puede almacenar funciones de uso frecuente como subrutinas de bibliotecas, programas del sistema entre otros.

### 1.4.1. Protocolos de Comunicación

Para poder establecer la comunicación entre dispositivos es necesario definir las normas que indican como se establecerá. Los puntos principales que definen un protocolo de comunicación son:

- Sintaxis: Se encarga de definir el formato y el nivel de la señal.
- Semántica: Es la que incluye la información de control para la coordinación y manejo de errores.
- Temporización: Indica la secuencia y la velocidad de sincronización entre ambas partes.

Los protocolos que se usan en los sistemas embebidos se basan en protocolos de comunicación utilizados en computadoras. Los protocolos más comunes son las comunicaciones en paralelo y serie en donde el primero transmite bits de una sola vez, sin embargo, este tipo de comunicación tiene la desventaja de ser más susceptible al ruido eléctrico debido a que deben utilizar una gran cantidad de líneas lo que a su vez hace que se sacrifiquen muchos pines del microcontrolador. En cambio con la comunicación serial los bits son enviados uno a uno, haciendo la comunicación más lenta.

Esta comunicación tiene dos modos de transmisión la Síncrona que consta en el envío de una trama que configura un bloque de información comenzando con un

conjunto de bits de inicio y uno de fin con lo que se sincronizan los relojes de ambas partes para poder entablar comunicación. Un sistema de comunicación Síncrono se basa en 2 registros que comparten un reloj, esto permite que una palabra de N-bits se pueda transmitir en N ciclos de reloj de un dispositivo maestro a los dispositivos esclavos. En una comunicación Síncrona el dispositivo maestro es el que controla todos los aspectos de la comunicación, indica la velocidad de transmisión, el tamaño de la palabra y el dispositivo receptor[Moyano, ].

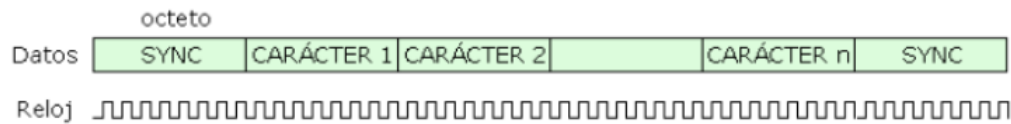


Figura 1.8: Transmisión síncrona de una palabra[Perez, 2016].

La comunicación Asíncrona el dispositivo emisor es el que decide el momento en el que se va a enviar el mensaje, por ello el emisor debe enviar un bit de cabecera que va al inicio de cada caracter y un o dos bits de finalización, con esto se busca que ambas partes puedan sincronizar sus relojes y decodificar el mensaje.

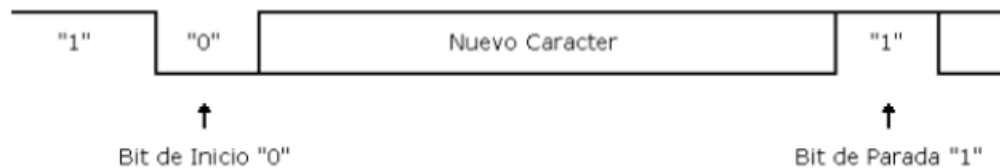


Figura 1.9: Transmisión asíncrona de una palabra.

#### 1.4.2. BUS Inter-Integrated Circuited (I2C)

Es un protocolo de comunicación serial desarrollado por Phillips Semiconductors al principio de los años 80's con el fin de proveer una forma simple de comuniocación entre CI de las TVs. Los dispositivos periféricos en los sistemas embebidos comunmente son conectados al microcontrolador como dispositivos mapeados de memoria de E/S, estos usan al microcontrolador como bus de datos y como direccionamiento paralelo.

Esto resulta con la desventaja de resultar en demasiadas líneas de comunicación en los PCBs para interconectarlos.

El bus I<sup>2</sup>C permite enlazar múltiples CI y sensores gracias a que es un bus de direccionamiento, esto es, se asigna un campo de dirección de 7 ó 10 bits dentro del mensaje que permite que los mensajes lleguen al dispositivo seleccionado por el maestro.

La comunicación usa una línea de datos en serie (SDA) y una de pulsos de reloj (SCL) ambas bidireccionales de colector abierto, esto para permitir una conexión de varios dispositivos al mismo bus. Cada dispositivo tiene una dirección única con la cual el maestro puede acceder a la transferencia de datos de cada uno evitando que otro dispositivo conectado al mismo bus reciba datos que no le corresponden. Este protocolo admite la operación multimaestro con detección de colisiones y arbitraje para evitar que 2 ó más dispositivos que actúen como maestros inicien transferencias de datos al mismo tiempo. Las señales de reloj se producen en pulsaciones, una por cada bit transferido. Los datos son válidos mientras el reloj esté en alto.

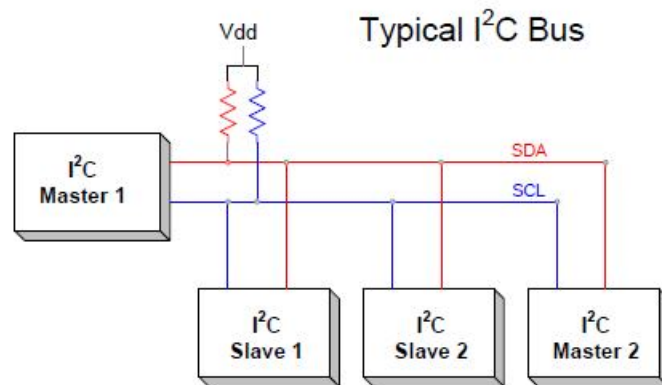


Figura 1.10: Ejemplo de la conexión I<sup>2</sup>C entre varios dispositivos.

Esta interfaz está orientada a la transferencia en paquetes de 8-bits, es decir, en bytes. En un inicio la única velocidad permitida era de 100[KHz] que se denominó como estándar, pero con el paso del tiempo y dependiendo del dispositivo se pueden configurar a mayores velocidades, alcanzando transferencias de 400[Kbits/s] (Modo rápido), 1[Mbit/s] (Rápido +), y 3.4[Mbits/s] en modo de alta velocidad (HS).

Todas las transiciones del bus comienzan con un bit de inicio generado por el

maestro. El inicio se indica cuando el maestro pone la línea de SDA en bajo mientras SCL está en alto. Cuando se produce esta condición el bus se considera ocupado. Todas las transferencias son de 1 byte cada una seguida de un bit de ACK (Acknowledgement ó recibido). Cada transferencia empieza por el bit más significativo (MSB), en caso de que el dispositivo esclavo se encuentre ocupado es posible que este ponga la línea de SCL en bajo, forzando al maestro a que espere que el esclavo libere la línea.

El bit ACK se genera una vez que el dispositivo de transmisión libera la línea SDA, en caso de que no se reconozca el byte recibido el esclavo no coloca la línea SDA en bajo y entonces genera un bit de NACK (Not Acknowledgement ó no recibido).

Inmediatamente después de la condición de inicio, se emite una dirección secundaria (7 ó 10 bits) esto es para indicar la dirección de memoria a acceder en el dispositivo esclavo, más un bit de indicación de lectura/escritura. Comúnmente un nivel lógico bajo significará una operación de escritura mientras que un nivel lógico alto será una operación de lectura.

El bit de alto es una transición de bajo a alto en la línea de datos mientras la línea de reloj permanece en alto. Después de la señal de parada el bus vuelve a estar libre.

### 1.4.3. BUS Serial Peripheral Interface (SPI)

Es un estándar de comunicación desarrollado por Motorola en 1985 diseñado para la intercomunicación entre dispositivos a corta distancia. Utiliza un bus de 4 líneas de manera síncrona con estructura tipo maestro-esclavo, donde el maestro es el encargado de direccionar al dispositivo al que se desea comunicar los datos para iniciar la transferencia.

Esta interfaz provee la ventaja de ser direccionada de manera simple por hardware ya que ofrece flexibilidad para la cantidad de bits transferidos además de controlar la cantidad de dispositivos que se pueden conectar al dispositivo maestro gracias a que opera con canales duplex y una o más líneas para la habilitación de dispositivos, logrando alcanzar velocidades de hasta 50[MHz], bastante útil para transferir flujos de datos largos.

El dispositivo maestro por lo general es un microcontrolador que suministra y



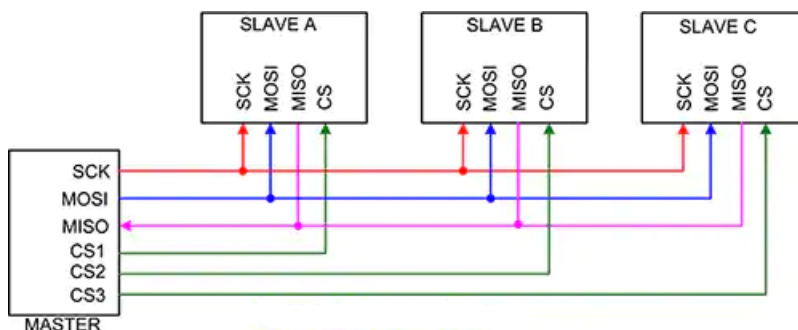


Figura 1.11: Ejemplo de la conexión SPI entre varios dispositivos.

controla el reloj (SCLK) y las líneas de selección de dispositivo (CS). La comunicación se logra a través de las 2 líneas de datos una para el envío (MOSI) y una para la recepción (MISO) de paquetes de datos. Estas líneas actúan conjuntamente en todos los dispositivos esclavos por lo que para que no sucedan colisiones el dispositivo maestro elegirá el dispositivo activo con la línea de CS. Esto limita la cantidad de dispositivos esclavos que puede manejar el maestro por los pines disponibles.

Los modos de muestreo de reloj en este protocolo se controlan desde el dispositivo maestro. Los atributos que definen el modo en el que se muestrean los datos son la polaridad (CPOL) y la fase (CPHA), estos son los que controlan el flanco de reloj activo donde se muestrean los datos. La polarización indica la lógica en la que se presenta activo el reloj.

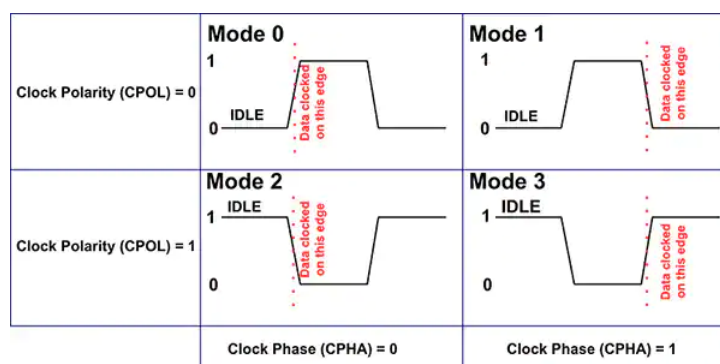


Figura 1.12: Modos de muestreo del reloj en dispositivos SPI.

Los sensores son los dispositivos que más incorporan este protocolo esto debido a que presentan una amplia variedad de transferencia de datos digitales. Muchos de los diseñadores de CI han incrementado las funcionalidades como lo son los aisladores

que ofrecen, como lo dice su nombre, aislamiento entre 2 dispositivos que se comunican a través de SPI además de funcionar como extensor útil de la interfaz, aunque si se realiza esto último la velocidad del reloj se verá disminuida a razón de pérdida de 1[Mbit/s] por cada 10[m].

## 1.5. PIC32MZ2048EFM100

Es un microcontrolador de 32-bits que permite la conectividad embebida con una unidad de Punto Flotante, esta familia de microcontroladores poseen una gran cantidad de puertos de comunicación lo que permite que sea una opción bastante adecuada para proyectos en los que se necesite el intercambio de información entre varios dispositivos.[Connectivity, ]

La especificaciones del microcontrolador se pueden ver en la tabla 1.1.

Nombre	Valor
Familia	PIC32MZE <sup>F</sup>
Velocidad Máx. CPU [MHz]	200
Tamaño de Memoria Programable [KB]	2048
SRAM [KB]	512
Auxiliary Flash [KB]	160
Crypto Engine	Sí
Range Temperatura [°C]	-40 to 125
Rango de Voltaje Operacional [V]	2.2 to 3.6
Canales De Acceso Directo a la Memoria	8
Canales SPI	6
Canales I2C	5
Interfaz CODEC (I2S,AC97)	Sí
Selección de Pines Perifericos / Pin Muxing	Sí
Ethernet	10/100 Base-TX Mac
Número de Puertos Ethernet	1
Número de Modulos USB	1
Interfaz USB	Alta Velocidad
Números de Modulos CAN	2
Tipo de Modulos CAN	CAN
Entrada ADC	40
Resolución Máx. ADC (Bits)	12
Máx. Rango de Muestreo ADC [ksps]	18000
Entradas de Captura	9
Comparación de Salida Independiente/PWM Estándar	9
Núm. Máx. de Timers Digitales de 16-bit	9
Puerto Paralelo	PMP
Número de Comparadores	2
Oscilador Interno	8 [MHz], 32 [kHz]
Hardware RTCC/RTC	Sí
Máx. I/O Pins	78
Núm. de Pines	100
Interfaz Quad Serial	Sí

Tabla 1.1: Especificaciones PIC32MZ2048EFM100.

En particular esta familia de microcontroladores posee perifericos que operan a una mayor frecuencia que los microcontroladores tipicos usados para los sistemas embebidos. Esto es posible gracias al microprocesador que posee la CPU el cual contiene varios bloques lógicos que trabajan en conjunto en paralelo, proviendo un alto rendimiento de procesamiento.

Este microcontrolador usa una interfaz ICD (In Circuit Debugger) que es un depurador/programador que ofrece una solución de programación integrada y una herramienta de depuración rápida y sencilla. Utiliza 2 pines PGECx1 y PGEDx1 para las operaciones de depuración y programación, las líneas de este puerto deben quedar lo más cercano al circuito integrado con el fin de que existan la menor cantidad de interferencias y de pérdida de velocidad por distancia.

Cuando se desarrolla un proyecto en el que queden pines sin usar estos por lo general deberán colocarse como salidas y se deberán poner en un nivel lógico bajo para que no haya interferencias externas que puedan afectar el desempeño del CI. La memoria disponible en este CI es de 4GB que son espacios de direcciones virtuales unificadas. Este puede ser particionado para que para ser usado por el kernel y por el usuario y en particular esta familia permite la ejecución desde la memoria de datos.

La comunicación SPI presente en este microcontrolador permite que se pueda configurar como maestro ó esclavo, posee 4 modos de reloj y con opción de transferencia de paquetes de datos de 8, 16, 32-bits en buffers separados para el envío y recepción e interrupciones al termino de las transferencias. Esta interfaz de comunicación puede operar tanto en modo de reposo como en suspensión.

La interfaz I<sup>2</sup>C tiene soporte completo tanto para modo esclavo como para multi maestro. Cada módulo ofrece, además del soporte maestro-esclavo, direccionamiento de 7 y 10-bits para ambos modos, transferencias bidireccionales y sincronización serial que puede configurarse como mecanismo "handshake" para suspender y a reanudar la transferencia serial. Al poseer un modo multimaestro tiene la capacidad de detectar colisiones y arbitrar las transferencias acorde a la comunicación.

## 1.6. Medidor de Energía ADE7880

Este Circuito Integrado es un medidor de energía eléctrica trifásica de alta precisión, con interfaces de comunicación serial I<sup>2</sup>C y SPI. Es adecuado para la medición de energía eléctrica activa, reactiva y aparente en varias configuraciones trifásicas, además posee registros de muestreo de formas de onda para todas las salidas del

Convertidor Analógico Digital incluido en el CI<sup>1</sup>.

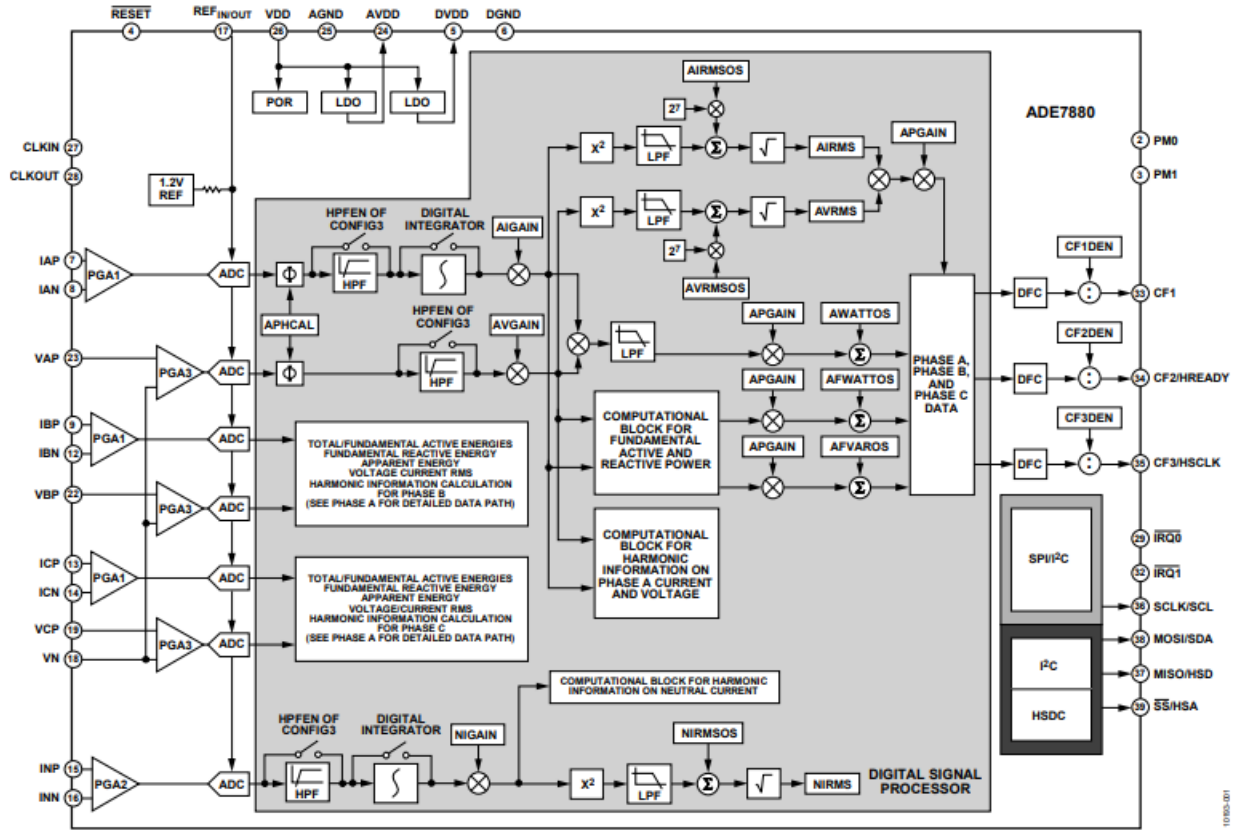


Figura 1.13: Diagrama de bloques funcional del ADE7880.

### 1.6.1. Gestion de Energía

Este CI posee 4 modos de energía determinados por el estado de los pines PM0 y PM1. Estos proveen total control sobre el chip y gracias a que poseen resistencias pull-up internas se pueden conectar fácilmente al microcontrolador.

Los modos de operación se especifican en la siguiente tabla:

- **PSM0 (Normal Power Mode):** Este es el modo de operación completamente funcional. Si el medidor de energía se encuentra en cualquiera de los otros modos y se cambia a este todos los registros automáticamente son reiniciados a sus

<sup>1</sup>Circuito Integrado ADE7880 renombrado así a partir de aquí para simplificar.

Modo de Energía	PM1	PM0
PSM0	0	1
PSM1	0	0
PSM2	1	0
PSM3	1	1

Tabla 1.2: Configuración de los pines PM para los modos de suministro de energía.

valores iniciales, con excepción del registro LPOILVL<sup>2</sup> y el registro CONFIG2<sup>3</sup>.

Cuando se realiza la transición de un modo de energía a otro el CI cambia el estado del pin  $\overline{IRQ1}$  a bajo y el bit 15 (RSTDONE) en el registro STATUS1 a alto, especialmente este último es el que indica el fin de la transición ya que durante es 0.

- **PSM1 (Reduced Power Mode):** En este modo el CI mide los valores absolutos promedio de las 3 fases de corriente para almacenarlos en los registros  $xIMAV$ <sup>4</sup>. Este modo es útil al usar una batería externa. Los puertos de comunicación serial estan activos y se puede utilizar para leer los registros  $xIMAV$ , sin embargo, a pesar de poder leer estos registros para los demás registros del CI no se garantizan que los valores sean correctos.

Al entrar en este modo despues de haber estado en en el PSM0 entonces el cálculo de valor absoluto promedio inicia sin retrasos. Los registros  $xIMAV$  son accesibles en cualquier momento después de que el pin  $\overline{IRQ1}$  ha cambiado a un valor de 0 (indicando el inicio del cómputo de valores absolutos promedio).

- **PSM2 (Low Power Mode):** Los puertos de comunicación no son funcionales en este modo, se reduce el consumo requerido para monitorear la corriente cuando no hay entrada de voltaje y la fuente de voltaje es provista por una batería externa.

Si el pin  $\overline{IRQ0}$  está en un nivel lógico bajo al acabar el periodo de medición, entonces significa que todas las fases de corriente se mantuvieron por debajo

<sup>2</sup>Registro del límite de sobrecorriente durante el modo PSM2.

<sup>3</sup>Registro de configuración de armónicos.

<sup>4</sup> $x$ : Canal de corriente A, B, C.

del límite y, por lo tanto, no hay corriente fluyendo por el sistema, en este punto el microcontrolador externo pone el CI en modo de de espera. Si en cambio el pin  $\overline{TRQ1}$  es el que se encuentra en bajo, entonces significa que por lo menos una entrada de corriente está por encima del límite definido y hay corriente fluyendo por el sistema a pesar de que no hay voltaje presente en los pines del CI. Esta situación se conoce como falta neutra, en este punto el microcontrolador externo coloca el CI en el modo PSM1. No es recomendable usar este modo si los registros de ganancia<sup>5</sup> son diferentes a 1 ó 2.

- **PSM3 (Sleep Mode):** En este modo la mayoría de los circuitos internos se encuentran apagados y el consumo de corriente se mantiene a su más bajo nivel. Los puertos I<sup>2</sup>C, SPI Y HSDC no son funcionales, además los pines de  $\overline{RESET}$ , MOSI/SDA, SCLK/SCI y  $\overline{SS}$ /HSA deben permanecer en alto.

### 1.6.2. Procedimiento de Encendido

El ADE7880 posee un chip interno que monitorea la fuente de alimentación (VDD). En el encendido el dispositivo permanece inactivo hasta que VDD alcanza los  $2.0[V] \pm 10\%$ . Al sobrepasar este límite el monitor mantiene el dispositivo en inactivo por  $26[ms]$  para permitir alcanzar el voltaje de  $3.3[V] \pm 10\%$  a la fuente de voltaje.

En la imagen 1.14 se muestra el nivel de voltaje y las acciones que toma el CI de acuerdo a este.

Los pines PM0 y PM1 tienen resistencias pull-up, pero es necesario el colocar PM1 en un nivel lógico bajo ya sea por hardware (colocando a tierra) ó a travez del microcontrolador antes de encender el chip, para asegurar que el dispositivo se inicie en PSM0. El tiempo de encendido es de al rededor de  $40[ms]$  tiempo en el cual el pin de  $\overline{RESET}$  debe permanecer en un nivel lógico alto.

Al iniciar en en modo PSM0 el puerto activo es el I<sup>2</sup>C, si se desea cambiar el puerto de comunicación se tiene que alternar el pin  $\overline{SS}$ /HSA 3 veces de un nivel lógico de voltaje alto a un nivel de voltaje bajo. Cuando se decide usar un puerto de

---

<sup>5</sup>PGA1[2:0].

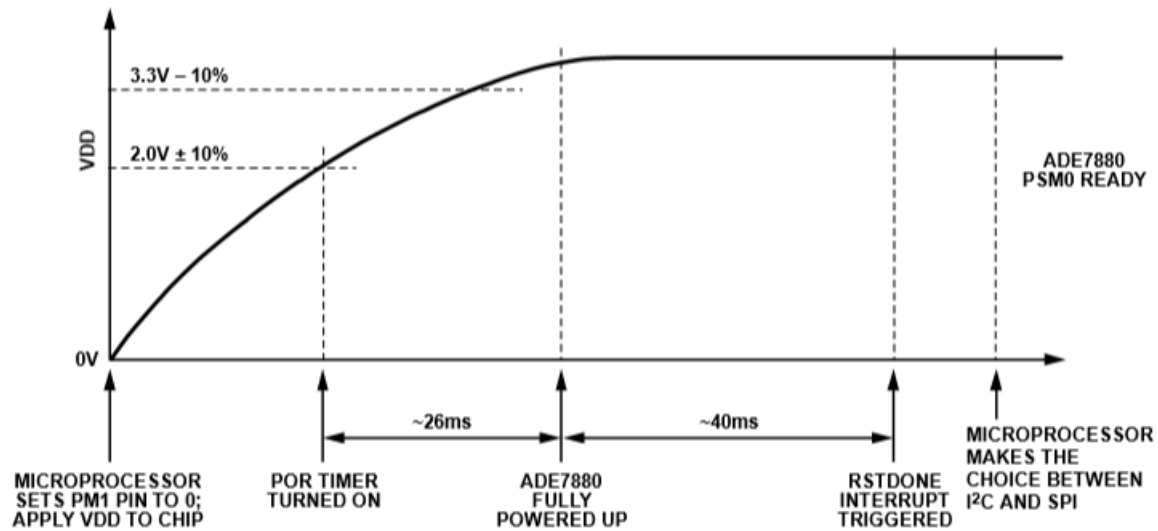


Figura 1.14: Curva de Voltaje de encendido.

comunicación este debe bloquearse para evitar que durante la comunicación ó cambio de modo de energía se alterne por el otro puerto y se pierda la comunicación. Para ello si el puerto activo es el I<sup>2</sup>C se debe escribir un 1 (I2C\_LOCK) del registro CONFIG2 en caso contrario si el puerto activo es el SPI entonces cualquier escritura al registro CONFIG2 bloqueará este puerto como el activo. En ambos casos el cambio por el otro puerto de comunicación no es posible hasta que se haga un reinicio de hardware o se apague y vuelva a encender el sistema.

Inicialmente el CI se encuentra en modo de reposo y, por lo tanto, no ejecuta ninguna instrucción, es en este punto donde todos los registros necesarios para la ejecución del programa deben iniciarse. Si el voltaje cae por debajo de los 2.0[V]±10% este entra en estado inactivo y ninguna medición ó cómputo es ejecutada.

### 1.6.3. Hardware Reset

Este tipo de reset se logra al tener el CI en el modo PSM0 y colocando el pin de *RESET* en un nivel de voltaje bajo, en otros modos de energía el pin no tiene función. Si entonces el pin es alternado de alto-bajo-alto con 10[ms] de retraso entre cambio. Durante el proceso de reinicio el pin *TRQ1* permanece en 1, al termino del proceso este pin es colocado a 0 y todos los registros son devueltos a sus valores iniciales de



fábrica.

El reinicio por Hardware devuelve el puerto I<sup>2</sup>C como canal principal de comunicación.

#### 1.6.4. Software Reset

Al igual que el reset por Hardware esta opción solo esta disponible durante el modo PSM0. Para iniciar el reset por Software se utiliza el bit 7 en el registro CONFIG, inicialmente este bit se encuentra en 0, y si es cambiado a 1 entonces entra en modo de Reset, el cual regresa a valores iniciales a la mayoría de los registros, la selección de puerto de comunicación se mantiene si se ha bloqueado de manera correcta. Los únicos valores que mantienen sus valores son CONFIG2 y LPOILVL.

#### 1.6.5. Operación del ADE7880

##### Entradas analógicas

Contiene 7 entradas analógicas que forman los canales de corriente y voltaje. Los canales de corriente constan de 4 pares de entradas I<sub>x</sub>P/I<sub>x</sub>N<sup>6</sup> diferenciales los cuales tienen un máximo de señal  $\pm 0.5[V]$  e igual con respecto a la señal en AGND<sup>7</sup>.

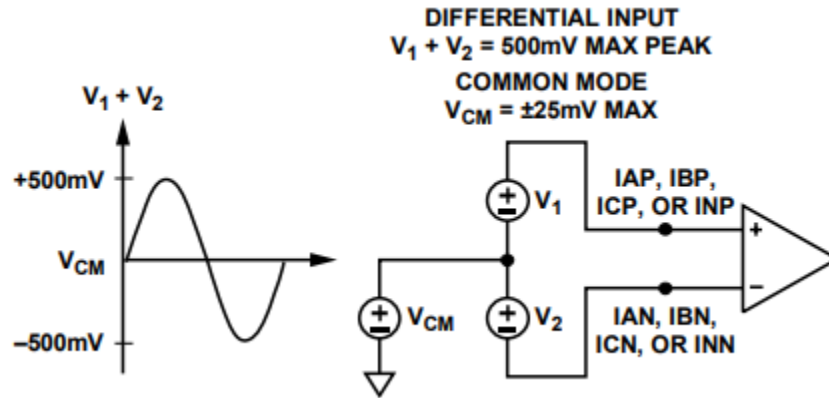


Figura 1.15: Esquema de entradas analógicas de corriente.

<sup>6</sup>x: Canales A, B, C y N respectivamente

<sup>7</sup>Referencia a tierra para el circuito analógico.

Todas las entradas poseen un Amplificador Programable de Ganancia (PGA por sus siglas en inglés) con una selección de x1, x2, x4, x8 ó x16. Las ganancias presentes en IA, IB e IC se colocan en un registro diferente a IN<sup>8</sup> para obtener una ganancia diferente a las 3 primeras.

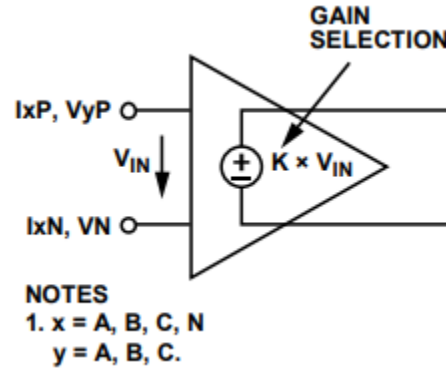


Figura 1.16: Esquema de los amplificadores de ganancia en las entradas analógicas.

El canal de voltaje tiene 3 entradas de voltaje de un sólo extremo, con una entrada máxima de  $\pm 0.5[V]$  con respecto a  $V_N$ <sup>9</sup>, de igual manera estas entradas tienen una entrada de señal máxima de  $\pm 0.5[V]$  con respecto a AGND.

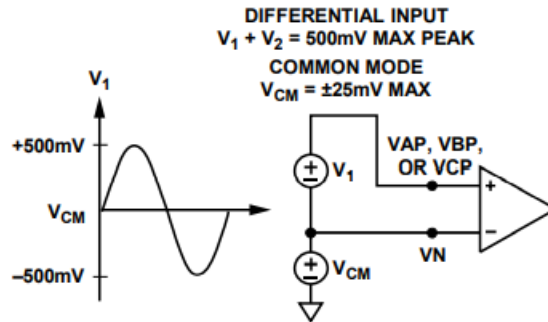


Figura 1.17: Esquema de entradas analógicas de voltaje.

## Convertidor Analógico Digital

A las entradas de los canales de corriente y voltaje se tienen Convertidores Analógicos Digitales  $\Sigma\text{-}\Delta$ , estos se encuentran activos en el modo PSM0, y en el PSM1 solo

<sup>8</sup>Entrada analógica del canal de corriente neutra.

<sup>9</sup>Entrada analógica del canal de voltaje neutral.

los que miden los canales de corriente se encuentran activos a excepción del canal de corriente neutral. En los otros modos no están activos ninguno de los ADC<sup>10</sup>.

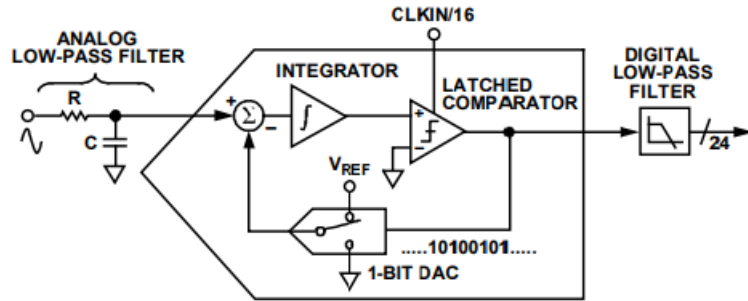


Figura 1.18: Convertidor Analógico Digital.

El módulo  $\Sigma$ - $\Delta$  convierte la señal de entrada en un flujo en serie de 1 y 0 a un tiempo determinado por el reloj de muestreo (En el ADE7880 este reloj es de 1.024[MHz]). El DAC<sup>11</sup> de 1-bit en el bucle de retroalimentación es llevado por el flujo de datos en serie, entonces la salida del DAC es sustraída de la señal de entrada. Si el bucle de ganancia es lo suficientemente alto el valor promedio de la salida del DAC puede aproximarse al nivel de la señal de entrada. El promedio es pasado entonces a un filtro digital pasa-bajas que produce una palabra de 24-bits proporcional al nivel de la señal de entrada.

### Filtro Antialias

Este filtro se encuentra a la entrada del ADC y su función es la de prevenir el solapamiento que se presenta en todos los sistemas de muestreo.

Para sensores de corriente convencionales es recomendable usar filtros RC<sup>12</sup> con una frecuencia de corte de 5[kHz] para que la atenuación sea suficiente para eliminar los efectos de solapamiento para sensores de corriente convencionales.

<sup>10</sup>Convertidor Analógico Digital.

<sup>11</sup>Convertidor Digital Analógico.

<sup>12</sup>RC: Resistor Capacitor.

## Función de Transferencia de los ADC

Todos los ADC en el CI estan diseñados para producir el mismo nivel de señal de la salida en el código de 24-bits con signo a la salida. El código del ADC puede variar entre 0x800000 (-8,388,608) y 0x7FFFFFFF (8,388,607), esto es equivalente a una señal de entrada de  $\pm 0.787[V]$ , por lo tanto no debe excederse el rango nominal especificado de  $\pm 0.5[V]$ . Las señales se muestrean a una velocidad de 8[kSPs]<sup>13</sup>.

### 1.6.6. Canal de Corriente del ADC

Las salidas que producen el ADC en el canal de corriente son 2 palabras de 24-bits signadas en complemento y se encuentra disponible a 8[kSPs]. Con la señal analógica específica de entrada de  $\pm 0.5[V]$ , el ADC produce un valor máximo que oscila entre -5,326,737 (0xAEB86F) y +5,326,737 (0x514791).

La entrada IN corresponde a la entrada de corriente neutral de un sistema trifásico. En caso de no contar con línea neutral de corriente se debe conectar a AGND.

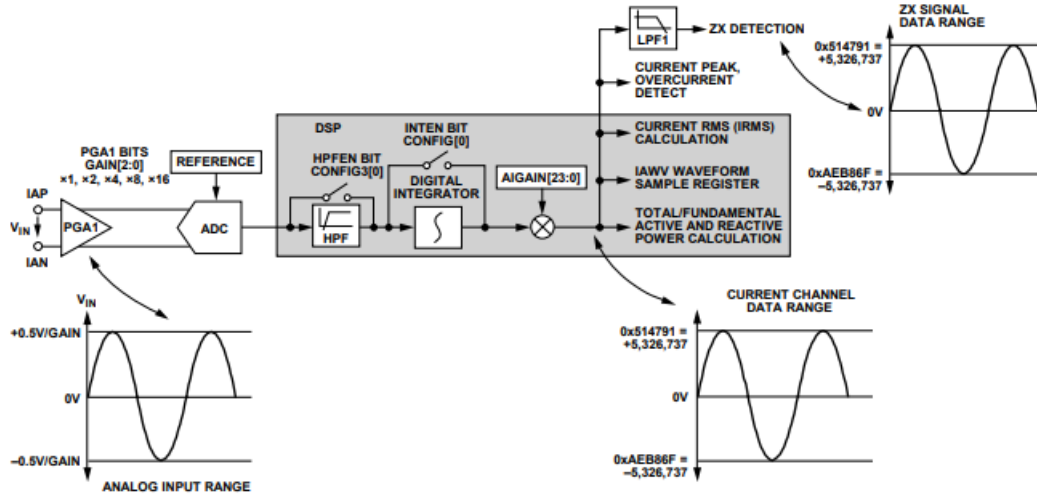


Figura 1.19: Ruta de la señal del Canal de Corriente.

<sup>13</sup>kSPs: Mil muestras por segundo (Kilo Samples per second).

## Registros de Ganancia de Ondas de Corriente

En cada fase hay un multiplicador de señal. La onda de corriente puede ser cambiada a  $\pm 100$  escribiendo en el registro correspondiente. Cuando se cambian estos registros por ende los cálculos de la corriente son modificados, esto es, se afectan las correspondientes fases activa, reactiva ó aparente y el cálculo de corriente RMS así como también se escalonan las muestras de onda.

El DSP<sup>14</sup> trabaja en 28-bits y los registros xIGAIN en 24-bits se acceden como registros de 32-bits y ya que los puertos de comunicación serie trabajan en 8, 16, 32 bits, los registros se accesan como si fueran registros de 32-bits y en el caso del DSP los 4-bits más significativos son colocados con "0"; en el otro caso, los registros xIGAIN además de poner los últimos bits en "0" los bits 24-27 son colocados con el mismo valor que el bit 23.

## Filtro Pasa Altas del Canal de Corriente

La salida del ADC pueden tener un offset, el cual puede crear errores en el cálculo de la potencia y los valores RMS de las señales. Los filtros pasa altas (HPF<sup>15</sup>) son colocados en la ruta de la señal de la corriente de fase y neutro y de los voltajes de fase. Si se habilita el HPF elimina cualquier offset de DC en el canal de corriente.

## Muestreo de Canal de Corriente

Las ondas de muestreo del canal de corriente son tomadas de la salida del HPF y almacenados en registros de 24-bits signados IxWV y a una velocidad de 8[kSPs]. Todos los cálculos de RMS y de potencia deben permanecer ininterrumpidos durante este proceso.

El bit 17 del registro STATUS0 es colocado en 1 cuando los registros IxWV están disponibles para la lectura a través de los canales de comunicación serial. Este CI posee un puerto de captura de datos de alta velocidad (HSDC) diseñado específicamente para proveer rápido acceso a los registros de muestreo de las formas de onda.

---

<sup>14</sup>DSP: Procesador Digital de Señales.

<sup>15</sup>HPF: High Pass Filter

### 1.6.7. Canal de Voltaje del ADC

Las salidas del ADC de los canales de voltaje son similares a las de los canales de corriente con 2 palabras en complemento signados a 24-bits. Con la señal analógica de entrada específica de  $\pm 0.5[V]$ , el ADC produce un valor máximo que oscila entre -5,326,737 (0xAEB86F) y +5,326,737 (0x514791).

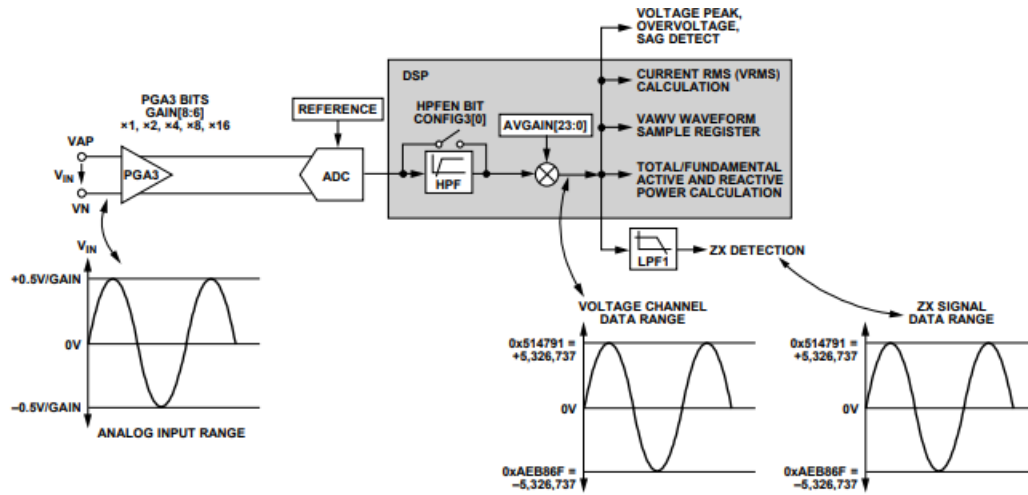


Figura 1.20: Ruta de la señal del Canal de Voltaje.

### Registro de Ganancia de Ondas Voltaje

Al igual que con los registros de ganancia de corriente, existe un multiplicador para la señal que puede cambiarse por  $\pm 100$  escribiendo los correspondientes 2 números signados en complemento de 24-bits a los registros de ganancia de ondas de voltaje.

### Filtro Paso Altas del del Canal de Voltaje

Como se explica con el HPF del canal de corriente, las salidas del ADC pueden contener offsets de DC que pueden crear errores en los cálculos de RMS y potencia. Los HPFs son colocados en las rutas de la señal de la fase de voltaje, similar a los del canal de corriente. Bit0 (HPFEN) del registro CONFIG3 activa ó desactiva los filtros.

## Muestreo del Canal de Voltaje

Las muestras del canal de voltaje son tomadas a la salida del HPF y almacenados en registros de 24-bits signados a una velocidad de 8[kSPs]. Del mismo modo que con el canal de corriente los cálculos permanecen ininterrumpidos durante el muestreo y se señala en el bit 17 del registro STATUS0 cuando los registros de VxWV están disponibles para ser consultados por los canales de comunicación serial.

### 1.6.8. Procesador Digital de Señales

El ADE7880 posee un Procesador Digital de Señales de función fija que computa todos los valores de potencia y RMS. Contiene memoria de programa ROM y memoria de datos RAM. El programa que se usa para calcular estos valores se guarda en la memoria ROM y el procesador lo ejecuta cada 8[kHz] y para señalar que ha acabado el computo se coloca el bit 17 en "1.<sup>en</sup> el registro STATUS0, tambien se puede colocar el mismo bit en el registro MASK0 para habilitar la interrupción  $\overline{IRQ0}$ . Los registros usados para el DSP estan localizados en la memoria RAM entre las direcciones 0x438 a 0x43BE y un ancho de 28-bits.

Al usarse un pipeline de 2 etapas es necesario escribir 2 veces la inicialización de un registro para asegurarse que se escriba correctamente en la memoria RAM. Si se requieren 2 ó más registros, para inicializarlos se debe escribir el último registro 2 veces. Al inicializar el medidor de energía el DSP se encuentra en reposo al igual que los otros con los registros inicializados con "0", para inicializar el DSP se escribe en el registro RUN 0x0001.

Como protección a la integridad de los datos almacenados en la memoria RAM, se tiene un mecanismo de protección contra escritura, deshabilitado inicialmente, para habilitarlo es necesario escribir 0xAD a la dirección 0xE7FE seguido de 0x80 en la dirección 0xE7E3. Para deshabilitarla de nuevo se escribe 0xAD a la dirección 0xE7FE seguido de 0x00 en la dirección 0xE7E3. Cuando el CI sale del modo PSM0 es recomendable desactivar el DSP escribiendo 0x0000.

### 1.6.9. Interrupciones

Cuenta con 2 pines de interrupción  $\overline{IRQ0}$  E  $\overline{IRQ1}$  cada uno manejado por registros de 32-bits de enmascaramiento activando los registros MASK0 y MASK1 estos registros activan la interrupción colocando en 1 el bit correspondiente de la funcion de la cual se desae conocer el estado.

Si el bit de enmascaramiento se encuentra con un valor de "1".<sup>en</sup> el registro correspondiente esto, entonces producirá una salida en el pin  $\overline{IRQx}$  de activo en bajo.

Para determinar la fuente de la interrupción el microcontrolador debe realizar una lectura en los registros e identificar el bit en alto correspondiente. Para borrar la bandera del registro STATUSx se debe escribir de nuevo en el registro con la bandera con la bandera establecida en "1". Después de una interrupción el pin cambia a un valor lógico bajo, el registro de STATUSx es leído y la fuente de la interrupción es identificada. Entonces el registro es escrito de vuelta sin ningun cambio para limpiar el estado de la bandera de vuelta a 0. El estado del pin  $\overline{IRQx}$  se mantiene en bajo hasta que el estado de la bandera es cancelado.

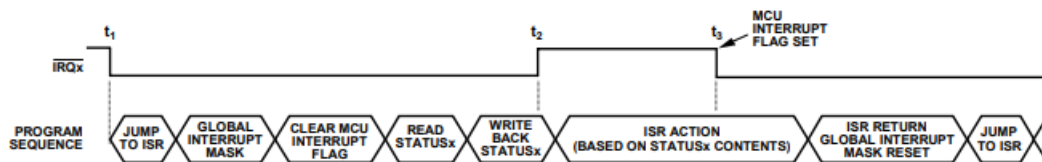


Figura 1.21: Interrupciones.

Inicialmente todas las interrupciones se encuentran desactivadas por lo que la interrupcion RSTDONE es una excepción.

### 1.6.10. Interfaces de Comunicación

El ADE7880 posee 3 puertos de comunicación serial SPI, I<sup>2</sup>C Y HSDC, sin embargo por la configuración de los pines solo se pueden usar 2 tipos de configuraciones, una utilizando el puerto SPI únicamente y la segunda es usando los puertos I<sup>2</sup>C Y HSDC.

Se incluyen un conjunto de 3 registros que permiten verificar la comunicación con el CI. Los regsitros LAST\_OP (Address 0xEA01), LAST\_ADD (Address 0xE9FE)



and LAST\_RWDATA se encargan de almacenar los datos, la dirección de registro y la naturaleza del acceso al registro (Lectura/Escritura) de la última comunicación exitosa respectivamente. El registro LAST\_RWDATA tiene 3 diferentes direcciones dependiendo de la longitud del registro de la última comunicación.

<b>Tipo de comunicación</b>	<b>Dirección de registro</b>
Lectura/ Escritura de 8-Bit	0xE7FD
Lectura/ Escritura de 16-Bit	0xE9FF
Lectura/ Escritura de 32-Bit	0xE5FF

Tabla 1.3: Direcciones de los registros de última escritura (LAST\_RWDATA).

Después de cada comunicación exitosa los registros se actualizan con la información de la operación, 0xCA si fue escritura y 0x35 si es lectura y el dato que se leyó o escribió. Las operaciones no completadas no se reflejan en estos registros así como cuando se leen estos registros.

## SPI (Serial Peripheral Interface)

El SPI de este CI siempre es esclavo en la comunicación y consiste en 4 pines de comunicación SCLK, MOSI, MISO Y SSA.

El reloj para la transferencia de datos debe aplicarse al pin SCLK y todas las transferencias de datos se sincronizan con este reloj. El intercambio de información entrante en el CI se realiza en el pin MOSI en los flancos descendentes del reloj serial y el CI lo muestrea en los flancos ascendentes del reloj. Por el contrario la información saliente del CI se transfiere por el pin MISO en los flancos descendentes del reloj serial y el dispositivo maestro muestrea la información en los flancos ascendentes. El bit más significativo de la palabra es intercambiado a la entrada. La máxima frecuencia del reloj serial soportada por esta interfaz es de 2.5[MHz], el pin MISO se mantiene en alta impedancia mientras no hay intercambio de información.

EL pin  $\overline{SS}$  es utilizado para seleccionar entre más de un dispositivo si es que los hay. Para poder utilizar el dispositivo y realizar la comunicación entre este y el dispositivo maestro este pin debe llevarse a un voltaje lógico bajo y permanecer así mientras dure la comunicación. Al cambiar el nivel lógico de este pin aborta la

transferencia y para iniciar una nueva esta se debe volver a poner a un voltaje lógico bajo.

### **I<sup>2</sup>C (Inter Integrated Circuits)**

Este CI posee una interfaz I<sup>2</sup>C para la comunicación, implementada completamente como un hardware esclavo. El pin de intercambio de información SDA se encuentra localizado en el pin 38 y se encuentra compartido con el pin MOSI del puerto SPI, de igual manera el reloj serial SCL se encuentra compartido con el reloj serial del puerto SPI en el pin 36. La máxima frecuencia soportada por el reloj serial es de 400[kHz].

La secuencia de transferencia del sistema I<sup>2</sup>C consiste en el dispositivo maestro generando un condición de inicio para la transferencia cuando el bus se encuentra desocupado. El dispositivo maestro entonces transmite la dirección del dispositivo esclavo (0x70) y la dirección del registro de la transferencia de datos en la transferencia de dirección inicial si el dispositivo esclavo reconoce entonces empieza la transferencia de datos. Esto continua hasta que el maestro emite una condición de parada y el bus queda de nuevo desocupado.

### **HSDC (High Speed Data Capture)**

Debido a que para este proyecto es necesario el recopilar una gran cantidad de muestras a alta velocidad la documentación del Circuito Integrado ADE7880 recomienda, para la lectura de estos registros en específico, utilizar una interfaz propia de Analog Devices para este circuito llamada High Speed Data Capture (Captura de Datos a Alta Velocidad) por lo que es necesario configurar el microprocesador de manera que se pueda usar la comunicación I<sup>2</sup>C como interfaz serial principal y la comunicación HSDC como secundaria usando el canal SPI del microcontrolador como esclavo, que recibirá toda la información de los registros de voltaje y corriente enviados por esta interfaz.

## 1.7. Entorno de Desarrollo MPLAB X

Microchip provee un entorno de desarrollo y un compilador además de una variedad de herramientas para facilitar la configuración de sus dispositivos, de las cuales es MPLAB Harmony, TCP/IP Discoverer y MPFS Generator resultan de las más útiles para desarrollar proyectos enfocados en los sistemas embebidos en dispositivos de la familia PIC32.

Esta herramienta de desarrollo se le conoce como Entorno de Desarrollo Integrado (IDE) debido a que provee un entorno (Fig. 1.22) amigable y simple para desarrollar código para sistemas embebidos que utilicen microcontroladores de Microchip, cuenta con un editor de código en C, un manejador de archivos y un depurador de código con múltiples herramientas que facilitan el análisis en tiempo de ejecución.



Figura 1.22: Ventana Principal MPLAB X.

El manejador de archivos del IDE (Fig. 1.23) se encarga de organizarlos para que puedan ser enviados a los analizadores de lenguaje para ser ensamblados y compilados y finalmente enlazados al espacio de memoria junto a las librerías del microcontrolador para poder crear los archivos necesarios que se vargaran a la memoria del microcontrolador.

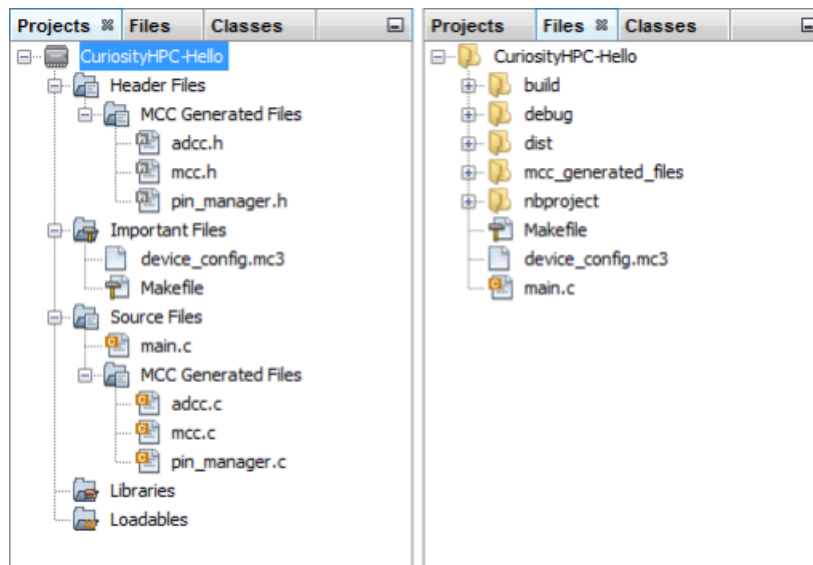


Figura 1.23: Manejador de Archivos de MPLAB X.

Para asegurarse que cada módulo trabaje de manera correcta con los otros el IDE tiene un depurador que realiza la ejecución de las pruebas de la aplicación simulando un microcontrolador o directamente sobre el hardware ayudandose de varias herramientas para controlar la ejecución del programa como: pausar usando de breakpoints y visualizar el valor de banderas y variables cuando el programa se haya detenido, avanzar linea por linea la ejecución de un código, reiniciar el contador del programa y finalmente detener la ejecución de una aplicación.

### 1.7.1. Herramienta de configuración MPLAB Harmony

Esta herramienta es un agregado para crear soluciones de firmware para sistemas embebidos usando los microcontroladores PIC32 de Microchip. MPLAB Harmony consta de librerías portables, modulares y compatibles de Microchip y asociados así como también provee la ventaja de facilitar el desarrollo de código capaz de ser reutilizable en aplicaciones embebidas que utilicen a los PIC32 como microcontrolador principal.

Esta herramienta es diseñada casi por completo en lenguaje C tomando elementos de la programación orientada a objetos y la flexibilidad de un Sistema Operativo en Tiempo Real (RTOS) además de proveer módulos de software que son fáciles de usar,

configurar y trabajar en conjunto con otros módulos.

La portabilidad que ofrece Harmony al momento de estar desarrollando firmware se basa en la simplicidad de sus librerías lo cual reduce en gran medida el trabajo y el costo en desarrollar una aplicación para un dispositivo. Las librerías de periféricos y drivers presentes permiten que la aplicación pueda comunicarse de manera consistente a través de funciones con los periféricos, evitando que, en caso de que los haya, los diversos módulos no entren en conflicto en la ejecución y operen de manera correcta. Esta forma de trabajar facilita que al momento de desarrollar las aplicaciones las funciones solo requieran pequeños cambios que se adapten a las necesidades del proyecto ya que evitan que la aplicación interactúe directamente con el periférico en el microcontrolador.

Estas características permiten al código ser reutilizado en varios dispositivos que compartan características similares y, en dado caso, solo necesitar pequeños cambios para adaptarlos al nuevo dispositivo y poder acoplarlo en nuevos proyectos ya que cada módulo de aplicación maneja sus propios recursos.

La estructura que se maneja MPLAB es para facilitar la configurabilidad los proyectos ya que normalmente estos son creados de modo que se aisle el código necesario para configurar un sistema de los códigos de librerías y de aplicaciones.

El archivo main es considerado la parte principal de cualquier código en este tipo de proyectos consiste de un super "loop" que se encarga de mantener activos los módulos de driver y servicios del sistema para que cuando sean necesarios, sean llamados fácilmente por una función que permita obtener lo más rápido una respuesta con la cual sea posible continuar la operación de la aplicación activa.

Harmony crea sus proyectos de forma que estos se ejecuten como una máquina de estados y cada módulo pueda ejecutarse de manera repetitiva e indefinidamente mientras el dispositivo se encuentre activo, de esta manera cada módulo puede desempeñar las tareas que se le son asignadas para que la aplicación siga en funcionamiento.

Los archivos pertenecientes a la aplicación se mantienen separados a los archivos de configuración, de esta manera una misma aplicación puede tener más de una configuración.

### 1.7.2. Generador MPFS

Para poder visualizar las páginas web en un sistema embebido no basta con solo con cargar la página en la memoria del microcontrolador ya que así no podría interactuar con las variables presentes en las aplicaciones. Por ello es necesario primero crear una imagen MPFS y añadir las variables dinámicas para agregar un encabezado que se encargará de enlazar la página web con la aplicación del microcontrolador para que interactuen entre sí y con el usuario final.

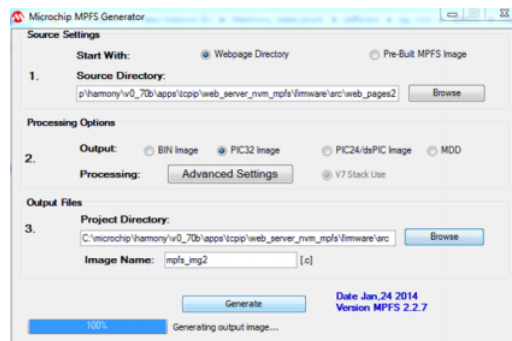


Figura 1.24: Ventana del Generador MPFS.

Las páginas web que se crean para interactuar con el microcontrolador es necesario colocar las variables dinámicas de la página web entre "-", de esta manera los cambios que realice el microcontrolador se visualizaran en la página web y viceversa las instrucciones que se envíen desde la página web el microcontrolador las realizará.

### 1.7.3. TCPIP Discoverer

Esta herramienta permite a la computadora de escritorio encontrar los dispositivos de Microchip que están conectados a la misma red local, mostrando las direcciones MAC e IP de las tarjetas de red con lo que ya se pueden acceder a las páginas web almacenadas en la memoria del microcontrolador. Con ello se pueden realizar pruebas de conexión y de visualización de las páginas web del sistema.

También existe una aplicación (1.26) en la Microsoft Store que hace lo mismo y es más rápida de utilizar.

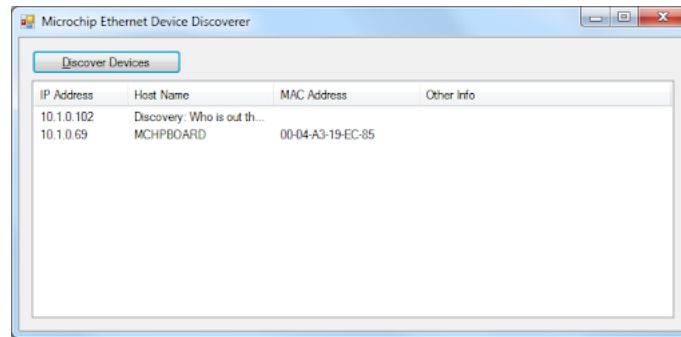


Figura 1.25: Ventana TCPIP Discoverer.



Figura 1.26: Ventana de Dispositivos TCPIP.

# Capítulo 2

## Desarrollo

En este capítulo se explicará la forma en la que se fue elaborando el proyecto. La programación del proyecto se realiza por parte del entorno de desarrollo de Microchip MPLAB X, mientras que la configuración de los puertos se realiza con la herramienta proporcionada por el mismo MPLAB Harmony debido a que la configuración manual sería demasiado complicada debido a la cantidad de puertos, pines y servicios disponibles por parte del microcontrolador que se utilizan para este dispositivo además de la medición de energía.

### 2.1. Firmware

#### 2.1.1. Procedimiento de Encendido del Sistema

Como se mencionó en el capítulo dedicado al ADE7880, es necesario el suministrarle 3.3[V] y con ello también requiere un periodo de inactividad para asegurar un voltaje estable para trabajar. Debido a esto y para tener los requerimientos necesarios para trabajar adecuadamente el microcontrolador PIC32MZEFM100 es el encargado de monitorear estos cambios.

Una vez que el voltaje es estable en el dispositivo se lleva a cabo un procedimiento de reinicio al ADE7880 por parte del PIC. Los pasos que deben llevarse a cabo son los siguientes esto con el objetivo de que este trabaje de manera correcta.



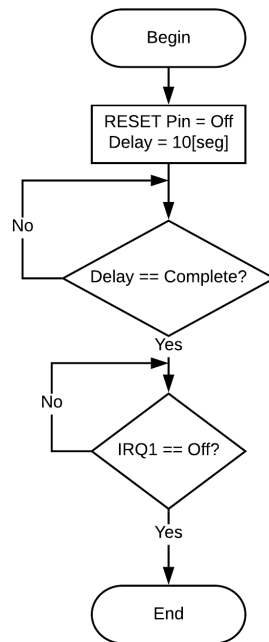


Figura 2.1: Diagrama de flujo del reinicio del ADE7880.

Para iniciar el proceso de reinicio del ADE7880 se pone en bajo voltaje el pin de  $\overline{RESET}$  durante 10[s] después se regresa a alto con esto el dispositivo entra en "Modo de Reinicio", este indica que el CI esta listo para usarse al colocar el pin  $\overline{IRQ1}$  en bajo.

### 2.1.2. Inicialización de Comunicación

Ya que esta es una actualización del módulo de medición de energía por lo que la inicialización esta parcialmente completa, sin embargo al realizar el cambio de canal de comunicación principal de SPI (2.3) a I2C(2.4) y HSDC(Este puerto utiliza la interfaz SPI del microcontrolador por lo que se reconectan los pines pero se deja la configuración ) se cambió las configuraciones de estos canales. Todas las demás siguieron igual a como se tenían en la primer versión del módulo.

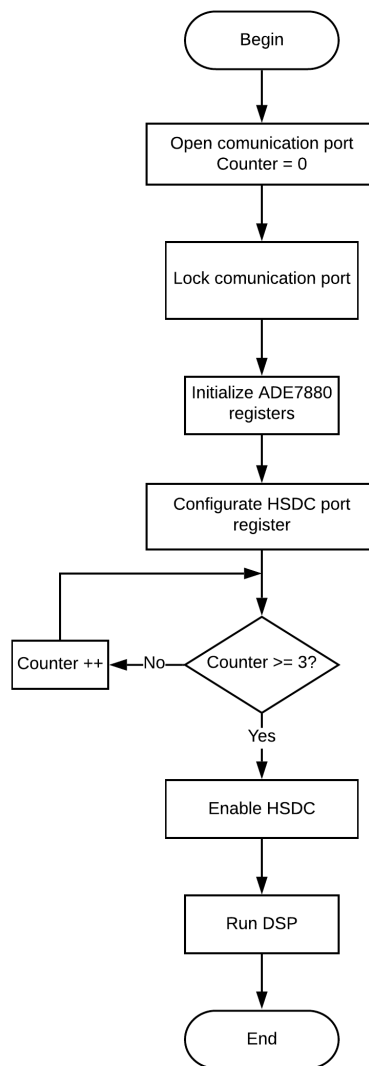


Figura 2.2: Diagrama de flujo de Inicialización de Comunicación.

☒ SPI Driver Instance 1

SPI Module ID SPI\_ID\_6

Driver Mode

TX Interrupt Priority INT\_PRIORITY\_LEVEL3

TX Interrupt Sub-priority INT\_SUBPRIORITY\_LEVEL0

RX Interrupt Priority INT\_PRIORITY\_LEVEL3

RX Interrupt Sub-priority INT\_SUBPRIORITY\_LEVEL0

Error Interrupt Priority INT\_PRIORITY\_LEVEL3

Error Interrupt Sub-priority INT\_SUBPRIORITY\_LEVEL0

Master/Slave Mode

Data Width

Buffer Mode

☐ Allow Idle Run

Protocol Type DRV\_SPI\_PROTOCOL\_TYPE\_STANDARD

Baud Clock Source SPI\_BAUD\_RATE\_PBCLK\_CLOCK

Clock/Baud Rate - Hz 150000

Clock Mode DRV\_SPI\_CLOCK\_MODE\_IDLE\_HIGH\_EDGE\_FALL

Input Phase SPI\_INPUT\_SAMPLING\_PHASE\_IN\_MIDDLE

Dummy Byte Value 0xFF

Max Jobs In Queue 10

Minimum Number Of Job Queue Reserved For Instance 1

Figura 2.3: Configuración SPI del PIC32MZ.

I2C

☒ Use I2C Driver?

Driver Implementation DYNAMIC

☒ Interrupt Mode

Number of I2C Driver Clients 1

Number of I2C Driver Instances 1

☐ Include Force Write I2C Function (Master Mode Only - Ignore NACK from Slave)

☒ I2C Driver Instance 0

☐ Use Bit Bang I2C Implementation?

I2C Module ID I2C\_ID\_2

Operation Mode DRV\_I2C\_MODE\_MASTER

Master Interrupt Priority INT\_PRIORITY\_LEVEL5

Master Interrupt Sub-priority INT\_SUBPRIORITY\_LEVEL0

Error Interrupt Priority INT\_PRIORITY\_LEVEL5

Error Interrupt Sub-priority INT\_SUBPRIORITY\_LEVEL0

Baud Rate Generator Clock 100000000

I2C CLOCK FREQUENCY (Hz) 400000

☐ Slew Rate Control

Power State SYS\_MODULE\_POWER\_RUN\_FULL

Figura 2.4: Configuración I2C del PIC32MZ.

### 2.1.3. Configuración del puerto I<sup>2</sup>C

Este puerto se activa al encender el dispositivo o al realizar un reinicio de hardware, entonces el puerto I<sup>2</sup>C queda seleccionado como interfaz de comunicación. Para evitar que al hacer cambios en el nivel de voltaje del pin  $\overline{SS}$ /HSA se cambie a la interfaz de comunicación SPI, se debe bloquear el puerto I<sup>2</sup>C para ello se debe poner a 1 el Bit 1 (I2C\_LOCK) del registro CONFIG2, esto previene que al realizar cambios de voltaje en el pin  $\overline{SS}$ /HSA y el cambio a SPI no es posible hasta que se realice un reinicio de hardware o se reinicie todo el sistema.

Bit	Mnemonic	Valor predeterminado
0	EXTREFEN	0
1	I2C_LOCK	1
7:2	Reservados	0

Tabla 2.1: Valores del registro CONFIG2 que se deben transmitir para bloquear el puerto I<sup>2</sup>C.

Este registro se accesa como si fuera un registro de 8-Bits por lo que los 6 Bits más significativos deben permanecer como 0. En este caso en particular se transmite 0x02 a la dirección de registro 0xEC01.

### 2.1.4. Configuración del puerto HSDC

Para configurar el puerto HSDC se debe escribir primero al registro HSDC\_CFG [0xE706] a través del puerto I<sup>2</sup>C la configuración con la que se van a estar enviando los datos a través del puerto HSDC. Ya que se configura el puerto se habilita colocando el bit 6 (HSDCEN) en el registro CONFIG [0xE618] a 1, con esto se activa la comunicación.

La configuración que se ha decidido usar es tener el reloj a 8[MHz] con la transmisión de registros en paquetes de 32-bits, no se agrega una brecha de 7 ciclos de reloj entre transmisiones y únicamente se transmitirá el contenido de los registros de voltaje y corriente: IAWV, VAWV, IBWV, VBWV, ICWV, VCWV, e INWV, lo que permite que se realice la comunicación de manera más rápida. El pin de selección de esclavo ( $\overline{SS}$  ó Chip Select) se mantiene como activo en bajo.

# Capítulo 3

## Resultados

Como se explicó al principio el desarrollo de este proyecto se pensó como una mejora a los medidores de energía anteriormente fabricados por el Instituto de Ingeniería por lo que este, solo se centró únicamente en la lectura de muestras a alta velocidad por parte del microcontrolador.

### 3.1. Lectura de Datos Usando el Canal SPI

En un principio el sistema medidor de energía estaba pensado para realizar la comunicación entre el microprocesador y el medidor ADE7880 con interfaz SPI sin embargo al momento de realizar las primeras pruebas, los registros correspondientes a los canales de medición de voltaje y corriente, pasado un tiempo los valores que se recuperan de los registros pierden coherencia lo que hace que los resultados sean inútiles para su análisis.

La lectura de los registros se configuró para que el microprocesador lo realizara a la mayor velocidad posible utilizando un reloj de 150000[Hz] por el canal 6 SPI 2.3.

En la siguiente gráfica 3.1 se puede ver como la velocidad de comunicación es bastante rápida al leer los valores de registro a pesar de tener que leer el registro DREADY para asegurarse que los registros de voltaje y corriente esten listos se obtenían demasiado rápido, pero como se había mencionado estos valores no demostraban valores que puedan ser útiles.

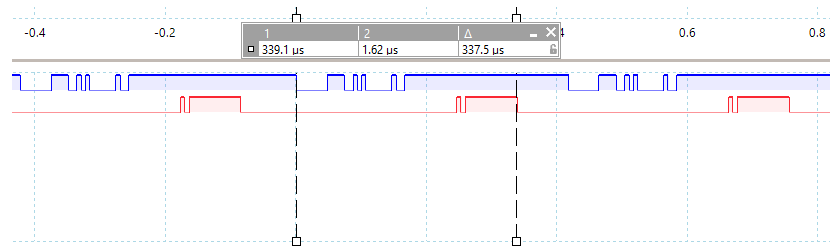


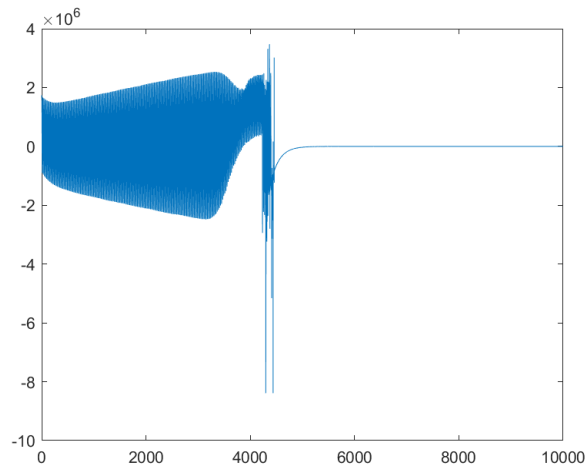
Figura 3.1: Comunicación SPI con los registros de voltaje y corriente.

Como se pueden ver en las graficas de voltaje (Graficas 3.2) y corriente (Graficas 3.3) al usar el canal SPI para muestrear los registros de voltaje y corriente de los 3 canales estos entregaban valores que no reflejaban la energía que se suministraba y en algunos casos ni siquiera se actualizaban los valores que el dispositivo tiene inicialmente, ya que las pruebas que se hacían se realizaban con un simulador de voltaje y corriente controlado con lo cual era posible conocer el valor que se deseaba obtener.

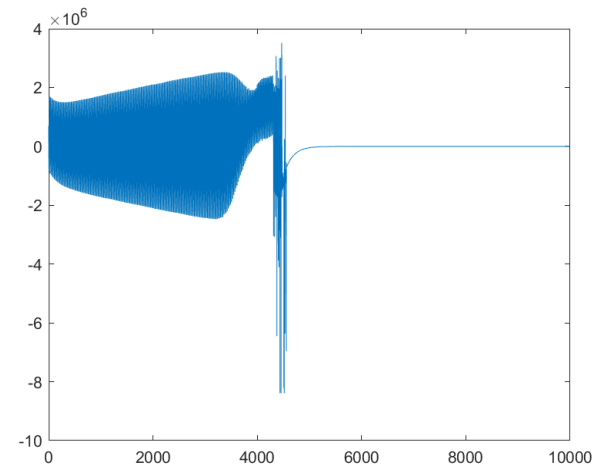
Después de realizar un par de pruebas más y obtener valores similares en todas las pruebas y siguiendo la recomendación que el manual del dispositivo para la lectura de esos registros se decidió cambiar el canal de comunicación de SPI por el HSDC con el cual se planea tener una lectura más rápida de los registros así como poder mantener la comunicación únicamente con los registros de voltaje y corriente de manera continua sin interacciones con los otros módulos del sistema de medición de energía.

## 3.2. Lectura de Datos usando el canal HSDC

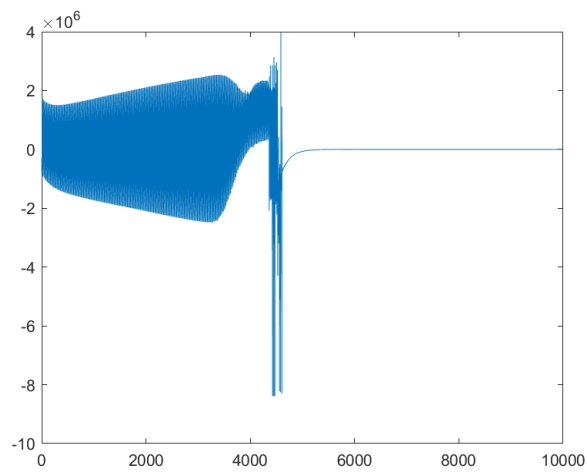
Las primeras pruebas que se realizaron usando este canal de comunicación inicia de manera correcta al configurar los valores necesarios en el registro correspondiente del ADE7880, se comprobó usando el osciloscopio que los paquetes de datos se envíen y reciban de manera correcta por el canal I2C para despues comprobar que el puerto HSDC realmente envíe información. Al iniciar el DSP se comprobó que el puerto HSDC enviaba la información proveniente de los registros de corriente y voltaje del medidor de energía.



(a) Canal de Voltaje A

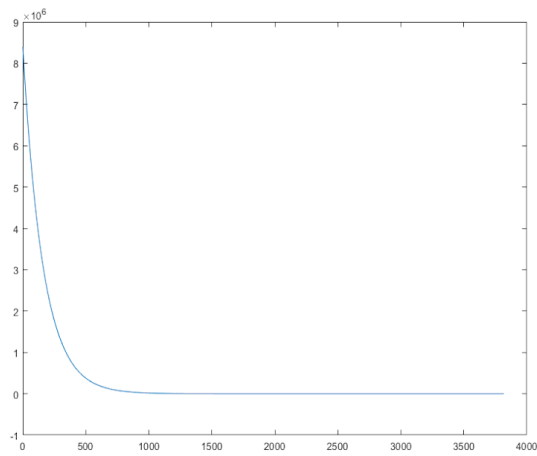


(b) Canal de Voltaje B

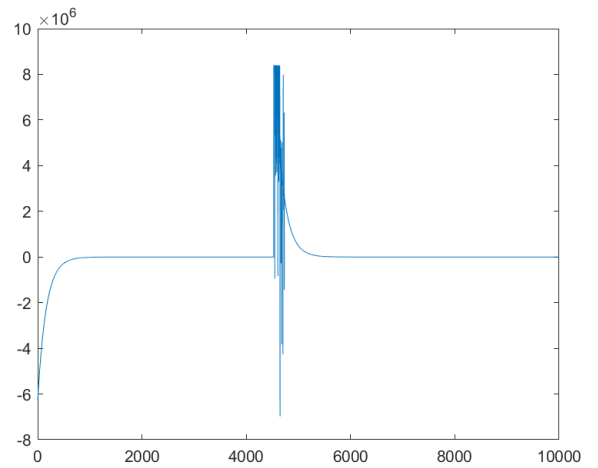


(c) Canal de Voltaje C

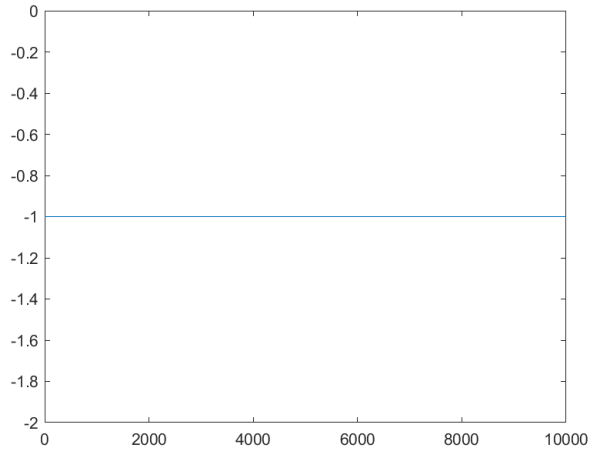
Figura 3.2: Gráficas de la primera prueba de los Canales de Voltaje.



(a) Canal de Corriente A



(b) Canal de Corriente B



(c) Canal de Corriente C

Figura 3.3: Gráficas de la primer prueba de los Canales de Corriente.



## Capítulo 4

### Conclusiones

Hasta el momento el canal que se tenía seleccionado como principal en un inicio (SPI) no cumplió con las funciones requeridas para el proyecto por lo que se tuvo que cambiar por el  $I^2C$  y HSDC, en un inicio y debido a la configuración se tuvo que reestructurar las conexiones de comunicación, sin embargo esto también ocasionó contratiempos en la comunicación con el microcontrolador ya que la interfaz de programación añadía unas líneas para verificar que el canal de comunicación se encuentre disponible para la transmisión de datos.

# Capítulo 5

## Glosario

### B

- Bandera: Se le conoce como bandera a un bit en un registro que denota un valor binario que tiene un significado para el programa.
- Bit: Voz tomada del inglés bit (acrónimo de bi[nary digi]t), que significa, en informática, ‘unidad de medida de información equivalente a la elección entre dos posibilidades igualmente probables’.

### C

- Compilador: Es un traductor que transforma un programa entero de un lenguaje de programación (llamado código fuente) a otro.

### D

- Driver ó Controlador de Dispositivo: Componente software que permite que un dispositivo se entienda con el sistema operativo y pueda ser utilizado por las aplicaciones.

### F

- Frecuencia de corte ( $\omega C$ ) ó también llamada frecuencia de esquina o frecuencia crítica: Es la frecuencia donde la respuesta en amplitud está 3[dB] por abajo del valor de la banda de paso.

## O

- Offset: Tensión de voltaje de desequilibrio que se presenta debido a el uso de amplificadores operacionales cuando la señal de entrada es muy baja.[Areny, 2005]

## P

- Pipeline ó Registro de Arquitectura Paralela: Registro de datos en los que se permite la ejecución de las instrucciones de manera simultanea con la siguiente instrucción. Esta configuración requiere de un reloj de dos fases donde una se aplica al registro de direccionamiento y una al registro de datos.[Mano and Sarmiento, 1994]

## R

- Registro: Un área pequeña de almacenamiento de alta velocidad donde se almacenan datos referentes a la ejecución de una instrucción particular. Los datos almacenados en un registro específico tienen un significado especial para la lógica de la computadora.

## S

- Sistema Embebido: Es un sistema de computación diseñado para realizar una o algunas funciones dedicadas frecuentemente en un sistema de computación en tiempo real.[Aguirre and Giraldo, 2014]

## V

- Valor Lógico de Voltaje: En electrónica digital se utilizan sistemas y circuitos en los que solo existen 2 estados posibles representados mediante 2 niveles de tensión diferentes Alto (1) y Bajo (0). En circuitos digitales TTL (Transistor-Transistor) pueden variar entre 2.8 y 5.0[V] mientras que los valores bajos varían entre 0 y 0.8[V]. Los valores entre 0.8 y 2.8[V] no están definidos y nuca deben utilizarse.

# Bibliografía

- [Aguirre and Giraldo, 2014] Aguirre, Á. G. and Giraldo, P. J. R. (2014). Sistema embebido de bajo costo para visión artificial. *Scientia et technica*, 19(2):163–173.
- [Areny, 2005] Areny, R. (2005). *Sensores y Acondicionadores de Señal 4a*. ACCESO RÁPIDO. Marcombo.
- [Caprile, 2012] Caprile, S. (2012). *Desarrollo con microcontroladores ARM Cortex-M3*. Puntolibro.
- [Connectivity, ] Connectivity, P. E. *Technical Reference Manual [Electronic resource]*.
- [Cuéllar, 2008] Cuéllar, A. (2008). *Sistemas de Procesamiento Digital*. Delta Publicaciones.
- [Mano and Sarmiento, 1994] Mano, M. and Sarmiento, M. (1994). *Arquitectura de computadoras*. Prentice Hall.
- [Moyano, ] Moyano, L. J. H. Clase 08: Comunicación en sistemas embebidos.
- [Perez, 2016] Perez, A. D. (2016). *Protocolos de comunicación entre microcontroladores*. PhD thesis, Universidad Nacional de La Plata.
- [Valdes and Areny, 2007] Valdes, F. and Areny, R. (2007). *Microcontroladores Fundamentos y Aplicaciones con PIC*. Alfaomega. Marcombo. Marcombo.

# Apéndice A

## Características y pines

### PIC32MZ2048EFM100

## 32-bit MCUs (up to 2 MB Live-Update Flash and 512 KB SRAM) with FPU, Audio and Graphics Interfaces, HS USB, Ethernet, and Advanced Analog

### Operating Conditions

- 2.1V to 3.6V, -40°C to +85°C, DC to 252 MHz
- 2.1V to 3.6V, -40°C to +125°C, DC to 180 MHz

### Core: 252 MHz (up to 415 DMIPS) M-Class

- 16 KB I-Cache, 4 KB D-Cache
- FPU for 32-bit and 64-bit floating point math
- MMU for optimum embedded OS execution
- microMIPS™ mode for up to 35% smaller code size
- DSP-enhanced core:
  - Four 64-bit accumulators
  - Single-cycle MAC, saturating, and fractional math
  - IEEE 754-compliant
- Code-efficient (C and Assembly) architecture

### Clock Management

- Programmable PLLs and oscillator clock sources
- Fail-Safe Clock Monitor (FSCM)
- Independent Watchdog Timers (WDT) and Deadman Timer (DMT)
- Fast wake-up and start-up

### Power Management

- Low-power modes (Sleep and Idle)
- Integrated Power-on Reset (POR) and Brown-out Reset (BOR)

### Memory Interfaces

- 50 MHz External Bus Interface (EBI)
- 50 MHz Serial Quad Interface (SQI)

### Audio and Graphics Interfaces

- Graphics interfaces: EBI or PMP
- Audio data communication: I<sup>2</sup>S, LJ, and RJ
- Audio control interfaces: SPI and I<sup>2</sup>C
- Audio master clock: Fractional clock frequencies with USB synchronization

### High-Speed (HS) Communication Interfaces (with Dedicated DMA)

- USB 2.0-compliant Hi-Speed On-The-Go (OTG) controller
- 10/100 Mbps Ethernet MAC with MII and RMII interface

### Security Features

- Crypto Engine with RNG for data encryption/decryption and authentication (AES, 3DES, SHA, MD5, and HMAC)
- Advanced memory protection:
  - Peripheral and memory region access control

### Direct Memory Access (DMA)

- Eight channels with automatic data size detection
- Programmable Cyclic Redundancy Check (CRC)

### Advanced Analog Features

- 12-bit ADC module:
  - 18 Msps with up to six Sample and Hold (S&H) circuits (five dedicated and one shared)
  - Up to 48 analog inputs
  - Can operate during Sleep and Idle modes
  - Multiple trigger sources
  - Six Digital Comparators and six Digital Filters
- Two comparators with 32 programmable voltage references
- Temperature sensor with ±2°C accuracy

### Communication Interfaces

- Two CAN modules (with dedicated DMA channels):
  - 2.0B Active with DeviceNet™ addressing support
- Six UART modules (25 Mbps):
  - Supports up to LIN 2.1 and IrDA® protocols
- Six 4-wire SPI modules (up to 50 MHz)
- SQI configurable as an additional SPI module (50 MHz)
- Five I<sup>2</sup>C modules (up to 1 Mbaud) with SMBus support
- Parallel Master Port (PMP)
- Peripheral Pin Select (PPS) to enable function remap

### Timers/Output Compare/Input Capture

- Nine 16-bit or up to four 32-bit timers/counters
- Nine Output Compare (OC) modules
- Nine Input Capture (IC) modules
- Real-Time Clock and Calendar (RTCC) module

### Input/Output

- 5V-tolerant pins with up to 32 mA source/sink
- Selectable open drain, pull-ups, pull-downs, and slew rate controls
- External interrupts on all I/O pins
- PPS to enable function remap

### Qualification and Class B Support

- AEC-Q100 REVH (Grade 1 -40°C to +125°C)
- Class B Safety Library, IEC 60730 (planned)
- Back-up internal oscillator

### Debugger Development Support

- In-circuit and in-application programming
- 4-wire MIPS® Enhanced JTAG interface
- Unlimited software and 12 complex breakpoints
- IEEE 1149.2-compatible (JTAG) boundary scan
- Non-intrusive hardware-based instruction trace

### Software and Tools Support

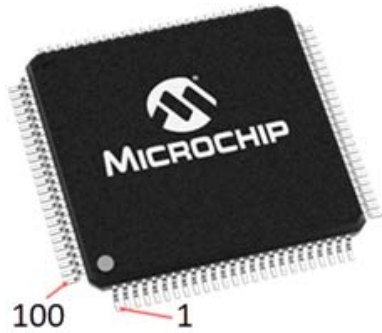
- C/C++ compiler with native DSP/fractional and FPU support
- MPLAB® Harmony Integrated Software Framework
- TCP/IP, USB, Graphics, and mTouch™ middleware
- MFi, Android™, and Bluetooth® audio frameworks
- RTOS Kernels: Express Logic ThreadX, FreeRTOS™, OPENRTOS®, Micrium® µC/OS™, and SEGGER embOS®

### Packages

Type	QFN		TQFP			TFBGA		VTLA	LQFP
Pin Count	64	64	100	144	144	100	144	124	144
I/O Pins (up to)	53	53	78	120	120	78	120	98	120
Contact/Lead Pitch	0.50 mm	0.50 mm	0.40 mm	0.50 mm	0.40 mm	0.65 mm	0.50 mm	0.50 mm	0.50 mm
Dimensions	9x9x0.9 mm	10x10x1 mm	12x12x1 mm	14x14x1 mm	16x16x1 mm	7x7x1.2 mm	7x7x1.2 mm	9x9x0.9 mm	20x20x1.40 mm

# PIC32MZ Embedded Connectivity with Floating Point Unit (EF) Family

**TABLE 3: PIN NAMES FOR 100-PIN TQFP DEVICES**

100-PIN TQFP (TOP VIEW)			
<b>PIC32MZ0512EF(E/F/K)100</b> <b>PIC32MZ1024EF(G/H/M)100</b> <b>PIC32MZ1024EF(E/F/K)100</b> <b>PIC32MZ2048EF(G/H/M)100</b>			
Package Pin #	Full Pin Name	Package Pin #	Full Pin Name
1	AN23/AERXERR/RG15	36	Vss
2	EBIA5/AN34/PMA5/RA5	37	VDD
3	EBID5/AN17/RPE5/PMD5/RE5	38	TCK/EBIA19/AN29/RA1
4	EBID6/AN16/PMD6/RE6	39	TDI/EBIA18/AN30/RPF13/SCK5/RF13
5	EBID7/AN15/PMD7/RE7	40	TDO/EBIA17/AN31/RPF12/RF12
6	EBIA6/AN22/RPC1/PMA6/RC1	41	EBIA11/AN7/ERXD0/AECRS/PMA11/RB12
7	EBIA12/AN21/RPC2/PMA12/RC2	42	AN8/ERXD1/AECOL/RB13
8	EBIWE/AN20/RPC3/PMWR/RC3	43	EBIA1/AN9/ERXD2/AETXD3/RPB14/SCK3/PMA1/RB14
9	EBIOE/AN19/RPC4/PMRD/RC4	44	EBIA0/AN10/ERXD3/AETXD2/RPB15/OCFB/PMA0/RB15
10	AN14/C1IND/ECOL/RPG6/SCK2/RG6	45	Vss
11	EBIA4/AN13/C1INC/ECRS/RPG7/SDA4/PMA4/RG7	46	VDD
12	EBIA3/AN12/C2IND/ERXDV/ECRSDV/AERXDV/ AECRSDV/ RPG8/SCL4/PMA3/RG8	47	AN32/AETXD0/RPD14/RD14
13	Vss	48	AN33/AETXD1/RPD15/SCK6/RD15
14	VDD	49	OSC1/CLKI/RC12
15	MCLR	50	OSC2/CLKO/RC15
16	EBIA2/AN11/C2INC/ERXCLK/EREFCLK/AERXCLK/ AER- EFCLK/RPG9/PMA2/RG9	51	VBUS
17	TMS/EBIA16/AN24/RA0	52	VUSB3V3
18	AN25/AERXD0/RPE8/RE8	53	Vss
19	AN26/AERXD1/RPE9/RE9	54	D-
20	AN45/C1INA/RPB5/RB5	55	D+
21	AN4/C1INB/RB4	56	RPF3/USBID/RF3
22	AN3/C2INA/RPB3/RB3	57	EBIRDY3/RPF2/SDA3/RF2
23	AN2/C2INB/RPB2/RB2	58	EBIRDY2/RPF8/SCL3/RF8
24	PGEC1/AN1/RPB1/RB1	59	EBICS0/SCL2/RA2
25	PGED1/AN0/RPB0/RB0	60	EBIRDY1/SDA2/RA3
26	PGEC2/AN46/RPB6/RB6	61	EBIA14/PMCS1/PMA14/RA4
27	PGED2/AN47/RPB7/RB7	62	VDD
28	VREF-/CVREF-/AN27/AERXD2/RA9	63	Vss
29	VREF+/CVREF+/AN28/AERXD3/RA10	64	EBIA9/RPF4/SDA5/PMA9/RF4
30	AVDD	65	EBIA8/RPF5/SCL5/PMA8/RF5
31	AVss	66	AETXCLK/RPA14/SCL1/RA14
32	EBIA10/AN48/RPB8/PMA10/RB8	67	AETXEN/RPA15/SDA1/RA15
33	EBIA7/AN49/RPB9/PMA7/RB9	68	EBIA15/RPD9/PMCS2/PMA15/RD9
34	EBIA13/CVREFOUT/AN5/RPB10/PMA13/RB10	69	RPD10/SCK4/RD10
35	AN6/ERXERR/AETXERR/RB11	70	EMDC/AEMDC/RPD11/RD11

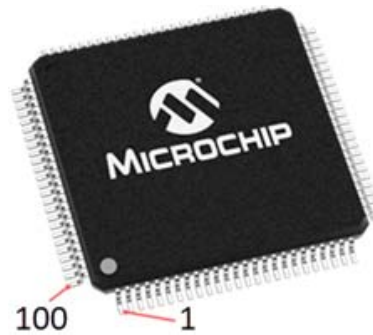
- Note** 1: The RPN pins can be used by remappable peripherals. See [Table 1](#) for the available peripherals and [Section 12.4 “Peripheral Pin Select \(PPS\)”](#) for restrictions.
- 2: Every I/O port pin (RAX-RJx) can be used as a change notification pin (CNAX-CNJx). See [Section 12.0 “I/O Ports”](#) for more information.
- 3: Shaded pins are 5V tolerant.

# PIC32MZ Embedded Connectivity with Floating Point Unit (EF) Family

**TABLE 3: PIN NAMES FOR 100-PIN TQFP DEVICES (CONTINUED)**

**100-PIN TQFP (TOP VIEW)**

**PIC32MZ0512EF(E/F/K)100**  
**PIC32MZ1024EF(G/H/M)100**  
**PIC32MZ1024EF(E/F/K)100**  
**PIC32MZ2048EF(G/H/M)100**



Package Pin #	Full Pin Name	Package Pin #	Full Pin Name
71	EMDIO/AEMDIO/RPD0/RTCC/INT0/RD0	86	EBID10/ETXD0/RPF1/PMD10/RF1
72	SOSCI/IPC13/RC13	87	EBID9/ETXERR/RPG1/PMD9/RG1
73	SOSCO/IPC14/T1CK/RC14	88	EBID8/RPG0/PMD8/RG0
74	VDD	89	TRCLK/SQICLK/RA6
75	VSS	90	TRD3/SQID3/RA7
76	RPD1/SCK1/RD1	91	EBID0/PMD0/RE0
77	EBID14/ETXEN/RPD2/PMD14/RD2	92	VSS
78	EBID15/ETXCLK/RPD3/PMD15/RD3	93	VDD
79	EBID12/ETXD2/RPD12/PMD12/RD12	94	EBID1/PMD1/RE1
80	EBID13/ETXD3/PMD13/RD13	95	TRD2/SQID2/RG14
81	SQICS0/RPD4/RD4	96	TRD1/SQID1/RG12
82	SQICS1/RPD5/RD5	97	TRD0/SQID0/RG13
83	VDD	98	EBID2/PMD2/RE2
84	VSS	99	EBID3/RPE3/PMD3/RE3
85	EBID11/ETXD1/RPF0/PMD11/RF0	100	EBID4/AN18/PMD4/RE4

- Note 1:** The RPN pins can be used by remappable peripherals. See [Table 1](#) for the available peripherals and [Section 12.4 “Peripheral Pin Select \(PPS\)”](#) for restrictions.
- 2:** Every I/O port pin (RAX-RJx) can be used as a change notification pin (CNAX-CNJx). See [Section 12.0 “I/O Ports”](#) for more information.
- 3:** Shaded pins are 5V tolerant.

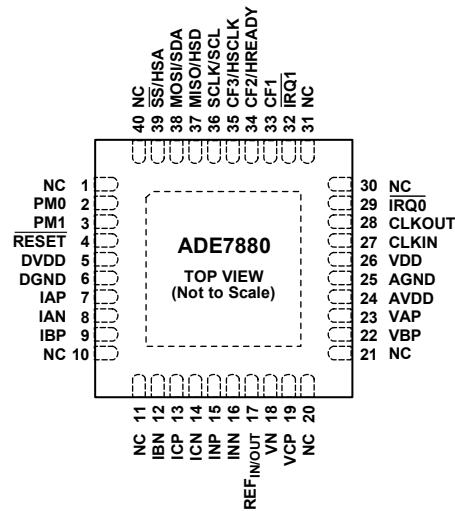


## Apéndice B

Pines del Medidor de Energía

ADE7880

## PIN CONFIGURATION AND FUNCTION DESCRIPTIONS



NOTES  
 1. NC = NO CONNECT.  
 2. CREATE A SIMILAR PAD ON THE PCB UNDER THE EXPOSED PAD. SOLDER THE EXPOSED PAD TO THE PAD ON THE PCB TO CONFER MECHANICAL STRENGTH TO THE PACKAGE. CONNECT THE PADS TO AGND AND DGND.

10193-006

Figure 6. Pin Configuration

Table 7. Pin Function Descriptions

Pin No.	Mnemonic	Description
1, 10, 11, 20, 21, 30, 31, 40	NC	No Connect. Do not connect to these pins. These pins are not connected internally.
2	PM0	Power Mode Pin 0. This pin, combined with PM1, defines the power mode of the <a href="#">ADE7880</a> , as described in Table 8.
3	PM1	Power Mode Pin 1. This pin defines the power mode of the <a href="#">ADE7880</a> when combined with PM0, as described in Table 8.
4	RESET	Reset Input, Active Low. In PSM0 mode, this pin must stay low for at least 10 $\mu$ s to trigger a hardware reset.
5	DVDD	2.5 V Output of the Digital Low Dropout (LDO) Regulator. Decouple this pin with a 4.7 $\mu$ F capacitor in parallel with a ceramic 220 nF capacitor. Do not connect external active circuitry to this pin.
6	DGND	Ground Reference. This pin provides the ground reference for the digital circuitry.
7, 8	IAP, IAN	Analog Inputs for Current Channel A. This channel is used with the current transducers and is referenced in this data sheet as Current Channel A. These inputs are fully differential voltage inputs with a maximum differential level of $\pm 0.5$ V. This channel also has an internal PGA equal to the ones on Channel B and Channel C.
9, 12	IBP, IBN	Analog Inputs for Current Channel B. This channel is used with the current transducers and is referenced in this data sheet as Current Channel B. These inputs are fully differential voltage inputs with a maximum differential level of $\pm 0.5$ V. This channel also has an internal PGA equal to the ones on Channel C and Channel A.
13, 14	ICP, ICN	Analog Inputs for Current Channel C. This channel is used with the current transducers and is referenced in this data sheet as Current Channel C. These inputs are fully differential voltage inputs with a maximum differential level of $\pm 0.5$ V. This channel also has an internal PGA equal to the ones on Channel A and Channel B.
15, 16	INP, INN	Analog Inputs for Neutral Current Channel N. This channel is used with the current transducers and is referenced in this data sheet as Current Channel N. These inputs are fully differential voltage inputs with a maximum differential level of $\pm 0.5$ V. This channel also has an internal PGA, different from the ones found on the A, B, and C channels.
17	REF <sub>IN/OUT</sub>	This pin provides access to the on-chip voltage reference. The on-chip reference has a nominal value of 1.2 V. An external reference source with 1.2 V $\pm$ 8% can also be connected at this pin. In either case, decouple this pin to AGND with a 4.7 $\mu$ F capacitor in parallel with a ceramic 100 nF capacitor. After reset, the on-chip reference is enabled.

Pin No.	Mnemonic	Description
18, 19, 22, 23	VN, VCP, VBP, VAP	Analog Inputs for the Voltage Channel. This channel is used with the voltage transducer and is referenced as the voltage channel in this data sheet. These inputs are single-ended voltage inputs with a maximum signal level of $\pm 0.5$ V with respect to VN for specified operation. This channel also has an internal PGA.
24	AVDD	2.5 V Output of the Analog Low Dropout (LDO) Regulator. Decouple this pin with a 4.7 $\mu$ F capacitor in parallel with a ceramic 220 nF capacitor. Do not connect external active circuitry to this pin.
25	AGND	Ground Reference. This pin provides the ground reference for the analog circuitry. Tie this pin to the analog ground plane or to the quietest ground reference in the system. Use this quiet ground reference for all analog circuitry, for example, antialiasing filters, current, and voltage transducers.
26	VDD	Supply Voltage. This pin provides the supply voltage. In PSM0 (normal power mode), maintain the supply voltage at $3.3 \text{ V} \pm 10\%$ for specified operation. In PSM1 (reduced power mode), PSM2 (low power mode), and PSM3 (sleep mode), when the ADE7880 is supplied from a battery, maintain the supply voltage between 2.4 V and 3.7 V. Decouple this pin to DGND with a 10 $\mu$ F capacitor in parallel with a ceramic 100 nF capacitor.
27	CLKIN	Master Clock. An external clock can be provided at this logic input. Alternatively, a parallel resonant AT-cut crystal can be connected across CLKIN and CLKOUT to provide a clock source for the ADE7880. The clock frequency for specified operation is 16.384 MHz. Use ceramic load capacitors of a few tens of picofarad with the gate oscillator circuit. Refer to the data sheet of the crystal manufacturer for load capacitance requirements.
28	CLKOUT	A crystal can be connected across this pin and CLKIN (as previously described with Pin 27 in this table) to provide a clock source for the ADE7880.
29, 32	$\overline{\text{IRQ0}}$ , $\overline{\text{IRQ1}}$	Interrupt Request Outputs. These are active low logic outputs. See the Interrupts section for a detailed presentation of the events that can trigger interrupts.
33, 34, 35	CF1, CF2/HREADY, CF3/HCLK	Calibration Frequency (CF) Logic Outputs. These outputs provide power information based on the CF1SEL[2:0], CF2SEL[2:0], and CF3SEL[2:0] bits in the CFMODE register. These outputs are used for operational and calibration purposes. The full-scale output frequency can be scaled by writing to the CF1DEN, CF2DEN, and CF3DEN registers, respectively (see the Energy-to-Frequency Conversion section). CF2 is multiplexed with the HREADY signal generated by the harmonic calculations block. CF3 is multiplexed with the serial clock output of the HSDC port.
36	SCLK/SCL	Serial Clock Input for SPI Port/Serial Clock Input for I <sup>2</sup> C Port. All serial data transfers are synchronized to this clock (see the Serial Interfaces section). This pin has a Schmidt trigger input for use with a clock source that has a slow edge transition time, for example, optoisolator outputs.
37	MISO/HSD	Data Out for SPI Port/Data Out for HSDC Port.
38	MOSI/SDA	Data In for SPI Port/Data Out for I <sup>2</sup> C Port.
39	$\overline{\text{SS}}$ /HSA	Slave Select for SPI Port/HSDC Port Active.
EP	Exposed Pad	Create a similar pad on the PCB under the exposed pad. Solder the exposed pad to the pad on the PCB to confer mechanical strength to the package. Connect the pads to AGND and DGND.

## Apéndice C

### Parámetros de Comunicación

### Medidor de Energía ADE7880

Parameter <sup>1,2</sup>	Min	Typ	Max	Unit	Test Conditions/Comments
PSM1 and PSM2 Modes					
VDD Pin	2.4		3.7	V	
I <sub>DD</sub>					
PSM1 Mode		5.3	5.8	mA	
PSM2 Mode		0.2	0.27	mA	
PSM3 Mode					For specified performance
VDD Pin	2.4		3.7	V	
I <sub>DD</sub> in PSM3 Mode		1.8	6	μA	

<sup>1</sup> See the Typical Performance Characteristics section.

<sup>2</sup> See the Terminology section for a definition of the parameters.

<sup>3</sup>  $\left\lceil \frac{2800}{f_L} \right\rceil$  means the whole number of the division.

## TIMING CHARACTERISTICS

VDD = 3.3 V ± 10%, AGND = DGND = 0 V, on-chip reference, CLKIN = 16.384 MHz, T<sub>MIN</sub> to T<sub>MAX</sub> = -40°C to +85°C. Note that dual function pin names are referenced by the relevant function only within the timing tables and diagrams (see the Pin Configuration and Function Descriptions section for full pin mnemonics and descriptions).

**Table 2. I<sup>2</sup>C-Compatible Interface Timing Parameter**

Parameter	Symbol	Standard Mode		Fast Mode		Unit
		Min	Max	Min	Max	
SCL Clock Frequency	f <sub>SCL</sub>	0	100	0	400	kHz
Hold Time (Repeated) Start Condition	t <sub>HD;STA</sub>	4.0		0.6		μs
Low Period of SCL Clock	t <sub>LOW</sub>	4.7		1.3		μs
High Period of SCL Clock	t <sub>HIGH</sub>	4.0		0.6		μs
Set-Up Time for Repeated Start Condition	t <sub>SU;STA</sub>	4.7		0.6		μs
Data Hold Time	t <sub>HD;DAT</sub>	0.1	3.45	0.1	0.9	μs
Data Setup Time	t <sub>SU;DAT</sub>	250		100		ns
Rise Time of Both SDA and SCL Signals	t <sub>R</sub>		1000	20	300	ns
Fall Time of Both SDA and SCL Signals	t <sub>F</sub>		300	20	300	ns
Setup Time for Stop Condition	t <sub>SU;STO</sub>	4.0		0.6		μs
Bus Free Time Between a Stop and Start Condition	t <sub>BUF</sub>	4.7		1.3		μs
Pulse Width of Suppressed Spikes	t <sub>SP</sub>	N/A <sup>1</sup>			50	ns

<sup>1</sup> N/A means not applicable.

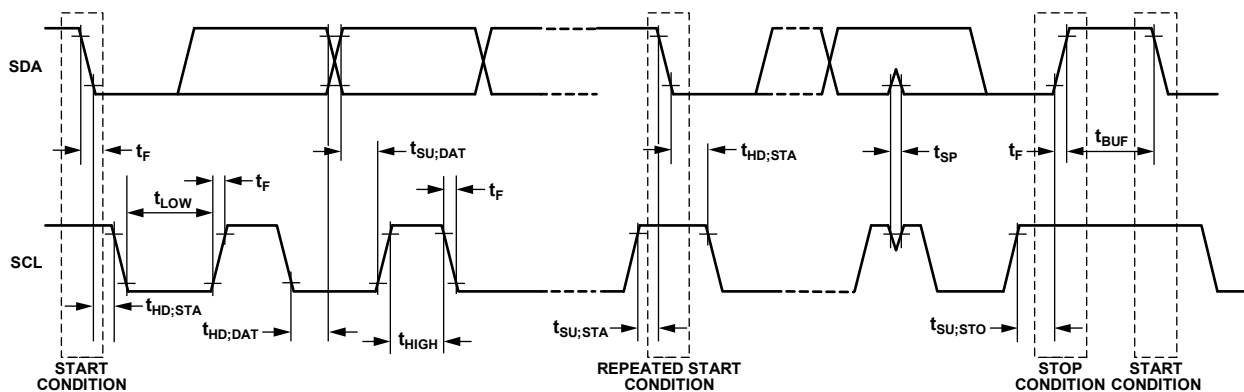


Figure 2. I<sup>2</sup>C-Compatible Interface Timing

10193-002

Table 3. SPI Interface Timing Parameters

Parameter	Symbol	Min	Max	Unit
$\overline{SS}$ to SCLK Edge	$t_{SS}$	50		ns
SCLK Period		0.4	4000 <sup>1</sup>	$\mu$ s
SCLK Low Pulse Width	$t_{SL}$	175		ns
SCLK High Pulse Width	$t_{SH}$	175		ns
Data Output Valid After SCLK Edge	$t_{DAV}$		100	ns
Data Input Setup Time Before SCLK Edge	$t_{DSU}$	100		ns
Data Input Hold Time After SCLK Edge	$t_{DHD}$	5		ns
Data Output Fall Time	$t_{DF}$		20	ns
Data Output Rise Time	$t_{DR}$		20	ns
SCLK Rise Time	$t_{SR}$		20	ns
SCLK Fall Time	$t_{SF}$		20	ns
MISO Disable After $\overline{SS}$ Rising Edge	$t_{DIS}$		200	ns
$\overline{SS}$ High After SCLK Edge	$t_{SFS}$	0		ns

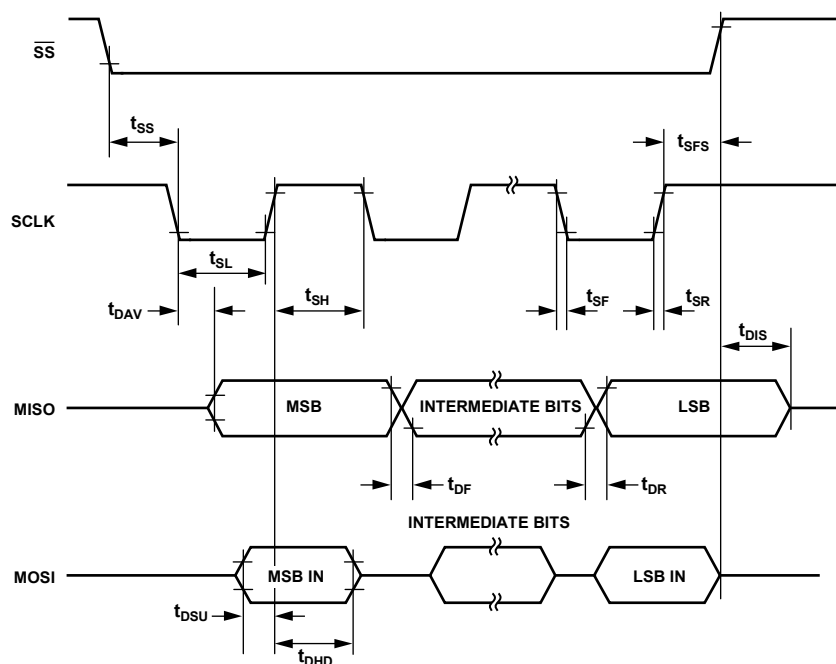
<sup>1</sup> Guaranteed by design.

Figure 3. SPI Interface Timing

10193-003

Table 4. HSDC Interface Timing Parameter

Parameter	Symbol	Min	Max	Unit
HSA to HSCLK Edge	$t_{SS}$	0		ns
HSCLK Period		125		ns
HSCLK Low Pulse Width	$t_{SL}$	50		ns
HSCLK High Pulse Width	$t_{SH}$	50		ns
Data Output Valid After HSCLK Edge	$t_{DAV}$		40	ns
Data Output Fall Time	$t_{DF}$		20	ns
Data Output Rise Time	$t_{DR}$		20	ns
HSCLK Rise Time	$t_{SR}$		10	ns
HSCLK Fall Time	$t_{SF}$		10	ns
HSD Disable After HSA Rising Edge	$t_{DIS}$	5		ns
HSA High After HSCLK Edge	$t_{SFS}$	0		ns

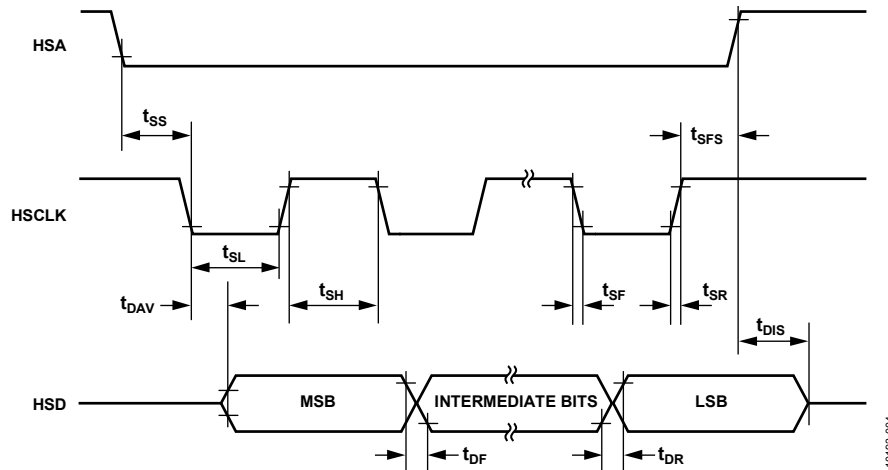


Figure 4. HSDC Interface Timing

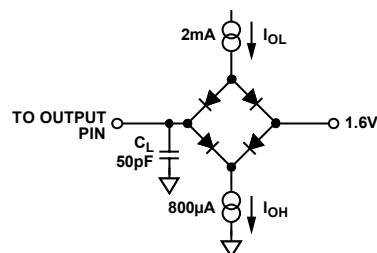


Figure 5. Load Circuit for Timing Specifications

## Apéndice D

### Tablas de Direcciones de Registros del Medidor de Energía ADE7880



## REGISTERS LIST

Table 30. Registers Located in DSP Data Memory RAM

Address	Register Name	R/W <sup>1</sup>	Bit Length	Bit Length During Communication <sup>2</sup>	Type <sup>3</sup>	Default Value	Description
0x4380	AIGAIN	R/W	24	32 ZPSE	S	0x000000	Phase A current gain adjust.
0x4381	AVGAIN	R/W	24	32 ZPSE	S	0x000000	Phase A voltage gain adjust.
0x4382	BIGAIN	R/W	24	32 ZPSE	S	0x000000	Phase B current gain adjust.
0x4383	BVGAIN	R/W	24	32 ZPSE	S	0x000000	Phase B voltage gain adjust.
0x4384	CIGAIN	R/W	24	32 ZPSE	S	0x000000	Phase C current gain adjust.
0x4385	CVGAIN	R/W	24	32 ZPSE	S	0x000000	Phase C voltage gain adjust.
0x4386	NIGAIN	R/W	24	32 ZPSE	S	0x000000	Neutral current gain adjust.
0x4387	Reserved	R/W	24	32 ZPSE	S	0x000000	Do not write this location for proper operation.
0x4388	DICOEFF	R/W	24	32 ZPSE	S	0x0000000	Register used in the digital integrator algorithm. If the integrator is turned on, it must be set at 0xFF8000. In practice, it is transmitted as 0xFFFF8000.
0x4389	APGAIN	R/W	24	32 ZPSE	S	0x000000	Phase A power gain adjust.
0x438A	AWATTOS	R/W	24	32 ZPSE	S	0x000000	Phase A total active power offset adjust.
0x438B	BPGAIN	R/W	24	32 ZPSE	S	0x000000	Phase B power gain adjust.
0x438C	BWATTOS	R/W	24	32 ZPSE	S	0x000000	Phase B total active power offset adjust.
0x438D	CPGAIN	R/W	24	32 ZPSE	S	0x000000	Phase C power gain adjust.
0x438E	CWATTOS	R/W	24	32 ZPSE	S	0x000000	Phase C total active power offset adjust.
0x438F	AIRMSOS	R/W	24	32 ZPSE	S	0x000000	Phase A current rms offset.
0x4390	AVRMSOS	R/W	24	32 ZPSE	S	0x000000	Phase A voltage rms offset.
0x4391	BIRMSOS	R/W	24	32 ZPSE	S	0x000000	Phase B current rms offset.
0x4392	BVRMSOS	R/W	24	32 ZPSE	S	0x000000	Phase B voltage rms offset.
0x4393	CIRMSOS	R/W	24	32 ZPSE	S	0x000000	Phase C current rms offset.
0x4394	CVRMSOS	R/W	24	32 ZPSE	S	0x000000	Phase C voltage rms offset.
0x4395	NIRMSOS	R/W	24	32 ZPSE	S	0x000000	Neutral current rms offset.
0x4396-0x4397	Reserved	N/A	N/A	N/A	N/A	0x000000	Do not write these memory locations for proper operation.
0x4398	HPGAIN	R/W	24	32 ZPSE	S	0x000000	Harmonic powers gain adjust.
0x4399	ISUMLVL	R/W	24	32 ZPSE	S	0x000000	Threshold used in comparison between the sum of phase currents and the neutral current.
0x439A-0x439E	Reserved	N/A	N/A	N/A	N/A	0x000000	Do not write these memory locations for proper operation.
0x439F	VLEVEL	R/W	28	32 ZP	S	0x0000000	Register used in the algorithm that computes the fundamental active and reactive powers. Set this register according to Equation 22 for proper functioning of fundamental powers and harmonic computations.
0x43A0-0x43A1	Reserved	N/A	N/A	N/A	N/A	0x000000	Do not write these memory locations for proper operation.
0x43A2	AFWATTOS	R/W	24	32 ZPSE	S	0x000000	Phase A fundamental active power offset adjust.
0x43A3	BFWATTOS	R/W	24	32 ZPSE	S	0x000000	Phase B fundamental active power offset adjust.
0x43A4	CFWATTOS	R/W	24	32 ZPSE	S	0x000000	Phase C fundamental active power offset adjust.
0x43A5	AFVAROS	R/W	24	32 ZPSE	S	0x000000	Phase A fundamental reactive power offset adjust.
0x43A6	BFVAROS	R/W	24	32 ZPSE	S	0x000000	Phase B fundamental reactive power offset adjust.
0x43A7	CFVAROS	R/W	24	32 ZPSE	S	0x000000	Phase C fundamental reactive power offset adjust.
0x43A8	AFIRMSOS	R/W	24	32 ZPSE	S	0x000000	Phase A fundamental current rms offset.
0x43A9	BFIRMSOS	R/W	24	32 ZPSE	S	0x000000	Phase B fundamental current rms offset.
0x43AA	CFIRMSOS	R/W	24	32 ZPSE	S	0x000000	Phase C fundamental current rms offset.
0x43AB	AFVRMSOS	R/W	24	32 ZPSE	S	0x000000	Phase A fundamental voltage rms offset.
0x43AC	BFVRMSOS	R/W	24	32 ZPSE	S	0x000000	Phase B fundamental voltage rms offset.
0x43AD	CFVRMSOS	R/W	24	32 ZPSE	S	0x000000	Phase C fundamental voltage rms offset.
0x43AE	HXWATTOS	R/W	24	32 ZPSE	S	0x000000	Active power offset adjust on harmonic X (see Harmonics Calculations section for details).

Address	Register Name	R/W <sup>1</sup>	Bit Length	Bit Length During Communication <sup>2</sup>	Type <sup>3</sup>	Default Value	Description
0x43AF	HYWATTOS	R/W	24	32 ZPSE	S	0x000000	Active power offset adjust on harmonic Y (see Harmonics Calculations section for details).
0x43B0	HZWATTOS	R/W	24	32 ZPSE	S	0x000000	Active power offset adjust on harmonic Z (see Harmonics Calculations section for details).
0x43B1	HXVAROS	R/W	24	32 ZPSE	S	0x000000	Active power offset adjust on harmonic X (see Harmonics Calculations section for details).
0x43B2	HYVAROS	R/W	24	32 ZPSE	S	0x000000	Active power offset adjust on harmonic Y (see Harmonics Calculations section for details).
0x43B3	HZVAROS	R/W	24	32 ZPSE	S	0x000000	Active power offset adjust on harmonic Z (see Harmonics Calculations section for details).
0x43B4	HXIRMSOS	R/W	24	32 ZPSE	S	0x000000	Current rms offset on harmonic X (see Harmonics Calculations section for details).
0x43B5	HYIRMSOS	R/W	24	32 ZPSE	S	0x000000	Current rms offset on harmonic Y (see Harmonics Calculations section for details).
0x43B6	HZIRMSOS	R/W	24	32 ZPSE	S	0x000000	Current rms offset on harmonic Z (see Harmonics Calculations section for details).
0x43B7	HXVRMSOS	R/W	24	32 ZPSE	S	0x000000	Voltage rms offset on harmonic X (see Harmonics Calculations section for details).
0x43B8	HYVRMSOS	R/W	24	32 ZPSE	S	0x000000	Voltage rms offset on harmonic Y (see Harmonics Calculations section for details).
0x43B9	HZVRMSOS	R/W	24	32 ZPSE	S	0x000000	Voltage rms offset on harmonic Z (see Harmonics Calculations section for details).
0x43BA to 0x43BF	Reserved	N/A	N/A	N/A	N/A	0x000000	Do not write these memory locations for proper operation.
0x43C0	AIRMS	R	24	32 ZP	S	N/A	Phase A current rms value.
0x43C1	AVRMS	R	24	32 ZP	S	N/A	Phase A voltage rms value.
0x43C2	BIRMS	R	24	32 ZP	S	N/A	Phase B current rms value.
0x43C3	BVRMS	R	24	32 ZP	S	N/A	Phase B voltage rms value.
0x43C4	CIRMS	R	24	32 ZP	S	N/A	Phase C current rms value.
0x43C5	CVRMS	R	24	32 ZP	S	N/A	Phase C voltage rms value.
0x43C6	NIRMS	R	24	32 ZP	S	N/A	Neutral current rms value.
0x43C7	ISUM	R	28	32 ZP	S	N/A	Sum of IAWV, IBWV and ICWV registers.
0x43C8 to 0x43FF	Reserved	N/A	N/A	N/A	N/A	N/A	Do not write these memory locations for proper operation.

<sup>1</sup> R is read, and W is write.

<sup>2</sup> 32 ZPSE = 24-bit signed register that is transmitted as a 32-bit word with four MSBs padded with 0s and sign extended to 28 bits. Whereas 32 ZP = 28-bit or 24-bit signed or unsigned register that is transmitted as a 32-bit word with four or eight MSBs, respectively, padded with 0s.

<sup>3</sup> U is unsigned register, and S is signed register in twos complement format.

**Table 31. Internal DSP Memory RAM Registers**

Address	Register Name	R/W <sup>1</sup>	Bit Length	Bit Length During Communication	Type <sup>2</sup>	Default Value	Description
0xE203	Reserved	R/W	16	16	U	0x0000	Do not write this memory location for proper operation.
0xE228	Run	R/W	16	16	U	0x0000	Run register starts and stops the DSP. See the Digital Signal Processor section for more details.

<sup>1</sup> R is read, and W is write.

<sup>2</sup> U is unsigned register, and S is signed register in twos complement format.

Address	Register Name	R/W <sup>1</sup>	Bit Length	Bit Length During Communication <sup>2</sup>	Type <sup>3</sup>	Default Value <sup>4</sup>	Description
0xEA0A	HZ	R/W	8	8	U	7	Selects an index of the harmonic monitored by the harmonic computations. Reserved. These registers are always 0.
0xEA0B to 0xEBFE	Reserved		8	8			
0xEBFF	Reserved		8	8			This address can be used in manipulating the SS/HSA pin when SPI is chosen as the active port. See the Serial Interfaces section for details.
0xEC00	LPOILVL	R/W	8	8	U	0x07	Overcurrent threshold used during PSM2 mode. See Table 55 in which the register is detailed.
0xEC01	CONFIG2	R/W	8	8	U	0x00	Configuration register used during PSM1 mode. See Table 56.

<sup>1</sup> R is read, and W is write.

<sup>2</sup> 32 ZP = 24- or 20-bit signed or unsigned register that is transmitted as a 32-bit word with 8 or 12 MSBs, respectively, padded with 0s. 32 SE = 24-bit signed register that is transmitted as a 32-bit word sign extended to 32 bits. 16 ZP = 10-bit unsigned register that is transmitted as a 16-bit word with six MSBs padded with 0s.

<sup>3</sup> U is unsigned register, and S is signed register in twos complement format.

<sup>4</sup> N/A is not applicable.

**Table 34. IPEAK Register (Address 0xE500)**

Bit	Mnemonic	Default Value	Description
23:0	IPEAKVAL[23:0]	0	These bits contain the peak value determined in the current channel.
24	IPPHASE[0]	0	When this bit is set to 1, Phase A current generated IPEAKVAL[23:0] value.
25	IPPHASE[1]	0	When this bit is set to 1, Phase B current generated IPEAKVAL[23:0] value.
26	IPPHASE[2]	0	When this bit is set to 1, Phase C current generated IPEAKVAL[23:0] value.
31:27		00000	These bits are always 0.

**Table 35. VPEAK Register (Address 0xE501)**

Bit	Mnemonic	Default Value	Description
23:0	VPEAKVAL[23:0]	0	These bits contain the peak value determined in the voltage channel.
24	VPPHASE[0]	0	When this bit is set to 1, Phase A voltage generated VPEAKVAL[23:0] value.
25	VPPHASE[1]	0	When this bit is set to 1, Phase B voltage generated VPEAKVAL[23:0] value.
26	VPPHASE[2]	0	When this bit is set to 1, Phase C voltage generated VPEAKVAL[23:0] value.
31:27		00000	These bits are always 0.

**Table 36. STATUS0 Register (Address 0xE502)**

Bit	Mnemonic	Default Value	Description
0	AEHF	0	When this bit is set to 1, it indicates that Bit 30 of any one of the total active energy registers (AWATTHR, BWATTHR, or CWATTHR) has changed.
1	FAEHF	0	When this bit is set to 1, it indicates that Bit 30 of any one of the fundamental active energy registers, FWATTHR, BFWATTHR, or CFWATTHR, has changed.
2	Reserved	0	This bit is always 0.
3	FREHF	0	When this bit is set to 1, it indicates that Bit 30 of any one of the fundamental reactive energy registers, AFVARHR, BFVARHR, or CFVARHR, has changed.
4	VAEHF	0	When this bit is set to 1, it indicates that Bit 30 of any one of the apparent energy registers (AVAHR, BVAHR, or CVAHR) has changed.
5	LENERGY	0	When this bit is set to 1, in line energy accumulation mode, it indicates the end of an integration over an integer number of half line cycles set in the LINECYC register.

Bit	Mnemonic	Default Value	Description
6	REVAPA	0	When this bit is set to 1, it indicates that the Phase A active power identified by Bit 6 (REVAPSEL) in the ACCMODE register (total or fundamental) has changed sign. The sign itself is indicated in Bit 0 (AWSIGN) of the PHSIGN register (see Table 46).
7	REVAPB	0	When this bit is set to 1, it indicates that the Phase B active power identified by Bit 6 (REVAPSEL) in the ACCMODE register (total or fundamental) has changed sign. The sign itself is indicated in Bit 1 (BWSIGN) of the PHSIGN register (see Table 46).
8	REVAPC	0	When this bit is set to 1, it indicates that the Phase C active power identified by Bit 6 (REVAPSEL) in the ACCMODE register (total or fundamental) has changed sign. The sign itself is indicated in Bit 2 (CWSIGN) of the PHSIGN register (see Table 46).
9	REVPSUM1	0	When this bit is set to 1, it indicates that the sum of all phase powers in the CF1 data path has changed sign. The sign itself is indicated in Bit 3 (SUM1SIGN) of the PHSIGN register (see Table 46).
10	REVFRPA	0	When this bit is set to 1, it indicates that the Phase A fundamental reactive power has changed sign. The sign itself is indicated in Bit 4 (AFVARSIGN) of the PHSIGN register (see Table 46).
11	REVFRPB	0	When this bit is set to 1, it indicates that the Phase B fundamental reactive power has changed sign. The sign itself is indicated in Bit 5 (BFVARSIGN) of the PHSIGN register (see Table 46).
12	REVFRPC	0	When this bit is set to 1, it indicates that the Phase C fundamental reactive power has changed sign. The sign itself is indicated in Bit 6 (CFVARSIGN) of the PHSIGN register (see Table 46).
13	REVPSUM2	0	When this bit is set to 1, it indicates that the sum of all phase powers in the CF2 data path has changed sign. The sign itself is indicated in Bit 7 (SUM2SIGN) of the PHSIGN register (see Table 46).
14	CF1		When this bit is set to 1, it indicates a high-to-low transition has occurred at CF1 pin; that is, an active low pulse has been generated. The bit is set even if the CF1 output is disabled by setting Bit 9 (CF1DIS) to 1 in the CFMODE register. The type of power used at the CF1 pin is determined by Bits[2:0] (CF1SEL[2:0]) in the CFMODE register (see Table 44).
15	CF2		When this bit is set to 1, it indicates a high-to-low transition has occurred at the CF2 pin; that is, an active low pulse has been generated. The bit is set even if the CF2 output is disabled by setting Bit 10 (CF2DIS) to 1 in the CFMODE register. The type of power used at the CF2 pin is determined by Bits[5:3] (CF2SEL[2:0]) in the CFMODE register (see Table 44).
16	CF3		When this bit is set to 1, it indicates a high-to-low transition has occurred at CF3 pin; that is, an active low pulse has been generated. The bit is set even if the CF3 output is disabled by setting Bit 11 (CF3DIS) to 1 in the CFMODE register. The type of power used at the CF3 pin is determined by Bits[8:6] (CF3SEL[2:0]) in the CFMODE register (see Table 44).
17	DREADY	0	When this bit is set to 1, it indicates that all periodical (at 8 kHz rate) DSP computations have finished.
18	REVPSUM3	0	When this bit is set to 1, it indicates that the sum of all phase powers in the CF3 data path has changed sign. The sign itself is indicated in Bit 8 (SUM3SIGN) of the PHSIGN register (see Table 46).
19	HREADY	0	When this bit is set to 1, it indicates the harmonic block output registers are updated. If Bit 0 (HRCFG) in the HCONFIG register is cleared to 0, this flag is set to 1 every time the harmonic block output registers are updated at a rate identified by Bits [7:5] (HRATE) in the HCONFIG register starting HSTIME (Bits [4:3] in the HCONFIG register) after the harmonic block setup. If Bit HRCFG is set to 1, the HREADY flag is set to 1 every time the harmonic block output registers are updated at a rate identified by Bits [7:5] (HRATE) in the HCONFIG register, starting immediately after the harmonic block setup.
31:18	Reserved	0 0000 0000 0000	Reserved. These bits are always 0.

Table 43. Gain Register (Address 0xE60F)

Bit	Mnemonic	Default Value	Description
2:0	PGA1[2:0]	000	Phase currents gain selection. 000: gain = 1. 001: gain = 2. 010: gain = 4. 011: gain = 8. 100: gain = 16. 101, 110, 111: reserved. When set, the ADE7880 behaves like PGA1[2:0] = 000.
5:3	PGA2[2:0]	000	Neutral current gain selection. 000: gain = 1. 001: gain = 2. 010: gain = 4. 011: gain = 8. 100: gain = 16. 101, 110, 111: reserved. When set, the ADE7880 behaves like PGA2[2:0] = 000.
8:6	PGA3[2:0]	000	Phase voltages gain selection. 000: gain = 1. 001: gain = 2. 010: gain = 4. 011: gain = 8. 100: gain = 16. 101, 110, 111: reserved. When set, the ADE7880 behaves like PGA3[2:0] = 000.
15:9	Reserved	000 0000	Reserved. These bits do not manage any functionality.

Table 44. CFMODE Register (Address 0xE610)

Bit	Mnemonic	Default Value	Description
2:0	CF1SEL[2:0]	000	000: the CF1 frequency is proportional to the sum of total active powers on each phase identified by Bits[2:0] (TERMSEL1[x]) in the COMPMODE register. 010: the CF1 frequency is proportional to the sum of apparent powers on each phase identified by Bits[2:0] (TERMSEL1[x]) in the COMPMODE register. 011: the CF1 frequency is proportional to the sum of fundamental active powers on each phase identified by Bits[2:0] (TERMSEL1[x]) in the COMPMODE register. 100: the CF1 frequency is proportional to the sum of fundamental reactive powers on each phase identified by Bits[2:0] (TERMSEL1[x]) in the COMPMODE register. 001, 101, 110, 111: reserved.
5:3	CF2SEL[2:0]	100	000: the CF2 frequency is proportional to the sum of total active powers on each phase identified by Bits[5:3] (TERMSEL2[x]) in the COMPMODE register. 010: the CF2 frequency is proportional to the sum of apparent powers on each phase identified by Bits[5:3] (TERMSEL2[x]) in the COMPMODE register. 011: the CF2 frequency is proportional to the sum of fundamental active powers on each phase identified by Bits[5:3] (TERMSEL2[x]) in the COMPMODE register. 100: the CF2 frequency is proportional to the sum of fundamental reactive powers on each phase identified by Bits[5:3] (TERMSEL2[x]) in the COMPMODE register. 001, 101, 110, 111: reserved.

Bit	Mnemonic	Default Value	Description
3	SUM1SIGN	0	0: if the sum of all phase powers in the CF1 data path is positive. 1: if the sum of all phase powers in the CF1 data path is negative. Phase powers in the CF1 data path are identified by Bits[2:0] (TERMSEL1[x]) of the COMPMODE register and by Bits[2:0] (CF1SEL[x]) of the CFMODE register.
4	AFVARSIGN	0	0: if the fundamental reactive power on Phase A is positive. 1: if the fundamental reactive power on Phase A is negative.
5	BFVARSIGN	0	0: if the fundamental reactive power on Phase B is positive. 1: if the fundamental reactive power on Phase B is negative.
6	CFVARSIGN	0	0: if the fundamental reactive power on Phase C is positive. 1: if the fundamental reactive power on Phase C is negative.
7	SUM2SIGN	0	0: if the sum of all phase powers in the CF2 data path is positive. 1: if the sum of all phase powers in the CF2 data path is negative. Phase powers in the CF2 data path are identified by Bits[5:3] (TERMSEL2[x]) of the COMPMODE register and by Bits[5:3] (CF2SEL[x]) of the CFMODE register.
8	SUM3SIGN	0	0: if the sum of all phase powers in the CF3 data path is positive. 1: if the sum of all phase powers in the CF3 data path is negative. Phase powers in the CF3 data path are identified by Bits[8:6] (TERMSEL3[x]) of the COMPMODE register and by Bits[8:6] (CF3SEL[x]) of the CFMODE register.
15:9	Reserved	000 0000	Reserved. These bits are always 0.

Table 47. CONFIG Register (Address 0xE618)

Bit	Mnemonic	Default Value	Description
0	INTEN	0	This bit manages the integrators in the phase current channels. If INTEN = 0, then the integrators in the phase current channels are always disabled. If INTEN = 1, then the integrators in the phase currents channels are enabled. The neutral current channel integrator is managed by Bit 3 (ININTEN) of CONFIG3 register.
1	Reserved	1	Reserved. Maintain this bit at 1 for proper operation.
2	CF2DIS	0	When this bit is cleared to 0, the CF2 functionality is chosen at CF2/HREADY pin. When this bit is set to 1, the HREADY functionality is chosen at CF2/HREADY pin.
3	SWAP	0	When this bit is set to 1, the voltage channel outputs are swapped with the current channel outputs. Thus, the current channel information is present in the voltage channel registers and vice versa.
4	MOD1SHORT	0	When this bit is set to 1, the voltage channel ADCs behave as if the voltage inputs were put to ground.
5	MOD2SHORT	0	When this bit is set to 1, the current channel ADCs behave as if the voltage inputs were put to ground.
6	HSDCEN	0	When this bit is set to 1, the HSDC serial port is enabled and HSCLK functionality is chosen at CF3/HSCLK pin. When this bit is cleared to 0, HSDC is disabled and CF3 functionality is chosen at CF3/HSCLK pin.
7	SWRST	0	When this bit is set to 1, a software reset is initiated.
9:8	VTOIA[1:0]	00	These bits decide what phase voltage is considered together with Phase A current in the power path. 00 = Phase A voltage. 01 = Phase B voltage. 10 = Phase C voltage. 11 = reserved. When set, the ADE7880 behaves like VTOIA[1:0] = 00.
11:10	VTOIB[1:0]	00	These bits decide what phase voltage is considered together with Phase B current in the power path. 00 = Phase B voltage. 01 = Phase C voltage. 10 = Phase A voltage. 11 = reserved. When set, the ADE7880 behaves like VTOIB[1:0] = 00.

Bit	Mnemonic	Default Value	Description
7	PFMODE	0	0: power factor calculation uses instantaneous values of various phase powers used in its expression. 1: power factor calculation uses phase energies values calculated using line cycle accumulation mode. Bits LWATT and LVA in LCYCMODE register must be enabled for the power factors to be computed correctly. The update rate of the power factor measurement in this case is the integral number of half line cycles that are programmed into the LINECYC register.

Table 52. HSDC\_CFG Register (Address 0xE706)

Bit	Mnemonic	Default Value	Description
0	HCLK	0	0: HSCLK is 8 MHz. 1: HSCLK is 4 MHz.
1	HSIZE	0	0: HSDC transmits the 32-bit registers in 32-bit packages, most significant bit first. 1: HSDC transmits the 32-bit registers in 8-bit packages, most significant bit first.
2	HGAP	0	0: no gap is introduced between packages. 1: a gap of seven HCLK cycles is introduced between packages.
4:3	HXFER[1:0]	00	00 = HSDC transmits sixteen 32-bit words in the following order: IAWV, VAWV, IBWV, VBWV, ICWV, VCWV, INWV, AVA, BVA, CVA, AWATT, BWATT, CWATT, AFVAR, BFVAR, and CFVAR. 01 = HSDC transmits seven instantaneous values of currents and voltages: IAWV, VAWV, IBWV, VBWV, ICWV, VCWV, and INWV. 10 = HSDC transmits nine instantaneous values of phase powers: AVA, BVA, CVA, AWATT, BWATT, CWATT, AFVAR, BFVAR, and CFVAR. 11 = reserved. If set, the ADE7880 behaves as if HXFER[1:0] = 00.
5	HSAPOL	0	0: $\overline{SS}$ /has output pin is active low. 1: $\overline{SS}$ /HSA output pin is active high.
7:6	Reserved	00	Reserved. These bits do not manage any functionality.

Table 53. CONFIG3 Register (Address 0xEA00)

Bit	Mnemonic	Default Value	Description
0	HPFEN	1	When HPFEN = 1, then all high-pass filters in voltage and current channels are enabled. When HPFEN = 0, then all high-pass filters are disabled.
1	LPFSEL	0	When LPFSEL = 0, the LPF in the total active power data path introduces a settling time of 650 ms. When LPFSEL = 1, the LPF in the total active power data path introduces a settling time of 1300 ms.
2	INSEL	0	When INSEL = 0, the register NIRMS contains the rms value of the neutral current. When INSEL = 1, the register NIRMS contains the rms value of ISUM, the instantaneous value of the sum of all 3 phase currents, IA, IB, and IC.
3	ININTEN	0	This bit manages the integrator in the neutral current channel. If ININTEN = 0, then the integrator in the neutral current channel is disabled. If ININTDIS = 1, then the integrator in the neutral channel is enabled. The integrators in the phase currents channels are managed by Bit 0 (INTEN) of CONFIG register.
4	Reserved	0	Reserved. Maintain this bit at 0 for proper operation.
7:5	Reserved	000	Reserved. These bits do not manage any functionality.

Table 54. HCONFIG Register (Address 0xE900)

Bit	Mnemonic	Default Value	Description
0	HRCFG	0	When this bit is cleared to 0, the Bit 19 (HREADY) interrupt in MASK0 register is triggered after a certain delay period. The delay period is set by bits HSTIME. The update frequency after the settling time is determined by bits HRATE. When this bit is set to 1, the Bit 19 (HREADY) interrupt in MASK0 register is triggered starting immediately after the harmonic calculations block has been setup. The update frequency is determined by Bits HRATE.
2:1	HPHASE	00	These bits decide what phase or neutral is analyzed by the harmonic calculations block. 00 = Phase A voltage and current. 01 = Phase B voltage and current. 10 = Phase C voltage and current. 11 = neutral current.
4:3	HSTIME	01	These bits decide the delay period after which, if HRCFG bit is set to 0, Bit 19 (HREADY) in the STATUS0 register is set to 1. 00 = 500 ms. 01 = 750 ms. 10 = 1000 ms. 11 = 1250 ms.
7:5	HRATE	000	These bits manage the update rate of the harmonic registers. 000 = 125 $\mu$ s (8 kHz rate). 001 = 250 $\mu$ s (4 kHz rate). 010 = 1 ms (1 kHz rate). 011 = 16 ms (62.5 Hz rate). 100 = 128 ms (7.8125 Hz rate). 101 = 512 ms (1.953125 Hz rate). 110 = 1.024 sec (0.9765625 Hz rate). 111 = harmonic calculations disabled.
9:8	ACTPHSEL	00	These bits select the phase voltage used as time base for harmonic calculations. 00 = Phase A voltage. 01 = Phase B voltage. 10 = Phase C voltage. 11 = reserved. If selected, phase C voltage is used.
15:10	Reserved	0	Reserved. These bits do not manage any functionality.

Table 55. LPOILVL Register (Address 0xEC00)

Bit	Mnemonic	Default Value	Description
2:0	LPOIL[2:0]	111	Threshold is put at a value corresponding to full scale multiplied by LPOIL/8.
7:3	LPLINE[4:0]	00000	The measurement period is (LPLINE + 1)/50 seconds.

Table 56. CONFIG2 Register (Address 0xEC01)

Bit	Mnemonic	Default Value	Description
0	EXTREFEN	0	When this bit is 0, it signifies that the internal voltage reference is used in the ADCs. When this bit is 1, an external reference is connected to the Pin 17 REF <sub>IN/OUT</sub> .
1	I2C_LOCK	0	When this bit is 0, the $\overline{SS}$ /HSA pin can be toggled three times to activate the SPI port. If I <sup>2</sup> C is the active serial port, this bit must be set to 1 to lock it in. From this moment on, toggling of the $\overline{SS}$ /HSA pin and an eventual switch into using the SPI port is no longer possible. If SPI is the active serial port, any write to CONFIG2 register locks the port. From this moment on, a switch into using I <sup>2</sup> C port is no longer possible. Once locked, the serial port choice is maintained when the ADE7880 changes PSMx power modes.
7:2	Reserved	0	Reserved. These bits do not manage any functionality.