

INF1600 Architecture des micro-ordinateurs

Laboratoire 4

Soumis par: Ioana Daria Danciu - 2081744

Alexandre Gélinas - 2083465

Groupe de Laboratoire: 02

Le 7 avril 2020

1.2 Barème

TP4		/4,00
Q1	/0,50	
Q2	/0,25	
Q3	/0,25	
Q4	/0,25	
Q5	/0,25	
Q6	/0,25	
Q7	/0,25	
Q8	/0,25	
Q9	/0,25	
Q10	/1,50	

Question 1:

Le processeur RISC simple est construit selon l'architecture de Harvard, puisque les instructions et les données sont stockées dans des mémoires différentes, qui sont connectés par des bus séparés.

Question 2:

Une instruction op_alu se fait en trois étapes, qui durent chacune un cycle d'horloge : fetch, decode et op_alu. Ainsi, l'instruction op_alu se fait en trois cycles d'horloge et son CPI est alors égal à trois.

Question 3:

```
IR <- Mi[PC] : PC <- PC + 1;
;
R[IR<20..16>] <- R[IR<12..8>] + R[IR<4..0>];
```

Question 4:

Une instruction Idi se fait en trois étapes, qui durent chacune un cycle d'horloge : fetch, decode et Idi. Ainsi, l'instruction Idi se fait en trois cycles d'horloge et son CPI est alors égal à trois.

Question 5:

```
IR <- Mi[PC] : PC <- PC + 1;
;
R[IR<20..16>] <- IR<15...0>;
```

Question 6:

Une instruction read_mem se fait en trois étapes, qui durent chacune un cycle d'horloge : fetch, decode et read_mem. Ainsi, l'instruction read_mem se fait en trois cycles d'horloge et son CPI est alors égal à trois.

Question 7:

```
IR <- Mi[PC] : PC <- PC + 1;
;
R[IR<20..16>] <- Md[R[IR<12...8>]]
```

Question 8:

Une instruction write_mem se fait en trois étapes, qui durent chacune un cycle d'horloge : fetch, decode et write_mem. Ainsi, l'instruction write_mem se fait en trois cycles d'horloge et son CPI est alors égal à trois.

Question 9:

```
IR <- Mi[PC] : PC <- PC + 1;
;
Md[IR<12...8>] <- R[IR<4...0>]
```

Question 10:

Nous avons d'abord enregistré le nombre d'itérations dans un registre, qui peut être facilement modifié dans le code de la première instruction. De plus, nous avons ajouté des jump conditionnels à notre code afin de le rendre récursif.