



### Lista de Exercícios - 02

1. Marque verdadeiro (V) para as palavras reservadas da linguagem VHDL e, em caso contrário, falso (F):

- |                                     |                                    |
|-------------------------------------|------------------------------------|
| <input type="checkbox"/> WHEN       | <input type="checkbox"/> AFTER     |
| <input type="checkbox"/> ENTITY     | <input type="checkbox"/> SET       |
| <input type="checkbox"/> PARITY     | <input type="checkbox"/> SELECT    |
| <input type="checkbox"/> PORT       | <input type="checkbox"/> REPEAT    |
| <input type="checkbox"/> BIT        | <input type="checkbox"/> TO        |
| <input type="checkbox"/> BIT_VECTOR | <input type="checkbox"/> INTERRUPT |
| <input type="checkbox"/> DOWN       | <input type="checkbox"/> EXTERNAL  |
| <input type="checkbox"/> SLOW       | <input type="checkbox"/> ALL       |
| <input type="checkbox"/> IN         | <input type="checkbox"/> COMPONENT |
| <input type="checkbox"/> BEGIN      | <input type="checkbox"/> PACKED    |
| <input type="checkbox"/> USES       | <input type="checkbox"/> USE       |
| <input type="checkbox"/> END        | <input type="checkbox"/> FORWARD   |
| <input type="checkbox"/> GOTO       | <input type="checkbox"/> PACKAGE   |

2. Conceitue as abordagens de projeto *top-down* e *bottom-up*.
3. Conceitue as palavras reservadas ENTITY e ARCHITECTURE em uma estrutura de código em VHDL. Dê um exemplo.
4. Dentre as características de VHDL, marque a(s) opção(ões) que estiver(em) correta(s).
- a) ☐ A reusabilidade em VHDL corresponde à criação de componentes para um determinado projeto, possibilitando que esta criação possa ser reutilizada em outros projetos.
  - b) ☐ Qualquer código em VHDL simulado não é associado a uma biblioteca especial ou de trabalho, na qual estão todos os componentes utilizados no projeto.
  - c) ☐ A VHDL possibilita a criação de novos pacotes e bibliotecas, além das bibliotecas já existentes pré-compiladas.
5. Enumere a segunda coluna de acordo com a primeira coluna em se tratando dos modos de operação de uma porta em VHDL.
- |                                     |   |
|-------------------------------------|---|
| <input type="checkbox"/> (1) IN     | <input type="checkbox"/> ( ) porta que opera exclusivamente como saída.                           |
| <input type="checkbox"/> (2) BUFFER | <input type="checkbox"/> ( ) porta pode ser de entrada e saída ao mesmo tempo.                    |
| <input type="checkbox"/> (3) OUT    | <input type="checkbox"/> ( ) porta que opera exclusivamente como entrada.                         |
| <input type="checkbox"/> (4) INOUT  | <input type="checkbox"/> ( ) porta pode servir tanto como entrada quanto saída (uma de cada vez). |
6. Identifique na Figura 1, a seguir, qual parte corresponde à declaração da entidade e qual parte corresponde à arquitetura da entidade. Descreva a sintaxe em VHDL, tanto para a declaração da entidade quanto para a arquitetura da entidade.

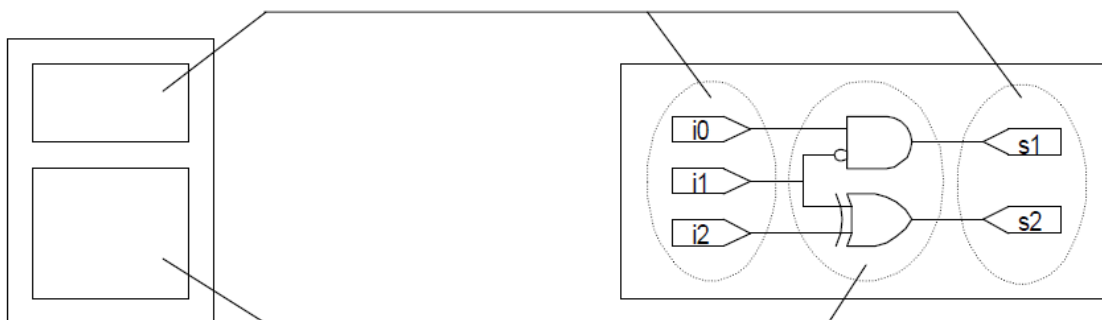


Figura 1



7. Com relação ao uso de nomes das entidades, subrotinas, variáveis, constantes e sinais, marque verdadeiro (V) ou falso (F) para as afirmações abaixo.
- ( ) Deve-se usar apenas caracteres alfanuméricos e o caractere underline (\_).
  - ( ) O primeiro caractere deve ser uma letra.
  - ( ) Há caso sensível, isto é, há distinção entre letras maiúsculas e minúsculas.
  - ( ) NOME, Nome e nome são um mesmo identificador.
8. Marque a(s) alternativa(s) correta(s):
- a) ( ) A palavra reservada PORT corresponde a uma lista com especificações de todas as portas de entradas e de saídas de um circuito.
  - b) ( ) O modo de uma porta indica se ela é uma porta de entrada, de saída, bidirecional ou um buffer.
  - c) ( ) A palavra reservada ARCHITECTURE define a interface do circuito.
  - d) ( ) A palavra reservada ENTITY define a funcionalidade do circuito.
  - e) ( ) A palavra reservada GENERIC permite a passagem de informações estáticas para uma unidade de projeto.
9. Identifique os 3 tipos de modelagem de arquiteturas, indicando (1) para Comportamental, (2) para Estrutural e (3) para Fluxo de Dados (RTL):
- a) ( ) Especifica a própria expressão booleana do circuito.
  - b) ( ) Descreve a funcionalidade do componente utilizando expressões e linguagem de alto nível.
  - c) ( ) Descreve as interconexões entre os componentes.
10. A partir dos 3 códigos em VHDL abaixo, representando a implementação de um comparador de 4 bits, determine qual foi o tipo de modelagem de arquitetura utilizado em cada um deles. Justifique cada a sua resposta.

**Código em VHDL – 01 → Tipo de modelagem de arquitetura:** \_\_\_\_\_

**Justificativa:**

---

---

---

---

---

```
LIBRARY IEEE;  
USE ieee.std_logic_1164.all;  
USE ieee.std_logic_arith.all;  
USE ieee.std_logic_unsigned.all;
```

```
ENTITY comp4 IS  
    PORT ( a : IN std_logic_vector (3 DOWNTO 0);  
          b : IN std_logic_vector (3 DOWNTO 0);  
          igual : OUT std_logic);  
END ENTITY comp4;
```

```
ARCHITECTURE logica_1 OF comp4 IS  
BEGIN  
    igual <= '1' WHEN (a=b) ELSE '0';  
END ARCHITECTURE logica_1;
```



**Código em VHDL – 02 → Tipo de modelagem de arquitetura:** \_\_\_\_\_

**Justificativa:**

---

---

---

---

---

```
LIBRARY IEEE;
USE ieee.std_logic_1164.all;
USE ieee.std_logic_arith.all;
USE ieee.std_logic_unsigned.all;

ENTITY comp4 IS
    PORT ( a : IN std_logic_vector (3 DOWNTO 0);
          b : IN std_logic_vector (3 DOWNTO 0);
          igual : OUT std_logic);
END ENTITY comp4;

ARCHITECTURE logica_2 OF comp4 IS
BEGIN

    comp : PROCESS (a, b)
    BEGIN
        IF a=b THEN
            igual <= '1';
        ELSE
            igual <= '0';
        END IF;

    END PROCESS;

END ARCHITECTURE logica_2;
```



**Código em VHDL – 03 → Tipo de modelagem de arquitetura:** \_\_\_\_\_

**Justificativa:**

---

---

---

---

---

```
LIBRARY IEEE;
USE ieee.std_logic_1164.all;
USE ieee.std_logic_arith.all;
USE ieee.std_logic_unsigned.all;

ENTITY comp4 IS
    PORT ( a : IN std_logic_vector (3 DOWNT0 0);
          b : IN std_logic_vector (3 DOWNT0 0);
          igual : OUT std_logic);
END ENTITY comp4;

ARCHITECTURE logica_3 OF comp4 IS
    SIGNAL x : std_logic_vector (3 DOWNT0 0);
BEGIN
    u0 : XNOR PORT MAP (a(0), b(0), x(0));
    u1 : XNOR PORT MAP (a(1), b(1), x(1));
    u2 : XNOR PORT MAP (a(2), b(2), x(2));
    u3 : XNOR PORT MAP (a(3), b(3), x(3));
    u4 : AND4 PORT MAP (x(0), x(1), x(2), x(3), igual);

END ARCHITECTURE logica_3;
```