



Lista de Exercícios - 03

1. Associe os tipos de dados do lado esquerdo com os respectivos exemplos do lado direito:

(1) BIT	() 123
(2) BOOLEAN	() 4.3
(3) CHARACTER	() 1ns
(4) INTEGER	() 'a'
(5) NATURAL	() false
(6) POSITIVE	() '1'
(7) REAL	() '?'
(8) TIME	() true
(9) TIPO NÃO EXISTENTE	() 1fs
	() 16#B#
	() 8#1
	() '9'
	() ab

2. A sintaxe a seguir representa a implementação do tipo CHARACTER em VHDL?
TYPE character IS ('A', ..., 'Z');
() Verdadeiro
() Falso
3. A sintaxe a seguir representa a implementação de um tipo que pode ser definido pelo usuário em VHDL?
TYPE pares IS (2, 4, 6, 8);
() Verdadeiro
() Falso
4. BYTE é um tipo de dado predefinido em VHDL?
() Verdadeiro
() Falso
5. Marque quais as associações a seguir são válidas em VHDL:
a) () Int0 <= 205;
b) () Int1 <= 2#1100_1101#;
c) () Int2 <= 8#315#;
d) () Int3 <= 16#CD#;
e) () Todas as alternativas são válidas;
f) () Todas as alternativas são inválidas.
6. Marque quais as associações a seguir são válidas (V) e inválidas (F) em VHDL para o tipo REAL:
a) () Re0 <=1;
b) () Re1 <=1,0;
c) () Re2 <=1.0;
d) () Re3 <=1,0E+6;
e) () Re4 <=1.0E-6;
f) () Re3 <= -1,0E+6;
g) () Re3 <= -1.0E-6;
7. TIME é um tipo físico definido na biblioteca padrão da VHDL?
() Verdadeiro
() Falso



8. Determine um tipo físico para a grandeza massa (miligrama até quilograma) em VHDL.

9. De acordo com a linha de código em VHDL abaixo, responda:

```
saida : OUT BIT_VECTOR (7 DOWNT0 0):= "11000110";
```

- a) saída(2) <= ' _____ '
- b) saída(5) <= ' _____ '
- c) saída(7) <= ' _____ '
- d) saída(1) <= ' _____ '
- e) saída(6) <= ' _____ '
- f) saída(3) <= ' _____ '

10. Com base no exercício 9 e de acordo com as linhas de código em VHDL abaixo, responda:

```
saida <= (5 => '1', 0 => '1');          -- saida = " _____ "
```

```
saida <= (6 => '0', OTHERS => '1'); -- saida = " _____ "
```

```
entrada (0 TO 3) <= saída (3 DOWNT0 0); -- entrada = " _____ "
```

11. De acordo com a linha de código em VHDL abaixo, responda:

```
CONSTANT c: STRING (1 TO 9) := "Alo turma";
```

```
VARIABLE d: STRING (9 DOWNT0 1) := "Alo turma";
```

- a) c(2) <= ' _____ '
- b) d(5) <= ' _____ '
- c) d(7) <= ' _____ '
- d) c(0) <= ' _____ '
- e) c(6) <= ' _____ '
- f) d(3) <= ' _____ '

12. Verifique se o código em VHDL está ou não está correto. Justifique a sua resposta.

```
ARCHITECTURE Logica OF Example IS
```

```
SIGNAL s1 : STD_ULOGIC;
```

```
BEGIN
```

```
    s1 <= '0';
```

```
    :
```

```
    :
```

```
    s1 <= '1';
```

```
END Logica;
```