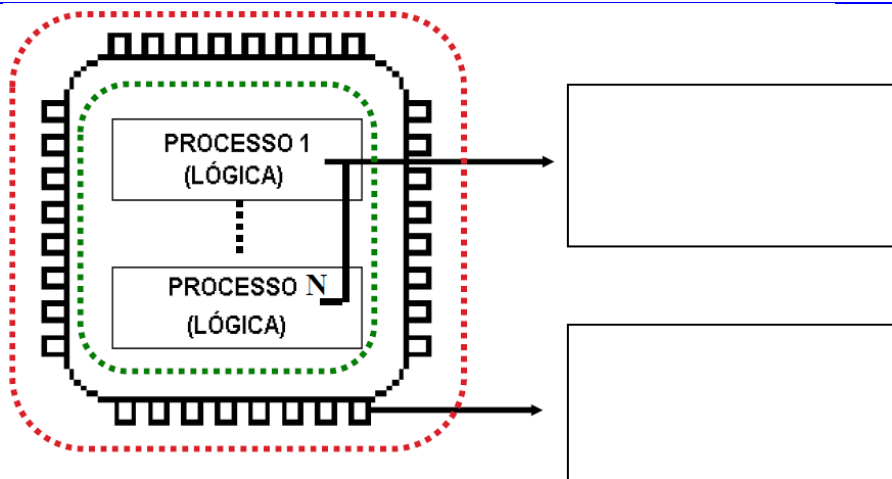




Lista de Exercícios - 01

- Quais os motivos que levaram ao desenvolvimento da linguagem de descrição de hardware.
- O que significa HDL e para que serve? Dê exemplos de HDLs.
- O que significa o acrônimo VHDL?
- Marque nas sentenças a seguir (1) para identificar vantagens e (2) para identificar desvantagens do uso de VHDL.
 - ☐ Projeto independente da tecnologia
 - ☐ Hardware gerado é menos otimizado
 - ☐ Facilidade na atualização dos projetos
 - ☐ Falta de pessoal treinado para lidar com a linguagem
 - ☐ Redução do tempo de projeto e custo
 - ☐ Simulações geralmente mais lentas que outras implementações
 - ☐ Eliminação de erros de baixo nível
 - ☐ Simplificação da documentação
- Das características da linguagem VHDL identifique as sentenças verdadeiras (V) e falsas (F):
 - ☐ VHDL é análogo a uma linguagem de programação.
 - ☐ Sintaxe em VHDL não é similar à sintaxe das linguagens Ada e Pascal.
 - ☐ VHDL deve ser descrito após a arquitetura, e não a arquitetura após a VHDL.
 - ☐ VHDL não provê mecanismos para modelar a concorrência e sincronização que ocorrem no nível físico no hardware.
 - ☐ O código em VHDL é executado em um simulador, não há um “executável”.
 - ☐ Permite, através de simulação, verificar o comportamento do sistema digital.
 - ☐ Permite descrever hardware em níveis de abstração, tais como: Comportamental, RTL e Estrutural.
 - ☐ Não favorece projeto “top-down”.
- Identifique as diferenças entre VHDL (1) e linguagens de programação (2).

Propósito	<input type="checkbox"/> Hardware	<input type="checkbox"/> Software
Entrada	<input type="checkbox"/> Texto e Ferramentas Visuais	<input type="checkbox"/> Texto e Ferramentas Visuais
Desenvolvimento	<input type="checkbox"/> Compilação e Ligação/interpretação	<input type="checkbox"/> Compilação para Simulação e Síntese para Hardware
Depuração	<input type="checkbox"/> Execução e Visualização dos Resultados	<input type="checkbox"/> Simulação e Visualização das formas de ondas
Instruções	<input type="checkbox"/> Concorrentes e sequenciais	<input type="checkbox"/> Somente sequenciais
- Quanto a síntese em VHDL marque verdadeiro (V) ou falso (F) para as sentenças a seguir:
 - ☐ A modelagem em RTL é 100% sintetizável.
 - ☐ A descrição VHDL comportamental não depende da ferramenta de síntese utilizada.
 - ☐ A modelagem RTL é 50% sintetizável.
 - ☐ A descrição VHDL comportamental não depende das construções VHDL utilizadas no código.
 - ☐ A descrição VHDL comportamental depende da ferramenta de síntese utilizada e das construções VHDL utilizadas no código.
- A estrutura básica de um código em VHDL consiste em três partes: (1) declarações de bibliotecas e pacotes, (2) entidade e (3) arquitetura:
 - ☐ Verdadeiro
 - ☐ Falso
- Na figura a seguir identifique e defina quem é Entidade e quem é Arquitetura:



10. Para implementação no nível de portas lógicas quais as arquiteturas possíveis em VHDL? Descreva cada uma delas.
11. Obtenha as entidades dos circuitos apresentados nas Figuras 1, 2 e 3.

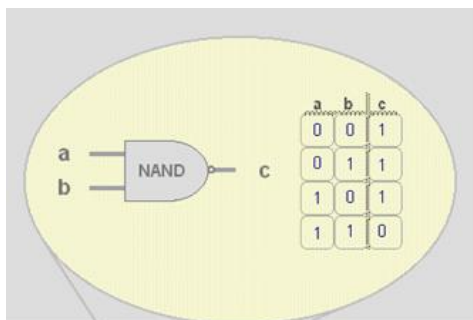


Figura 1

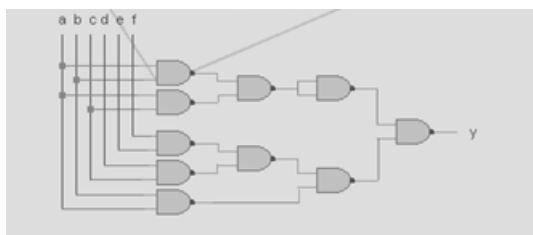


Figura 2

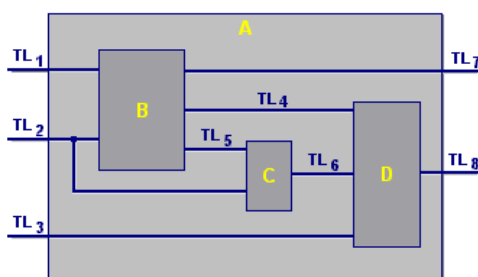


Figura 3