



# **Comparación en el diseño de convertidores tiempo-a-digital en tecnologías CMOS de 180 nm y 28nm**

por

**M.C. Uriel Alberto Melo Pinzón**

Tesis sometida como requisito parcial para obtener el grado de

**DOCTOR EN CIENCIAS EN LA ESPECIALIDAD DE  
ELECTRÓNICA**

en el

**Instituto Nacional de Astrofísica, Óptica y Electrónica**

Agosto, 2022

Tonantzintla, Puebla, Mexico

Advisor:

**Dr. Guillermo Espinosa Flores-Verdad**

Coordinación de Electrónica

INAOE, Mexico

©INAOE 2022

Derechos reservados. El autor otorga al INAOE el permiso de  
reproducir y distribuir copias de esta tesis en su totalidad o en  
partes.



# Resumen

---

Este trabajo presenta una comparación en el diseño de convertidores tiempo-a-digital (TDC) al migrar el diseño de una tecnología CMOS de 180 nm a 28 nm. El uso de amplificadores de diferencia de tiempo (TA) en la parte fina del convertidor, además de incluir el efecto de variaciones de proceso y temperatura sobre la variación en la ganancia del TA mejoran el desempeño del TDC. La caracterización y comparación con el estado del arte en términos de consumo de potencia, rango y resolución corroboran la viabilidad de la presente propuesta.

# Abstract

---

This work shows a comparison between the design of time-to-digital converters (TDC) in 180 nm and 28 nm CMOS technologies. The TDC performance is improved by using a fine-TDC based on time-difference-amplifiers (TA) and including the process and temperature variations effects on the TA gain variation. The characterization and comparison with the state of art in terms of power consumption, range, and resolution support the proposed circuit.

# **Agradecimientos**

---

Este trabajo fue realizado gracias a el Consejo Nacional de Ciencia y Tecnología (CONACYT) a través de la beca de doctorado número 465603.

A mi asesor, El Dr. Guillermo Espinosa Flores-Verdad por su apoyo durante el desarrollo de este trabajo.

# Índice general

---

|   |          |
|---|----------|
| <b>Resumen</b>  | II       |
| <b>Abstract</b>   | III      |
| <b>Agradecimientos</b>  | IV       |
| <b>1. Introducción</b>  | <b>1</b> |
| 1.1. Voltaje de alimentación . . . . .                                      | 2        |
| 1.2. Voltaje umbral . . . . .   | 3        |
| 1.3. Corriente de fuga . . . . .  | 5        |
| 1.4. Ganancia intrínseca . . . . .  | 6        |
| 1.5. Variaciones de proceso y variaciones en las condiciones de operación . | 7        |
| 1.5.1. PVT . . . . .  | 8        |
| 1.5.2. <i>Mismatch</i> . . . . .  | 8        |
| 1.5.3. Caracterización de variaciones . . . . .                             | 9        |
| 1.6. Layout . . . . .   | 14       |
| 1.7. Objetivos . . . . .  | 16       |

|  |           |
|--|-----------|
| 1.8. Organización de la tesis . . . . .  | 16        |
| <b>2. Convertidores tiempo a digital</b>   | <b>17</b> |
| 2.1. TDC y sintetizadores de frecuencia . . . . .  | 17        |
| 2.2. Arquitecturas generales de TDC . . . . .  | 21        |
| 2.2.1. Flash . . . . .   | 21        |
| 2.2.2. De Lazo Cerrado . . . . .   | 22        |
| 2.2.3. Multi-etapa ( <i>pipelined</i> ) . . . . .  | 23        |
| 2.3. Caracterización de un TDC . . . . .   | 24        |
| 2.4. Estado del arte de TDC . . . . .  | 25        |
| 2.5. Conclusión . . . . .  | 27        |
| <b>3. Amplificadores de diferencia de tiempo</b>   | <b>28</b> |
| 3.1. Amplificador de diferencia de tiempo <i>cross-coupled</i> . . . . .                     | 30        |
| 3.2. Diseño del TA en una tecnología CMOS de 180 nm . . . . .                                | 32        |
| 3.3. Diseño del TA en una tecnología CMOS de 28 nm . . . . .                                 | 37        |
| 3.4. Propuesta amplificador de diferencia de tiempo . . . . .                                | 38        |
| 3.4.1. Rediseño del TA en 180 nm . . . . .   | 41        |
| 3.5. Conclusión . . . . .  | 42        |
| <b>4. Diseño y caracterización de un convertidor tiempo-a-digital</b>                        | <b>43</b> |
| 4.1. Efecto del error en la ganancia del TA sobre el error permisible en el<br>TDC . . . . . | 44        |

|   |           |
|---|-----------|
| 4.2. Arquitectura del TDC . . . . .                               | 45        |
| 4.2.1. Diseño del TDC entero . . . . .                            | 47        |
| 4.2.2. Diseño del TDC sub-exponencial . . . . .                   | 48        |
| 4.3. Caracterización del TDC . . . . .                            | 50        |
| 4.3.1. Rango y resolución . . . . .                               | 50        |
| 4.3.2. Linealidad . . . . .                                       | 52        |
| 4.3.3. Comparación con el estado de arte de TDC basados en TA . . | 54        |
| 4.4. Conclusión . . . . .   | 55        |
| <b>5. Conclusiones y trabajo a futuro</b>                         | <b>56</b> |
| <b>Índice de figuras</b>  | <b>58</b> |
| <b>Índice de tablas</b>   | <b>62</b> |
| <b>Bibliografía</b>   | <b>64</b> |



# 1

## Introducción

---

Las señales manejadas por los dispositivos electrónicos son de naturaleza analógica (como las variables tomadas por algunos sensores) o digital (como la información procesada en los convertidores analógico-digital). En el procesamiento de la información están involucrados circuitos electrónicos que actúan de acuerdo con los tipos de señal mencionados anteriormente. En el caso de la información analógica los amplificadores operacionales, reguladores de voltaje y filtros son ejemplos de circuitos que modifican la amplitud de la señal, la mantienen en un valor deseado o discriminan información en términos de sus componentes frecuenciales, respectivamente. Por otro lado, los circuitos de memoria, compuertas lógicas y también filtros son ejemplos de circuitos que almacenan información, realizan operaciones lógicas y seleccionan parte de las señales en el dominio digital. Finalmente, para la conversión de información de un dominio a otro se tienen los convertidores analógico-digital (ADC), convertidores digital-analógico (DAC) y convertidores tiempo-digital (TDC) como ejemplos de circuitos *mixed-signal*.

La construcción física de los circuitos requiere de procesos fisicoquímicos donde los procesos CMOS son unos de los más empleados por su disponibilidad, costo y

constante evolución. En los últimos años los avances en la ciencia de materiales y procesos de litografía ha permitido un escalamiento sostenido en las dimensiones de los transistores, lo cual ha permitido una mayor integración de circuitos en una misma área y por tanto un aumento en las prestaciones de los dispositivos electrónicos [1]. A pesar de las ventajas que ha traído la escalabilidad de las tecnologías CMOS para los usuarios finales de los dispositivos, el talento humano encargado del diseño, fabricación y verificación de los circuitos integrados se enfrenta constantemente a diferentes retos asociados a la disminución de la longitud de canal de los transistores.

En este capítulo se presentan algunos parámetros eléctricos asociados al diseño de circuitos analógicos y digitales, y se realiza una comparación cualitativa y cuantitativa de cada uno de ellos en dos tecnologías CMOS de 180 nm y 28 nm.

## 1.1. Voltaje de alimentación

En las últimas tres décadas la variación en el voltaje de alimentación ha presentado diferentes tendencias con la aparición de los diferentes nodos CMOS. Hasta el nodo de 800 nm el escalamiento se dio en dimensiones más no en voltaje, a diferencia de los nodos de 350 nm a 120 nm donde el escalamiento se realizó manteniendo constante el campo eléctrico en el canal, por lo cual tanto las dimensiones como el voltaje de alimentación se reducían con el avance de cada nodo. A partir de los 120 nm se tiene otro periodo de escalamiento casi constante en voltaje pero a diferencia del primero, en el escalado de los parámetros se toman en cuenta los efectos físicos que causan reducción en la movilidad de los portadores [2].

Mientras que el escalado en dimensiones presenta retos en mantener la integridad de las señales, la reducción en el voltaje de alimentación impacta negativamente en el desempeño de los circuitos analógicos y presenta ventajas en los circuitos digi-

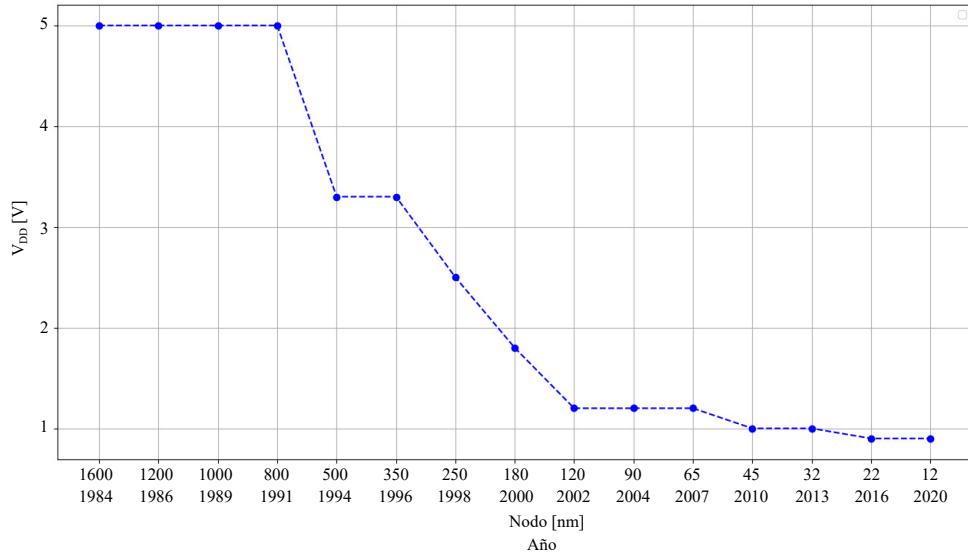


Figura 1.1: Voltaje de alimentación para diferentes nodos CMOS

tales. En los circuitos digitales la disminución en el voltaje de alimentación reduce el consumo de potencia dinámico, mientras que en los circuitos analógicos se tiene una reducción en el rango dinámico de los circuitos (como en los amplificadores operacionales) y una reducción en la relación señal-ruido (SNR) que comparando los nodos de 180 nm y 28 nm donde los voltajes de alimentación son de 1.8 V y 0.9 V respectivamente, para una misma corriente la SNR en un nodo de 28 nm es tres veces menor a la del nodo de 180 nm tomando como referencia un circuito fuente común [3].

## 1.2. Voltaje umbral

El escalado del voltaje de alimentación a valores cercanos al potencial de bandgap del silicio (el cual no es escalable) produce un aumento en los campos eléctricos y afecta la profundidad del canal en los transistores FET. Al incrementarse el campo eléctrico perpendicular al óxido de compuerta los portadores son confinados más

Tabla 1.1: Voltaje umbral para tecnologías CMOS de 28 nm y 180 nm

| Voltaje umbral [mV] | PMOS  |        | NMOS  |        |
|---------------------|-------|--------|-------|--------|
|                     | 28 nm | 180 nm | 28 nm | 180 nm |
| <i>regular</i>      | -535  | -457   | 338   | 426    |
| <i>high</i>         | -583  | -      | 460   | -      |
| <i>ultra-high</i>   | -633  | -      | 361   | -      |
| <i>low</i>          | -460  | -163   | 281   | 140    |
| <i>ultra-low</i>    | -468  | -      | 290   | -      |

cerca de la interfase, lo cual reduce la movilidad de los mismos, aumenta el confinamiento cuántico e incrementa la región de agotamiento de la unión [4]. Debido a los efectos mencionados anteriormente el voltaje umbral no escala a la misma razón que el voltaje de alimentación.

La tabla 1.1 muestra los valores del voltaje umbral para las tecnologías CMOS de 28 nm y 180 nm del fabricante UMC. A diferencia de la tecnología más madura, las tecnologías recientes cuentan con voltajes umbral etiquetados desde ultra-alto a ultra-bajo de tal manera que dada una aplicación se opte por el transistor que mejor responda de acuerdo con los efectos que se quieran minimizar, como por ejemplo la corriente de sub-umbral.

Al tener voltajes de alimentación más cercanos al voltaje de umbral, los circuitos analógicos son los que se ven más afectados debido a la reducción en el voltaje de *overdrive* que conlleva a una reducción en el rango dinámico de los circuitos como se mencionó en la sección previa.

### 1.3. Corriente de fuga

La disipación de potencia en los circuitos integrados está dada por la conmutación de transistores (dinámica), conducción no deseada durante transiciones de estados (corto-circuito), polarización (estática) y debido a las corrientes de fuga. A medida que los transistores han ido escalando en dimensiones las corrientes de fuga se han convertido en una de las principales componentes de disipación de potencia.

Dentro de los mecanismos más relevantes respecto al consumo de potencia por corrientes de fuga se tiene la corriente de sub-umbral, corriente de tuneldeo a través del óxido de la compuerta y por polarización inversa de las uniones pn [5]. La corriente de sub-umbral se presenta cuando el voltaje compuerta-fuente es menor al voltaje umbral y tiene una dependencia exponencial de estos dos voltajes. Por otro lado, debido a la disminución del grosor del óxido de compuerta a medida que los transistores son escalados se presenta el paso de portadores del sustrato y de las regiones de *overlap* de la fuente y el drenador a la compuerta a través del óxido por tuneldeo.

La figura 1.2 muestra las corrientes en los transistores NMOS y PMOS para dimensiones mínimas y una magnitud de  $V_{ds}$  de 50 mV y 100 mV en las tecnologías de 28 nm y 180 nm respectivamente. Se observa como la diferencia en ordenes de magnitud entre las corrientes de sub-umbral para los transistores NMOS y PMOS es más significativa en el nodo de 28 nm (más de 30 veces) a diferencia del nodo de 180 nm (aproximadamente 3 veces) para un  $V_{gs}$  de 0 V. Por otro lado, las corrientes de tuneldeo a través del óxido de compuerta no son significativas en el nodo de 180 nm mientras que en el nodo de 28 nm se tiene corrientes de 0.73 pA y 21.8 pA para los transistores PMOS y NMOS respectivamente para las polarizaciones y dimensiones mencionadas anteriormente.

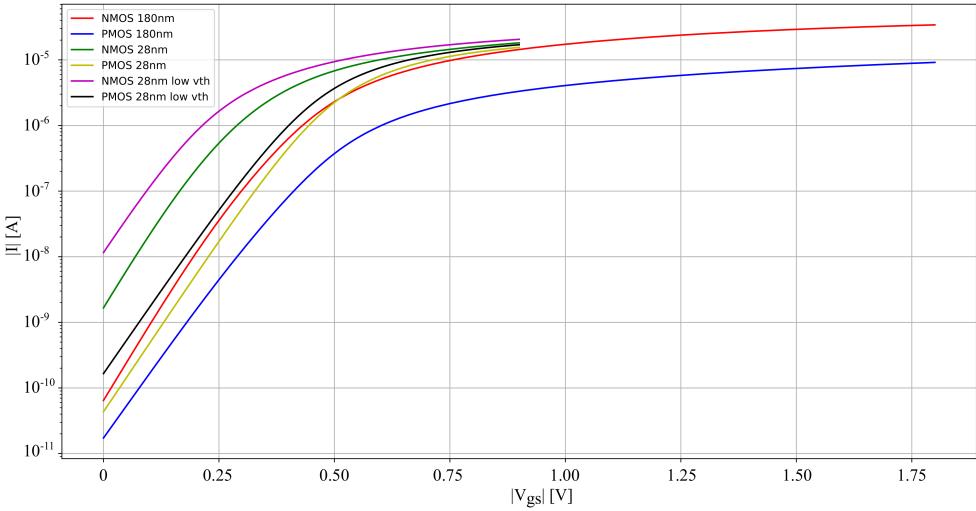


Figura 1.2: Corrientes de fuga para los transistores NMOS y PMOS en las tecnologías de 28 nm y 180 nm

## 1.4. Ganancia intrínseca

La ganancia intrínseca corresponde a la ganancia en voltaje en pequeña señal del transistor para determinadas dimensiones y condiciones de polarización que lo mantengan en saturación. Está definida como el producto de la transconductancia y la resistencia de salida del transistor. Dado que en los procesos CMOS, a medida que la longitud de canal se va reduciendo, la tecnología se optimiza para los circuitos digitales; el diseño de circuitos analógicos se hace más complejo.

En la tabla 1.2 se muestra la ganancia intrínseca de los transistores con voltaje umbral regular para tecnologías CMOS de 28 nm y 180 nm. Los transistores se caracterizaron para una corriente de  $10 \mu A$  y la ganancia se midió para un voltaje drain-source de una tercera parte del voltaje de alimentación para cada tecnología. El multiplicador corresponde al aumento en la longitud y ancho de canal a partir de las dimensiones mínimas de acuerdo con el nodo empleado. De los datos se observa

Tabla 1.2: Ganancia intrínseca en dB para tecnologías CMOS de 28 nm y 180 nm

| Multiplicador | PMOS  |        | NMOS  |        |
|---------------|-------|--------|-------|--------|
|               | 28 nm | 180 nm | 28 nm | 180 nm |
| 1             | 15.9  | 18     | 19.1  | 23.3   |
| 2             | 21.6  | 22.5   | 24.6  | 30     |
| 4             | 27.9  | 25.8   | 30.2  | 35     |

como para obtener ganancias similares entre las dos tecnologías se hace necesario incrementar las dimensiones de los transistores.

## 1.5. Variaciones de proceso y variaciones en las condiciones de operación

Las variaciones en el desempeño de los circuitos integrados pueden ser agrupadas en variaciones en el proceso de fabricación y variaciones en las condiciones de operación. Las variaciones en el proceso de fabricación pueden ser de origen sistemático o aleatorio. Las variaciones sistemáticas son modeladas a partir de mediciones realizadas dentro de circuitos que se encuentran en la misma oblea y entre diferentes obleas de tal forma que se obtienen diferentes esquinas dependiendo principalmente de si el voltaje umbral toma un valor nominal (*typical*, T), un valor bajo (*fast*, F) y un valor alto (*slow*, S). Las combinaciones SS, SF, TT, FS y FF agrupan el rango de variaciones en el voltaje umbral de los transistores NMOS y PMOS.

Por otro lado las variaciones en el proceso de fabricación de origen aleatorio son modeladas como funciones de distribución de probabilidad para variaciones en el perfil de dopado de las implantaciones, rugosidad en los bordes (variación en las dimensiones de los transistores), etc., de tal forma que se tomen en cuenta las

variaciones que se pueden presentar entre dispositivos diseñados idénticamente en un mismo circuito [6].

Finalmente, las variaciones en las condiciones de operación corresponden a los rangos de temperatura en los que el circuito puede trabajar y las variaciones en el voltaje de alimentación permitidas sin afectar el desempeño de este.

### **1.5.1. PVT**

Al tomar las variaciones de proceso sistemáticas y las variaciones en las condiciones de operación se obtienen diferentes escenarios de operación del circuito conocidos como esquinas PVT (proceso, voltaje y temperatura). Las variaciones en el voltaje de operación generalmente se toman como una desviación del voltaje nominal de alimentación del  $\pm 10\%$  y las variaciones en temperatura se evalúan para  $-40\text{ }^{\circ}\text{C}$ ,  $60\text{ }^{\circ}\text{C}$  y  $120\text{ }^{\circ}\text{C}$  para aplicaciones de uso industrial. El análisis de esquinas resulta útil en la identificación del peor (o peores) caso que se debe atender para garantizar la mayor relación posible entre circuitos validos sobre circuitos fabricados (*yield*). En los circuitos digitales las variaciones son tomadas en cuenta para asegurar que se cumplan las restricciones en los tiempos de *hold* y *setup* [7, 8], mientras que en los circuitos analógicos el peor caso es particular al circuito y topología analizada, y por tanto se busca que se cumplan con las especificaciones en todos los escenarios posibles [9].

### **1.5.2. Mismatch**

Debido a las variaciones de proceso de origen aleatorio se pueden presentar diferencias en los parámetros de dispositivos considerados idénticos, tales como transistores en un par diferencial, espejos de corriente, o celdas usadas en circuitos digitales. De acuerdo al modelo de Pelgrom el *mismatch* entre dos dispositivos puede reducirse

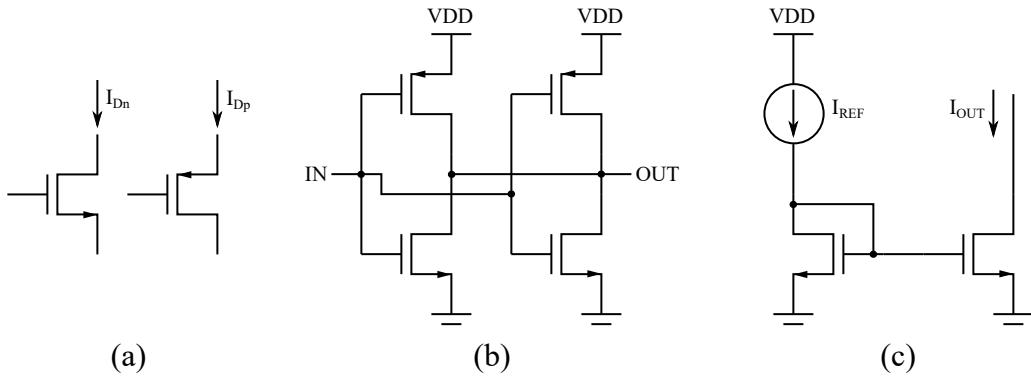


Figura 1.3: Celdas caracterizadas: Transistores (a), Inversor (b), y Espejo de corriente simple (c)

al sobre-dimensionar los mismos, de tal manera que la curtosis de la distribución de probabilidad del parámetro analizado aumente. El sobre-dimensionamiento y técnicas de *layout* son herramientas ampliamente usadas para compensar el *mismatch* en circuitos tanto analógicos como digitales, y además pueden complementarse con la selección de dimensiones a partir de modelos estadísticos [10], conexión o desconexión selectiva de dispositivos (*trimming*) [11], o técnicas de auto-compensación a nivel sistema [12].

### 1.5.3. Caracterización de variaciones

Con el objeto de revisar las variaciones de proceso y *mismatch* a nivel transistor y de circuitos analógicos y digitales se realizaron simulaciones de los transistores NMOS y PMOS, un inversor y un espejo de corriente simple tal como se muestra en la figura 1.3 para tecnologías CMOS de 180 nm y 28 nm.

La relación de los anchos de los transistores PMOS y NMOS fue 4 y 2.5 para las tecnologías de 180 nm y 28 nm respectivamente. La longitud de canal se tomó de 4 veces la longitud mínima para el espejo de corriente y de 2 veces para la simulación

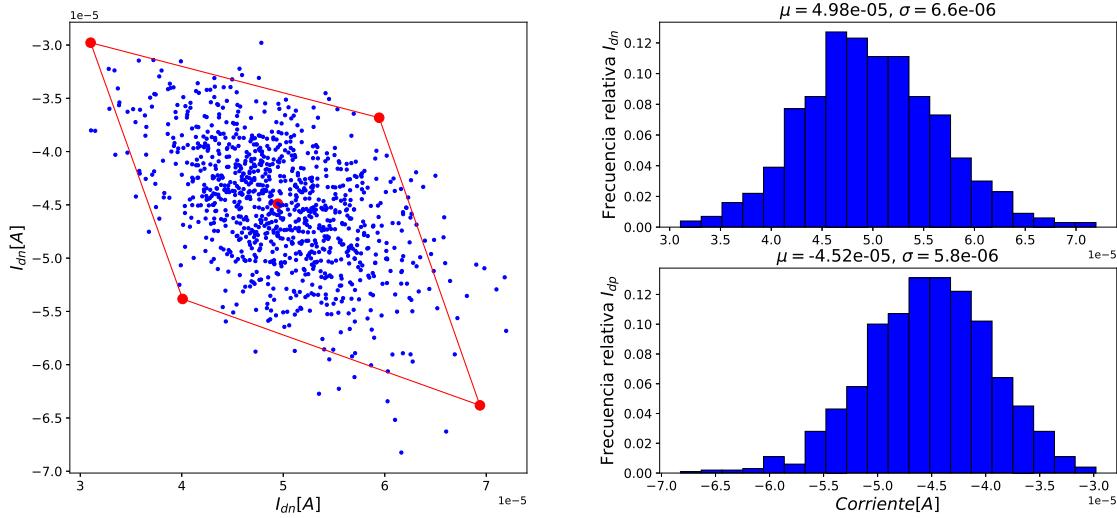


Figura 1.4: Variaciones de proceso y *mismatch* en la corriente de transistores NMOS y PMOS en 180 nm

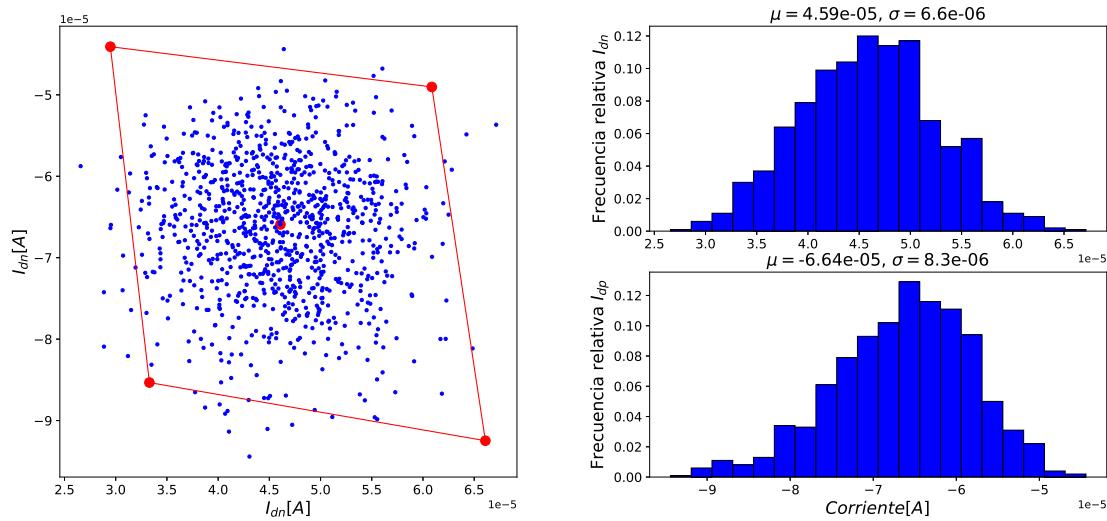


Figura 1.5: Variaciones de proceso y *mismatch* en la corriente de transistores NMOS y PMOS en 28 nm

de los transistores y el inversor. Se simularon las cinco esquinas de proceso y se realizaron simulaciones de Monte Carlo ( $n=1000$ ) con los modelos suministrados por el fabricante activando las opciones de proceso y *mismatch* de los modelos con sigma igual a 3.

### **Transistores NMOS y PMOS**

Las figuras 1.4 y 1.5 muestran los resultados de las variaciones de proceso en la corriente de transistores NMOS y PMOS en 180 nm y 28 nm respectivamente. A nivel transistor se observa que las variaciones de esquinas (color rojo) abarcan las variaciones aleatorias (color azul), cuya distribución se muestra en los histogramas, para ambos nodos.

### **Inversor**

Comparando las variaciones aleatorias con las esquinas de proceso para el caso del inversor mostradas en las figuras 1.6 y 1.7, se observa que las esquinas lenta (SS) y rápida (FF) en ambos nodos exageran el desempeño del circuito en ambos casos. La esquina lenta muestra un escenario muy desfavorable con lo cual se podría incurrir en un sobre-diseño de la celda si se considera el enfoque de esquinas sobre el de variaciones aleatorias. Lo anterior considerando que en los circuitos digitales generalmente se busca que las celdas diseñadas cumplan con restricciones en los retardos de propagación.

### **Espejo de corriente simple**

En el caso del espejo de corriente simple se tomó una carga ideal y una fuente de referencia ideal de  $50 \mu A$ . De los gráficos de dispersión entre la corriente de salida y el voltaje compuerta-fuente de los transistores se observa como las variaciones en

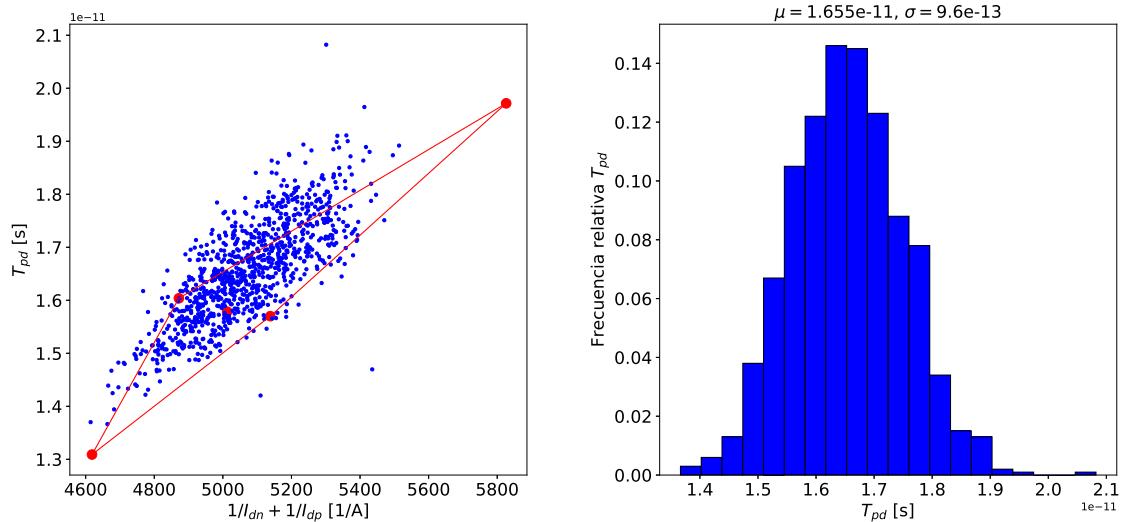


Figura 1.6: Variaciones de proceso y *mismatch* en el retardo de propagación un inversor en 180 nm

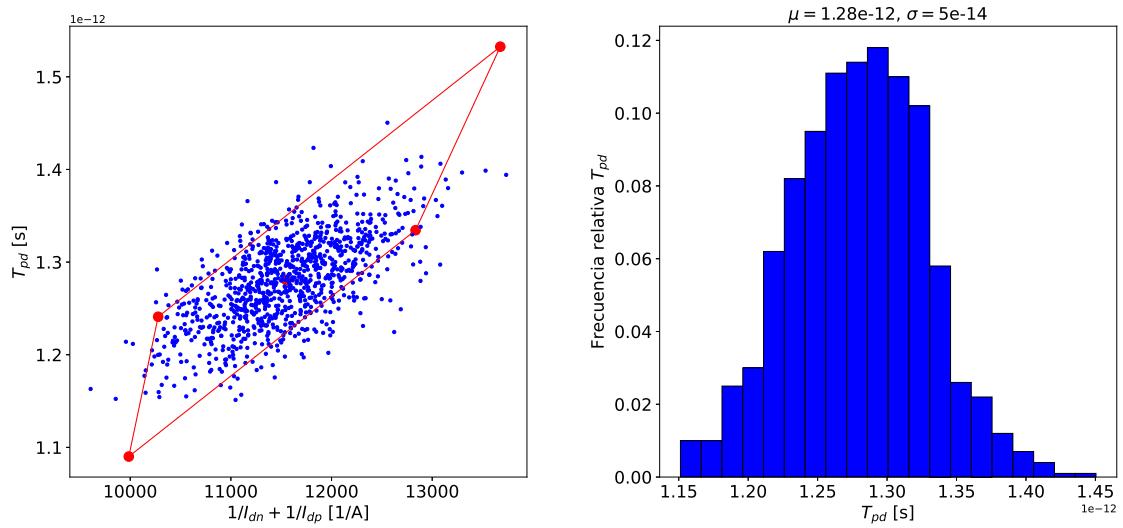


Figura 1.7: Variaciones de proceso y *mismatch* en el retardo de propagación un inversor en 28 nm

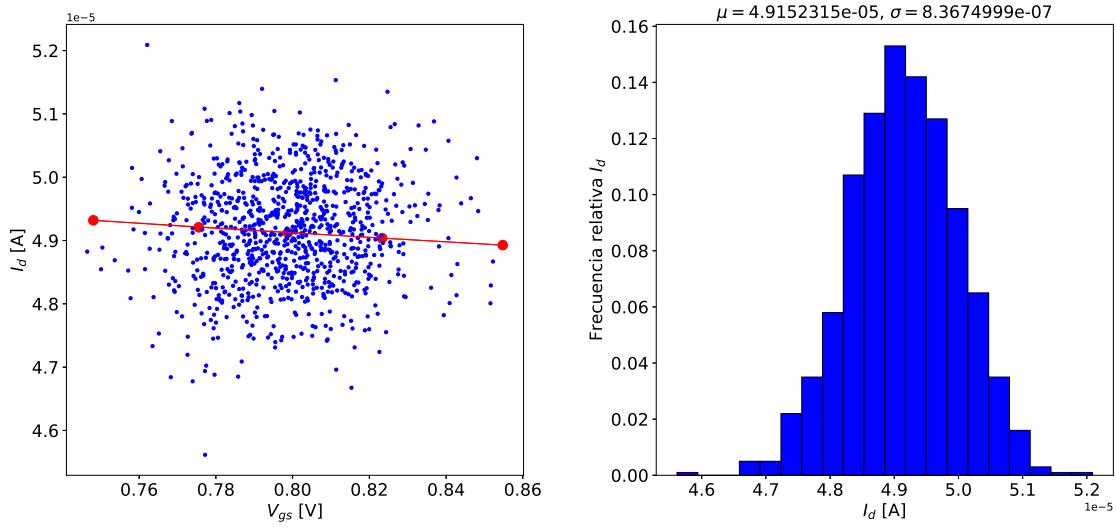


Figura 1.8: Variaciones de proceso y *mismatch* en un espejo de corriente simple en 180 nm

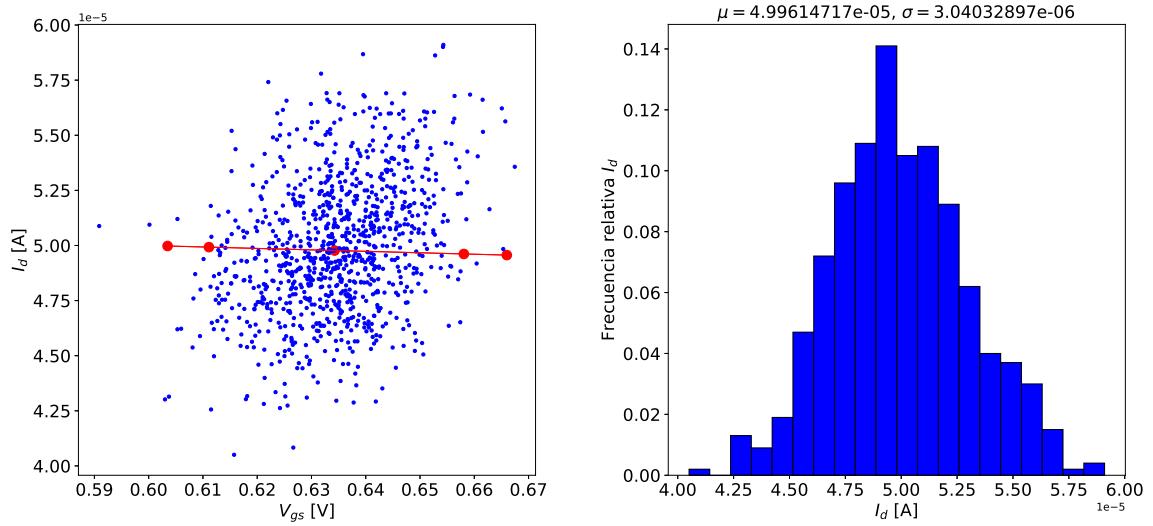


Figura 1.9: Variaciones de proceso y *mismatch* en un espejo de corriente simple en 28 nm

voltaje son cubiertas correctamente por la simulación de esquinas, mientras que la variación en la corriente no, dado que el emparejamiento entre los transistores del espejo de corriente determina la copia de esta.

Con las anteriores simulaciones se mostró como dependiendo de la topología y funcionamiento de los circuitos, las variaciones de proceso ya sean sistemáticas o aleatorias permiten estimar el impacto de estas sobre diferentes parámetros de desempeño de los circuitos, y así identificar el análisis que mejor modele cada caso.

## 1.6. Layout

La disminución de la longitud de canal de los transistores nodo a nodo eleva la dificultad de las reglas de diseño físico (*layout*) debido al aumento de la complejidad en el proceso de litografía. Además, nodo a nodo el número de capas de metal para las interconexiones también aumenta (seis metales para 180 nm hasta 10 metales en 28 nm) y de la misma forma las reglas para densidades de metales y disposición de estos dentro del *layout*. La figura 1.10 muestra el *layout* de una compuerta NAND en diferentes nodos. El factor  $k_1$  es un valor adimensional en el criterio de resolución de Rayleigh que indica la complejidad del proceso de fotolitografía. A medida que se disminuye de nodo las restricciones impuestas por la litografía hacen que se adopten disposiciones particulares para los metales (gris con texturas) y el polisilicio (gris oscuro), tal como se muestra en la figura.

En una primera iteración en el diseño de *layout* se atienden a reglas generales para un mejor *matching* tales como: usar la misma estructura, forma, dimensiones, orientación y alrededores; mínima distancia; geometrías de centroide común y dimensiones mayores a la dimensión mínima de la tecnología, además de cumplir con la verificación de las reglas de diseño (DRC) dadas por el fabricante. Agregando el enfoque de aumentar el yield (*design for macnufacturability*) se puede atender a

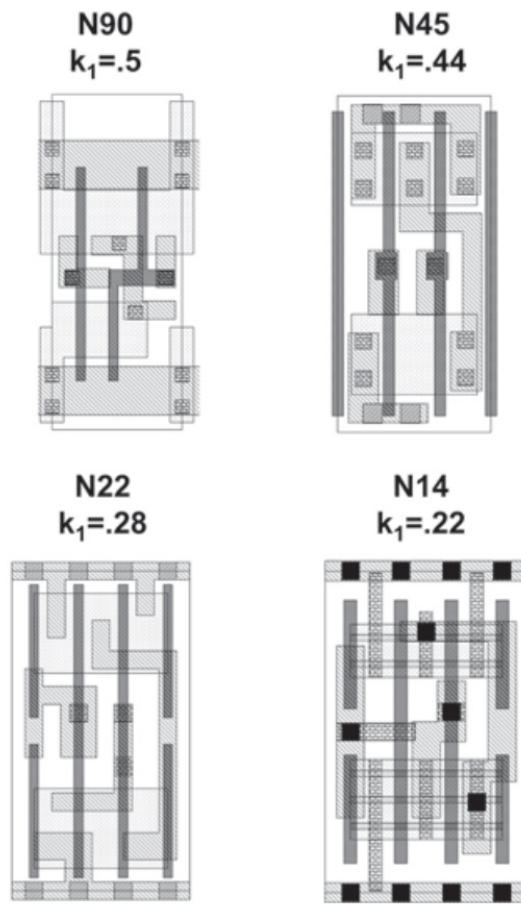


Figura 1.10: *Layout* de compuerta NAND en diferentes nodos. Tomado de [13]

reglas recomendadas de diseño (R-rules) [13], las cuales también son dadas por el fabricante, que generalmente engloban aspectos físicos del proceso de fabricación a nivel de diseñador físico. Entre estas destacan: usar anchos, espacios, áreas y superposiciones mayores a las mínimas; mejorar la uniformidad de las densidades de capas, incrementar la redundancia de patrones y distribuir el enrutado igualmente entre las capas o revisar si un aumento en la altura de las celdas es permitido para tener una optimización del *layout* [14].

## **1.7. Objetivos**

El objetivo general de este trabajo es identificar los retos asociados al diseño de un convertidor tiempo-a-digital al migrar de una tecnología CMOS de 180 nm a una de 28 nm. A nivel específico se requiere:

- Seleccionar una topología circuital adecuada para el estudio.
- Calibrar a nivel circuito y/o sistema.
- Priorizar un bajo consumo de potencia.
- Verificar robustez a variaciones de proceso de fabricación y temperatura.
- Sistematizar una metodología de diseño.

## **1.8. Organización de la tesis**

Este documento está organizado en cinco capítulos. Después de la presentación de algunos parámetros que se ven afectados por la miniaturización de los transistores, en la introducción, el Capítulo 2 está dedicado a las generalidades de los convertidores tiempo-a-digital. En el Capítulo 3 se realiza una comparación de diseño de un amplificador de diferencias de tiempo en tecnologías CMOS de 180 nm y 28 nm. El Capítulo 4 presenta el diseño y caracterización del convertidor tiempo-a-digital basado en amplificadores de diferencia de tiempo. Finalmente, el Capítulo 5 comprende las conclusiones de la presente tesis.

# 2

## Convertidores tiempo a digital

---

Un convertidor tiempo-a-digital toma la diferencia de tiempo entre los flancos de captura de dos señales digitales y la traslada a una representación binaria, tal como se ilustra en la figura 2.1. Este tipo de circuitos encuentra aplicación en mediciones *time-of-flight* [15, 16], lectura de sensores bioquímicos [17] y sintetizadores de frecuencia [18], etc. En las mediciones time-of-flight el TDC es empleado para medir el tiempo que tarda una partícula en recorrer un medio, o una onda como en el caso de la espectroscopía de Raman; en la lectura de sensores bioquímicos mejora la lectura de estos al usar el dominio del tiempo directamente y evitar la conversión a voltaje de la señal para su posterior conversión analógica a digital; finalmente en sintetizadores de frecuencia puede ser usado en lazos de seguimiento de fase (PLL) digitales fraccionarios.

### 2.1. TDC y sintetizadores de frecuencia

La tendencia de interconectividad de una gran variedad de dispositivos a internet (*Internet of Things*, IoT), ha motivado el desarrollo de sistemas de comunicación de

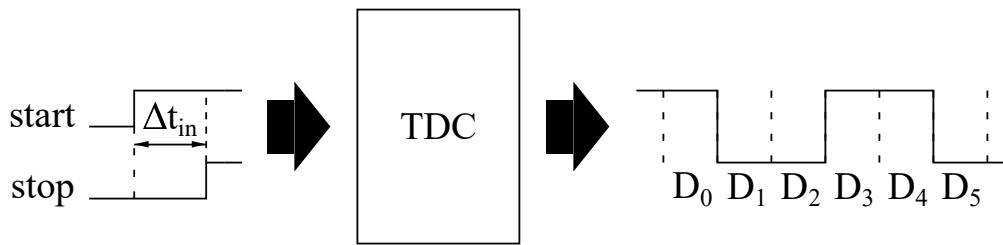


Figura 2.1: TDC como caja negra

bajo consumo de potencia que incluyen sensores remotos y dispositivos de monitoreo. La ubicuidad del estándar Bluetooth [19], y más específicamente el protocolo Bluetooth Low Energy (BLE), y de los teléfonos inteligentes son ejemplos de elementos que han facilitado el desarrollo y popularización de aplicaciones IoT.

Los sintetizadores de frecuencia en conjunto con moduladores y amplificadores de potencia son los bloques funcionales de un transmisor de modulación directa, los cuales por su relativa baja complejidad circuital son idóneas para aplicaciones de baja potencia. Dentro de los sintetizadores de frecuencia, los realizados mediante PLL son ampliamente utilizados. Estos pueden clasificarse en función de su factor de división como enteros y fraccionarios. Las arquitecturas de PLL entero-N generalmente tienen una baja complejidad, menor área y menos acople digital en comparación a un PLL fraccionario-N, pero este último presenta ventajas en cuanto a un menor ruido de fase, un tiempo de establecimiento más alto y menos espurios.

En un PLL entero-N la frecuencia de salida es igual a un múltiplo (N) de la referencia de frecuencia y la resolución en frecuencia está limitada por la comparación realizada en el detector de fase y frecuencia (PFD). Debido a esta limitación, la referencia de frecuencia debe ser lo suficientemente pequeña para alcanzar un ajuste de frecuencia fino. El uso de una referencia de frecuencia baja implica tener un factor de división grande y un aumento en el ruido de fase en banda proporcional al aumento de la frecuencia de referencia. Por otro lado, los PLL fraccionarios pueden alcanzar una resolución fina con una referencia de frecuencia alta. El factor

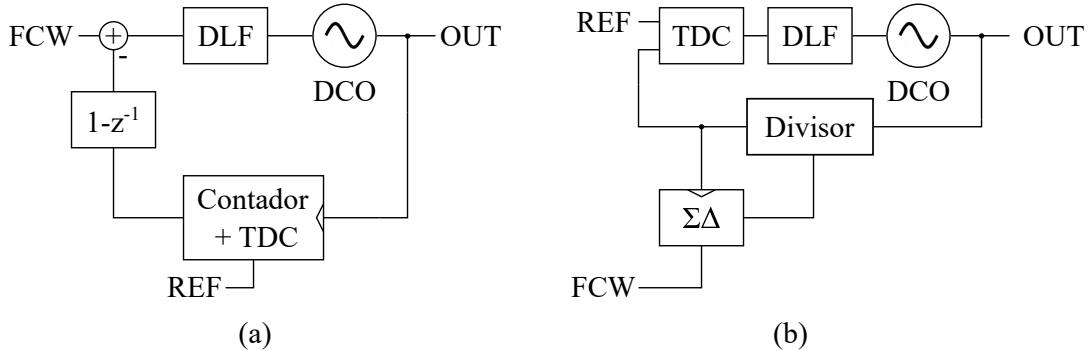


Figura 2.2: Diagrama a bloques de PLL digitales fraccionarios-n usando: a) arquitectura sin divisor basada en contador y b) divisor fraccionario  $\Sigma\Delta$  [20]

de división fraccionario se obtiene al commutar el factor de división entre diferentes números enteros con un bloque de control de tal manera que el promedio temporal de los factores de división es un numero fraccionario.

En la figura 2.2 se muestran los diagramas a bloques de las implementaciones más comunes de PLL digital fraccionario-N. La diferencia entre las dos arquitecturas es la manera en la que se calcula el error de fase. En la arquitectura sin divisor la detección de fase es realizada por el contador con una precisión de un periodo del oscilador y un TDC de alta resolución para medir el error de fase residual; a diferencia de la arquitectura con divisor fraccionario, en la cual el divisor realimentado acumula implícitamente la fase del oscilador y el error de fase entre el reloj de referencia y la salida del divisor es determinada usando un TDC. En las dos arquitecturas se necesita un TDC con resolución en el orden de los picosegundos y un rango de medida de al menos un periodo del oscilador [20].

La tabla 1 presenta un resumen de transmisores BLE con PLL digitales [21–28], en los que se destaca el uso de tecnologías CMOS por debajo de los 65 nm y arquitecturas basadas principalmente en TDC. Con lo anterior se alcanzan consumo de potencia para PLL por debajo de los 1.6 mW, donde destaca [28] con 0.53 mW.

Tabla 2.1: Estado del arte de PLL usadas en transmisores BLE

| Ref. | Año  | Nodo | $V_{DD}$ | $P_{cons} \text{ Tx}$ | $Tx_{Pout}$ | Mod  | Arquitectura          | $P_{cons} \text{ PLL}$ | Ruido de fase<br>[dBc/Hz]@MHz | Área<br>[mm <sup>2</sup> ] |
|------|------|------|----------|-----------------------|-------------|------|-----------------------|------------------------|-------------------------------|----------------------------|
|      |      | [nm] | [V]      | [mW]                  | [dBm]       |      |                       | [mW]                   |                               |                            |
| [21] | 2016 | 28   | 0.5/1    | 3.6                   | 0           | GFSK | Directo ADPLL TDC     | 1.4                    | -116@1                        | 0.65                       |
| [22] | 2018 | 40   | 0.8      | 6.1                   | 1.8         | GFSK | Directo LA ADPLL TDC  | -                      | -                             | 0.8                        |
| [23] | 2018 | 65   | 1        | 5.2                   | 0           | GFSK | Directo LA ADPLL TDC  | 1.2                    | -                             | 1.64                       |
| [24] | 2018 | 55   | 1        | 3.9                   | 1.6         | FSK  | Directo LA ADPLL TDC  | 1.4                    | -119@1                        | 0.53                       |
| [25] | 2018 | 40   | 1.1      | 4.5                   | 0           | GFSK | Directo LA PLL        | -                      | -119@1                        | 0.7                        |
| [26] | 2018 | 28   | 0.5      | -                     | -           | -    | ADPLL TDC             | 1.6                    | -106@0.1                      | 0.33                       |
| [27] | 2019 | 28   | 0.2      | 4                     | 0           | GFSK | Directo LA PLL Tipo 1 | 0.8                    | -119@1                        | 0.53                       |
| [28] | 2021 | 65   | 0.65     | -                     | -           | -    | ADPLL TDC             | 0.53                   | -                             | 0.42                       |

## 2.2. Arquitecturas generales de TDC

Debido al avance en integración de circuitos integrados los primeros TDC analógicos ( $1^a$  generación) migraron a arquitecturas digitales ( $2^a$  generación), en las cuales se opera directamente en el dominio del tiempo. En los TDC de primera generación a partir de las señales entrada se genera un pulso, que posteriormente pasa por un integrador y finalmente por un ADC. También es posible realizar la conversión comparando el pulso integrado con una rampa de referencia, y con el resultado de esta comparación activar un contador [29]. Mientras que en los TDC de segunda generación se aprovechó la insensibilidad de las señales en el dominio del tiempo a perturbaciones en la amplitud de los voltajes de salida (a diferencia de los ADC), aumentando la resolución y facilitando la integración de los circuitos.

A continuación, se presentan las arquitecturas a nivel general adoptadas por la mayoría de TDC, el estado del arte de los mismos, y finalmente los parámetros que caracterizan el desempeño de estos convertidores.

### 2.2.1. Flash

La diferencia de tiempo ( $\Delta t_{in}$ ) entre dos señales (*start* y *stop*) es convertida al dominio digital mediante un TDC *flash*, como se muestra en la figura 2.3.

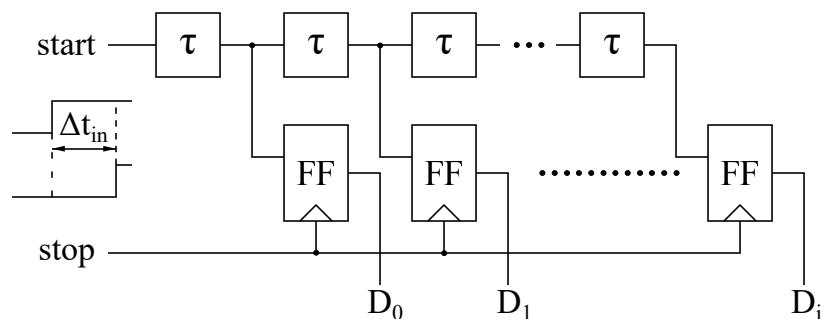


Figura 2.3: Diagrama a bloques de un TDC Flash

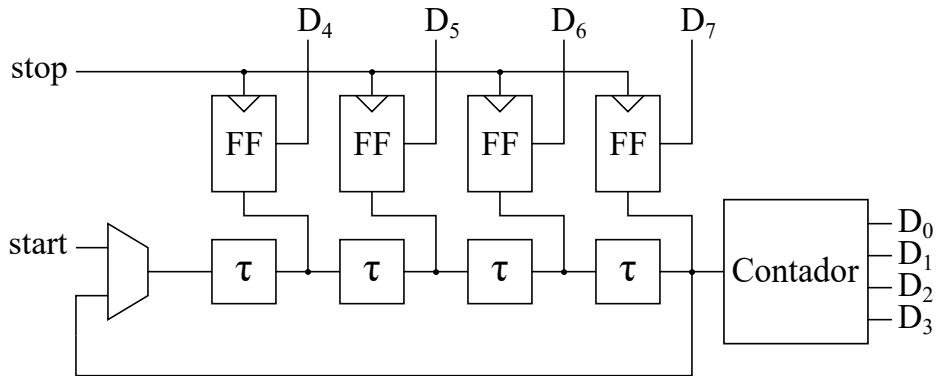


Figura 2.4: Diagrama a bloques de un TDC de lazo cerrado

La señal *start* pasa a través de una cadena de elementos de retraso con un elemento de memoria conectado a la salida de estos. La señal digital es generada por la transición de la señal *stop*, cuyo flanco de captura habilita a los *Flip-Flops*. La resolución del convertidor está dada por el retraso de la celda empleada ( $\tau$ ), por lo que el número de etapas para realizar una conversión de una señal con un periodo  $T$  corresponde a  $T/\tau$ .

### 2.2.2. De Lazo Cerrado

El retraso de las celdas de retraso esta dado en última instancia por la tecnología CMOS empleada. Para un periodo dado el número de etapas necesarias para realizar la conversión tiempo-a-digital puede ser inviable en términos de consumo de potencia y área. El TDC de lazo cerrado soluciona el problema descrito con anterioridad al adicionar un multiplexor y un contador, como se observa en la figura 2.4. La cadena de elementos de retraso es conectada en lazo mediante un multiplexor de tal manera que cuando la señal *start* pasa el último elemento aumenta en uno la cuenta del contador. El contador almacena los bits más significativos de la conversión mientras que los *Flip-Flops* y la cadena de retraso dan los bits menos significativos.

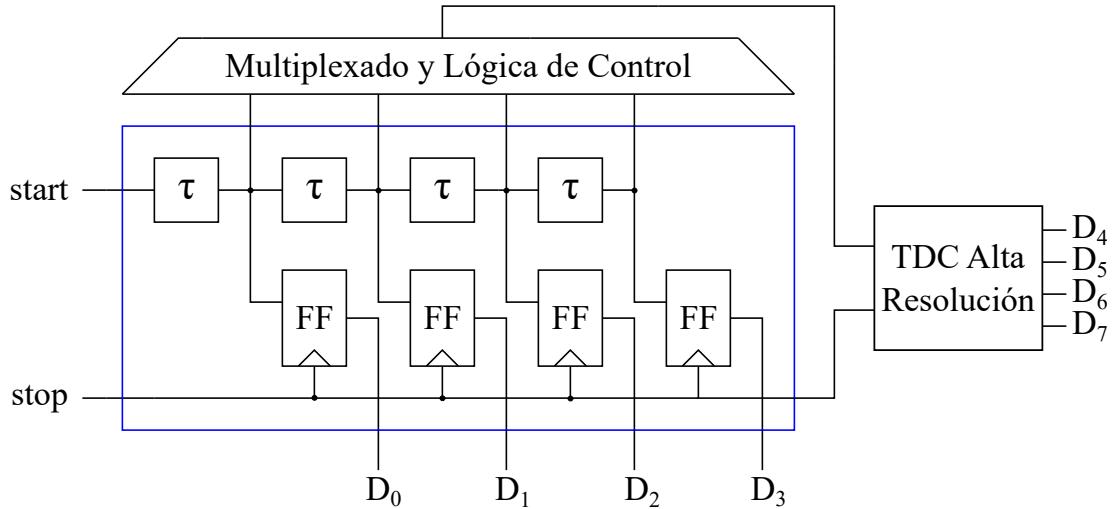


Figura 2.5: Diagrama a bloques de un TDC con dos etapas de conversión

### 2.2.3. Multi-etapa (*pipelined*)

Las arquitecturas presentadas anteriormente limitan la resolución de la conversión al retardo de la celda empleada. En aplicaciones que demandan una resolución mayor los enfoques previos pueden ser empleados como una conversión "gruesa" el residuo de esta conversión es la entrada de una etapa posterior de conversión "fina". Para la generación de la salida digital se necesita de un bloque de multiplexado y lógica de control para sincronizar el funcionamiento de los convertidores empleados y generar la señal de residuo para la etapa posterior, como se presenta en la figura 2.5.

En la siguiente sección se presentará el estado del arte de TDC donde uno de los principales objetivos a nivel general es alcanzar resoluciones por debajo de la que entrega la celda retardo más sencilla (*sub-gate delay*), la cual corresponde al inversor CMOS.

## 2.3. Caracterización de un TDC

Además de parámetros comunes a otros circuitos integrados como consumo de potencia, área, y voltaje de alimentación, el desempeño de un convertidor es medido en función de las siguientes características [29]:

- Resolución: Corresponde al intervalo de tiempo mínimo que provoca un cambio de un bit en la salida del convertidor.
- Rango de conversión: El rango de diferencia de tiempos de entrada que puede resolver el convertidor.
- Tasa de conversión: Da la máxima frecuencia de operación del TDC en función del número de conversiones en un intervalo de tiempo determinado.
- No-linealidad diferencial (DNL): La desviación de cada paso de conversión (curva entrada-salida) respecto a su valor ideal ( $T_{LSB}$ ). Da una medida de la no-linealidad a nivel local o microscópico.
- No-linealidad integral (INL): La desviación en la posición del paso respecto a su valor ideal ( $T_{LSB}$ ). Da una medida macroscópica de que tanta curvatura tiene la curva característica del convertidor.
- Figura de mérito (FoM): Para realizar una comparación en términos similares entre diferentes trabajos, la FoM que relaciona la energía consumida por bit y la velocidad de conversión mostrada en la ecuación 2.2 es ampliamente usada. El número efectivo de bits (ENOB) se calcula a partir de la INL y el número de bits como:

$$ENOB = Bits - \log_2(INL + 1) \quad (2.1)$$

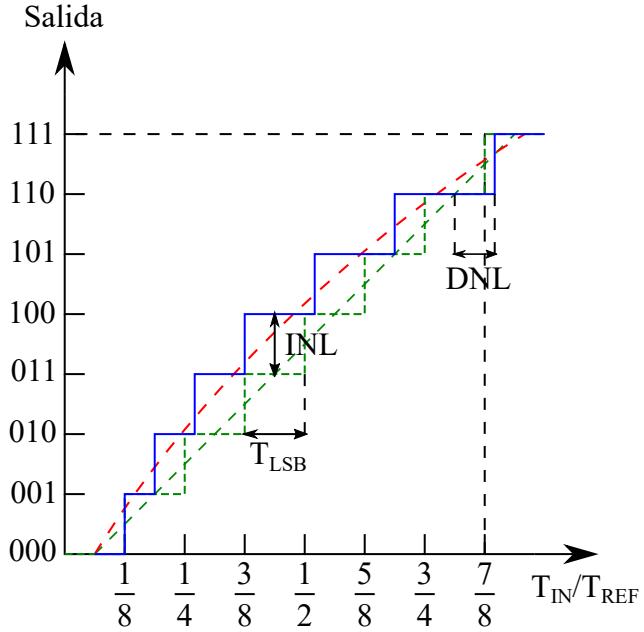


Figura 2.6: Característica entrada-salida para un TDC

$$FoM = \frac{Power}{2^{ENOB} * F_S} \quad (2.2)$$

En la figura 2.5 se muestra la característica entrada-salida para un TDC. La línea verde a trazos representa la salida ideal, mientras que la línea azul corresponde a una salida con no-linealidades integral y diferencial.

## 2.4. Estado del arte de TDC

De acuerdo con las revisión de convertidores realizada en [30] y la revisión de técnicas de conversión tiempo-digital [31] los métodos que usan elementos analógicos permiten obtener resoluciones menores a métodos digitales si los primeros son compensados para hacerlos integrables, aunque las arquitecturas completamente digitales tiendes a ser más estables y lineales.

Tabla 2.2: Estado del arte de convertidores tiempo-a-digital

| Ref. | Año  | Nodo<br>[nm] | Método            | Res.<br>[ps] | DNL<br>[LSB] | INL<br>[LSB] | Rango<br>[ns] | Frec./ S. Rate | $P_{dis}$<br>[mW] |
|------|------|--------------|-------------------|--------------|--------------|--------------|---------------|----------------|-------------------|
| [32] | 2010 | 180          | Sub-exponent (TA) | 1.25         | 0.3          | 0.4          | 2.5           | 60 MHz         | 1.8               |
| [20] | 2015 | 65           | TA + DL           | 0.9          | 0.2          | 0.25         | 0.016         | 50 MS/s        | 0.2               |
| [33] | 2016 | 180          | Vernier SA-TDC    | 12.5         | $\pm 0.4$    | $\pm 0.4$    | -             | -              | -                 |
| [34] | 2016 | 65           | 2D Vernier (GROs) | 2.2          | -            | -            | 0.020         | 50 MS/S        | 2.3               |
| [35] | 2018 | 65           | AP-TDC            | 200          | -0.77        | -2.11        | 25.4          | -              | 0.038             |
| [36] | 2019 | 180          | SRO-TDC           | 12           | -            | 0.5          | 30            | 2.5 MS/s       | 2.2               |
| [37] | 2019 | 180          | TA                | 5.3          | 0.9          | 2.8          | 1.2           | 30MS/s         | 1.1               |
| [38] | 2022 | 65           | Pipelined (TA)    | 1.7          | 1.03         | 1.33         | $\pm 0.11$    | 125 MS/s       | 0.52              |

La tabla 4.3 muestra los trabajos más relevantes en cuanto a uso en PLL y consumo de potencia de las revisiones mencionadas anteriormente, e incluye referencias recientes para complementar la información. Lee et al. [32] proponen un convertidor sub-exponencial para la conversión fina y uno entero para la conversión de bits más significativos. El convertidor sub-exponencial usa amplificadores de diferencia de tiempo (TA) en cascada para aumentar la resolución de la conversión. Elkholly et al. [20] emplean un TA para amplificar la señal de entrada del convertidor, que luego pasa con un TDC Flash o de linea de retardo (DL). Los trabajos presentados en [33] y [34] utilizan un convertidor con doble linea de retardo, o Vernier con un algoritmo de aproximaciones sucesivas (SA) y *Gated-Ring-Oscillators* (GROs) respectivamente. Un TDC *pipelined* asíncrono con un algoritmo de resta en el dominio del tiempo es presentado en [35]. Krishna et al. proponen un TDC para sensores de temperatura basado en Switched-Ring-Oscillator. Finalmente, en los trabajos más recientes Molaei et al. [37] presentan un TDC con un TA basado en latch SR, y Yaldagard et al. [38] un TDC basado en TA con compensación en modo corriente.

Del estado de arte mostrado en la tabla 4.3 se observa que los convertidores que hacen uso de amplificación de diferencias de tiempo tienen un mejor compromiso

entre la resolución y el consumo de potencia en comparación con otros métodos.

## **2.5. Conclusión**

Los conceptos relacionados con convertidores tiempo-a-digital fueron presentados. Se resalta el uso de estos dentro de sintetizadores de frecuencia y como los métodos de conversión basados en amplificadores de diferencia de tiempo permiten un buen compromiso entre resolución y potencia consumida. En la siguiente sección se revisarán de manera general los TA y se evaluará el desempeño de una arquitectura en dos nodos CMOS diferentes.

# 3

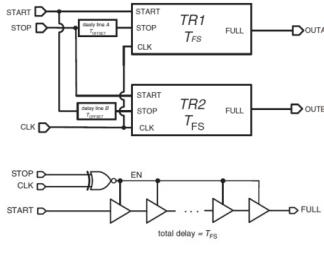
## Amplificadores de diferencia de tiempo

---

El uso de TA en TDC ha incrementado en los últimos años debido a la necesidad de alcanzar resoluciones por debajo de la mínima resolución que puede ofrecer una tecnología CMOS (retardo de un inversor) y en ciertas aplicaciones retardos por debajo de 1 ps. Además de mejorar la resolución de la conversión, los TA también ofrecen buenos trade-offs con otras características como consumo de potencia o área de integración, y el procesar la información en el dominio del tiempo minimiza la sensibilidad de los circuitos a variaciones de proceso, voltaje y temperatura.

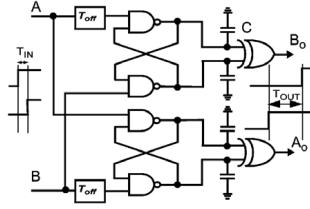
Un TA mejora la resolución de un TDC amplificando el residuo de una etapa de conversión anterior, en el caso de un TDC *pipelined*, o como etapa previa a la conversión tiempo-digital. El uso del TA dentro del TDC depende del rango dinámico de entrada del TA, su linealidad y ganancia. Los esquemas usados generalmente para la amplificación de tiempo se basan en enfoques completamente digitales, *latch SR* o topologías *cross-coupled*.

Dentro de los TA digitales el trabajo presentado en [39] realiza la amplificación de la diferencia de tiempo mediante la conmutación de un arreglo de capacitores,

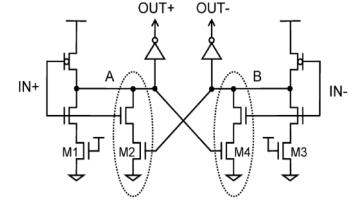


Registro de tiempo

a)



b)



Ramas de descarga dependientes

c)

Figura 3.1: Enfoques en el diseño de TA: a) Completamente digital [40] b) Metaestabilidad *latch SR* [37] c) *Cross-coupled* MOSFET [32]

y en los trabajos mostrados en [40] y [41] hacen uso de registros de tiempo. Por otro lado, Molaei et al. [37] y Mamba et al. [42] emplean modificaciones de un latch SR. Finalmente, dentro de los trabajos que emplean arquitecturas cross-coupled Lee et al. [32] presenta un TA con ganancia fija con compensación digital de ganancia; Elkholly et al. [20] modifican el circuito de [32] para hacer la ganancia variable y Yaldagard et al. [38] presentan una compensación en modo corriente para el circuito de Lee.

Los TA digitales tienen ventajas sobre las demás topologías en facilidad de migración a nodos recientes pero tienen un alto consumo de potencia y falta de flexibilidad en su diseño y calibración. Por otro lado las topologías basadas en *latch SR* necesitan capacitores adicionales en las entradas de los bloques arbitradores, lo cual agrega un grado más de variación a su respuesta y un consumo mayor de área. Finalmente, debido a un menor consumo de potencia, que su diseño involucra aspectos de diseño digital y analógico, hace uso de menos dispositivos y permite aplicar diversos esquemas de calibración, la topología *cross-coupled* fue seleccionada para evaluar el diseño y migración a nodos más recientes.

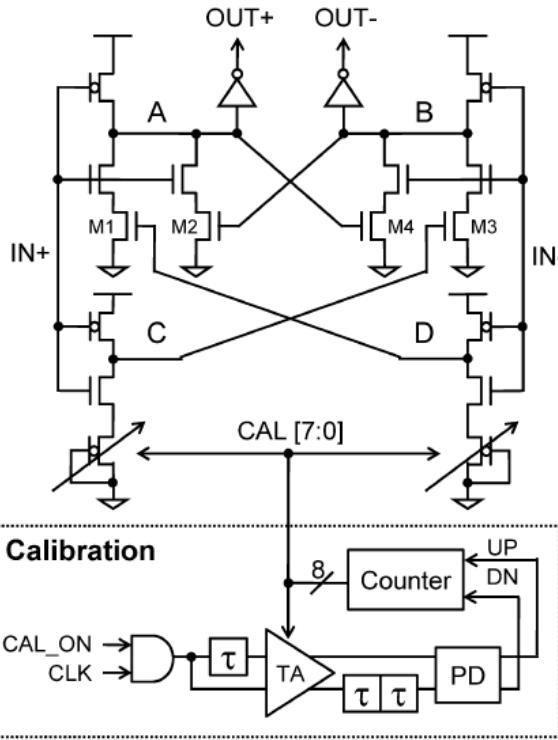


Figura 3.2: TA y circuito de calibración digital [32]

### 3.1. Amplificador de diferencia de tiempo *cross-coupled*

En la figura 3.2 se muestra un TA y un circuito de calibración propuesto en [32]. En las ramas auxiliares del TA, formadas por los inversores con transistores PMOS conectados como diodo, los nodos C y D mantienen a los transistores  $M_1$  y  $M_3$  encendidos. Por lo tanto, se mantiene una ganancia de dos para diferencias de tiempo de entrada grandes si los transistores  $M_{1-4}$  tienen las mismas dimensiones. El rango dinámico de entrada es de alrededor de 100 ps, por lo cual el retardo de entrada del circuito de calibración fue fijado cercano al valor de entrada máximo.

El circuito de calibración está basado en una réplica del TA con un retardo de entrada fijo, un detector de fase (PD) y un contador digital ascendente/descendente. Una de las salidas del TA es retrasada el doble del retardo de entrada. Las salidas UP

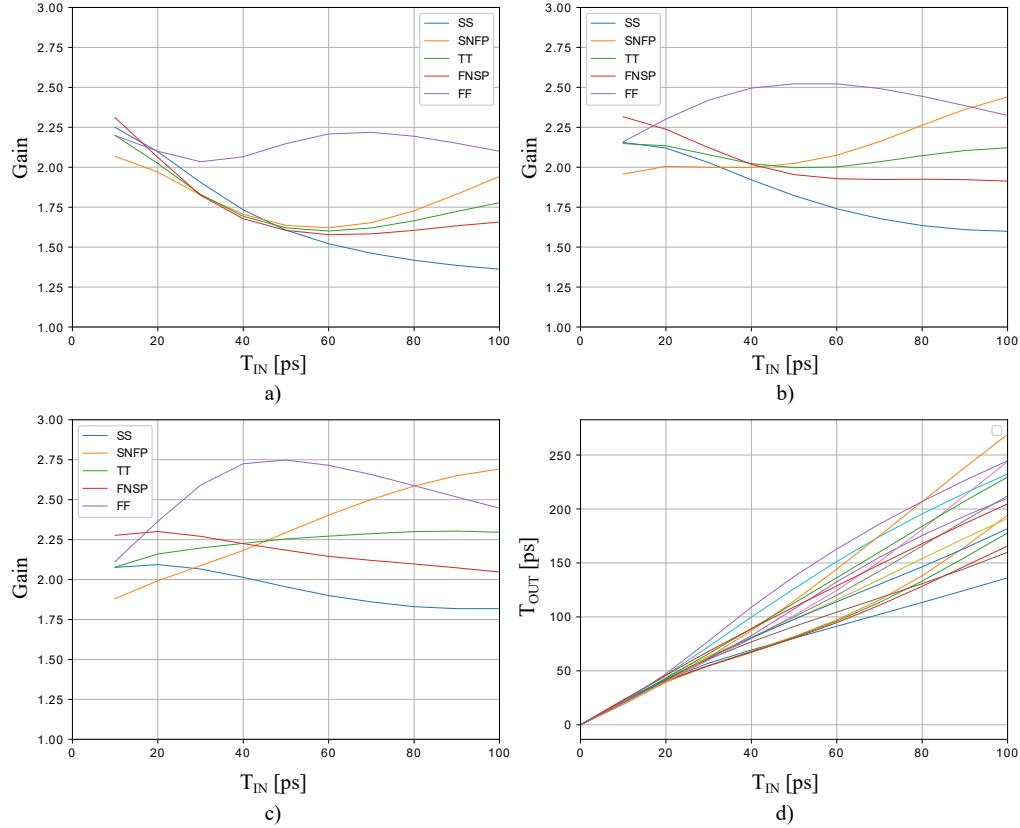


Figura 3.3: Ganancia del TA con calibración digital en 180 nm frente a variaciones de proceso y temperatura (a. -40 °C b. 60 °C y c. 120 °C) y característica entrada-salida (d)

y DN del PD aumentan o disminuyen la cuenta respectivamente, de acuerdo con la diferencia de tiempo entre la salida del TA sin retardo y la salida del TA retardada. La salida del contador conecta o desconecta diodos PMOS para modificar la corriente de las ramas auxiliares. De esta manera los voltajes en los nodos C y D también son modificados para mantener una ganancia de dos.

Para evaluar la robustez del circuito frente a variaciones de proceso y temperatura, el circuito de [32] fue diseñado en una tecnología CMOS de 180 nm de UMC. En la figura 3.3 b) para una temperatura de 60 °C y esquina TT se obtiene una variación en la ganancia menor al 10 % ,resultados similares a los reportados por los autores, pero para las otras esquinas de temperatura y proceso las variaciones en la

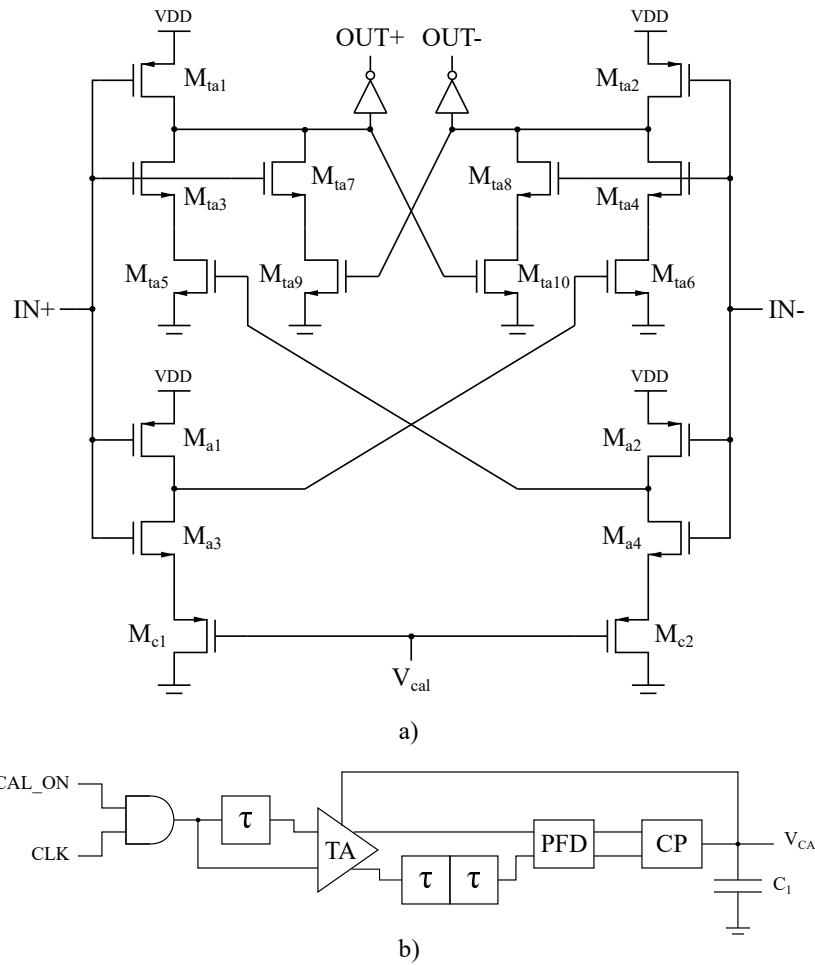


Figura 3.4: Esquemático del TA modificado (a) y circuito de calibración analógico (b)

ganancia pueden ser hasta del 25 % y para una temperatura de -40 °C la calibración de un solo punto resulta no ser suficiente.

### 3.2. Diseño del TA en una tecnología CMOS de 180 nm

Con el propósito de evitar un aumento en el área de integración y limitaciones de resolución, debido al uso de diodos PMOS conmutados, los circuitos fueron modificados tal como se muestra en la figura 3.4. Los diodos PMOS fueron reemplazados por un transistor PMOS controlado por un circuito de calibración analógico. Se utilizó

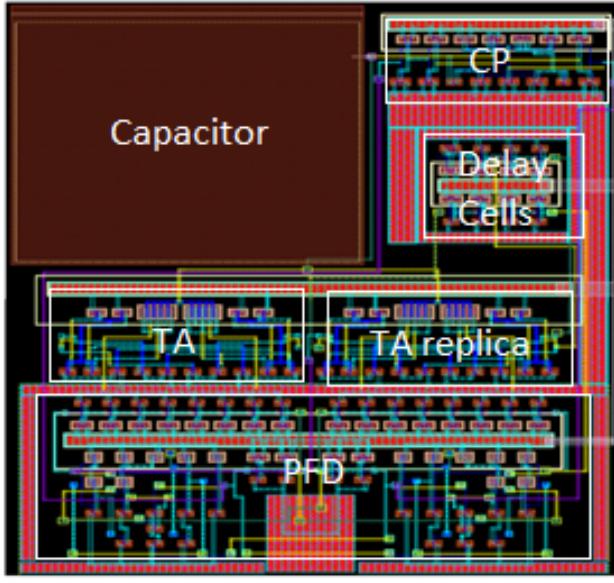


Figura 3.5: Layout del TA modificado con circuito de calibración

una bomba de carga como reemplazo del contador digital. El PFD genera las señales de control para la bomba de carga de acuerdo con la diferencia de fase entre las salidas del TA.

Para una diferencia de fase positiva la bomba de carga incrementa el voltaje de calibración ( $V_{cal}$ ) a través de un capacitor  $C_1$ , mientras que para una diferencia de fase negativa el nodo es descargado. Un PFD libre de zona muerta [43] fue diseñado en la tecnología CMOS de 180 nm empleada. La zona muerta del PFD limita directamente la ganancia del TA, por lo cual es crucial reducirla. Un mejor desempeño del PFD también incrementa el tiempo de calibración del circuito como será mostrado en la sección de resultados. El compromiso entre la resolución y el tiempo de calibración puede ser escogido de acuerdo con la aplicación del circuito. Además de simplificar la calibración, la bomba de carga mejora la resolución de la calibración sin incrementar la complejidad del circuito y también mejora la robustez de este frente a variaciones de proceso y temperatura, tal como se muestra en los resultados de simulación.

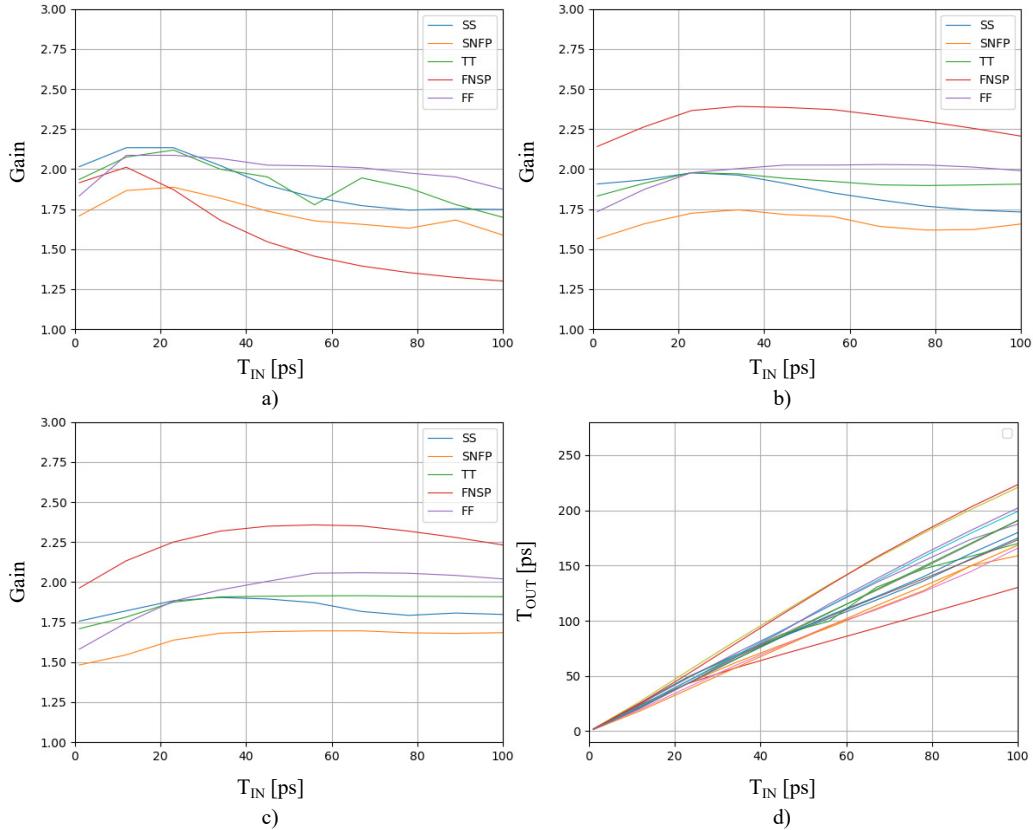


Figura 3.6: Ganancia del TA con calibración analógica en 180 nm frente a variaciones de proceso y temperatura (a. -40 °C b. 60 °C y c. 120 °C) y característica entrada-salida (d)

Para el dimensionamiento de los transistores se consideraron dos escenarios. En el primero, el circuito de calibración tiene poco efecto cuando la diferencia de entrada es pequeña, por lo cual los transistores del TA ( $M_{TA_i}$ ) fueron dimensionados para obtener una ganancia lo más próxima a dos para todas las esquinas de proceso y temperatura. Inicialmente se consideró un voltaje compuerta-fuente de VDD para el punto de inicio del dimensionamiento y posteriormente el diseño fue centrado para las diferentes esquinas de proceso. La longitud de canal de los transistores fue de 360 nm y los anchos de los transistores PMOS y NMOS fueron de 360 nm y 480 nm respectivamente.

Estas dimensiones dieron variaciones menores al 10 % para una diferencia de

Tabla 3.1: Ganancia del TA para variaciones de proceso y temperatura con  $T_{IN} = 1$  ps para 180 nm

| Temperatura [°C] | Esquina de proceso |      |      |      |      |
|------------------|--------------------|------|------|------|------|
|                  | SS                 | SNFP | TT   | FNSP | FF   |
| -40              | 1.88               | 1.72 | 1.85 | 2.05 | 1.85 |
| 60               | 1.91               | 1.67 | 1.86 | 2.08 | 1.84 |
| 120              | 1.83               | 1.61 | 1.83 | 2.08 | 1.75 |

Tabla 3.2: Voltaje de calibración [mV] del TA par variaciones de proceso y temperatura con  $T_{IN} = 100$  ps para 180 nm

| Temperatura [°C] | Esquina de proceso |      |     |      |     |
|------------------|--------------------|------|-----|------|-----|
|                  | SS                 | SNFP | TT  | FNSP | FF  |
| -40              | 0                  | 40   | 50  | 60   | 110 |
| 60               | 50                 | 110  | 130 | 150  | 180 |
| 120              | 110                | 150  | 180 | 200  | 240 |

tiempo de entrada de 1 ps, en casi todas las esquinas, tal como se muestra en la tabla 3.1. Para el segundo escenario, el circuito de calibración entra a compensar las variaciones de ganancia para diferencias de tiempo de entrada, por lo cual las ramas auxiliares se dimensionaron para mantener los transistores de control  $M_{C_{1,2}}$  en la región de operación de triodo, de acuerdo con los voltajes de calibración mostrados en la tabla 3.2, manteniendo los mismos anchos para los transistores  $M_{ta1}$ ,  $M_{a1}$ ,  $M_{ta3}$  y  $M_{a3}$ . El ancho de los transistores de control fue de 6.72  $\mu\text{m}$ . Los voltajes mostrados en la tabla 3.2 fueron medidos para una diferencia de tiempo de entrada de 100 ps. En el circuito de calibración, los elementos de retardo están formados por dos inversores en cascada. Los inversores fueron dimensionados para obtener un retardo de 50 ps. La bomba de carga mejora el desempeño del circuito de calibración ya que su salida es directamente proporcional a la diferencia de fase, a diferencia

del esquema de calibración digital. El layout del TA con el circuito de calibración es mostrado en la figura 3.5.

Los circuitos fueron simulados en Hspice con una tecnología CMOS de 180 nm. La frecuencia del reloj fue de 100 MHZ y el consumo de potencia máximo para el TA y el circuito de calibración fue de  $130 \mu\text{W}$ . Los resultados para las variaciones de proceso y temperatura son mostrados en la figura 3.6. Para la temperatura de  $40^\circ\text{C}$  se tiene una caída en la ganancia después de los 40 ps en las esquinas cruzadas. Esta caída se debe a la disminución del desempeño del circuito de calibración para esas condiciones de proceso y temperatura de esa esquina. Para temperaturas mayores a  $60^\circ\text{C}$  se obtuvo una mejor linealidad a lo largo del rango dinámico de entrada como se aprecia en las figura 3.6 (b) y (c), y para una temperatura de  $60^\circ\text{C}$  las variaciones en todas las esquinas de proceso están por debajo del 12%. A diferencia de los resultados presentados en la figura 3.3, los resultados del TA modificado muestran una mejor respuesta frente a variaciones de proceso y temperatura.

El voltaje de salida de la bomba de carga para una diferencia de tiempo de entrada de 23 ps a  $60^\circ\text{C}$  y esquina de proceso TT es mostrada en la figura 3.7 (a). El voltaje de salida se estabiliza alrededor de  $3 \mu\text{s}$  para una frecuencia de operación de 100 MHZ y también se observa congruencia entre el dimensionamiento realizado en DC y los resultados de simulación. El tiempo de calibración puede reducirse incrementando la frecuencia de la señal de reloj de calibración. Con el propósito de tener una mejor vista del efecto de las variaciones de temperatura sobre la ganancia del TA, se graficó la ganancia como función de la temperatura para todas las esquinas de proceso, tal como se muestra en la figura 3.7 (b). El circuito diseñado muestra una disminución en la ganancia del 10% en las esquinas de proceso SS, SNFP, TT y FF, para el rango de temperatura de  $-40^\circ\text{C}$  a  $120^\circ\text{C}$ .

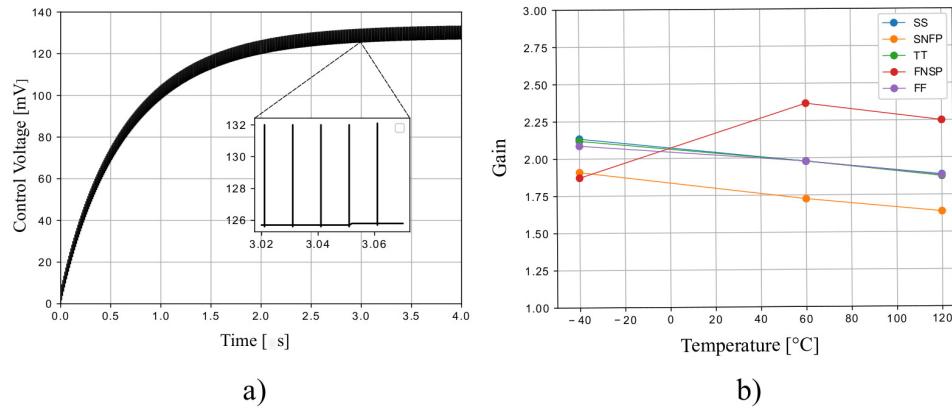


Figura 3.7: Voltaje de calibración (a) y Ganancia del TA frente a variaciones de temperatura (b)

Tabla 3.3: Ganancia del TA para variaciones de proceso y temperatura con  $T_{IN} = 1$  ps para 28 nm

| Temperatura [°C] | Esquina de proceso |      |      |      |      |
|------------------|--------------------|------|------|------|------|
|                  | SS                 | SNFP | TT   | FNSP | FF   |
| -40              | 2.61               | 2.31 | 2.46 | 2.60 | 2.29 |
| 60               | 2.31               | 1.97 | 2.14 | 2.35 | 1.99 |
| 120              | 2.14               | 1.79 | 1.99 | 2.21 | 1.84 |

### 3.3. Diseño del TA en una tecnología CMOS de 28 nm

Para el diseño del TA en la tecnología CMOS de 28 nm se siguió el mismo procedimiento del apartado anterior. Las tablas 3.3 y 3.4 muestran los valores de ganancia y voltaje de calibración para diferencias de tiempo de entrada de 1 ps y 100 ps respectivamente. Debido a los voltajes de calibración altos los transistores PMOS de la rama auxiliar para algunas esquinas (lenta) trabajaban en la región de sub-umbral haciendo el comportamiento de la salida exponencial en los valores iniciales del rango de entrada. De igual manera, para temperaturas de -40 °C la

Tabla 3.4: Voltaje de calibración [mV] del TA para variaciones de proceso y temperatura con  $T_{IN} = 100$  ps para 28 nm

| Temperatura [°C] | Esquina de proceso |      |     |      |     |
|------------------|--------------------|------|-----|------|-----|
|                  | SS                 | SNFP | TT  | FNSP | FF  |
| -40              | 493                | 485  | 460 | 438  | 430 |
| 60               | 445                | 423  | 420 | 405  | 390 |
| 120              | 428                | 410  | 402 | 358  | 368 |

calibración en un solo punto (85 ps) empeoraba el funcionamiento del circuito a bajos rangos de entrada, elevando la ganancia con errores de más del 50 %. Debido a los problemas mencionados anteriormente se dispuso diseñar y calibrar directamente el core del TA para la tecnología de 28 nm, procedimiento que será mostrado en la siguiente sección.

### 3.4. Propuesta amplificador de diferencia de tiempo

La calibración digital mostrada en la primera parte del capítulo 3 hacia uso de ramas auxiliares para llevar el cambio producido por la conmutación de los transistores conectados como diodos a un voltaje en la compuerta de los transistores  $M_1$  y  $M_3$  de la figura 3.2. Debido a la disminución en el voltaje de alimentación y la transconductancia en el nodo de 28 nm respecto al de 180 nm, el usar las ramas auxiliares dificultaba obtener rangos de error similares a los obtenidos para el TA en 180 nm. Otro aspecto que impactó el desempeño del TA en 28 nm fue la reducción de las capacitancias intrínsecas de los transistores, especialmente en los nodos de salida (entrada de los inversores a la salida), ya que la diferencia de tiempo a la salida es directamente proporcional a esta.

El diferencial de voltaje en los nodos de salida antes de los inversores de acuerdo

a Molaei et al. [37] tiene una forma exponencial dado por:

$$\Delta V_{out} = V_0 e^{\frac{t}{\tau}} \quad (3.1)$$

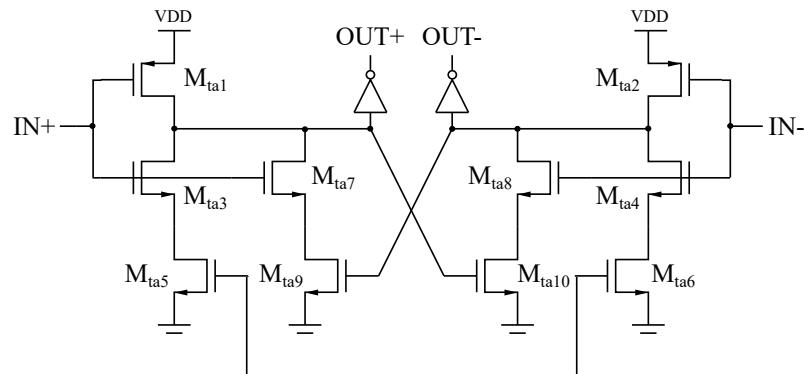
$$V_0 = \alpha \Delta T_{in} \quad (3.2)$$

$$\tau = \frac{g_m}{C_L} \quad (3.3)$$

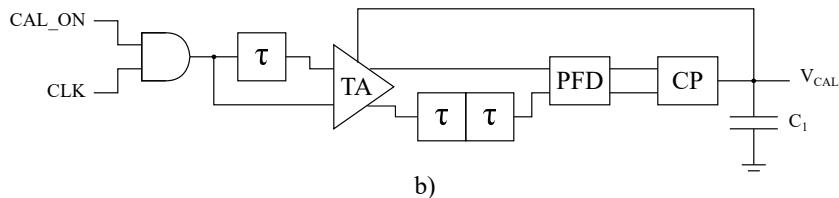
Donde  $\alpha$  es una constante de proporcionalidad,  $g_m$  es la transconductancia asociada al transistor mediante el cual se descarga el nodo y  $C_L$  la capacitancia que carga el nodo.

Tomando en cuenta las consideraciones mencionadas anteriormente, el TA en 28 nm fue modificado eliminando las ramas auxiliares, tal como se muestra en la figura 3.8, y rediseñando el transistor PMOS para que la capacitancia asociada al nodo de salida aumente. Dado que los transistores involucrados en la amplificación de la diferencia de tiempo son modelados en pequeña señal, los transistores  $M_{ta1}$  y  $M_{ta2}$  aportan una capacitancia directamente proporcional a sus dimensiones al nodo de salida.

En la figura 3.8 se presentan los resultados del amplificador de diferencia de tiempo en 28 nm con las modificaciones mencionadas anteriormente. Se observa un aumento en el error relativo porcentual en el caso de una temperatura de -40 °C (a) y en general para un  $T_{IN}$  de 1 ps debido a la variación en la resolución del detector fase frecuencia que fue de alrededor de 4 ps en la esquina TT y temperatura igual a 60 °C. Para las temperaturas de 60 °C (b) y 120 °C (c) en el rango medio de entrada se obtienen errores por debajo del 20 % y en el caso de entradas altas, alrededor del punto de calibración, errores por debajo del 10 %, valor obtenido en la el escenario en el que fue diseñado el circuito (esquina TT, temperatura de 60 °C).



a)



b)

Figura 3.8: TA modificado (a) y circuito de calibración (b)

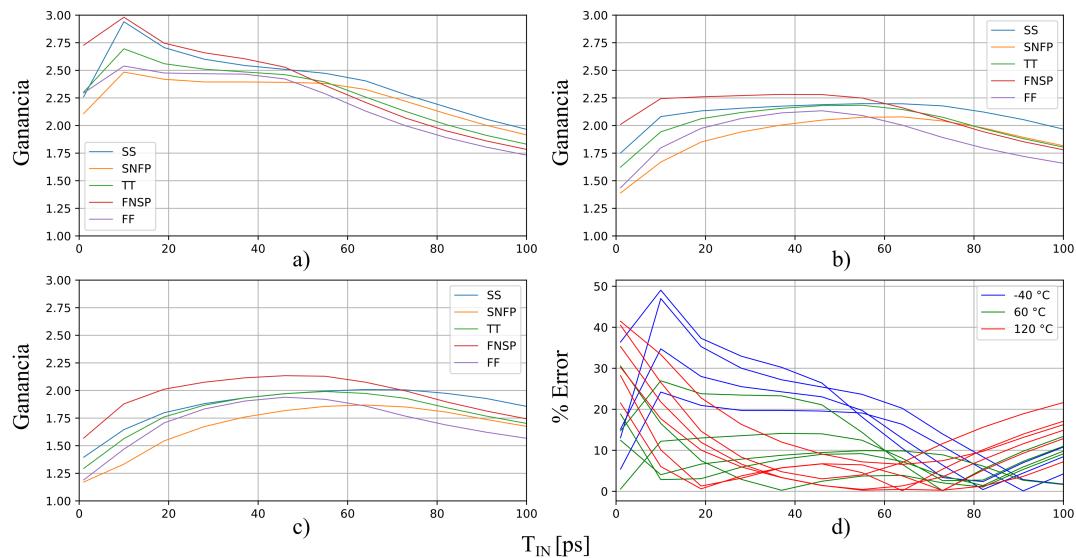


Figura 3.9: Ganancia del TA en 28 nm en función de la diferencia de tiempo de entrada para  $T = -40$  °C (a),  $T = 60$  °C (b),  $T = 120$  °C (c) y porcentaje de error (d)

### 3.4.1. Rediseño del TA en 180 nm

Dado los resultados satisfactorios obtenidos con el TA en 28 nm se procedió a realizar el diseño del TA en 180 nm empleando la misma metodología de remover la rama auxiliar y redimensionar el transistor PMOS para aumentar la capacitancia del nodo de salida. La figura 3.10 muestra los resultados para las esquinas de proceso y temperaturas de -40 °C (a), 60 °C y 120 °C (d), y el error relativo porcentual para todas las esquinas de diseño en función de la diferencia de tiempo de entrada.

De manera similar a los resultados mostrados para 28 nm la ganancia del TA para una temperatura de -40 °C aumenta con la disminución de la temperatura debido al aumento en la corriente de los transistores. El error mayor se obtiene para esta temperatura y se mantiene aproximadamente por debajo del 20 % para temperaturas de 60 °C y 120 °C. En el caso de la esquina donde fue diseñado el TA (TT, 60 °C) se obtuvo un error por debajo del 5 %.

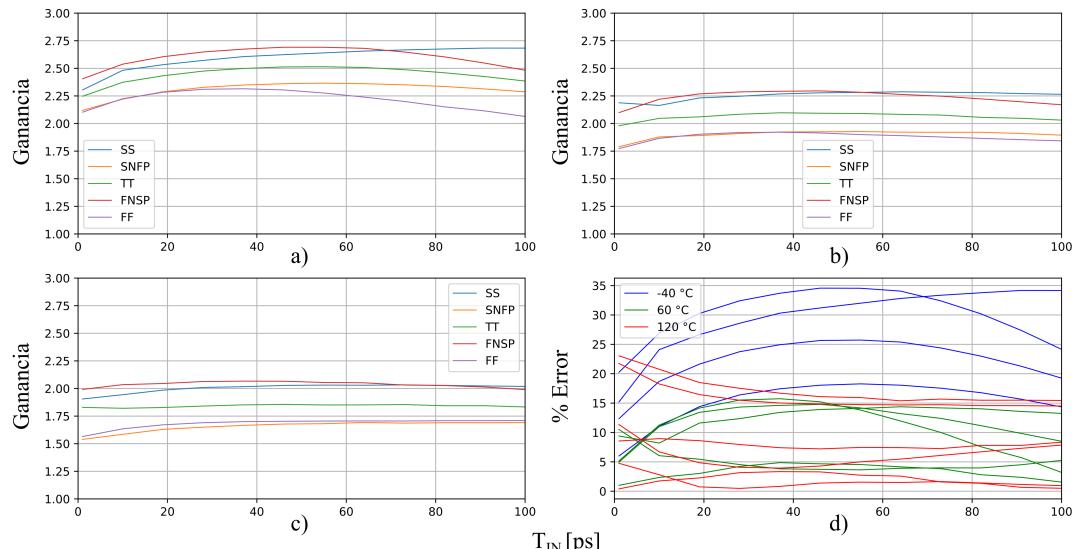


Figura 3.10: Ganancia del TA en 180 nm en función de la diferencia de tiempo de entrada para  $T = -40$  °C (a),  $T = 60$  °C (b),  $T = 120$  °C (c) y porcentaje de error (d)

### **3.5. Conclusión**

Se presentaron las principales arquitecturas de amplificadores de diferencia de tiempo con sus respectivas ventajas y desventajas. Se seleccionó el TA cross-coupled debido su bajo consumo de potencia, y facilidad para verificar variaciones e identificación de retos al migrar su diseño a un nodo de 28 nm. El TA cross-coupled también permite diversos esquemas de calibración como los mostrados en el estado del arte de TA. Finalmente se diseño el TA con un esquema de calibración analógico que mostró una reducción en la variación de la ganancia de hasta el 10 % respecto a un esquema de calibración digital. Debido a la baja capacitancia asociada al nodo de salida del TA en 28 nm se rediseño el mismo de tal manera que el transistor PMOS aportara una mayor capacitancia y se eliminaron las ramas de descarga auxiliares obteniendo errores por debajo del 20 % para temperaturas de 60 °C y 120 °C. La misma metodología de diseño fue aplicada al TA en 180 nm mejorando los resultados previos.

# 4

## Diseño y caracterización de un convertidor tiempo-a-digital

---

Dada las variaciones en la ganancia del amplificador de diferencia de tiempo, debido a las variaciones de proceso y temperatura, es necesario seleccionar una arquitectura de convertidor que tolere estas variaciones además de garantizar un rango de operación apropiado a la aplicación del convertidor tiempo-a-digital. De acuerdo a los resultados del trabajo de Lee et al. [32] y Yaldagard et al. [38] la operación conjunta de un TDC entero y un TDC sub-exponencial permiten aumentar el rango de operación a través del TDC entero y mantener una resolución por debajo del retraso de un inversor tolerando las variaciones en la ganancia del TA. En el presente capítulo se aborda el diseño del TDC en los nodos de 180 nm y 28 nm a partir de especificaciones de diseño que incluyen el máximo error en la ganancia permitido para determinado error en el TDC, rango de operación y consumo de potencia, para una posterior evaluación de los resultados al migrar de nodo, y comparación con el estado del arte.

## 4.1. Efecto del error en la ganancia del TA sobre el error permisible en el TDC

El error permisible en la ganancia del TA se determina considerando el número de etapas y el error en la salida de un TDC *pipeline*, a partir del error aceptable en la ganancia de amplificadores de diferencia de tiempo con ganancia 2, como se muestra en la figura 4.1 de acuerdo a la siguiente ecuación [32]:

$$\epsilon_{TA} = \sqrt[n]{\epsilon_{TDC} + 1} - 1 \quad (4.1)$$

Donde  $\epsilon_{TA}$  corresponde al error en la ganancia del TA y  $\epsilon_{TDC}$  es el error del TDC expresado en bits (LSB). Tomando en cuenta los resultados de la sección 3 y los resultados de la figura 4.1, el máximo número de etapas de TA en cascada se seleccionó de 5. Para la selección se consideró un error máximo en la ganancia del TA (debido a variaciones de proceso y temperatura) del 15 % en promedio para ambos nodos de 180 nm y 28 nm.

El número de etapas de TA en cascada y el rango de operación del TA definen la resolución del TDC. Para un rango de operación de 100 ps y 5 etapas de TA en

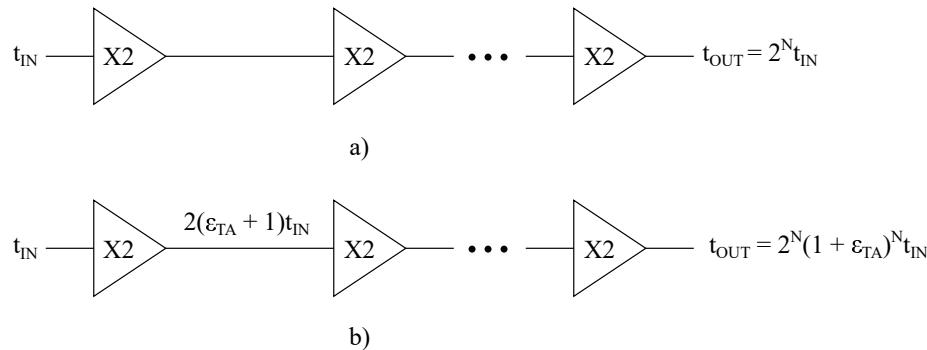


Figura 4.1: TA en cascada para generar 1-bit en la etapa N sin error en la ganancia (a) y considerando un error  $\epsilon_{TA}$  en la ganancia (b)

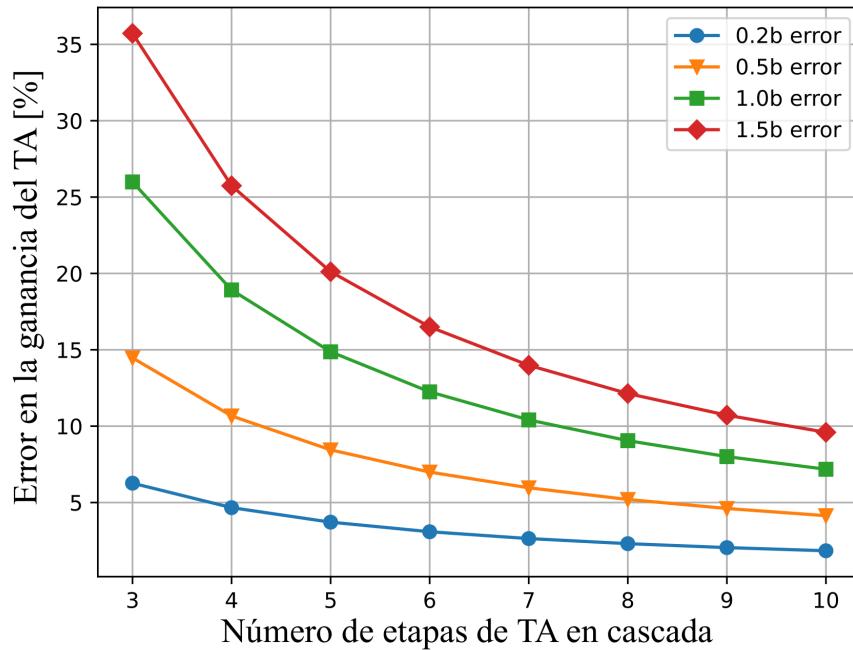


Figura 4.2: Error aceptable en la ganancia del TA en función del número de etapas para una especificación de *bit error* dada

cascada para el TDC sub-exponencial se obtiene una resolución de 3.1 ps, la cual es mayor a la resolución del detector fase frecuencia empleado en la calibración, la cuál fue de 3 ps.

## 4.2. Arquitectura del TDC

Con base en la descripción de las arquitecturas de TDC y el estado del arte, un TDC *pipelined* permite aprovechar la relación resolución - consumo de potencia de los TA al usar un TDC *flash* como TDC entero para obtener los bits más significativos de la conversión y un TDC sub-exponencial para obtener los bits menos significativos. Además, a diferencia de configuraciones basados en lazo cerrado evita la sincronización necesaria entre la conversión gruesa y fina de los TDC de lazo

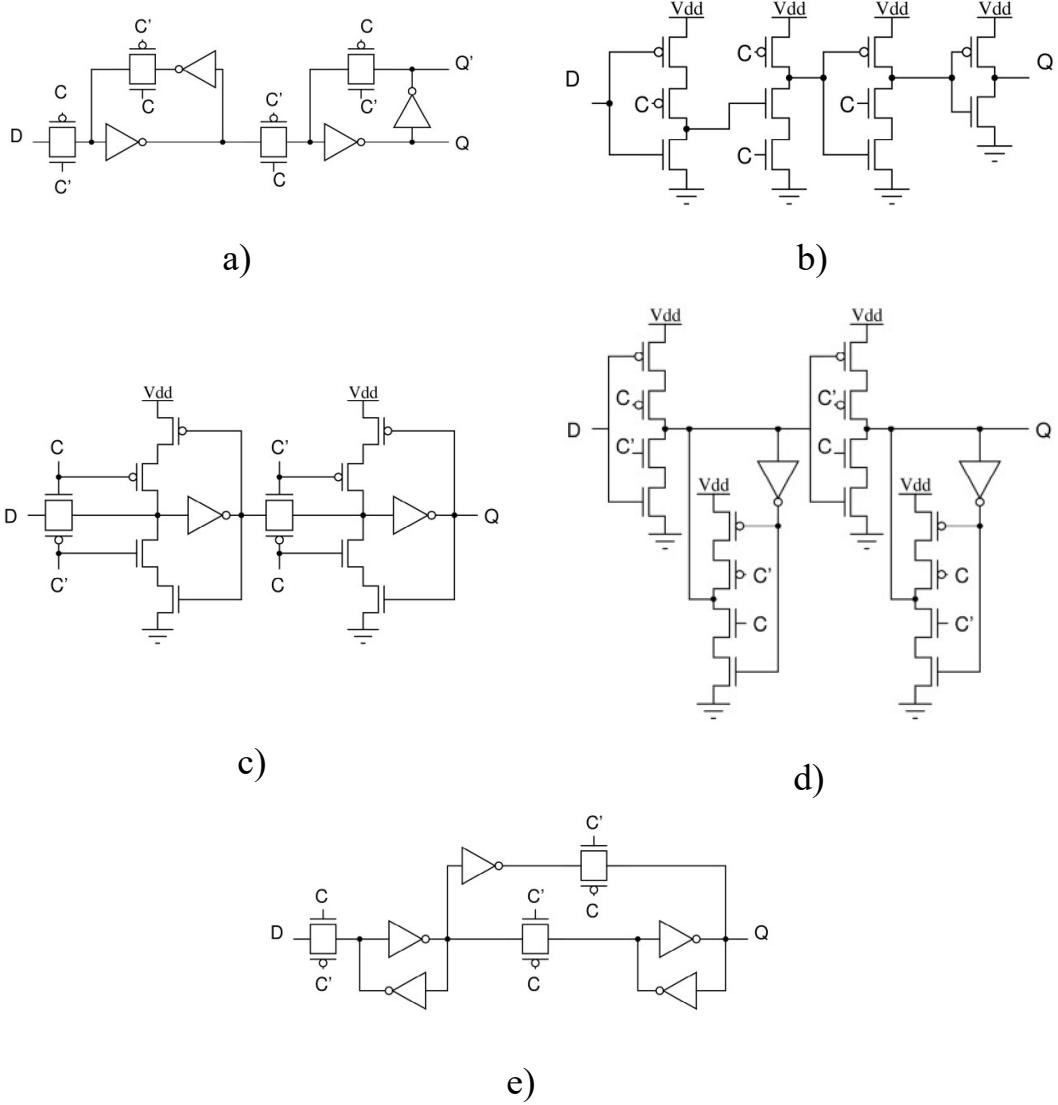


Figura 4.3: Flip-flops evaluados respecto a variaciones en tiempo de *setup* y retardo de propagación del reloj a la salida para esquinas de proceso y temperatura

cerrado, de tal manera que se pueda aislar la variación en la resolución del TDC debido a cambios en proceso y temperatura al desempeño del TA. En las siguientes secciones se muestra el diseño de los TDC entero y sub-exponencial, seguido de la caracterización del TDC diseñado en los nodos de 28 nm y 180 mn. Finalmente, se comparan los resultados obtenidos con el estado del arte de TDC basados en TA.

### 4.2.1. Diseño del TDC entero

Los elementos que componen el TDC entero son el elemento de captura y la celda de retardo. Un flip-flop y dos inversores en cascada son ejemplos sencillos de implementación de un elemento de captura y una celda de retardo, respectivamente.

En la figura 4.3 se muestran diferentes implementaciones de un flip-flop tipo D. La tabla 4.1 presenta la caracterización de los flip-flop diseñados en 28 nm en función del rango, media y desviación estándar de los retardos de propagación del reloj a la salida ( $T_{CQ}$ ), el tiempo de *setup* ( $T_s$ ) y el consumo de potencia. Los estadísticos fueron obtenidos a partir de simulaciones en las esquinas PT. Dado que lo se busca es evaluar el efecto de las variaciones en la ganancia del TA, se seleccionó el flip-flop TSPC por su robustez frente a variaciones PT.

Como elemento de retardo se seleccionó uno basado en un transistor MOSFET conectado como diodo. Un elemento de retardo ajustado con una señal analógica tiene mejor desempeño que un elemento de retardo controlado digitalmente en términos de linealidad, *jitter* y área de integración, de acuerdo al estudio realizado por Abdulrazzaq et al. [44] sobre líneas de retardo.

En la figura 4.4 se muestra el elemento de retardo basado en un transistor MOSFET conectado como diodo. A la salida de los inversores se conecta un transistor PMOS conectado como diodo a modo de carga. La capacitancia del diodo se carga o descarga mediante la corriente controlada por  $V_c$ . Para el rango de voltajes de control de 0 V a 0.9 V, en el nodo de 28 nm, se obtiene un retardo inicial de 70 ps en promedio con una variación de alrededor de 20 ps. En el caso de la celda de retardo para el nodo de 180 nm no fue necesario agregar las ramas adicionales para el incremento del retardo, debido a las capacitancias más altas asociadas a los nodos de entrada y salida.

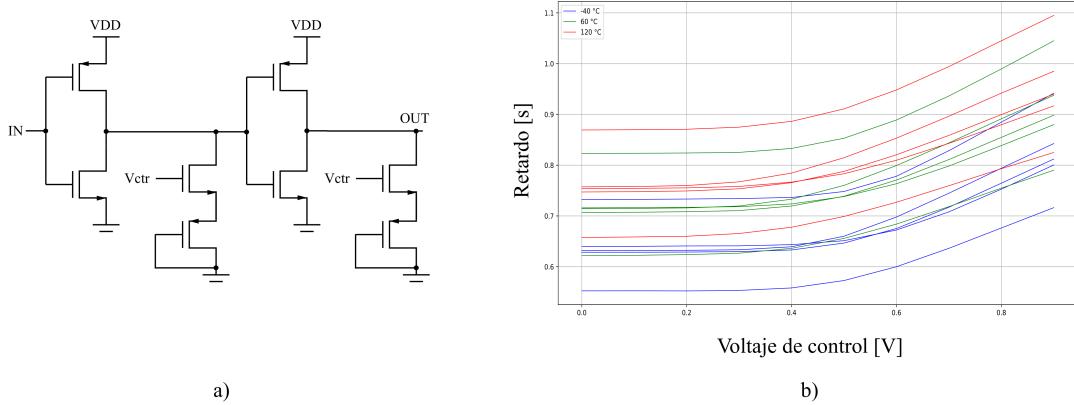


Figura 4.4: Retardo en la celda de retardo de 28 nm en función del voltaje de control

Tabla 4.1: Retardo de propagación del reloj a la salida, tiempo de establecimiento y consumo de potencia para diferentes topologías de *flip-flops*

| Topología        | $T_{CQ}$ [ps] |       |       | $T_S$ [ps]  |       |       | Potencia [ $\mu W$ ] |       |       |
|------------------|---------------|-------|-------|-------------|-------|-------|----------------------|-------|-------|
|                  | Rango         | Media | Desv. | Rango       | Media | Desv. | Rango                | Media | Desv. |
| a. TG            | 12.7 - 20.63  | 16.47 | 2.47  | 7.7 - 14.9  | 11.4  | 2.41  | 11.4 - 17.4          | 15.2  | 3.19  |
| b. TSPC          | 8.3 - 11.9    | 9.98  | 1.14  | -1.4 - 0.5  | -0.49 | 1.04  | 13.4 - 26.4          | 18.07 | 3.29  |
| c. Baja potencia | 9.7 - 15.2    | 12.5  | 1.64  | 9.9 - 19.1  | 14.17 | 2.88  | 12.5 - 18.9          | 14.06 | 1.78  |
| d. $C^2MOS$      | 11.6 - 17.4   | 14.37 | 1.73  | 13.2 - 24.2 | 18.53 | 4.15  | 10.3 - 24.5          | 14.39 | 4.37  |
| e. Push-Pull     | 14.1 - 20.6   | 16.02 | 2.24  | 13.4 - 53.9 | 19.75 | 9.75  | 12.1 - 25.5          | 19.54 | 4.08  |

Finalmente, a la salida del TDC se empleó un decodificador con prioridad para pasar la salida en código termómetro a binario.

#### 4.2.2. Diseño del TDC sub-exponencial

El TDC sub-exponencial da la resolución del convertidor tiempo-a-digital. Dado que el número de TA en cascada está limitado por el error en la ganancia del TA y el error en términos de bits, la resolución puede mejorarse trabajando el TA en un rango de entrada más reducido. Para las cinco etapas y el rango completo del TA

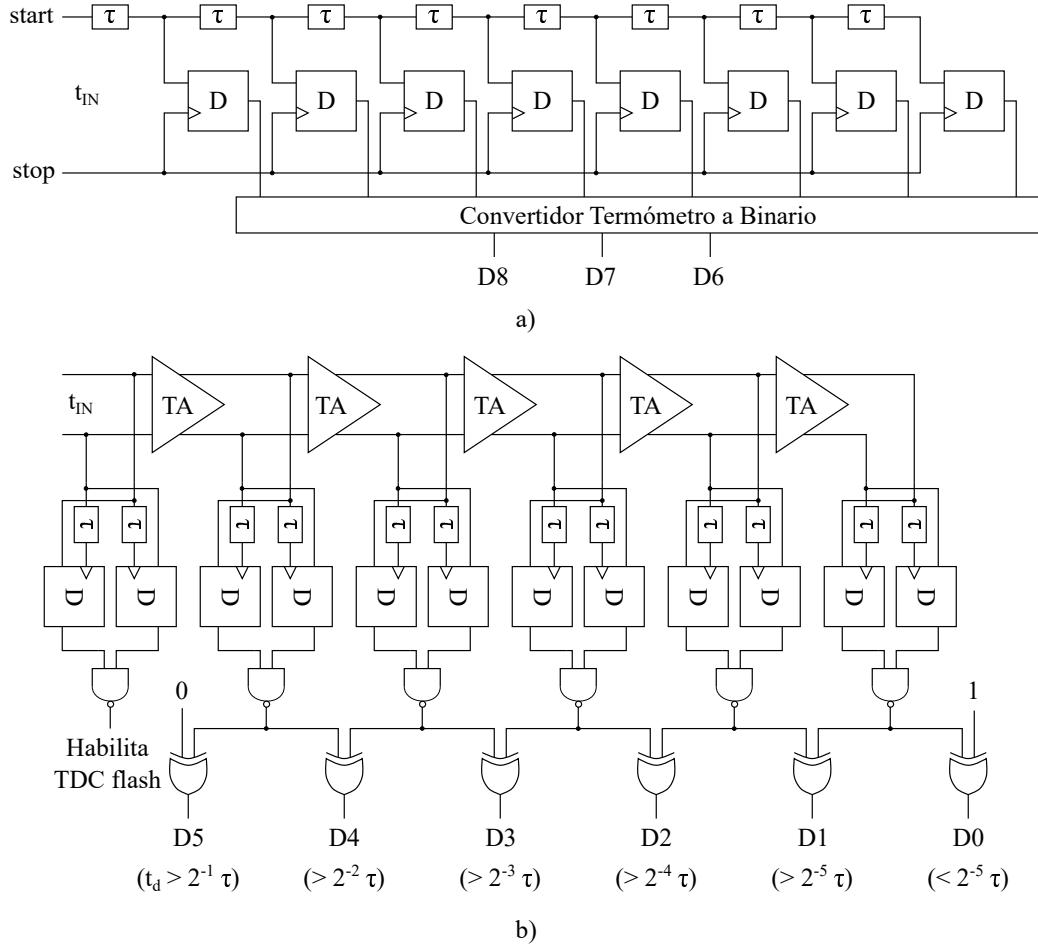


Figura 4.5: TDC entero (a) y TDC sub-exponencial (b)

se obtendría una resolución de 3.1 ps, mientras que si el rango se reduce a 80 ps la resolución mejora a 2.5 ps, de acuerdo a la ecuación 4.3, donde N corresponde al número de etapas de TA y  $\tau$  al rango de entrada del TA empleado.

$$resolución = 2^{-N} * \tau \quad (4.2)$$

Para el diseño del TDC sub-exponencial se parte del TA diseñado en el capítulo anterior. Los flip-flops y elementos de retraso corresponden a los empleados en el TDC entero.

Adicionalmente, se usa un verificador que determina si la diferencia de tiempo a la salida de los TA excede el retardo de la celda de retardo. A través de una compuerta XOR con la salida de los verificadores de entero actual y, siguiente se determina si la diferencia de tiempo de entrada es mayor que una fracción del retardo fijado o si la entrada no puede ser detectada por el TDC ("0" lógico), bit  $D_0$ , de acuerdo a la siguiente ecuación:

$$\begin{aligned} D_{N-1} &= 1 \quad \text{si} \quad t_d > 2^{-(i+1)} * \tau, \quad i = 0, 1, \dots, N - 1 \\ D_0 &= 1 \quad \text{si} \quad t_d < 2^{-N} * \tau \end{aligned} \quad (4.3)$$

## 4.3. Caracterización del TDC

La caracterización del TDC se realizó a partir de simulaciones realizadas en Hspice®. Para el TDC en 28 nm el voltaje de alimentación empleado fue de 0.9 V y para el TDC en 180 nm se utilizó un voltaje de alimentación de 0.9 V para el circuito principal del TA y de 1.8 V para los otros circuitos. La reducción en el  $V_{DD}$  del *core* del TA permitió obtener menores variaciones en la ganancia del TA. En cuanto al consumo de potencia se obtuvo un valor promedio de 380  $\mu\text{W}$  para el TDC en 28 nm y de 1.1 mW en el caso del TDC en 180 nm. El uso de lógica dinámica en los bloques digitales podría reducir estos valores.

### 4.3.1. Rango y resolución

El rango del TDC está determinado por la suma de los rangos del TDC entero y el TDC sub-exponencial, mientras que la resolución está dada solo por el TDC

Tabla 4.2: Rango y resolución del TDC

| Nodo [nm] | Rango [ps] |     |     | Resolución [ps] |     |     |
|-----------|------------|-----|-----|-----------------|-----|-----|
|           | mín        | típ | máx | mín             | típ | máx |
| 28        | 508        | 647 | 793 | 2.0             | 2.5 | 3.1 |
| 180       | 405        | 535 | 708 | 1.6             | 2.1 | 2.8 |

sub-exponencial, tal como se muestra en la ecuación 4.4.

$$\begin{aligned} \text{Rango} &= 2^{N_{ent}} * \tau \\ \text{Resolución} &= 2^{-N_{sub}} * \tau \end{aligned} \quad (4.4)$$

Dado que se consideraron tres bits para el TDC entero ( $N_{ent}$ ), y cinco para el TDC sub-exponencial ( $N_{sub}$ ), el rango y al resolución dependen del retardo de la celda ( $\tau$ ). La tabla 4.2 resume los valores del rango y resolución en función de los valores mínimo, típico y máximo que arroja la celda de retardo al varias las esquinas PT. Para el TDC en 28 nm el voltaje de control de la celda de retardo fue de 0.7 V de tal manera que el retardo se mantuviera por debajo de los 100 ps (rango del TA) en todas las esquinas.

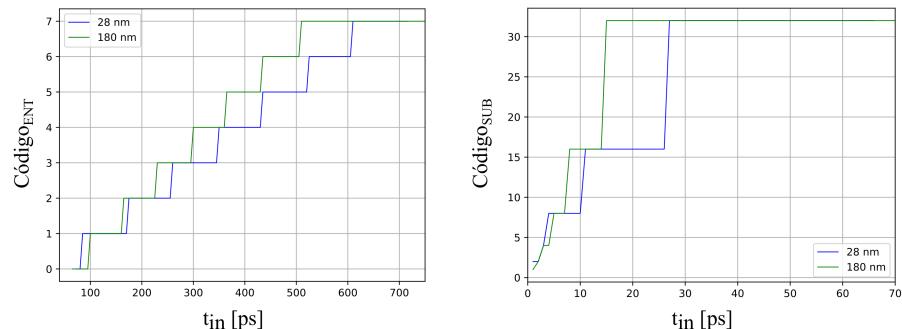


Figura 4.6: Código de salida para el TDC entero (izquierda) y TDC sub-exponencial (derecha)

La figura 4.6 muestra el código de salida para el TDC entero (derecha) y el TDC sub-exponencial (izquierda) en función del tiempo de entrada. Los pasos de simulación fueron de 5 ps y 1ps para el TDC entero y el TDC sub-exponencial respectivamente. A bajas entradas para el TDC sub-exponencial se detectan pocos puntos debido a la resolución del detector fase-frecuencia empleado en el TA.

### 4.3.2. Linealidad

La linealidad del TDC es caracterizada mediante la no-linealidad diferencial (DNL) y la no-linealidad integral (INL). La DNL caracteriza la desviación del ancho del código respecto al valor ideal, mientras que la INL cuantifica la desviación de la transición del código de su posición esperada. Esta ultima tambien puede verse como la suma acumulada de la DNL y en este trabajo fue medida tomando como fijos los puntos inicial y final de la relación entrada-salida del convertidor (*end-point*) debido a que arroja un valor menos optimista que métodos basados en la curvatura ajustada (best-fit).

En la figura 4.7 se muestran las DNL y INL para el TDC entero en los nodos

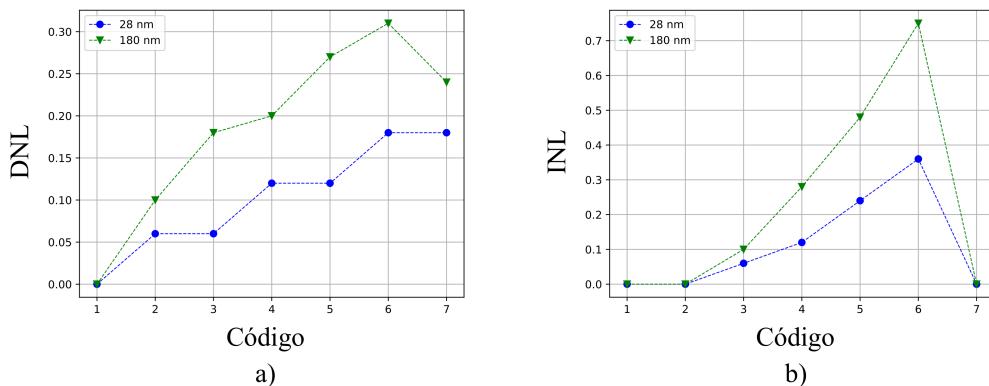


Figura 4.7: No-linealidad diferencial (a) y No-linealidad integral (b) para los TDC entero en 28 nm y 180 nm

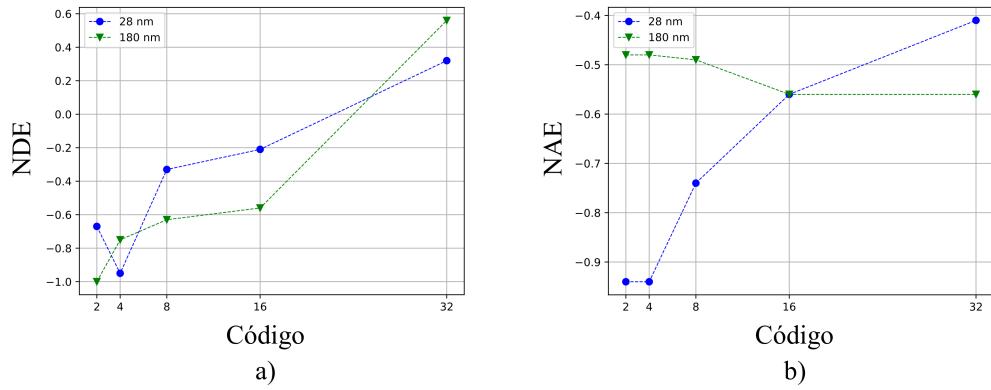


Figura 4.8: Error diferencial normalizado (a) y Error diferencial acumulado (b) para los TDC sub-exponencial en 28 nm y 180 nm

CMOS de 28 nm y 180 nm, de donde se observa una mejor linealidad en el TDC de 28 nm. Por otra lado para caracterizar la linealidad del TDC sub-exponencial se emplean unas medidas de error normalizadas al ancho de cada símbolo del código.

El error diferencial normalizado (NDE) da una medida similar a la DNL al tomar la diferencia de tiempo en cada paso de la curva de salida entre el valor simulado y el valor ideal, mientras que el error acumulado normalizado (NAE) cuantifica la diferencia en el tiempo de transición entre la curva simulada y la curva ideal, igualmente normalizada al ancho del símbolo del código.

La figura 4.8 presenta los NDE y NAE para ambos nodos CMOS, en el caso del NDE ambos TDC tiene un valor máximo cercano a la unidad, mientras que para el NAE el TDC en 180 nm tiene un mejor desempeño frente al TDC en 28 nm. La baja linealidad para códigos menores a 4 se debe a que la resolución teórica esta en el mismo rango del ajuste que permite hacer el circuito de calibración al TA.

### 4.3.3. Comparación con el estado de arte de TDC basados en TA

La tabla 4.3 muestra una comparación entre el estado del arte de TDC basados en TA y el presente trabajo. Dado los diferentes enfoques y especificaciones en el estado del arte una figura de merito (FoM) resulta conveniente para una comparación en términos similares. La figura de merito empleada por varios autores corresponde a la misma empleada en ADC [20] y se calcula como:

$$N_{lineal} = N_{bits} - \log_2(INL + 1) \quad (4.5)$$

$$FoM = \frac{Potencia}{2^{N_{lineal}} * F_s} \quad [pJ/paso conv.] \quad (4.6)$$

A partir del valor de la FoM los TDC basados en TA con calibración analógica diseñados en este trabajo compiten con el estado del arte, especialmente el diseño de 28 nm dado su relación entre consumo de potencia y número de bits. En términos

Tabla 4.3: Comparación con TDC basados en TA

| Ref.                     | [32]         | [20]    | [37]  | [38]      | Este trabajo | Este trabajo |
|--------------------------|--------------|---------|-------|-----------|--------------|--------------|
|                          | 2010         | 2015    | 2019  | 2022      |              |              |
| Arquitectura             | Sub-exponent | TA + DL | TA    | Pipelined | Sub-exponent | Sub-exponent |
| Tecnología [nm]          | 180          | 65      | 180   | 65        | 180          | 28           |
| $V_{DD}$ [V]             | 1.8          | 1       | 1.2   | 1         | 1.8          | 0.9          |
| $F$ [MHz] / $F_s$ [MS/s] | 60           | 50      | 30    | 125       | 100          | 100          |
| $N_{bits}$               | 12           | 4       | 8     | 7         | 8            | 8            |
| Resolución [ps]          | 1.25         | 0.9     | 5.3   | 1.7       | 2.1          | 2.5          |
| Rango [ns]               | 2.5          | 0.016   | 1.2   | 0.22      | 0.54         | 0.65         |
| DNL [LSB]                | 0.3          | 0.2     | 0.9   | 1.03      | -0.98        | -0.95        |
| INL [LSB]                | 0.4          | 0.25    | 2.8   | 1.33      | -0.57        | -0.95        |
| Potencia [mW]            | 1.8          | 0.2     | 1.1   | 0.52      | 1.1          | 0.38         |
| FoM                      | 0.011        | 0.31    | 0.559 | 0.065     | 0.068        | 0.029        |

de la resolución del convertidor, mejoras en el circuito de calibración del TA especialmente en el detector fase-frecuencia permitirían alcanzar niveles similares a los presentados en [32] y [20]. Finalmente, con la optimización del consumo de los circuitos digitales se podría mejorar la figura de merito. Lo anterior, si la especificación de frecuencia de muestreo permite el uso de voltajes de alimentación por debajo del voltaje nominal además del uso de lógica dinámica.

## 4.4. Conclusión

Se diseñaron los TDC en los nodos de 28 nm y 180 nm. A partir del error en el bit menos significativo y la variación promedio en la ganancia del TA se seleccionó cinco como el número de TA en cascada para el TDC fino. Dado que el número de bits del TDC grueso determina el rango de entrada del TDC, se seleccionaron tres bits para mantener una relación rango-potencia aceptable de acuerdo a la aplicación planteada en el Capítulo 2. Los resultados mostrados en la caracterización del TDC compiten contra el estado del arte tomando en cuenta el consumo de potencia, la resolución, rangos obtenidos y finalmente, en términos de una figura de merito.

# 5

## Conclusiones y trabajo a futuro

---

Los convertidores tiempo-a-digital basados en amplificadores de diferencia de tiempo fueron seleccionados como circuito de estudio para la migración de un diseño de una tecnología CMOS madura a nodos CMOS en la frontera de dispositivos planares. La flexibilidad de este tipo de circuitos respecto a los esquemas de calibración y bloques funcionales permitió identificar áreas de oportunidad en el uso de técnicas de calibración analógica, con una reducción en el consumo de potencia, y la información de las variaciones de proceso y temperatura como especificación en el diseño del mismo para obtener una resolución alrededor de dos ps.

Por otro lado, el diseño del TDC y posterior migración del nodo de 180 nm a 28 nm permitió identificar áreas de mejora a nivel circuital. El aumento de capacitancia en el nodo de salida del TA y eliminación de ramas redundantes empleadas por la calibración digital arrojaron mejoras en la linealidad del rediseño del convertidor en 180 nm a partir de las modificaciones realizadas en el convertidor de 28 nm. El trabajo presentado muestra resultados comparables y superiores al estado del arte de TDC basados en TA en términos de la relación consumo de potencia, rango y resolución.

Finalmente, el trabajo presentado queda abierto a mejoras al emplear técnicas de compensación de temperatura que permitirían reducir las variaciones en la ganancia del TA y por tanto aumentar la resolución del convertidor, además del uso de TDC con celdas de retardo variable de rango amplio, de tal manera que la resolución pueda variar dependiendo de la aplicación.

# Índice de figuras

---

|      |  |    |
|------|--|----|
| 1.1. | Voltaje de alimentación para diferentes nodos CMOS . . . . .   | 3  |
| 1.2. | Corrientes de fuga para los transistores NMOS y PMOS en las tecnologías de 28 nm y 180 nm . . . . .      | 6  |
| 1.3. | Celdas caracterizadas: Transistores (a), Inversor (b), y Espejo de corriente simple (c) . . . . .        | 9  |
| 1.4. | Variaciones de proceso y <i>mismatch</i> en la corriente de transistores NMOS y PMOS en 180 nm . . . . . | 10 |
| 1.5. | Variaciones de proceso y <i>mismatch</i> en la corriente de transistores NMOS y PMOS en 28 nm . . . . .  | 10 |
| 1.6. | Variaciones de proceso y <i>mismatch</i> en el retardo de propagación un inversor en 180 nm . . . . .    | 12 |
| 1.7. | Variaciones de proceso y <i>mismatch</i> en el retardo de propagación un inversor en 28 nm . . . . .     | 12 |
| 1.8. | Variaciones de proceso y <i>mismatch</i> en un espejo de corriente simple en 180 nm . . . . .            | 13 |
| 1.9. | Variaciones de proceso y <i>mismatch</i> en un espejo de corriente simple en 28 nm . . . . .             | 13 |

|   |    |
|---|----|
| 1.10. <i>Layout</i> de compuerta NAND en diferentes nodos. Tomado de [13] . . .   | 15 |
| 2.1. TDC como caja negra . . . . .  | 18 |
| 2.2. Diagrama a bloques de PLL digitales fraccionarios-n usando: a) arquitectura sin divisor basada en contador y b) divisor fraccionario $\Sigma\Delta$ [20] . . . . .               | 19 |
| 2.3. Diagrama a bloques de un TDC Flash . . . . .   | 21 |
| 2.4. Diagrama a bloques de un TDC de lazo cerrado . . . . .   | 22 |
| 2.5. Diagrama a bloques de un TDC con dos etapas de conversión . . . . .  | 23 |
| 2.6. Característica entrada-salida para un TDC . . . . .  | 25 |
| 3.1. Enfoques en el diseño de TA: a) Completamente digital [40] b) Metaestabilidad <i>latch SR</i> [37] c) <i>Cross-coupled</i> MOSFET [32] . . . . .                                 | 29 |
| 3.2. TA y circuito de calibración digital [32] . . . . .  | 30 |
| 3.3. Ganancia del TA con calibración digital en 180 nm frente a variaciones de proceso y temperatura (a. -40 °C b. 60 °C y c. 120 °C) y característica entrada-salida (d) . . . . .   | 31 |
| 3.4. Esquemático del TA modificado (a) y circuito de calibración analógico (b) . . . . .  | 32 |
| 3.5. Layout del TA modificado con circuito de calibración . . . . .   | 33 |
| 3.6. Ganancia del TA con calibración analógica en 180 nm frente a variaciones de proceso y temperatura (a. -40 °C b. 60 °C y c. 120 °C) y característica entrada-salida (d) . . . . . | 34 |

|  |    |
|--|----|
| 3.7. Voltaje de calibración (a) y Ganancia del TA frente a variaciones de temperatura (b) . . . . .  | 37 |
| 3.8. TA modificado (a) y circuito de calibración (b) . . . . .   | 40 |
| 3.9. Ganancia del TA en 28 nm en función de la diferencia de tiempo de entrada para $T = -40^{\circ}\text{C}$ (a), $T = 60^{\circ}\text{C}$ (b), $T = 120^{\circ}\text{C}$ (c) y porcentaje de error (d) . . . . .   | 40 |
| 3.10. Ganancia del TA en 180 nm en función de la diferencia de tiempo de entrada para $T = -40^{\circ}\text{C}$ (a), $T = 60^{\circ}\text{C}$ (b), $T = 120^{\circ}\text{C}$ (c) y porcentaje de error (d) . . . . . | 41 |
| <br>   |    |
| 4.1. TA en cascada para generar 1-bit en la etapa N sin error en la ganancia (a) y considerando un error $\epsilon_{TA}$ en la ganancia (b) . . . . .  | 44 |
| 4.2. Error aceptable en la ganancia del TA en función del número de etapas para una especificación de <i>bit error</i> dada . . . . .  | 45 |
| 4.3. Flip-flops evaluados respecto a variaciones en tiempo de <i>setup</i> y re-tardo de propagación del reloj a la salida para esquinas de proceso y temperatura . . . . .  | 46 |
| <br>   |    |
| 4.4. Retardo en la celda de retardo de 28 nm en función del voltaje de control . . . . .   | 48 |
| 4.5. TDC entero (a) y TDC sub-exponencial (b) . . . . .  | 49 |
| 4.6. Código de salida para el TDC entero (izquierda) y TDC sub-exponencial (derecha) . . . . .   | 51 |
| <br>   |    |
| 4.7. No-linealidad diferencial (a) y No-linealidad integral (b) para los TDC entero en 28 nm y 180 nm . . . . .  | 52 |

4.8. Error diferencial normalizado (a) y Error diferencial acumulado (b)  
para los TDC sub-exponencial en 28 nm y 180 nm . . . . . 53

# Índice de tablas

---

|      |   |    |
|------|---|----|
| 1.1. | Voltaje umbral para tecnologías CMOS de 28 nm y 180 nm . . . . .  | 4  |
| 1.2. | Ganancia intrínseca en dB para tecnologías CMOS de 28 nm y 180 nm   | 7  |
| 2.1. | Estado del arte de PLL usadas en transmisores BLE . . . . .   | 20 |
| 2.2. | Estado del arte de convertidores tiempo-a-digital . . . . .   | 26 |
| 3.1. | Ganancia del TA para variaciones de proceso y temperatura con $T_{IN} = 1$ ps para 180 nm . . . . .   | 35 |
| 3.2. | Voltaje de calibración [mV] del TA par variaciones de proceso y temperatura con $T_{IN} = 100$ ps para 180 nm . . . . .                                 | 35 |
| 3.3. | Ganancia del TA para variaciones de proceso y temperatura con $T_{IN} = 1$ ps para 28 nm . . . . .  | 37 |
| 3.4. | Voltaje de calibración [mV] del TA par variaciones de proceso y temperatura con $T_{IN} = 100$ ps para 28 nm . . . . .                                  | 38 |
| 4.1. | Retardo de propagación del reloj a la salida, tiempo de establecimiento y consumo de potencia para diferentes topologías de <i>flip-flops</i> . . . . . | 48 |
| 4.2. | Rango y resolución del TDC . . . . .  | 51 |

|  |    |
|--|----|
| 4.3. Comparación con TDC basados en TA . . . . . | 54 |
|--|----|

# Bibliografía

---

- [1] “International Technology Roadmap for Semiconductors.” <https://www.semiconductors.org/wp-content/uploads/2018/08/2011ExecSum.pdf>. Accessed: 2021-11-11.
- [2] H. J. Veendrick, *Nanometer CMOS ICs*. Springer, 2017.
- [3] A. Pipino, “Design of analog circuits in 28 nm CMOS technology for Physics applications,” 2016.
- [4] D. Frank, R. Dennard, E. Nowak, P. Solomon, Y. Taur, and H.-S. P. Wong, “Device scaling limits of Si MOSFETs and their application dependencies,” *Proceedings of the IEEE*, vol. 89, no. 3, pp. 259–288, 2001.
- [5] P. F. Butzen and R. P. Ribas, “Leakage current in sub-micrometer CMOS gates,” *Universidade Federal do Rio Grande do Sul*, pp. 1–28, 2006.
- [6] M. Pelgrom, H. Tuinhout, and M. Vertregt, “Transistor matching in analog CMOS applications,” in *International Electron Devices Meeting 1998. Technical Digest (Cat. No.98CH36217)*, pp. 915–918, 1998.
- [7] M. Alioto, E. Consoli, and G. Palumbo, “Variations in Nanometer CMOS Flip-Flops: Part I—Impact of Process Variations on Timing,” *IEEE Transactions on Circuits and Systems I: Regular Papers*, vol. 62, no. 8, pp. 2035–2043, 2015.

- [8] K. Kim, B. Joo, Y. M. Park, T. Jeong, K. T. Kim, and E.-Y. Chung, “Cross-Corner Delay Variation Model for Standard Cell Libraries,” *IEEE Access*, vol. 9, pp. 72299–72315, 2021.
- [9] H. Veldandi and R. A. Shaik, “Low-voltage PVT-insensitive bulk-driven OTA with enhanced DC gain in 65-nm CMOS process,” *AEU - International Journal of Electronics and Communications*, vol. 90, pp. 88–96, 2018.
- [10] L. Pileggi, G. Keskin, X. Li, K. Mai, and J. Proesel, “Mismatch analysis and statistical design at 65 nm and below,” in *2008 IEEE Custom Integrated Circuits Conference*, pp. 9–12, 2008.
- [11] P. Mroszczyk and V. F. Pavlidis, “Mismatch Compensation Technique for Inverter-Based CMOS Circuits,” in *2018 IEEE International Symposium on Circuits and Systems (ISCAS)*, pp. 1–5, 2018.
- [12] F. De Canio and G. Traversi, “Temperature Sensor with Process and Mismatch Auto-Compensation Technique in 28 nm CMOS,” in *2018 IEEE International Symposium on Circuits and Systems (ISCAS)*, pp. 1–5, 2018.
- [13] L. W. Liebmann, L. Pileggi, and K. Vaidyanathan, “Design Technology Co-Optimization in the Era of Sub-Resolution IC scaling,” 2016.
- [14] M. M. Isgenc, M. G. A. Martins, V. M. Zackriya, S. N. Pagliarini, and L. Pileggi, “Logic IP for Low-Cost IC Design in Advanced CMOS Nodes,” *IEEE Transactions on Very Large Scale Integration (VLSI) Systems*, vol. 28, no. 2, pp. 585–595, 2020.
- [15] F. Resta, A. Pipino, M. De Matteis, A. Baschirotto, H. Kroha, R. Ricther, O. Kortner, J. ZHU, and J. Wang, “A 130 nm CMOS PLL for Phase-II ATLAS-MDT TDC,” vol. 343, p. 092, 2019.

- [16] M. Rezvanyvardom, T. G. Nejad, and E. Farshidi, “A 5-bit time to digital converter using time to voltage conversion and integrating techniques for agricultural products analysis by Raman spectroscopy,” *Information Processing in Agriculture*, vol. 1, no. 2, pp. 124–130, 2014.
- [17] U. A. Melo-Pinzón and G. Espinosa-Flores-Verdad, “A Self-calibrated Readout System for Capacitive Biosensors,” in *Proceedings of Sixth International Congress on Information and Communication Technology* (X.-S. Yang, S. Sherratt, N. Dey, and A. Joshi, eds.), pp. 483–491, Springer Singapore, 2022.
- [18] S. N. Ishak, J. Sampe, Z. Yusoff, and M. Faseehuddin, “All-digital phase locked loop (adpll) topologies for rfid system application: A review,” *Jurnal Teknologi*, vol. 84, pp. 219–230, Nov. 2021.
- [19] “Bluetooth Specification Version 5.0.” <https://www.bluetooth.org>. Accessed: 2022-02-02.
- [20] A. Elkholy, T. Anand, W.-S. Choi, A. Elshazly, and P. K. Hanumolu, “A 3.7 mW Low-Noise Wide-Bandwidth 4.5 GHz Digital Fractional-N PLL Using Time Amplifier-Based TDC,” *IEEE Journal of Solid-State Circuits*, vol. 50, no. 4, pp. 867–881, 2015.
- [21] M. Babaie, F.-W. Kuo, H.-N. R. Chen, L.-C. Cho, C.-P. Jou, F.-L. Hsueh, M. Shahmohammadi, and R. B. Staszewski, “Fully Integrated Bluetooth Low-Energy Transmitter in 28 nm CMOS With 36 % System Efficiency at 3 dBm,” *IEEE Journal of Solid-State Circuits*, vol. 51, no. 7, pp. 1547–1565, 2016.
- [22] M. Ding, X. Wang, P. Zhang, Y. He, S. Traferro, K. Shibata, M. Song, H. Korpela, K. Ueda, Y.-H. Liu, C. Bachmann, and K. Philips, “A 0.8V 0.8mm<sup>2</sup> bluetooth 5/BLE digital-intensive transceiver with a 2.3mW phase-tracking RX utilizing a hybrid loop filter for interference resilience in

- 40nm CMOS,” in *2018 IEEE International Solid - State Circuits Conference - (ISSCC)*, pp. 446–448, 2018.
- [23] H. Liu, Z. Sun, D. Tang, H. Huang, T. Kaneko, W. Deng, R. Wu, K. Okada, and A. Matsuzawa, “An ADPLL-centric bluetooth low-energy transceiver with 2.3mW interference-tolerant hybrid-loop receiver and 2.9mW single-point polar transmitter in 65nm CMOS,” in *2018 IEEE International Solid - State Circuits Conference - (ISSCC)*, pp. 444–446, 2018.
- [24] S. Oh, S. Kim, I. Ali, T. T. K. Nga, D. Lee, Y. Pu, S.-S. Yoo, M. Lee, K. C. Hwang, Y. Yang, and K.-Y. Lee, “A 3.9 mW Bluetooth Low-Energy Transmitter Using All-Digital PLL-Based Direct FSK Modulation in 55 nm CMOS,” *IEEE Transactions on Circuits and Systems I: Regular Papers*, vol. 65, no. 9, pp. 3037–3048, 2018.
- [25] M. Sharifzadeh, A. H. Masnadi-Shirazi, Y. Rajavi, H. M. Lavasani, and M. Taghivand, “A fully integrated multi-mode high-efficiency transmitter for IoT applications in 40nm CMOS,” in *2018 IEEE Custom Integrated Circuits Conference (CICC)*, pp. 1–4, 2018.
- [26] N. Pourmousavian, F.-W. Kuo, T. Siriburanon, M. Babaie, and R. B. Staszewski, “A 0.5-v 1.6-mw 2.4-ghz fractional-n all-digital pll for bluetooth le with pvt-insensitive tdc using switched-capacitor doubler in 28-nm cmos,” *IEEE Journal of Solid-State Circuits*.
- [27] S. Yang, J. Yin, H. Yi, W.-H. Yu, P.-I. Mak, and R. P. Martins, “A 0.2-V Energy-Harvesting BLE Transmitter With a Micropower Manager Achieving 25 % System Efficiency at 0-dBm Output and 5.2-nW Sleep Power in 28-nm CMOS,” *IEEE Journal of Solid-State Circuits*, vol. 54, no. 5, pp. 1351–1362, 2019.

- [28] P. Chen, X. Meng, J. Yin, P.-I. Mak, R. P. Martins, and R. B. Staszewski, “A 529-W Fractional-N All-Digital PLL Using TDC Gain Auto-Calibration and an Inverse-Class-F DCO in 65-nm CMOS,” *IEEE Transactions on Circuits and Systems I: Regular Papers*, vol. 69, no. 1, pp. 51–63, 2022.
- [29] S. Henzler, *Time-to-Digital Converters*. Springer, 2010.
- [30] M. P. Mattada and H. Guhilot, “Time-to-digital converters—A comprehensive review,” *International Journal of Circuit Theory and Applications*, vol. 49, no. 3, pp. 778–800, 2021.
- [31] S. Tancock, E. Arabul, and N. Dahoun, “A Review of New Time-to-Digital Conversion Techniques,” *IEEE Transactions on Instrumentation and Measurement*, vol. 68, no. 10, pp. 3406–3417, 2019.
- [32] S.-K. Lee, Y.-H. Seo, H.-J. Park, and J.-Y. Sim, “A 1 GHz ADPLL With a 1.25 ps Minimum-Resolution Sub-Exponent TDC in  $0.18\mu\text{m}$  CMOS,” *IEEE Journal of Solid-State Circuits*, vol. 45, no. 12, pp. 2874–2881, 2010.
- [33] D. Kościelnik, J. Szyduczyński, D. Rzepka, W. Andrysiewicz, and M. Miśkowicz, “Optimized design of successive approximation time-to-digital converter with single set of delay lines,” in *2016 Second International Conference on Event-based Control, Communication, and Signal Processing (EBCCSP)*, pp. 1–8, 2016.
- [34] P. Lu, Y. Wu, and P. Andreani, “A 2.2-ps Two-Dimensional Gated-Vernier Time-to-Digital Converter With Digital Calibration,” *IEEE Transactions on Circuits and Systems II: Express Briefs*, vol. 63, no. 11, pp. 1019–1023, 2016.
- [35] O. C. Akgun, “An Asynchronous Pipelined Time-to-Digital Converter Using Time-Domain Subtraction,” in *2018 IEEE International Symposium on Circuits and Systems (ISCAS)*, pp. 1–5, 2018.

- [36] R. Krishna, A. Mal, and R. Mahapatra, “Time-Domain Smart Temperature Sensor Using Current Starved Inverters and Switched Ring Oscillator-Based Time-to-Digital Converter,” *Circuits Syst Signal Process*, vol. 39, 2016.
- [37] H. Molaei and K. Hajsadeghi, “A 5.3-ps, 8-b Time to Digital Converter Using a New Gain-Reconfigurable Time Amplifier,” *IEEE Transactions on Circuits and Systems II: Express Briefs*, vol. 66, no. 3, pp. 352–356, 2019.
- [38] M. A. Yaldagard and H. Shamsi, “A bipolar offset binary time-to-digital converter using time amplifiers based on time-to-current compensation,” *AEU - International Journal of Electronics and Communications*, vol. 144, p. 154072, 2022.
- [39] J. Gu, B. Wang, C. Zhang, T. Ouyang, and L. Gao, “A novel programmable pulse-broadening time amplifier controlled by node capacitance,” in *2017 IEEE 12th International Conference on ASIC (ASICON)*, pp. 199–202, 2017.
- [40] Y. Lyu, J. Feng, H. Ye, and D. Yu, “All-digital synchronous  $2 \times$  time-difference amplifier based on time register,” *Electronics Letters*, vol. 53, no. 16, pp. 1102–1104, 2017.
- [41] S. Ziabakhsh, G. Gagnon, and G. W. Roberts, “An All-Digital High-Resolution Programmable Time-Difference Amplifier Based on Time Latch,” in *2018 IEEE International Symposium on Circuits and Systems (ISCAS)*, pp. 1–5, 2018.
- [42] A. Mamba and M. Sasaki, “Tiny two-stage 1-ghz time-difference amplifier without input time-difference limitation and extreme points,” in *2020 27th IEEE International Conference on Electronics, Circuits and Systems (ICECS)*, pp. 1–4, 2020.
- [43] H. Lad Kirankumar, S. Rekha, and T. Laxminidhi, “A Dead-Zone-Free Zero Blind-Zone High-Speed Phase Frequency Detector for Charge-Pump PLL,” *Circuits, Systems, and Signal Processing*, vol. 39, no. 8, pp. 1531–15878, 2020.

- [44] B. I. Abdulrazzaq, I. Abdul Halin, S. Kawahito, R. M. Sidek, S. Shafie, and N. A. M. Yunus, “A review on high-resolution CMOS delay lines: towards sub-picosecond jitter performance,” *SpringerPlus*, vol. 5, 2016.