**雷达信号产生与处理设计-硬件实验1**

1. **实验要求**

实现一路10MHz连续波的产生(DAC)

实现一路10MHz连续波的采集(ADC)

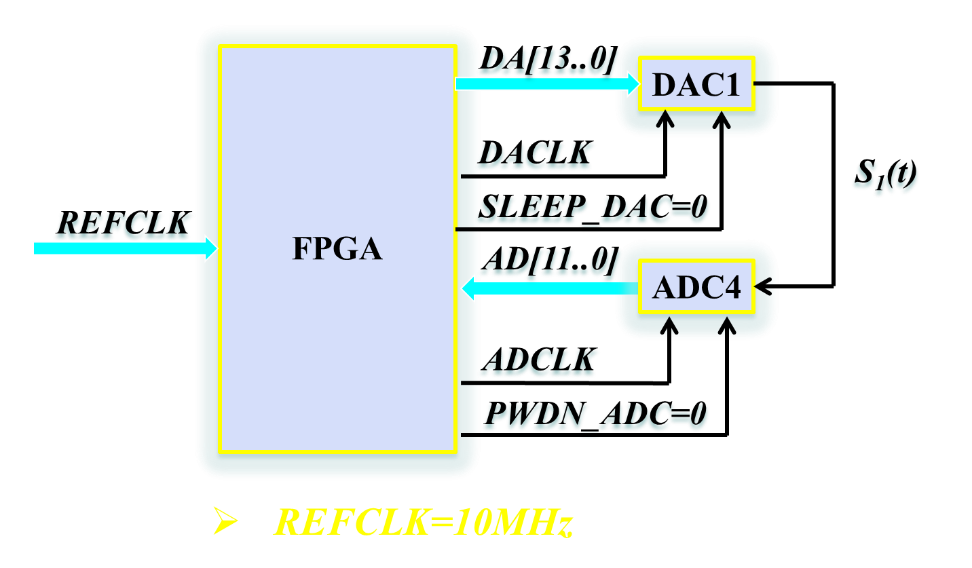
1. **实验步骤**

FPGA程序设计(DA、AD)

MFSS6842平台硬件连接

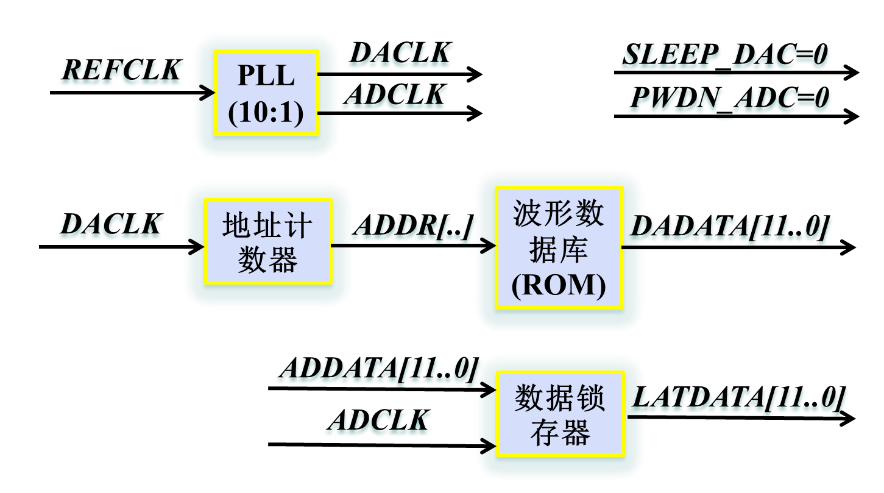
FPGA程序下载、测试

1. **总体设计框图**



实验总体设计框图如上图所示，REFCLK为实验箱参考时钟源，DA为14位DAC数据总线，DACLK为DAC的时钟，SLEEP\_DAC为低电平时，DAC为工作状态，AD为12位ADC数据总线，ADCLK为ADC的时钟源，PWDN\_ADC为低电平时ADC正常工作。图中ADC和DAC相连，所以DAC的输出即为ADC的输入。

1. **FPGA设计框图**



由于参考时钟源为10MHz，故要产生10MHz的正弦波需要将参考时钟源倍频，倍频采用锁相环IP核，得到100MHz的时钟源作为ADC和DAC的时钟源。

正弦波生成模块需要利用波形存储表先存储好正弦数据，利用地址线对ROM寻址。

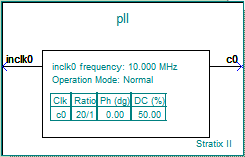
由于ADC的接收信号范围小于DAC的输出范围，故DAC的输出范围与ADC的接收范围应该相同，避免损坏ADC。

1. **原理分析：**

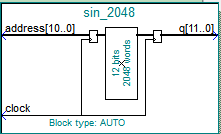
硬件电路参考时钟源为10MHz，先通过锁相环将倍频到200MHz，再通过2分频可得到100MHz时钟，波形数据库的ROM深度为2048，波形为正弦波，根据板子DA和AD的位数可知，ROM的数据位数可以设置为12位，根据题目要求，生成正弦信号频率为10MHz，则可以将地址在100MHz的每个上升沿增加204，即可得到近似为10MHz的正弦波。将实验箱的ADC和DAC相连，则可得到10MHz的正弦波的采集。

1. **IP配置：**

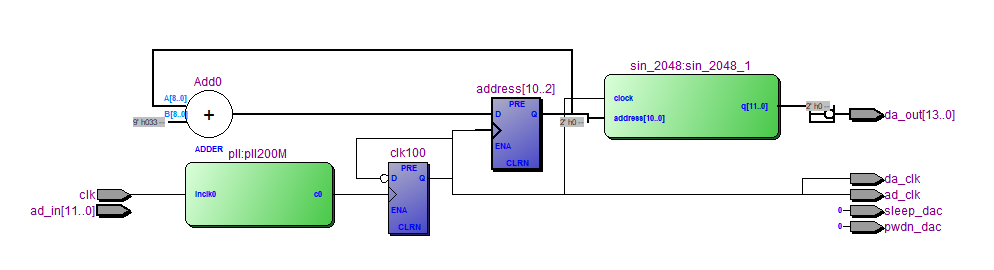
锁相环模块：



ROM表：

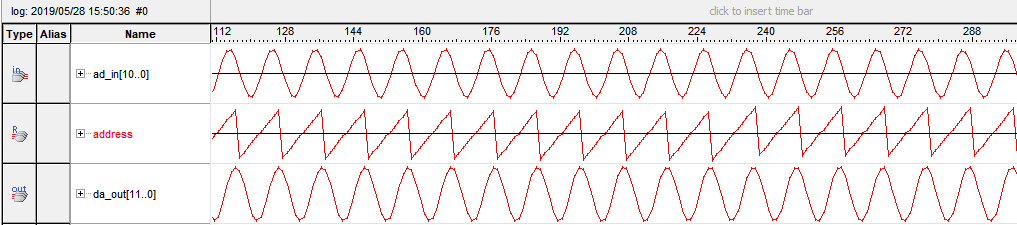


1. **RTL级框图：**



sleep\_dac和pwdn\_adc在程序中拉低，ADC和DAC一直工作。

1. **实验结果：**



1. **结果分析：**

图中da\_out为FPGA的ROM在address寻址下生成的10MHz正弦信号，ad\_in为AD接收到的10MHz正弦信号。

1. **Verilog HDL 代码：**

`timescale 1 ps / 1 ps

module experiment1(

input clk,

input [11:0]ad\_in,

output da\_clk,

output ad\_clk,

output sleep\_dac,

output pwdn\_dac,

output [13:0]da\_out

);

reg [10:0] address=0;

wire [11:0] da\_out\_temp;

wire clk\_200;

pll pll200M(

.inclk0(clk),

.c0(clk\_200)

);

reg clk100=0;

always@(posedge clk\_200)

begin

clk100<=~clk100;

end

assign da\_clk=clk100;

assign ad\_clk=clk100;

sin\_2048 sin\_2048\_1(

.address (address),

.clock (clk100),

.q (da\_out\_temp)

);

assign da\_out={2'b0,~da\_out\_temp[11],da\_out\_temp[10:0]};

always@(posedge clk100)

begin

address<=address+11'd204;

end

reg [11:0]ad\_in\_temp;

always@(posedge clk100)

begin

ad\_in\_temp<=ad\_in;

end

assign sleep\_dac=0;

assign pwdn\_dac=0;

endmodule