**雷达信号产生与处理设计-硬件实验2**

**1.实验目的**

熟悉MFSS6842平台的使用

熟悉QuartusII的开发、调试、测试

LFM中频信号产生与接收的实现

**2、实验内容**

LFM中频信号的产生

中频信号的接收、解调、抽取

1、LFM信号产生参数：

B=5MHz，T=10us，f0=10MHz

DAC时钟频率100MHz

PRI=100us

2、LFM信号接收参数：

ADC时钟频率100MHz

正交解调本振10MHz

抽取因子10

**3、Matlab理论仿真：**

ADC和DAC的时钟频率都为100MHz，matlab中接收波形与发射波形相同，中频LFM参数为B=5MHz，T=10us，f0=10MHz，Matlab仿真得到的波形如下图所示。



正交解调本振为10MHz，采样率为100MHz，解调后的IQ波形如下，图为未经过低通滤波器的波形。



中频LFM信号经过正交本振后，信号为基带LFM和载频二倍频的LFM信号，需要利用低通滤波器将高频分量滤除，滤波器通带应大于2.5MHz，阻带应小于10Mhz，本设计通带为5MHz，阻带为6MHz，阶数为64阶，滤波器种类为FIR等波纹低通滤波器。滤波器响应如下图所示。



上述信号经过低通滤波器后，只剩下基带的LFM 信号，将得到的信号10倍抽取得到10MHz采样率的信号，IQ路波形如下：



**4、硬件实现**

1. 硬件平台：

硬件实现采用软件无限电实验平台—MFSS6842，平台如下图所示，FPGA芯片型号为Stratix II EP2S90F1020I4。



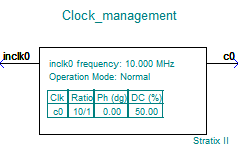
1. 硬件系统框图：

如下图所示，REF-CLK为10MHz系统参考时钟源，经过PLL倍频后作为FPGA各个模块的时钟源。将MATLAB 生成的中频LFM信号存储到ROM IP核的mif配置文件中，利用地址控制器address进行寻址，ROM 的输出即为中频LFM信号，此信号输出到DAC中，转换为模拟信号后与ADC相连，本设计DAC和ADC时钟都为100MHz，ADC采样后得到中频LFM信号，在经过数字下变频模块DDC将中频LFM信号变为基带LFM信号，并且经过10倍抽取，采样率降为10MHz，此时得到的IQ两路信号经过脉冲压缩模块（PC）得到匹配滤波后的IQ并将其求模后输出。

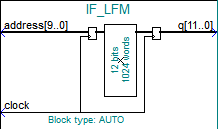


1. IP配置**：**

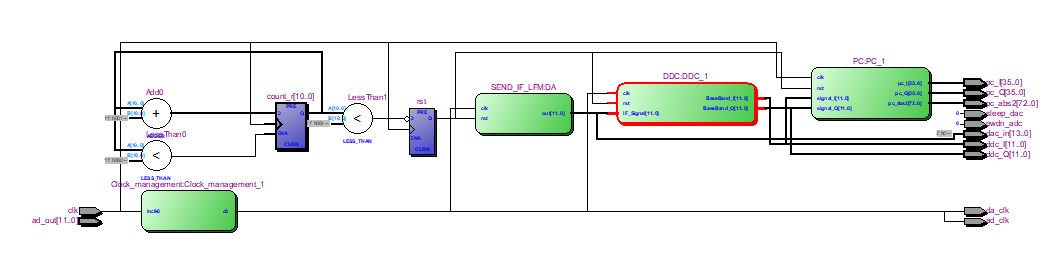
锁相环模块如下图所示，输出信号为10MHz参考时钟源inclk0，输出信号为100MHz时钟c0。



ROM IP如下图所示，深度为1024，故地址10位，输出信号为12位中频LFM信号。



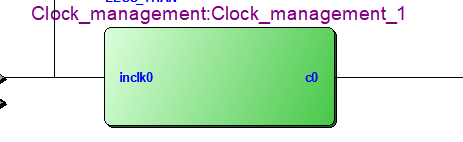
1. RTL级框图：



1. 主要模块：

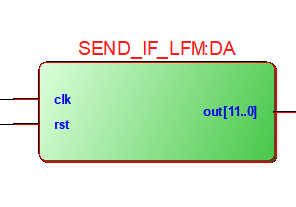
时钟管理模块：

此模块功能为为整个系统各个子模块提供时钟源，利用PLL IP核将10MHz参考时钟倍频得到120MHz时钟c0。



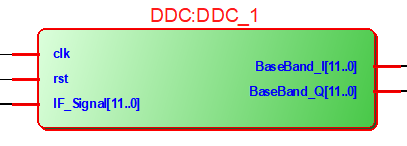
中频LFM发射模块：

此模块功能为产生时宽10us，带宽5MHz，采样率为100MHz，脉冲重复周期为100us的中频LFM信号。模块利用ROM IP核存储matlab生成的中频LFM信号。并通过周期为100us的计数器控制地址，当计数器在每个周期的0-10us内时，则输出为中频LFM信号。不在该时间段内则输出0，即得到脉冲重复周期为100us的中频LFM信号。clk为100MHz时钟输出端口，rst为复位信号，低电平时模块内部复位，各寄存器清零。

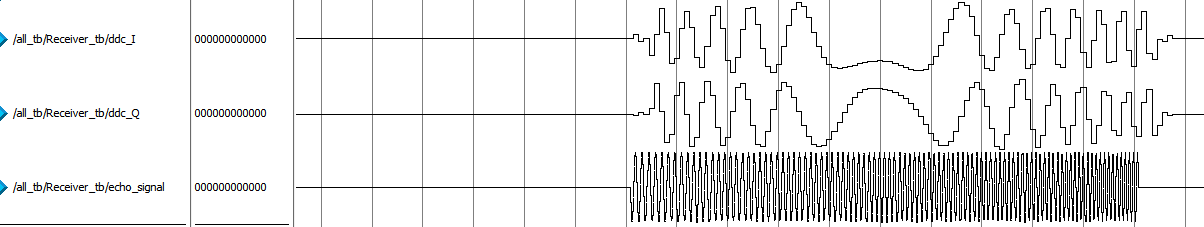


数字下变频模块：

此模块采用普通DDC结构，利用Matlab生成低通滤波器系数，将其存为模块内部常量。输入的中频信号IF\_Signal与本振相乘后再与滤波器系数做卷积，即可得到基带LFM信号，模块内本振产生方式与中频LFM发射模块类似，不同的是ROM中存储的是正弦数据，基带LFM信号在10倍抽取后输出基带IQ，即BaseBand\_I与BaseBand\_Q。此时输出信号的采样率为10MHz。rst为复位信号，低电平时模块内部复位，各寄存器清零。

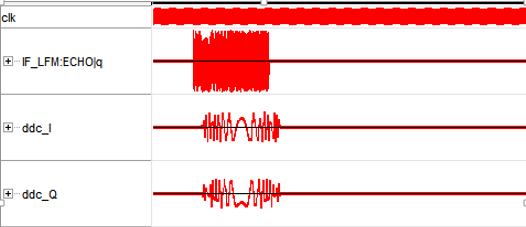


1. Modelsim仿真：

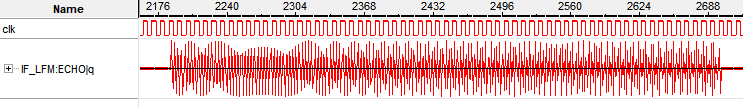


如上图所示，第三个波形为中频LFM信号，经过DDC模块后输出基带LFM IQ波形为第一个和第二个波形。

1. SignalTap仿真结果：



硬件仿真波形如上图所示，图中波形从上到下依次是中频LFM信号，DDC后的基带IQ信号



中频LFM信号放大后的图如上图所示。