**雷达信号产生与处理设计-硬件实验3**

**1.实验目的**

1. 熟悉MFSS6842平台的使用
2. 熟悉QuartusII的开发、调试、测试
3. LFM中频信号进行脉冲压缩

**2、实验内容**

1. LFM基带信号的产生
2. 匹配滤波
3. LFM信号产生参数：B=5MHz，T=10us ，PRI=100us

**3、Matlab理论仿真：**

产生的信号即为硬件实验2中最后10倍抽取得到的基带LFM 信号，采样率为10MHz。波形如下。



DDC后的信号需要进行脉冲压缩，脉冲压缩利用匹配滤波器原理，匹配滤波器的系数为基带LFM IQ信号的共轭。其波形如下图所示。



基带LFM信号经过匹配滤波器后，在I路信号重合后出现一个尖峰，得到一个窄时宽的高脉冲。如下图所示。



将上图两路信号求模后输出，得到波形如下图所示，即为匹配滤波器的输出信号。



**4、硬件实现**

1. 硬件平台：

硬件实现采用软件无限电实验平台—MFSS6842，平台如下图所示，FPGA芯片型号为Stratix II EP2S90F1020I4。



1. 硬件系统框图：

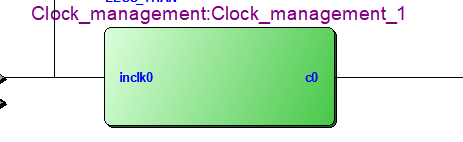
如下图所示，REF-CLK为10MHz系统参考时钟源，经过PLL倍频后作为FPGA各个模块的时钟源。将MATLAB 生成的中频LFM信号存储到ROM IP核的mif配置文件中，利用地址控制器address进行寻址，ROM 的输出即为中频LFM信号，此信号输出到DAC中，转换为模拟信号后与ADC相连，本设计DAC和ADC时钟都为100MHz，ADC采样后得到中频LFM信号，在经过数字下变频模块DDC将中频LFM信号变为基带LFM信号，并且经过10倍抽取，采样率降为10MHz，此时得到的IQ两路信号经过脉冲压缩模块（PC）得到匹配滤波后的IQ并将其求模后输出。



1. 主要模块：

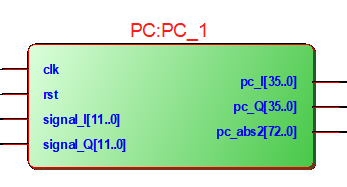
时钟管理模块：

此模块功能为为整个系统各个子模块提供时钟源，利用PLL IP核将10MHz参考时钟倍频得到120MHz时钟c0。

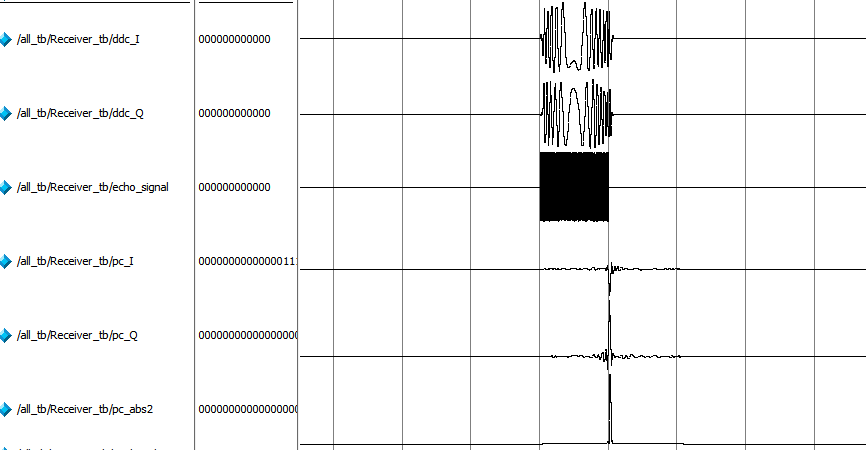


脉冲压缩模块：

脉冲压缩模块的时钟clk为降采样后的时钟，即为10MHz，signal\_I和signal\_Q为数字下变频后得到的基带LFM IQ信号，模块内部匹配器的系数为基带LFM IQ信号，用Matlab生成后存储在PC模块内，与输出信号卷积后得到PC\_I与PC\_Q,再将PC\_I和PC\_Q求模得到pc\_abs2。rst为复位信号，低电平时模块内部复位，各寄存器清零。

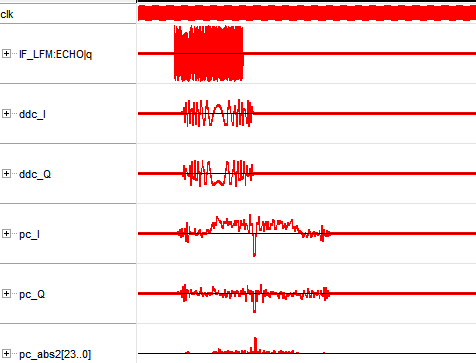


1. Modelsim仿真：



整体仿真波形如上图所示，图中波形从上到下依次是DDC后的基带IQ信号，中频LFM信号，匹配滤波后的IQ信号，匹配滤波后IQ信号的模。

1. SignalTap仿真结果：



硬件仿真波形如上图所示，图中波形从上到下依次是中频LFM信号，DDC后的基带IQ信号，匹配滤波后的IQ信号，匹配滤波后IQ信号的模。