



1. 初始态 d 为 0, clk 为 0, clr 为 1, 清零端有效, en 为 0, 使能端无效, wsel 为 0, rsel 为 0, 输出为 0, 符合预期
2. 10ns, d 变为 1, clr 变为 0, 清零端无效, en 变为 1, 使能端有效, clk 为 0, 时钟未生效, wsel, rsel 不变, 输出为 0, 符合预期
3. 15ns, clk 变为 1, 时钟生效, 输出为 1, 符合预期
4. 20ns, d 变为 2, clk 变为 0, 时钟未生效, wsel 和 rsel 变为 1, 输出变为 0, 符合预期, 后续直到 90ns, d, wsel, rsel 不断变化, 输出一直符合预期
5. 90ns, clr 变为 1, 清零端有效, en 为 0, 使能端无效, rsel 变为 0, 输出为 0, 符合预期, 后续直到 170ns, rsel 不断变化, 输出始终为 0, 符合预期