AACS Project Report

023039910034 徐浏凯

实验要求

本次课程项目要求设计时序逻辑神经网络加速器，基于实验1中所设计的乘累加单元，实现特定功能的神经网络推理。要求所设计神经网络加速器能够在一定周期内输出结算结果，并进行DC综合，神经网络计算周期数不定，系统计算周期为10ns。本项目不要求系统吞吐、功耗、能效、延时等指标。

电路设计

CORDIC算法原理分析

CORDIC算法计算的过程实质上是向量旋转的过程，如Fig. 1所示。原向量E(i)模长为R(i)，对应的横纵坐标分别为x(i)和y(i)；经过CORDIC算法旋转后的向量为E(i+1)，其模长为R(i+1)，对应的横纵坐标分别为x(i+1)和y(i+1)。由E(i)向E(i+1)旋转的角度为α(i)，两个向量的横纵坐标之间的关系如Fig. 2所示。

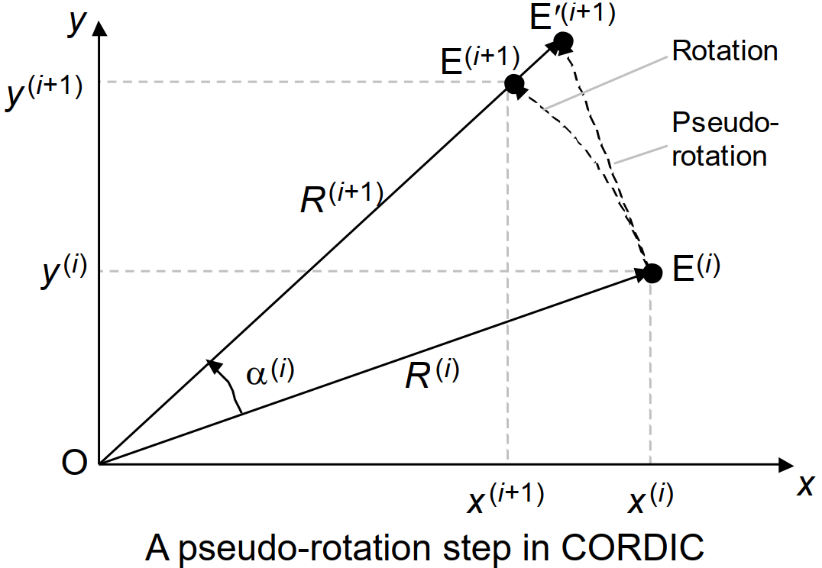


Figure CORDIC算法计算过程

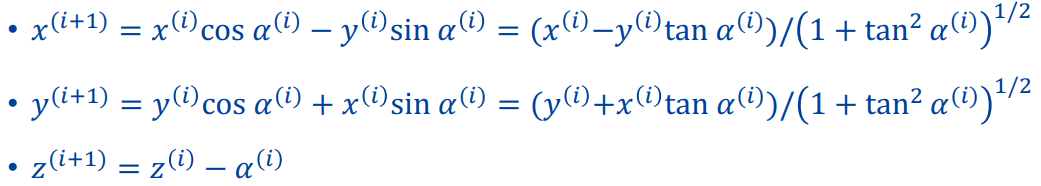


Figure CORDIC算法计算过程

对x(i+1)和y(i+1)的计算公式中，提取公因子cos(α)，能够将原公式转换为最右侧公式。此时，通过将cos(α)以tan(α)进行表示，可以将原公式中所有与α相关的正弦值和余弦值转化为tan(α)值。更进一步，选择部分tan(α)值固定为2的幂次的角度值α，并提出其中的(1+tan2(α))1/2参数(该参数为常数)，则Fig. 2中的公式可以进一步简化为Fig. 3中的伪CORDIC算法形式。

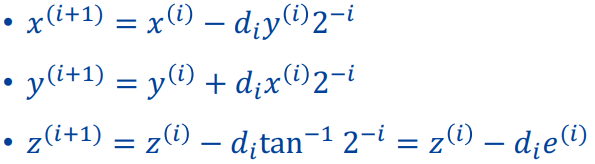
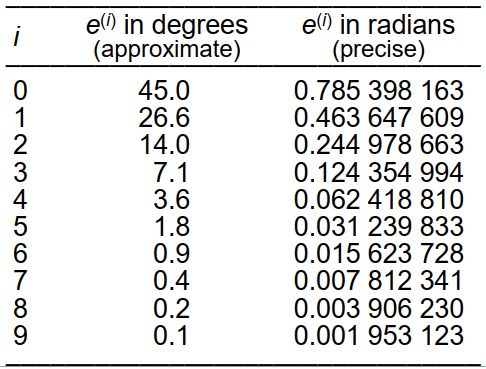


Figure 伪CORDIC算法计算过程

在向量旋转的过程中，若直接以90°向目标角度做垂线，则此时旋转后的向量的模长增加。伪CORDIC算法计算的过程就是与此类似的过程，在完成计算后，向量的模长会发生变化。

CORDIC算法在计算过程中会根据输入数据的特征选择对向量进行顺时针旋转或逆时针旋转。Table 1展示了CORDIC算法中旋转的角度值。通过顺时针或逆时针的多次向量旋转，将向量旋转至目标角度来完成sin值和cos值的计算。若最终向量的模长为1，则其本身所对应的x和y坐标即为所求的cos值和sin值。

Table CORDIC算法旋转角度值



然而，由于伪CORDIC算法中，向量模长会发生变化，因此需要在最后或者每一步的过程中通过除(1+tan2(α))1/2的方式来消除模长的变化。关于这一点，可以观察到(1+tan2(α))1/2系数的一个特征是，无论转动方向是顺时针还是逆时针，其值都是固定的。因此，通过固定CORDIC计算步骤数，即能够固定整体CORDIC算法计算过程中多个(1+tan2(α))1/2相乘的最终值。以角度值为0的向量作为起始向量，则可以通过调整起始向量的横轴坐标来完成常数的乘，避免对最后的计算结果做额外的乘法计算操作。

CORDIC电路设计方法

设计CORDIC算法电路单元输入输出情况如Fig. 4所示。输入信号包括时钟信号clk，复位信号rst\_n，开始信号start，目标16比特角度信号angle，输出16比特cos值信号cos，输出16比特sin值信号sin。

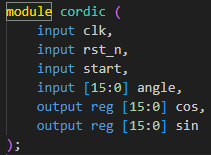


Figure CORDIC算法电路单元输入输出情况

CORDIC电路单元结构如Fig. 5所示。整体计算流程中，首先会在start信号拉高时对输入16比特角度信号angle进行采样，并保存在sampled angle reg中，同时初始化inner angle reg为0，并将cos值初始化为多个(1+tan2(α))1/2相乘的乘积结果的倒数，将sin值信号初始化为0（初始化起始角度为0），同时state信号同样会被初始化为0。当start信号拉低后，开始进行角度值sin和cos的计算，每个周期完成一个角度的旋转，通过inner angle reg中保存的当前角度值和sampled angle reg中保存的目标角度值进行比较来确定旋转的方向，比较结果同时控制inner angle reg值、sin和cos值加减计算过程。每个周期需要旋转的角度和对应的tan值由LUT进行输出。



Figure CORDIC算法电路单元

在乘加单元MAC unit中包含两个计算，首先将完成LUT输出的tanei值和对应的sin和cos值相乘，并根据比较结果决定后续计算执行加法或减法，若执行减法则需要将乘法结果转换为2的补的形式；之后再完成cos值和sin值的加减和更新。其中MAC单元中采用一个常规的乘法操作，通过一个计算阵列的形式来完成16比特和16比特的乘法。这样的乘法单元能够更好地适配多种不同的输入情况，对非2的指数次的tanei值也能够进行计算，具有更好的泛用性。MAC单元中的乘法单元的结构如下Fig. 6所示。



Figure MAC单元中的乘法器结构图

仿真结果

通过vivado工具对电路进行仿真测试，以输入30°和45°角作为激励，验证电路单元的功能正确性，具体testbench代码见附录。仿真时间长度为400ns，每200ns进行一次输入。输出波形结果如下图所示。

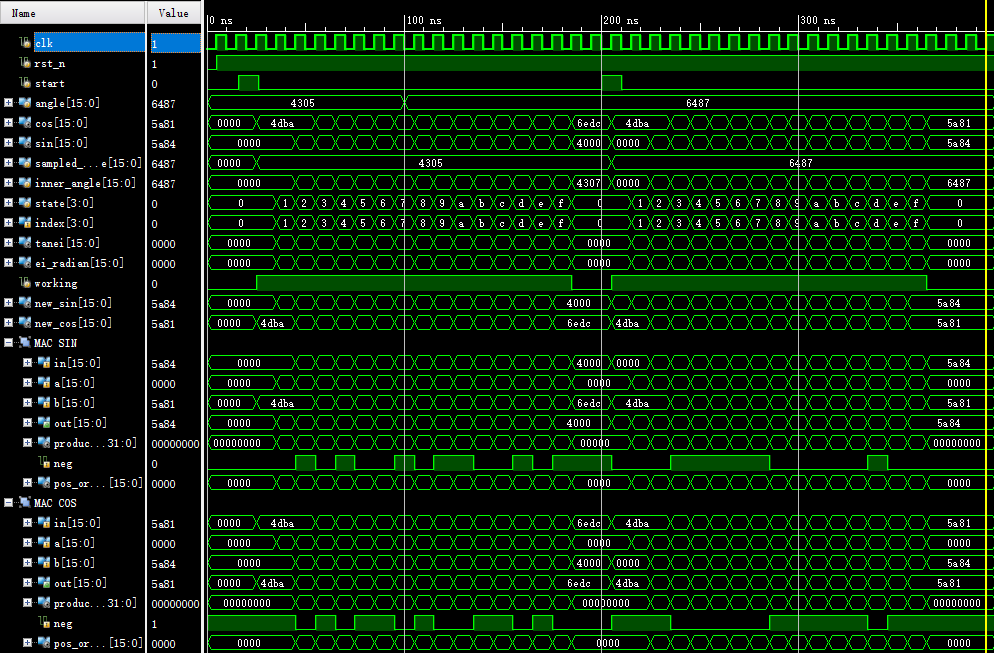


Figure Vivado仿真输出波形结果（30°和45°）

从图中可以看到，所编写的电路单元能够有效支持CORDIC算法的计算，能够正确输出对应sin值和cos值，完整计算延时为16个周期，即160ns。Working信号为工作信号，当该信号拉高时，表示正在计算，该信号被拉低后的输出才是最终的sin值和cos值的计算结果。

其中当输入为30°时，最终输出sin值为16‘h4000，输出cos值为16‘h6edc，考虑对应数据包含1位的整数位和15位的小数位，sin值16‘h4000和cos值16‘h6edc分别代表0.5和0.866089，相比精确值的误差分别为0.00000%和0.00734%。当输入为45°时，最终输出sin值为16‘h5a84，输出cos值为16‘h5a81，考虑对应数据包含1位的整数位和15位的小数位，sin值16‘h5a84和cos值16‘h5a81分别代表0.707153和0707062，相比精确值的误差分别为0.00654%和-0.00633%。

另一方面，观察中间数据结果，以30°计算过程为例，如下图所示。可以看到，在计算过程中，sin值和cos值逐渐趋近于最终的计算结果16‘h4000和16‘h6edc。随着计算过程中时钟周期的不断推进，最终输出计算结果sin值为精确结果，cos值最终输出结果为各个周期中误差结果最小的数据。但此时cos并不是16比特数据中最接近理想值的，最靠近理想值的是16‘h6eda，若继续迭代更多计算周期，同时提高LUT的数据表示位宽，可以使最终计算结果更趋近于理想值。

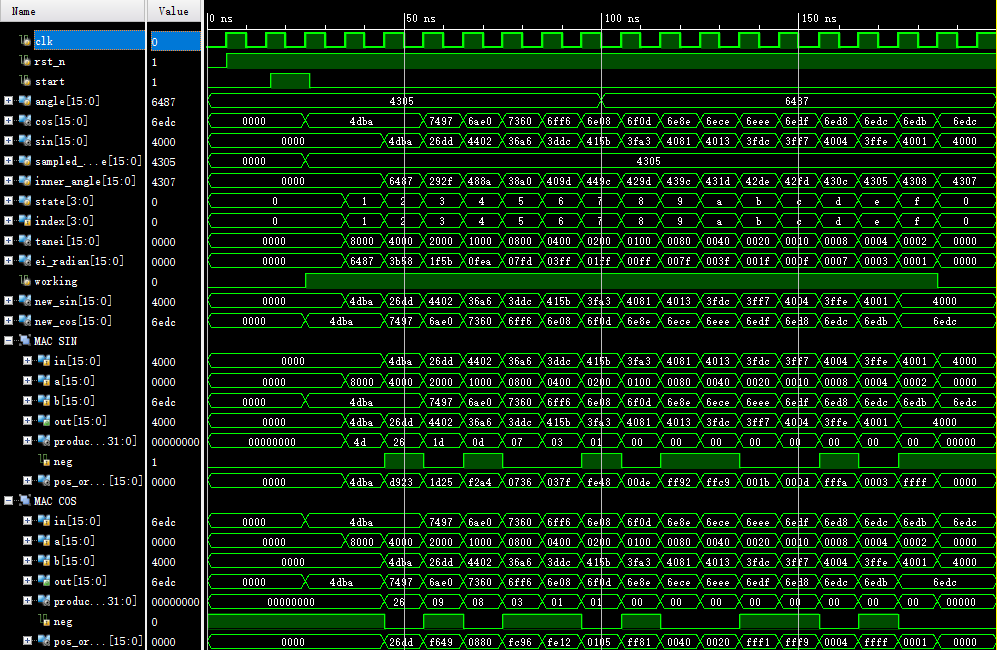


Figure vivado仿真输出详细波形结果（30°）

DC综合结果

对所编写的电路通过DC工具进行综合，功耗和面积结果如下表所示。详细DC输出文件见附件。

Table 2 Power and area of the proposed CORDIC unit

|  |  |  |
| --- | --- | --- |
|  | Power (uW) | Area (μm2) |
| Proposed CORDIC unit | 134.4940 | 2336.983098 |

由表可知，所设计的CORDIC计算单元功耗为134.4940uW，面积为2336.983098um2。其中，功耗部分，寄存器功耗为74.2504uW（占比55.21%），组合逻辑功耗为60.2436uW (占比44.79%)。面积部分，组合逻辑面积为1335.272581 um2，缓冲单元面积为44.221056 um2，非组合逻辑部分面积为491.006217 um2，互连线部分面积为510.704301 um2。

在时序上，输出slack为6.03ns，有足够的裕量进行计算。

Discussion

在单元设计之初曾考虑通过实时监测向量的变化，并在每一个周期都控制向量模长为1的方式。这种方式能够在输入的角度值正好等于部分角度组合的情况下提前输出计算结果，整体计算周期数不固定，但是这种情况在所有角度中的占比非常小，因此最后没有考虑这种方案，采用了固定周期数输出的方案。相比不固定周期数的输出方案，固定周期数的方案不需要每个周期保持输出向量模长相等，因此也不需要额外的LUT来输出每个周期不同的K值，能够在一定程度上降低整体电路的面积。、

Appendix

Testbench top\_tb.v

module top\_tb();

    reg clk;

    reg rst\_n;

    reg start;

    reg [15:0] angle;

    wire [15:0] cos;

    wire [15:0] sin;

    // clk

    initial begin

        clk = 1'b0;

        forever begin

            #5 clk = ~clk;

        end

    end

    initial begin

        rst\_n = 1'b0;

        #5 rst\_n = 1'b1;

    end

    initial begin

        start = 1'b0;

        #16 start = 1'b1;

        #10 start = 1'b0;

        #174 start =1'b1;

        #10 start=1'b0;

    end

    initial begin

        // pai/6, sin=0.5, cos=(3/4)^0.5

        angle = 16'b0100001100000101;

        #100

        // pai/4, sin=(2/4)^0.5, cos=(2/4)^0.5

        angle = 16'b0110010010000111;

    end

    cordic i\_cordic\_unit (

        .clk(clk),

        .rst\_n(rst\_n),

        .start(start),

        .angle(angle),

        .cos(cos),

        .sin(sin)

    );

endmodule

cordic.area.rpts

\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*

Report : area

Design : cordic

Version: O-2018.06-SP1

Date : Sun Dec 17 14:50:25 2023

\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*

Information: Updating design information... (UID-85)

Library(s) Used:

saed32rvt\_ss0p95v125c (File: /home/xuliukai/class/courses/lab2/lib/saed32rvt\_ss0p95v125c.db)

Number of ports: 51

Number of nets: 680

Number of cells: 584

Number of combinational cells: 515

Number of sequential cells: 69

Number of macros/black boxes: 0

Number of buf/inv: 34

Number of references: 30

Combinational area: 1335.272581

Buf/Inv area: 44.221056

Noncombinational area: 491.006217

Macro/Black Box area: 0.000000

Net Interconnect area: 510.704301

Total cell area: 1826.278797

Total area: 2336.983098

Hierarchical area distribution

------------------------------

Global cell area Local cell area

------------------ ----------------------------

Hierarchical cell Absolute Percent Combi- Noncombi- Black-

Total Total national national boxes Design

-------------------------------- --------- ------- --------- --------- ------ ---------

cordic 1826.2788 100.0 1335.2726 491.0062 0.0000 cordic

-------------------------------- --------- ------- --------- --------- ------ ---------

Total 1335.2726 491.0062 0.0000

1

cordic.power.rpts

\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*

Report : power

-analysis\_effort low

Design : cordic

Version: O-2018.06-SP1

Date : Sun Dec 17 14:50:25 2023

\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*

Library(s) Used:

saed32rvt\_ss0p95v125c (File: /home/xuliukai/class/courses/lab2/lib/saed32rvt\_ss0p95v125c.db)

Operating Conditions: ss0p95v125c Library: saed32rvt\_ss0p95v125c

Wire Load Model Mode: enclosed

Design Wire Load Model Library

------------------------------------------------

cordic 8000 saed32rvt\_ss0p95v125c

Global Operating Voltage = 0.95

Power-specific unit information :

Voltage Units = 1V

Capacitance Units = 1.000000ff

Time Units = 1ns

Dynamic Power Units = 1uW (derived from V,C,T units)

Leakage Power Units = 1pW

Cell Internal Power = 44.4892 uW (95%)

Net Switching Power = 2.5444 uW (5%)

---------

Total Dynamic Power = 47.0336 uW (100%)

Cell Leakage Power = 87.4604 uW

Internal Switching Leakage Total

Power Group Power Power Power Power ( % ) Attrs

--------------------------------------------------------------------------------------------------

io\_pad 0.0000 0.0000 0.0000 0.0000 ( 0.00%)

memory 0.0000 0.0000 0.0000 0.0000 ( 0.00%)

black\_box 0.0000 0.0000 0.0000 0.0000 ( 0.00%)

clock\_network 0.0000 0.0000 0.0000 0.0000 ( 0.00%)

register 39.8746 0.9615 3.3414e+07 74.2504 ( 55.21%)

sequential 0.0000 0.0000 0.0000 0.0000 ( 0.00%)

combinational 4.6147 1.5829 5.4046e+07 60.2436 ( 44.79%)

--------------------------------------------------------------------------------------------------

Total 44.4892 uW 2.5444 uW 8.7460e+07 pW 134.4940 uW

1

cordic.timing.rpts

\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*

Report : timing

-path full

-delay max

-max\_paths 1

Design : cordic

Version: O-2018.06-SP1

Date : Sun Dec 17 14:50:25 2023

\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*

Operating Conditions: ss0p95v125c Library: saed32rvt\_ss0p95v125c

Wire Load Model Mode: enclosed

Startpoint: inner\_angle\_reg[0]

(rising edge-triggered flip-flop clocked by clk)

Endpoint: inner\_angle\_reg[15]

(rising edge-triggered flip-flop clocked by clk)

Path Group: clk

Path Type: max

Des/Clust/Port Wire Load Model Library

------------------------------------------------

cordic 8000 saed32rvt\_ss0p95v125c

Point Incr Path

--------------------------------------------------------------------------

clock clk (rise edge) 0.00 0.00

clock network delay (ideal) 0.00 0.00

inner\_angle\_reg[0]/CLK (DFFARX1\_RVT) 0.00 0.00 r

inner\_angle\_reg[0]/Q (DFFARX1\_RVT) 0.17 0.17 f

U1568/Y (NAND2X0\_RVT) 0.05 0.22 r

U1569/Y (AO222X1\_RVT) 0.12 0.34 r

U1570/Y (AO222X1\_RVT) 0.14 0.48 r

U1571/Y (AO222X1\_RVT) 0.12 0.60 r

U1572/Y (AO222X1\_RVT) 0.14 0.75 r

U1573/Y (AO222X1\_RVT) 0.14 0.89 r

U1574/Y (AO222X1\_RVT) 0.12 1.01 r

U1575/Y (AO222X1\_RVT) 0.12 1.13 r

U1576/Y (AO21X1\_RVT) 0.05 1.18 r

U1577/Y (AO22X1\_RVT) 0.09 1.27 r

U1578/Y (AO222X1\_RVT) 0.14 1.40 r

U1579/Y (AO222X1\_RVT) 0.12 1.52 r

U1581/Y (AO221X1\_RVT) 0.09 1.61 r

U1582/Y (NAND3X0\_RVT) 0.09 1.70 f

U1583/Y (INVX0\_RVT) 0.13 1.83 r

U1584/Y (INVX0\_RVT) 0.14 1.97 f

U1624/Y (NAND2X0\_RVT) 0.08 2.05 r

U1627/Y (MUX21X1\_RVT) 0.11 2.16 r

U1633/Y (AO222X1\_RVT) 0.16 2.32 r

U1640/Y (AO222X1\_RVT) 0.15 2.47 r

intadd\_3/U4/CO (FADDX1\_RVT) 0.11 2.58 r

intadd\_3/U3/CO (FADDX1\_RVT) 0.10 2.68 r

intadd\_3/U2/CO (FADDX1\_RVT) 0.11 2.79 r

U1602/Y (AO222X1\_RVT) 0.15 2.94 r

U1677/CO (FADDX1\_RVT) 0.12 3.05 r

U1610/Y (AO222X1\_RVT) 0.16 3.21 r

U1615/Y (AO222X1\_RVT) 0.15 3.36 r

intadd\_2/U6/CO (FADDX1\_RVT) 0.11 3.47 r

intadd\_2/U5/CO (FADDX1\_RVT) 0.10 3.57 r

intadd\_2/U4/CO (FADDX1\_RVT) 0.10 3.67 r

intadd\_2/U3/CO (FADDX1\_RVT) 0.09 3.76 r

U1691/Y (XOR2X1\_RVT) 0.11 3.87 f

U1692/Y (AND2X1\_RVT) 0.05 3.92 f

inner\_angle\_reg[15]/D (DFFARX1\_RVT) 0.00 3.92 f

data arrival time 3.92

clock clk (rise edge) 10.00 10.00

clock network delay (ideal) 0.00 10.00

inner\_angle\_reg[15]/CLK (DFFARX1\_RVT) 0.00 10.00 r

library setup time -0.05 9.95

data required time 9.95

--------------------------------------------------------------------------

data required time 9.95

data arrival time -3.92

--------------------------------------------------------------------------

slack (MET) 6.03

1