

## PRIMERA ACTIVIDAD EVALUABLE

1: Asignatura: FUNDAMENTOS de SISTEMAS DIGITALES

2: Título de la Actividad:

Diseño, Implementación, Simulación y Validación de un Circuito en Lógica Combinacional

3: Datos personales:

- Nombre y Apellidos: Luis Miguel Barquillo Romero

- DNI: 04205030D

- Centro asociado: Talavera de la Reina

4: Código de la actividad que le ha correspondido realizar: A\_E\_1\_030

5: Enunciado.

Enunciado
<p>Disponemos de una palabra de 4 bits, <math>P(P_3 P_2 P_1 P_0)</math>, y de una señal adicional, <math>X</math>, con las que queremos controlar el funcionamiento de una Unidad Aritmético Lógica (ALU), pero la programación de la ALU no depende directamente de estas señales sino que depende de que el número de unos de la palabra <math>P</math> sea PAR o IMPAR junto con el valor "0" ó "1" de la variable <math>X</math>. Los datos de entrada sobre los que opera la ALU son dos palabras de 4 bits, <math>A(A_3 A_2 A_1 A_0)</math> y <math>B(B_3 B_2 B_1 B_0)</math>, y los criterios que se usan para controlar las operaciones que realiza la ALU sobre estas 2 palabras son los siguientes:</p> <p>a) Si la palabra es par y <math>x=1</math>, la ALU hace la operación aritmética sin acarreo <math>A PLUS AB</math>.</p> <p>b) Si la palabra es par y <math>x=0</math>, la ALU hace la operación lógica <math>A \oplus B</math>.</p> <p>c) Si la palabra es impar y <math>x=1</math>, la ALU hace la operación aritmética con arrastre <math>A PLUS 1</math>.</p> <p>d) Si la palabra es impar y <math>x=0</math> entonces la ALU debe ponerse a 1.</p> <p>Diseñe el circuito completo. Es decir, diseñe el circuito del codificador y úselo para que la ALU realice las operaciones especificadas.</p>

### SOLUCIÓN:

6: Diseño de los distintos bloques funcionales (para cada uno de los bloques debe presentar: la tabla de verdad teórica, las expresiones lógicas de las variables de salidas y explicar el diseño realizado).

El primer paso para nuestro proyecto consistirá en analizar el funcionamiento de la ALU especificada en la hoja de instrucciones de nuestra práctica, en este caso es la SN74181. Para ello, haremos una búsqueda de la tabla de especificaciones de la misma, encontrando de manera inmediata [documentación](#) de modelo fabricado por la empresa Texas Instruments.

Siguiendo la hoja de características proporcionada, encontramos la siguiente tabla que nos dicta qué entradas tenemos que aplicar para obtener las operaciones deseadas.

SELECTION				ACTIVE – HIGH DATA		
S3	S2	S1	S0	M = H LOGIC FUNCTIONS	M = L; ARITHMETIC OPERATIONS	
					C <sub>n</sub> = H (no carry)	C <sub>n</sub> = L (with carry)
L	L	L	L	$F = \bar{A}$	$F = A$	<b>F = A PLUS 1</b>
L	L	L	H	$F = \bar{A} + \bar{B}$	$F = A + B$	$F = (A + B) \text{ PLUS } 1$
L	L	H	L	$F = \bar{A}B$	$F = A + \bar{B}$	$F = (A + \bar{B}) \text{ PLUS } 1$
L	L	H	H	$F = 0$	$F = \text{MINUS } 1 \text{ (2's COMP)}$	$F = \text{ZERO}$
L	H	L	L	$F = \bar{A}\bar{B}$	$F = A \text{ PLUS } \bar{A}\bar{B}$	$F = A \text{ PLUS } \bar{A}\bar{B} \text{ PLUS } 1$
L	H	L	H	$F = \bar{B}$	$F = (A + B) \text{ PLUS } \bar{A}\bar{B}$	$F = (A + B) \text{ PLUS } \bar{A}\bar{B} \text{ PLUS } 1$
L	H	H	L	<b><math>F = A \oplus B</math></b>	$F = A \text{ MINUS } B \text{ MINUS } 1$	$F = A \text{ MINUS } B$
L	H	H	H	$F = A\bar{B}$	$F = A + \bar{B}$	$F = A\bar{B}$
H	L	L	L	$F = \bar{A} + B$	<b><math>F = A \text{ PLUS } AB</math></b>	$F = A \text{ PLUS } AB \text{ PLUS } 1$
H	L	L	H	$F = \bar{A} \oplus \bar{B}$	$F = A \text{ PLUS } B$	$F = A \text{ PLUS } B \text{ PLUS } 1$
H	L	H	L	$F = B$	$F = (A + \bar{B}) \text{ PLUS } AB$	$F = (A + \bar{B}) \text{ PLUS } AB \text{ PLUS } 1$
H	L	H	H	$F = AB$	$F = AB \text{ MINUS } 1$	$F = AB$
H	H	L	L	<b><math>F = 1</math></b>	$F = A$	$F = A \text{ PLUS } A \text{ PLUS } 1$
H	H	L	H	$F = A + \bar{B}$	$F = (A + B) \text{ PLUS } A$	$F = (A + B) \text{ PLUS } A \text{ PLUS } 1$
H	H	H	L	$F = A + B$	$F = (A + \bar{B}) \text{ PLUS } A$	$F = (A + \bar{B}) \text{ PLUS } A \text{ PLUS } 1$
H	H	H	H	$F = A$	$F = A \text{ MINUS } 1$	$F = A$

Hemos resaltado en nuestra tabla de especificaciones aquellas operaciones que habremos de realizar para nuestra práctica, lo que nos lleva al siguiente resumen operacional:

Criterio	Operación	S3	S2	S1	S0	M	C <sub>n</sub>
a)	A PLUS AB	H	L	L	L	L	H
b)	$A \oplus B$	L	H	H	L	H	X
c)	A PLUS 1	L	L	L	L	L	L
d)	1	H	H	L	L	H	X

Hecho esto, nuestro siguiente paso será el de implementar un circuito que analice la paridad de la palabra P(P3,P2,P1,P0).

Recordemos que la paridad PAR es aquella función cuyo resultado sea 0 cuando el número de bits a 1 en la entrada sea par, y 0 cuando sea impar.

Por tanto, y para una palabra P(P3,P2,P1,P0) de 4 bits, la tabla de la verdad sería la que sigue:

P3	P2	P1	P0	Paridad
0	0	0	0	0
0	0	0	1	1
0	0	1	0	1
0	0	1	1	0
0	1	0	0	1
0	1	0	1	0
0	1	1	0	0
0	1	1	1	1
1	0	0	0	1
1	0	0	1	0
1	0	1	0	0
1	0	1	1	1
1	1	0	0	0
1	1	0	1	1
1	1	1	0	1
1	1	1	1	0
A	B	C	D	F(A,B,C,D)

La función que representa esta tabla sería la siguiente:

$$F(P3,P2,P1,P0) = \overline{P3} \cdot \overline{P2} \cdot \overline{P1} \cdot \overline{P0} + \overline{P3} \cdot \overline{P2} \cdot \overline{P1} \cdot P0 + \overline{P3} \cdot \overline{P2} \cdot P1 \cdot \overline{P0} + \overline{P3} \cdot \overline{P2} \cdot P1 \cdot P0 + \overline{P3} \cdot P2 \cdot \overline{P1} \cdot \overline{P0} + \overline{P3} \cdot P2 \cdot \overline{P1} \cdot P0 + \overline{P3} \cdot P2 \cdot P1 \cdot \overline{P0} + \overline{P3} \cdot P2 \cdot P1 \cdot P0$$

Si intentamos simplificar dicha función utilizando una tabla de Karnaugh, obtendremos el siguiente resultado:

	P3P2	P3P2	P3P2	P3P2
P1P0	0	1	0	1
P1P0	1	0	1	0
P1P0	0	1	0	1
P1P0	1	0	1	0

La tabla nos indica que la función es irreducible, pero sabemos que la equivalencia a esta función es la de aplicar la operación XOR sobre los 4 bits de entrada, de modo que podríamos simplificar de la siguiente manera:

$$\lambda = F(P3,P2,P1,P0) = P3 \oplus P2 \oplus P1 \oplus P0$$

En adelante, al resultado de la función anterior lo llamaremos  $\lambda$  (**lambda**) para simplificar.

De este modo, si volvemos a la tabla anterior de nuestro resumen operacional, y aplicando las condiciones de criterio que nos solicitan obtenemos el siguiente resultado:

$\lambda$	X	Operación	S3	S2	S1	S0	M	C <sub>n</sub>
0	1	A PLUS AB	1	0	0	0	0	1
0	0	$A \oplus B$	0	1	1	0	1	-
1	1	A PLUS 1	0	0	0	0	0	0
1	0	1	1	1	0	0	1	-

Visto esto, ya podemos obtener las funciones simplificadas que aplicaremos para cada uno de los pines de nuestra ALU, que serán las siguientes:

$$S3 = \bar{\lambda}X + \lambda\bar{X} = \lambda \oplus X$$

$$S2 = \bar{\lambda}X + \lambda\bar{X} = \bar{X}$$

$$S1 = \bar{\lambda}X$$

$$S0 = 0$$

$$M = \bar{\lambda}X + \lambda\bar{X} = \bar{X}$$

$$\bar{C}_n = \bar{\lambda}X = \bar{\lambda} \quad (*)$$

(\*) Teniendo en cuenta que en el segundo caso el valor de  $\bar{C}_n$  se ignorará, podemos obviar la variable X, en favor de simplificar solamente según el resultado  $\lambda$  de la paridad de la palabra P.

**7: Implementación de cada uno de los bloques funcionales en el simulador** (para cada uno de los bloques debe presentar: el esquema, el cronograma resultante y la verificación de que su funcionamiento es el deseado).

El circuito lo veremos por partes. En primer lugar, nuestro circuito de análisis de paridad, que, debido a la aplicación de la propiedad conmutativa, podemos construirlo de 2 formas:

Forma 1: 3 operadores XOR en serie

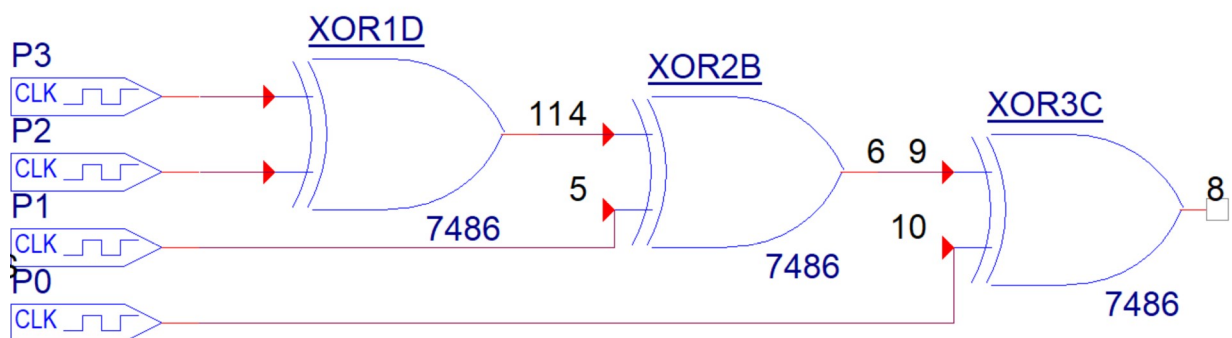


Figura 1:  $F(P3, P2, P1, P0) = ((P3 \oplus P2) \oplus P1) \oplus P0$

Forma 2: 2 operadores XOR en paralelo + 1 XOR en serie.

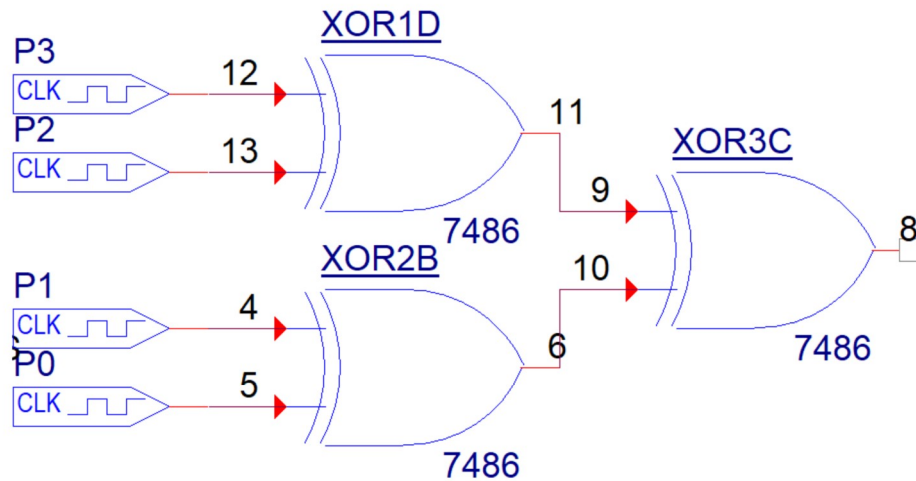


Figura 2:  $F(P3,P2,P1,P0) = (P3 \oplus P2) \oplus (P1 \oplus P0)$

Aunque el resultado de ambos sea el mismo, la segunda forma opera de manera más rápida, dado que las dos primeras operaciones las realiza en paralelo, por lo que reduce el tiempo de respuesta en lo que tarda una puerta lógica en proporcionar su resultado. De modo que elegiremos para nuestra práctica la forma expresada en la Figura 2.

Este es el resultado de la simulación de nuestro controlador de paridad:

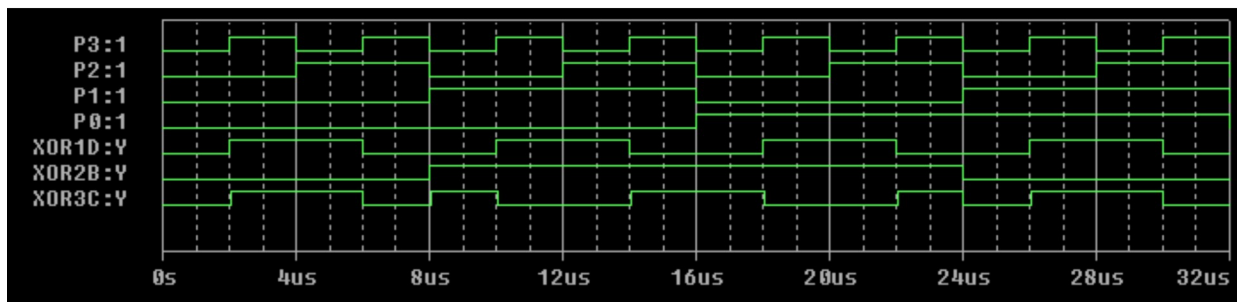


Figura 3: Resultado simulación detector de paridad.

Visto esto, vamos a realizar el montaje completo de nuestro circuito hasta llegar a la entrada de nuestra ALU.

Ahora contamos con un tercer reloj, correspondiente al valor de la señal X adicional, una entrada LO, la propia ALU y los componentes necesarios para la ejecución de las funciones que antes se detallaron.

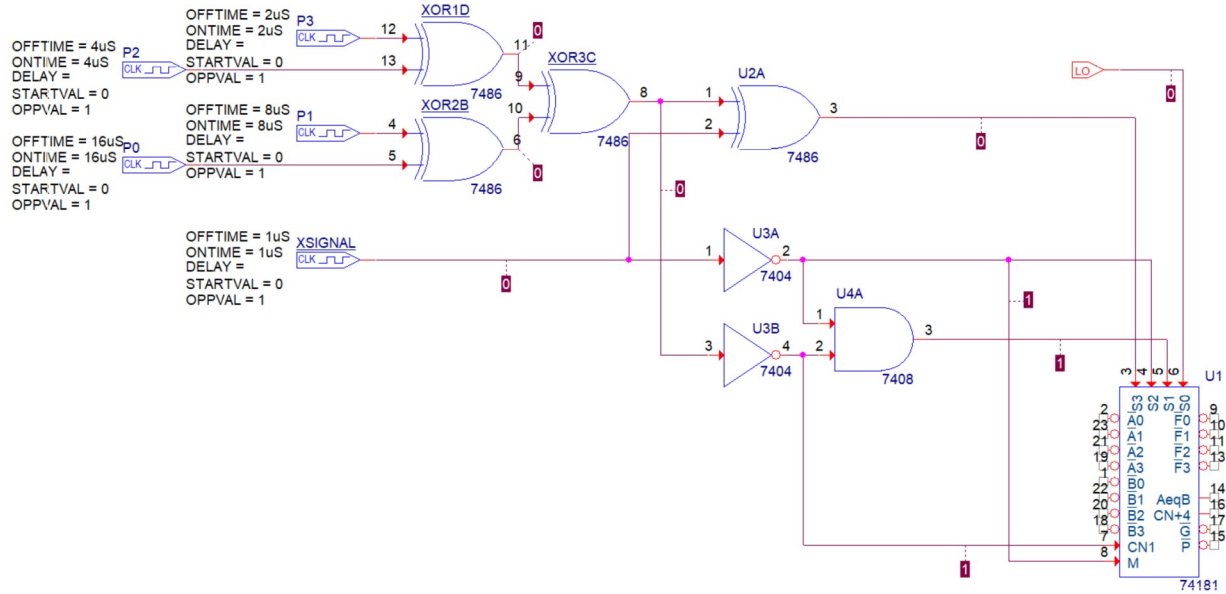


Figura 4: Aplicación de las funciones a las entradas  $S3$ ,  $S2$ ,  $S1$ ,  $S0$ ,  $M$  y  $\overline{C_n}$  del ALU

Y el resultado de la simulación de este circuito sería el siguiente:

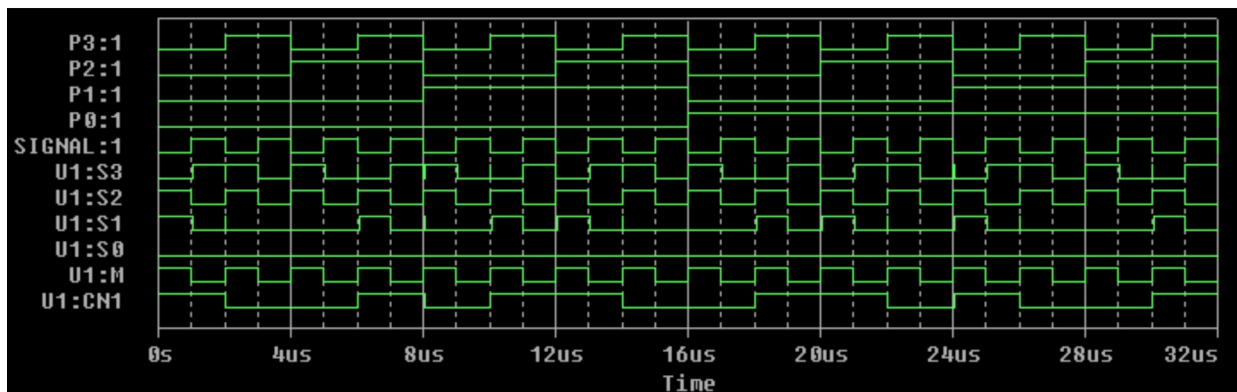


Figura 5: Resultado de la simulación sobre los pines  $S3$ ,  $S2$ ,  $S1$ ,  $S0$ ,  $M$  y  $\overline{C_n}$

Podemos notar en esta simulación algunos retrasos causados por el tiempo de respuesta en la salida de los distintos componentes. Estos retrasos son casi inapreciables y se despreciará su influencia en el resultado.

**8: Descripción de los parámetros usados en la implementación final de cada bloque** *(debe presentar los tiempos de los generadores de pulsos que ha usado para probar cada uno de los circuitos).*

Para las entradas de nuestra palabra de control de 4 bits hemos utilizado cuatro elementos DigClock a los que hemos dado tiempos de 2, 4, 8 y 16uS respectivamente, mientras que la señal adicional X utilizará un tiempo de 1uS. Estas diferencias nos permitirán apreciar todas las posibilidades en cualquiera de las combinaciones dadas durante un intervalo de 32uS que hemos aplicado a toda la simulación.

Por otra parte, usaremos una entrada LO para conectarla directamente al pin S0 de nuestro ALU, dado que este pin, en cualquiera de las operaciones que vayamos a realizar, debe tener un valor constante de 0.

Por último, y para realizar las pruebas del siguiente apartado, utilizaremos una colección de entradas HI y LO para simular los valores de A, B y P en base a las verificaciones que nos solicitan.

**9: Implementación del circuito completo en el simulador** *(debe unir todos los bloques y presentar: el esquema, el cronograma resultante y la verificación de que la ALU realiza las operaciones pedidas de acuerdo con las condiciones de control).*

*Para esta verificación debe usar las siguientes palabras:*

$P(P3 P2 P1 P0) = (1011)$  con  $X=0$  y con  $X=1$

$P(P3 P2 P1 P0) = (1010)$  con  $X=0$  y con  $X=1$

*Y como datos de entrada sobre los que opera la ALU las palabras:*

$A(A3 A2 A1 A0) = (1011)$

$B(B3 B2 B1 B0) = (0110)$

La unión de bloques y circuito completo ya fueron implementados en el punto 7 de este proyecto, por lo que ahora nos centraremos en la realización de tests y verificación de un correcto resultado.

Para la realización de las pruebas propuestas, vamos a sustituir nuestros DigClock por combinaciones de entradas HI y LO, de modo que tendremos los valores constantes que nos solicita cada una de las pruebas.

A continuación mostraremos el circuito adaptado para cada uno de los test que realizaremos, con voltímetros colocados en las entradas y a la salida de la ALU para poder identificar correctamente los valores en la gráfica resultante.

**TEST 1:**

$P(P3, P2, P1, P0) = (1011)$	$X = 0$
$A(A3, A2, A1, A0) = (1011)$	$B(B3, B2, B1, B0) = (0110)$
Resultado esperado: $F = 1$ (1111)	

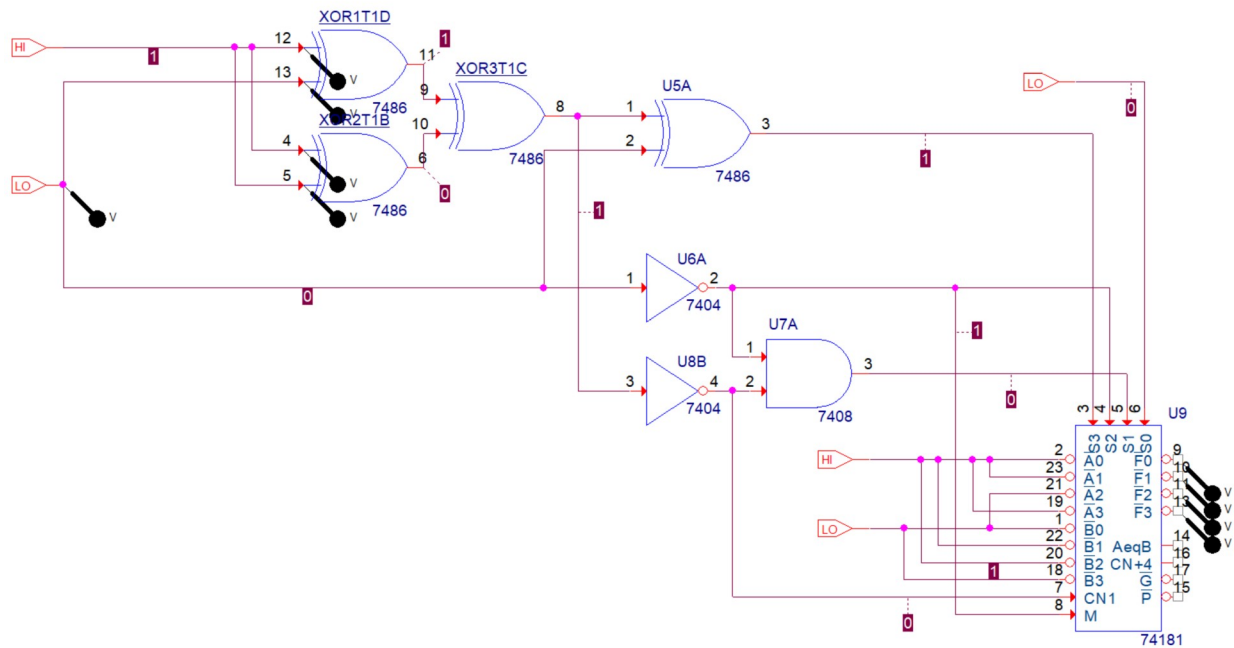


Figura 6: TEST 1:  $P(P3,P2,P1,P0) = (1011)$ ;  $X = 0$

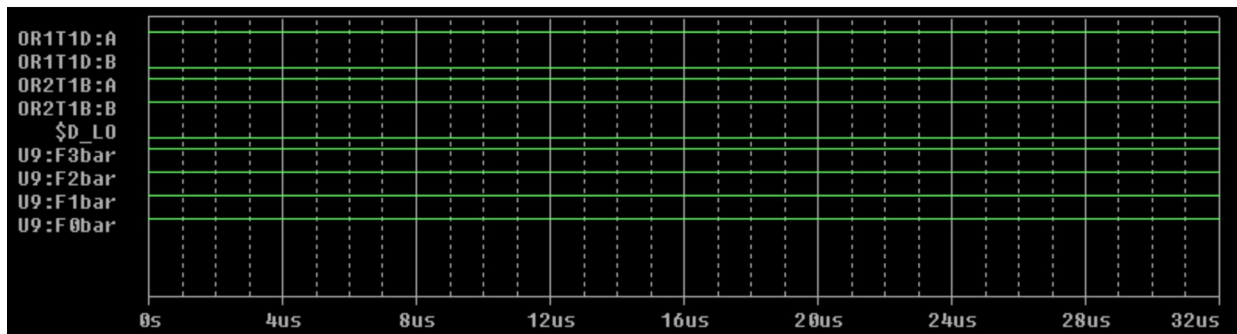


Figura 7: Resultado TEST 1

Leyenda	Entrada	Valor	Leyenda	Salida	Valor
OR1T1D:A	Entrada P3	1	U9:F3bar	Salida ALU F3	1
OR1T1D:B	Entrada P2	0	U9:F2bar	Salida ALU F2	1
OR2T1B:A	Entrada P1	1	U9:F1bar	Salida ALU F1	1
OR2T1B:B	Entrada P0	1	U9:F0bar	Salida ALU F0	1
\$D_LO	Entrada Señal X	0	TEST REALIZADO CON ÉXITO		



**TEST 2:**

$P(P3, P2, P1, P0) = (1011)$	$X = 1$
$A(A3, A2, A1, A0) = (1011)$	$B(B3, B2, B1, B0) = (0110)$
Resultado esperado: $F = A \text{ PLUS } 1 (1100)$	

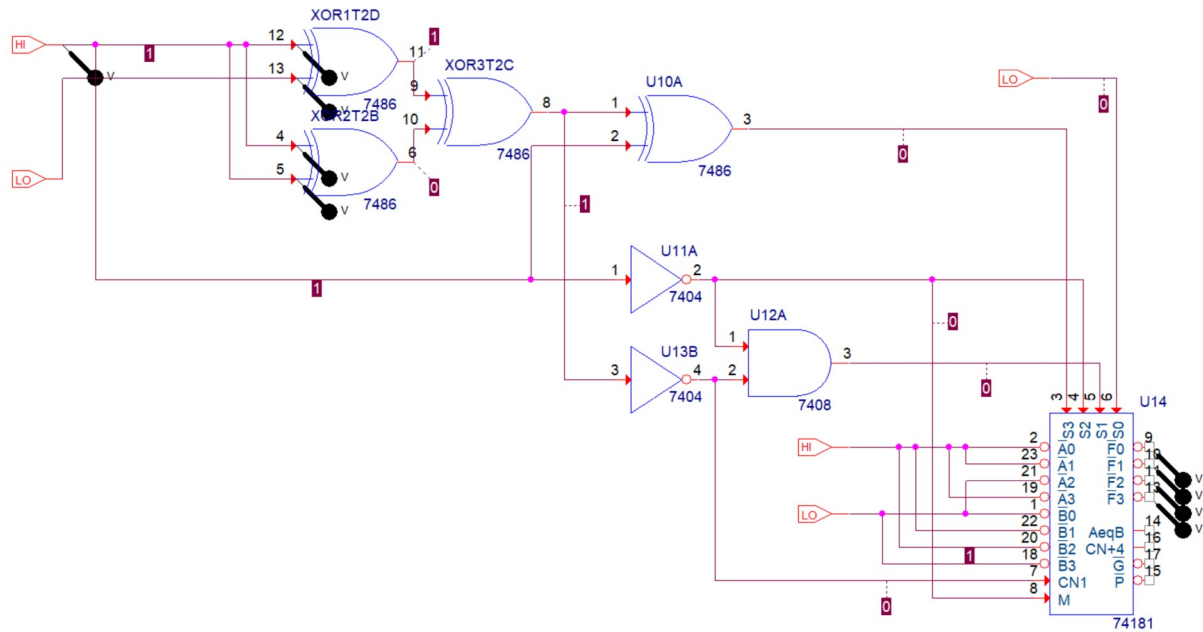


Figura 8: TEST 2:  $P(P3, P2, P1, P0) = (1011)$ ;  $X = 1$

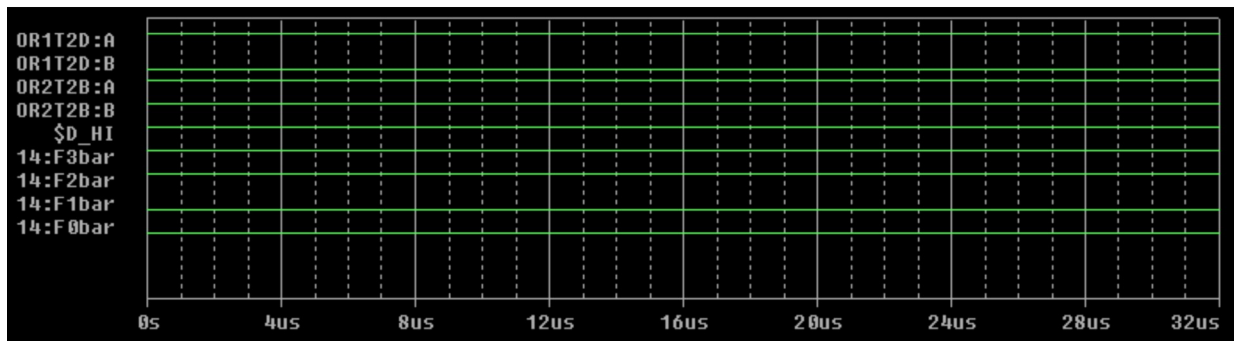


Figura 9: Resultado TEST 2

Leyenda	Entrada	Valor	Leyenda	Salida	Valor
OR1T2D:A	Entrada P3	1	14:F3bar	Salida ALU F3	1
OR1T2D:B	Entrada P2	0	14:F2bar	Salida ALU F2	1
OR2T2B:A	Entrada P1	1	14:F1bar	Salida ALU F1	0
OR2T2B:B	Entrada P0	1	14:F0bar	Salida ALU F0	0
\$D_HI	Entrada Señal X	1	TEST REALIZADO CON ÉXITO		

**TEST 3:**

$P(P_3, P_2, P_1, P_0) = (1010)$	$X = 0$
$A(A_3, A_2, A_1, A_0) = (1011)$	$B(B_3, B_2, B_1, B_0) = (0110)$
Resultado esperado: $F = A \oplus B$ (1101)	

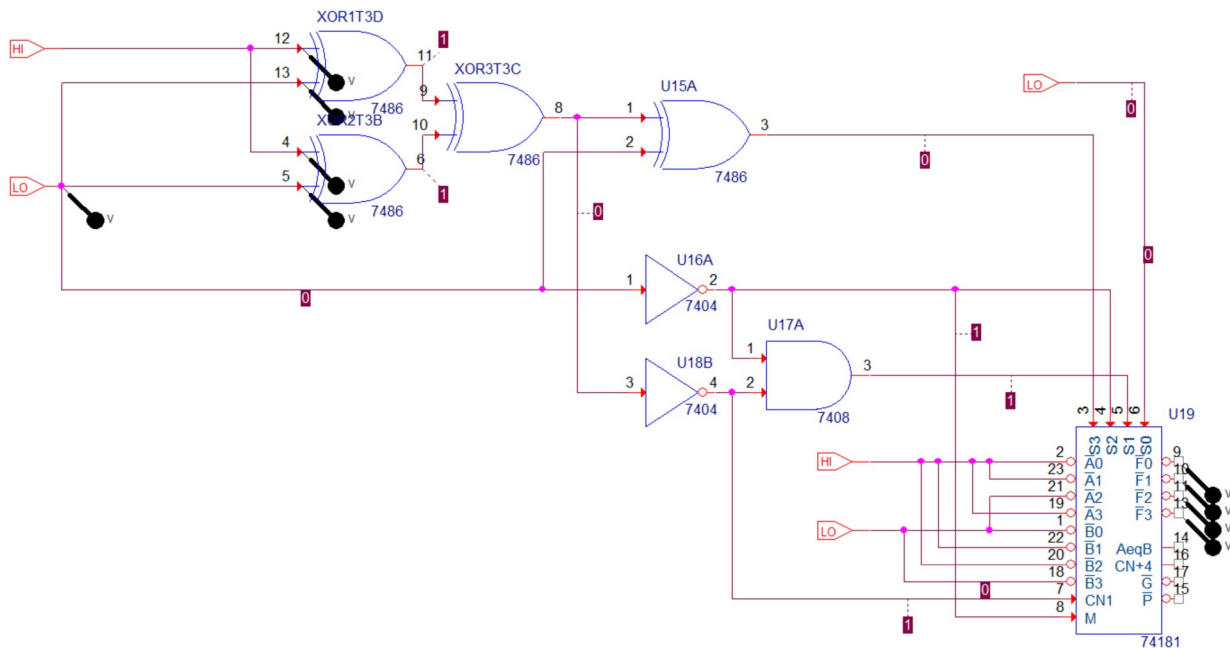


Figura 10: TEST 3:  $P(P_3, P_2, P_1, P_0) = (1010)$ ;  $X = 0$

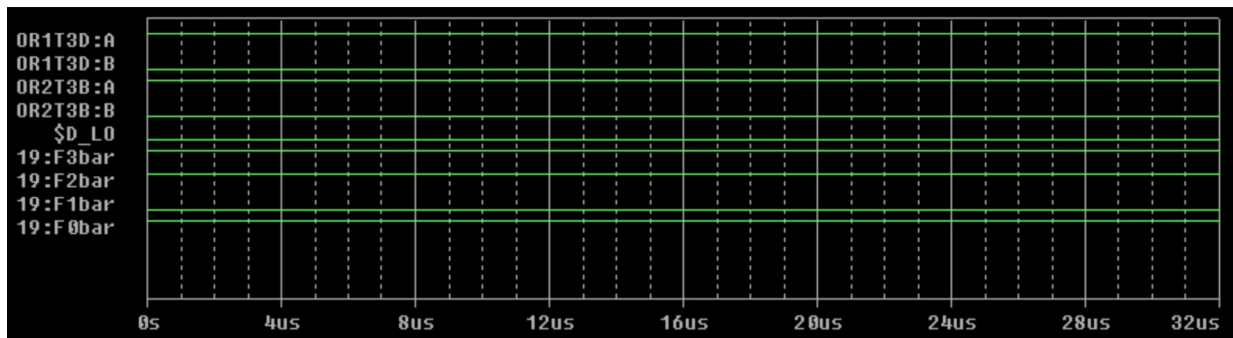


Figura 11: Resultado TEST 3

Leyenda	Entrada	Valor	Leyenda	Salida	Valor
OR1T3D:A	Entrada P3	1	19:F3bar	Salida ALU F3	1
OR1T3D:B	Entrada P2	0	19:F2bar	Salida ALU F2	1
OR2T3B:A	Entrada P1	1	19:F1bar	Salida ALU F1	0
OR2T3B:B	Entrada P0	0	19:F0bar	Salida ALU F0	1
\$D_LO	Entrada Señal X	0	TEST REALIZADO CON ÉXITO		

**TEST 4:**

$P(P3, P2, P1, P0) = (1010)$	$X = 1$
$A(A3, A2, A1, A0) = (1011)$	$B(B3, B2, B1, B0) = (0110)$
Resultado esperado: $F = A \text{ PLUS } AB (1101)$	

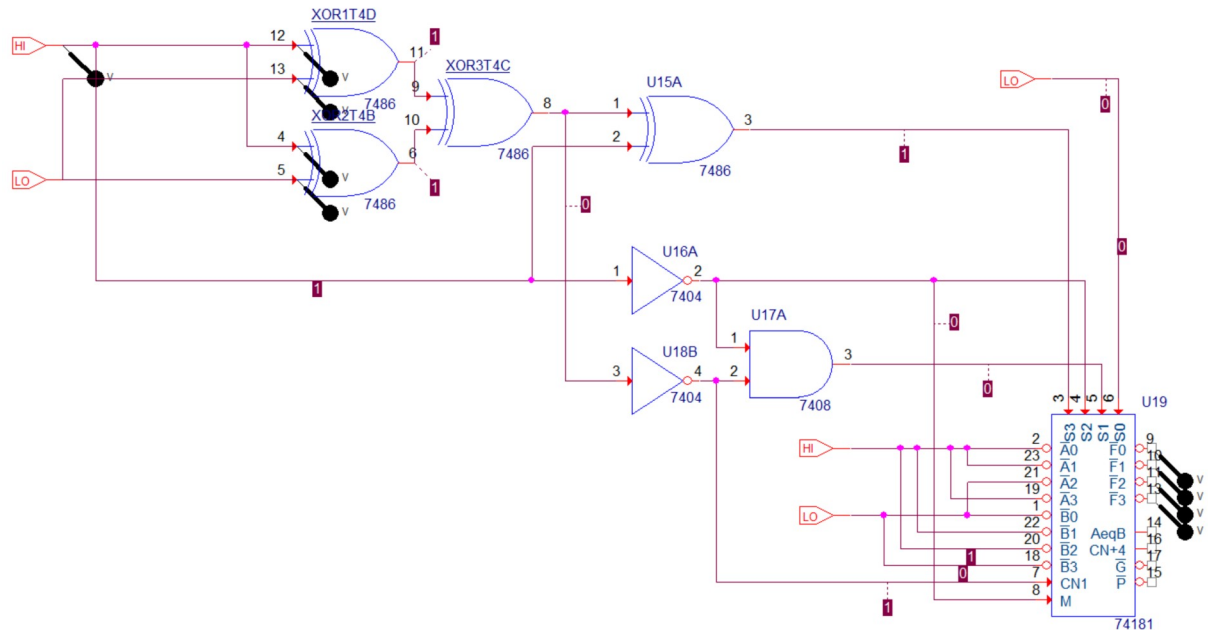


Figura 12: TEST 4:  $P(P3,P2,P1,P0) = (1010)$ ;  $X = 1$

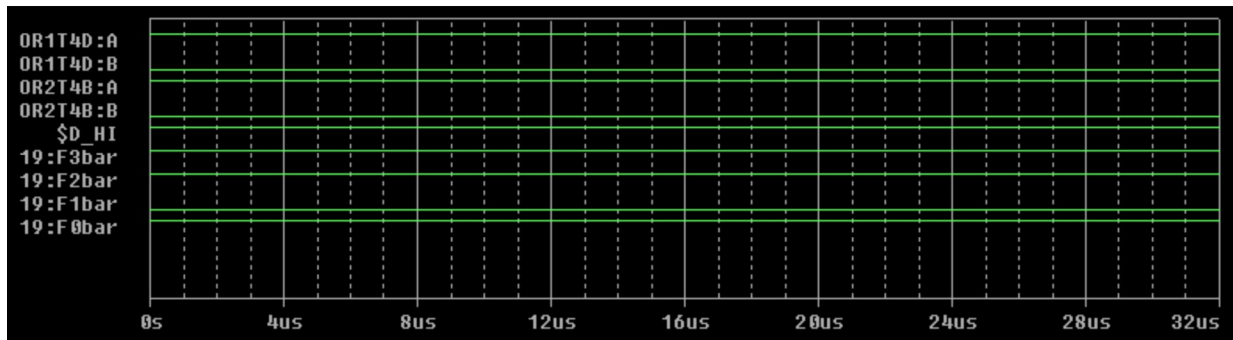


Figura 13: Resultado TEST 4

Leyenda	Entrada	Valor	Leyenda	Salida	Valor
OR1T4D:A	Entrada P3	1	19:F3bar	Salida ALU F3	1
OR1T4D:B	Entrada P2	0	19:F2bar	Salida ALU F2	1
OR2T4B:A	Entrada P1	1	19:F1bar	Salida ALU F1	0
OR2T4B:B	Entrada P0	0	19:F0bar	Salida ALU F0	1
\$D_HI	Entrada Señal X	1	TEST REALIZADO CON ÉXITO		

**10: Comentarios:** *Explique los problemas/dificultades encontrados y la forma y procedimiento por el que los ha resuelto.*

El único problema con el que me topé durante el desarrollo de esta práctica fue que en la documentación de Texas Instruments sobre la ALU 74181 aparecían 2 tablas de combinaciones distintas, según se realice la activación por High o por Low, y desconocía cuál de ellas se correspondía con la que implementa el simulador.

Supuse, desde el primer momento que, dado que en la primera tabla no aparecía una de las operaciones que se solicitan en esta práctica (A PLUS AB), que sería la segunda la correcta, pero debía asegurarme de ello.

Para resolver mi duda, lo que hice fue simular la siguiente operación en OrCAD:

S3	S2	S1	S0	M	Cn
H	H	L	L	H	-

Esto es debido a que en una de las tablas el resultado debería dar (0000) y en la otra el opuesto (1111).

Como el resultado obtenido en el simulador fue  $F = 1$ , confirmé que la tabla correcta de la documentación es la segunda.

---

---