

# Experimento 10

## CONTADOR SÍNCRONO

Lucas Mafra Chagas, 12/0126443

Marcelo Giordano Martins Costa de Oliveira, 12/0037301

<sup>1</sup>Dep. Ciência da Computação – Universidade de Brasília (UnB)  
CiC 116351 - Circuitos Digitais - Turma C

{giordano.marcelo, chagas.lucas.mafra}@gmail.com

**Abstract.** *In this experiment, we will develop a 3-stage progressive synchronous counter using JK flip-flops.*

**Resumo.** *Nesse experimento, iremos desenvolver um contador síncrono progressivo de 3 estágios utilizando flip-flops JK.*

### Objetivos

Estudo de contadores síncrono e do método de síntese de circuitos sequenciais síncronos, utilizando flip-flops de vários tipos. É feito o projeto e montagem de um contador de 3 estágios com uma certa sequência de contagem, utilizando-se flip-flops JK.

### Materiais

- software Quartus-II
- Kit de desenvolvimento DE2 com FPGA Altera Cyclone II.

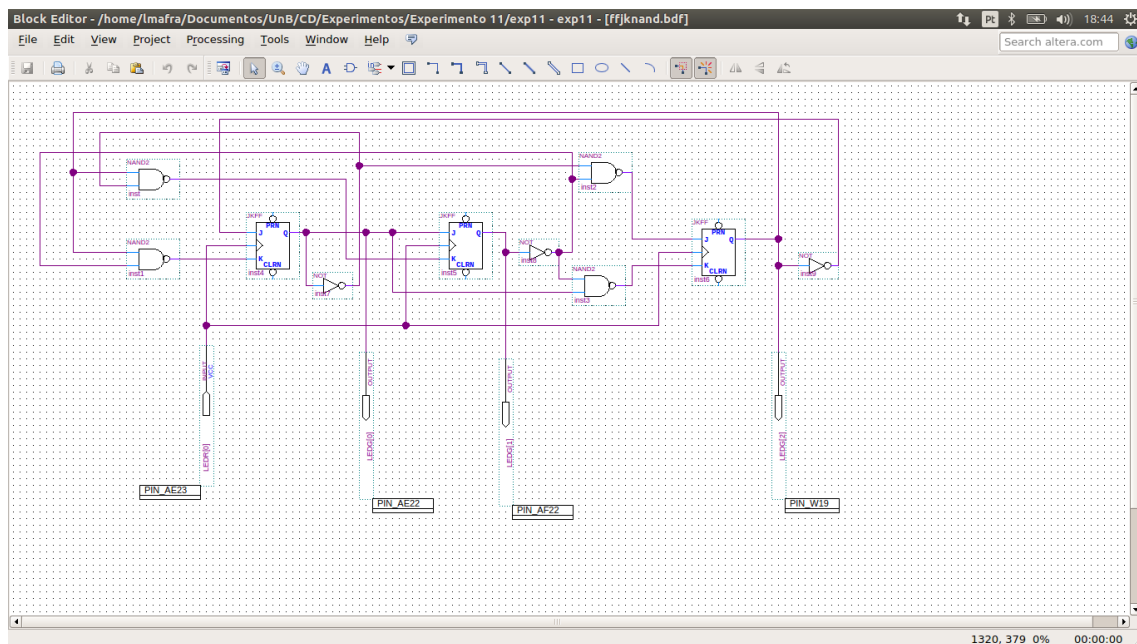
### Introdução

Um contador síncrono é um circuito cujos clocks dos flip-flops vêm de uma mesma fonte, ou seja, as entradas de clock de todos os flip-flops estão conectados a uma mesma entrada do circuito. Para projetar um contador síncrono, podemos utilizar a tabela de transições do flip-flop JK, que nos diz quais devem ser os valores nas entradas J e K para cada transição de valores na saída quando é dado um pulso de clock. Montando a tabela dos valores nas saídas dos flip-flops de acordo com a sequência de pulsos de clock, é possível criar uma tabela de transições de valores para cada uma das saídas. Com estas tabelas de transições, é possível fazer um mapa de Karnaugh para entradas J e K de cada um dos flip-flops, em função das saídas  $Q_i$  dos mesmos, de modo que podemos projetar o contador síncrono.

### Procedimentos

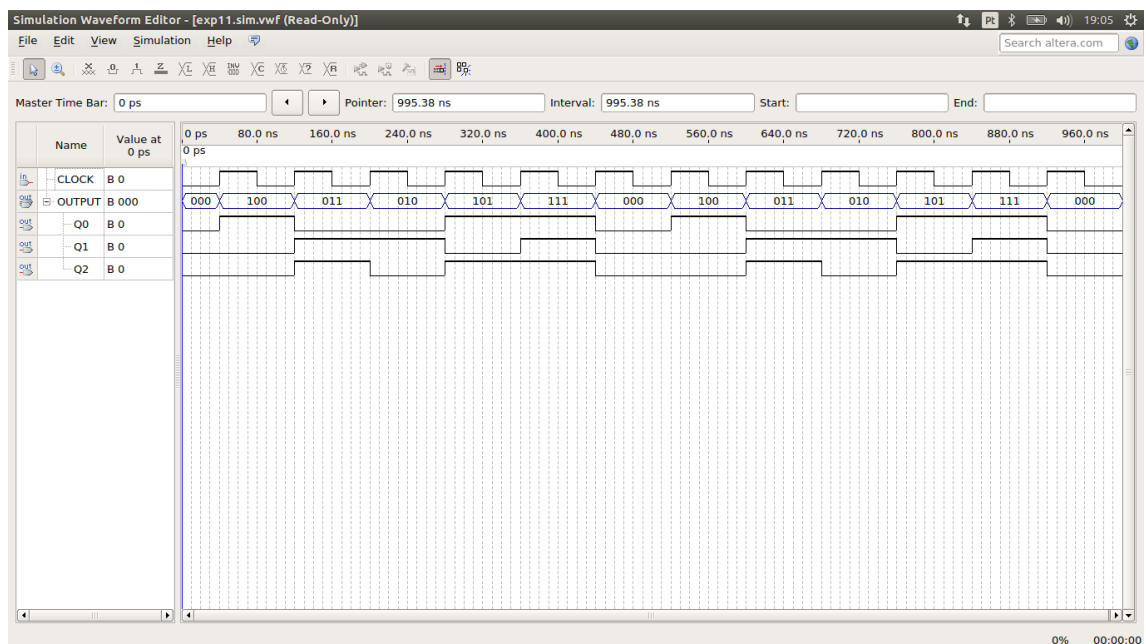
Foi implementado no Quartus II um contador síncrono progressivo de módulo 6 que conte segundo a sequência abaixo:

Sequência	Q0	Q1	Q2
0	0	0	0
1	1	0	0
2	0	1	1
3	0	1	0
4	1	0	1
5	1	1	1

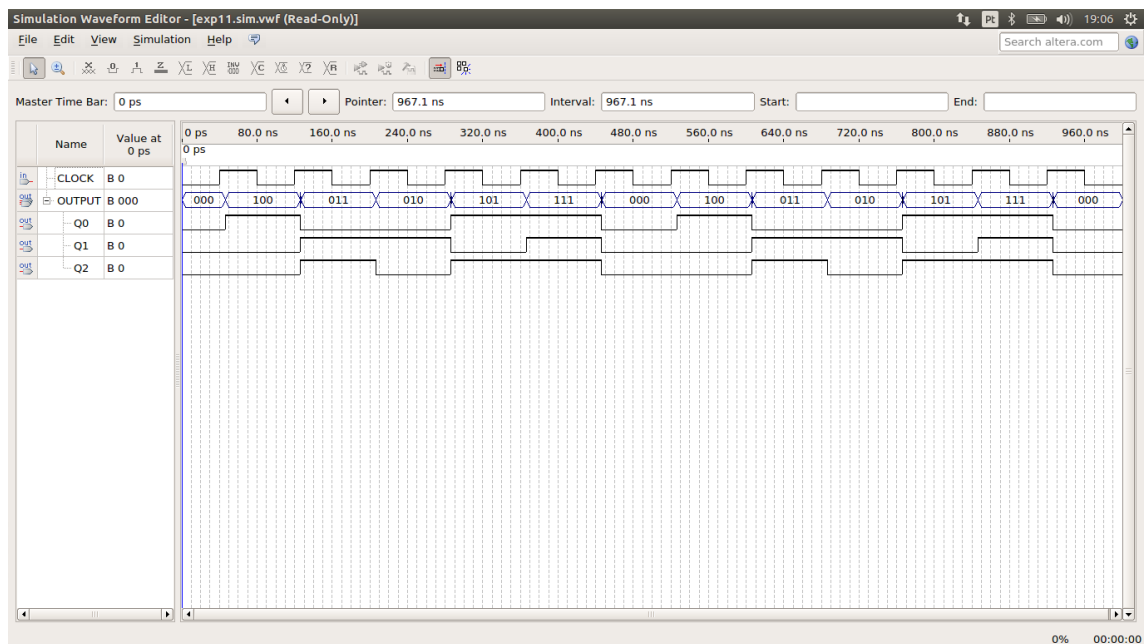


**Figure 1. Contador síncrono progressivo de módulo 6 desenvolvido no Quartus II.**

Foi realizado a simulação funcional e temporal do contador.



**Figure 2. Simulação funcional do Contador síncrono progressivo de módulo 6.**



**Figure 3. Simulação temporal do Contador síncrono progressivo de módulo 6.**

Por fim, sintetizamos o no FPGA do kit de desenvolvimento DE2 e filmamos o seu funcionamento.

É possível ver o resultado no seguinte link: [Vídeo no Youtube](#).

## **Análise dos Resultados**

### **Conclusão**

Foi possível perceber o funcionamento dos contadores síncronos, bem como os circuitos sequenciais síncronos, usando flip-flop. Foi possível também perceber a existência de Deadlocks, bem como simplificações do circuito pelo mapa de Karnaugh. O contador com os estados inválidos mostrou que ao acontecer certo erro, o circuito entra em um ciclo infinito de contagem, porém foi devidamente melhorado e arrumado logo após. Enfim, tratou-se de um notável experimento e de um aprendizado maior sobre os contadores.

### **Auto-Avaliação**

1. F
2. V
3. V
4. V
5. F
6. F
7. V
8. V
9. F
10. V
11. V
12. F
13. V
14. F
15. V
16. V