



## Circuitos Digitais (116351) - 12º Experimento

### CONTADORES SÍNCRONOS DE MÓDULO VARIÁVEL

**OBJETIVO:** Projetar e montar alguns contadores com propriedades especiais tais como: ter módulo variável, parar automaticamente ao atingir determinado número, ter módulo fixo e início de sequência variável. Estes circuitos são implementados utilizando-se contadores e registradores de deslocamento MSI e outras portas auxiliares.

#### 1. INTRODUÇÃO TEÓRICA

São dadas abaixo descrições de caráter geral dos circuitos integrados MSI que serão usados nesta experiência. Para obter informações mais detalhadas necessárias aos projetos pedidos, pode-se recorrer aos *datasheets* correspondentes, que são fornecidos pelos fabricantes do dispositivo.

##### 1.1. CONTADOR BINÁRIO DE 4 ESTÁGIOS E ENTRADA PARALELA SÍNCRONA (74161)

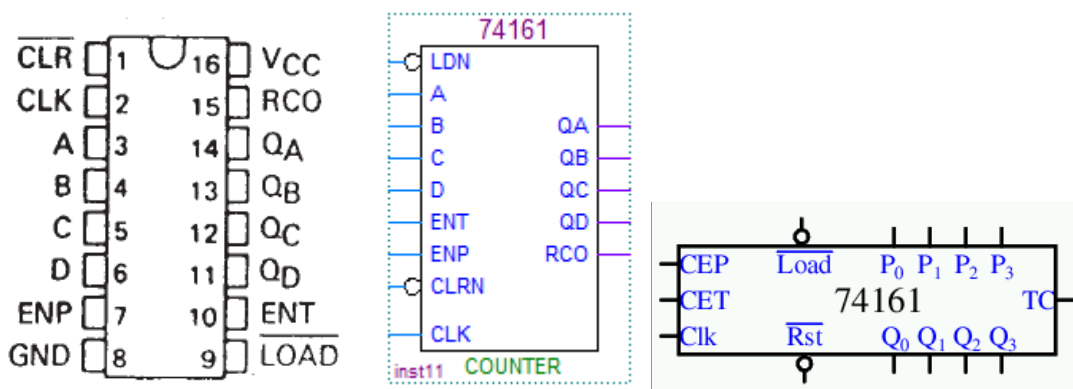


Figura 1 – Contador binário 74161 – Pinagem do CI, símbolo Quartus-II e modelo

Identificação dos terminais:

$Q_A, Q_B, Q_C, Q_D$  : terminais de saída do contador (0000 a 1111).

$A, B, C, D$  : terminais de entrada paralela síncrona.

$CLK$  : terminal de relógio.

$\overline{CLR}$  : “reset” assíncrono.

$\overline{LOAD}$  : terminal para seleção entre admissão paralela de dados (0) ou contagem normal (1).

$ENP$  : inibidor paralelo de contagem.

$ENT$  : inibidor série de contagem.

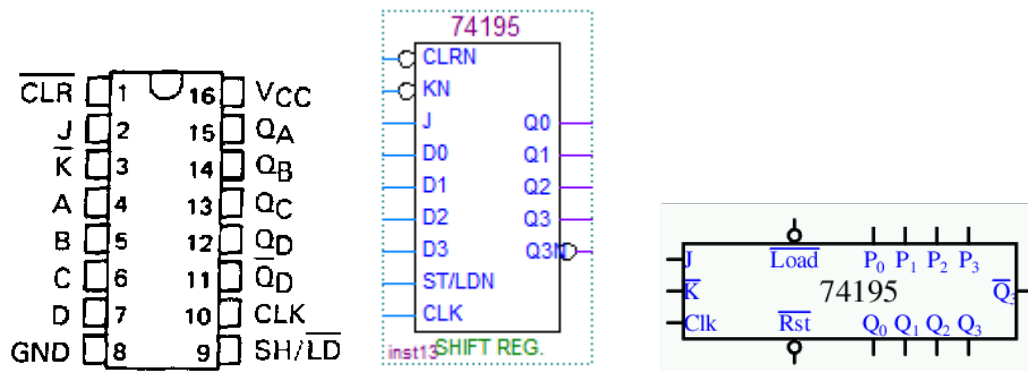
$RCO$  : terminal de transporte da contagem.

$\overline{CLR}$	$\overline{LOAD}$	$ENP. ENT$	$CLK$	Operação
0	X	X	X	$Q = 0$
1	0	X	$0 \rightarrow 1$	$Q = P$
1	1	0	X	estável
1	1	1	$0 \rightarrow 1$	$Q = Q + 1$

**Tabela I – Modos de operação do contador 74161**

Os terminais  $ENP$ ,  $ENT$  e  $RCO$  são usados, entre outras aplicações, na ligação de estágios em cascata para formar um contador de módulo maior que 16. Se qualquer um dos terminais  $ENP$  ou  $ENT$  for para o nível lógico 0, a contagem é automaticamente bloqueada. O terminal  $ENT$  tem ainda o efeito de inibir ou desinibir a saída de transporte. O terminal  $RCO$  está no nível lógico 1 se e somente se  $Q = 1111$  e  $CET = 1$ , ou seja,  $RCO = Q_A \cdot Q_B \cdot Q_C \cdot Q_D \cdot CET$

## 1.2. REGISTRADOR DE DESLOCAMENTO DE 4 BITS COM ENTRADA PARALELA SÍNCRONA E SAÍDA PARALELA (74195)



**Figura 2 – Registrador EP/SP de 4 bits 74195 - Pinagem do CI, símbolo Quartus-II e modelo**

Identificação dos terminais:

$Q_0, Q_1, Q_2, Q_3$ : terminais de saída paralela

$D_0, D_1, D_2, D_3$ : terminais de entrada paralela

$CLK$ : terminal de relógio

$\overline{CLR}$ : “reset” assíncrono

$ST/\overline{LD}$ : terminal para seleção entre admissão paralela de dados (0) ou shift (1)

$J$ : terminal de entrada serial

$\overline{K}$ : terminal de entrada serial

$\overline{Q_D}$ : saída complementar de  $Q_D$

$\overline{CLR}$	$ST/\overline{LD}$	$CLK$	$J$	$\overline{K}$	Operação
0	X	X	X	X	$Q = 0$
1	0	$0 \rightarrow 1$	X	X	$Q = D$
1	1	0	X	X	estável
1	1	$0 \rightarrow 1$	0	0	$0Q_0Q_1Q_2$
1	1	$0 \rightarrow 1$	0	1	$Q_0Q_0Q_1Q_2$
1	1	$0 \rightarrow 1$	1	0	$\overline{Q_0}Q_0Q_1Q_2$
1	1	$0 \rightarrow 1$	1	1	$1Q_0Q_1Q_2$

**Tabela II – Modos de operação do registrador 74195**

Nesta experiência o registrador de deslocamento será usado apenas como memória auxiliar de dados. O seletor de operação  $ST/\overline{LD}$  deverá estar sempre no nível lógico 0.

## 2. PARTE EXPERIMENTAL

Instruções gerais:

- Os 3 circuitos considerados a seguir são contadores especiais com determinadas características. Eles podem ser realizados com os circuitos integrados acima descritos no *proto-board* e painel digital, ou com os modelos já disponíveis no Quartus-II.
- O registrador de deslocamento será usado apenas para armazenar dados.
- O “reset” geral do contador binário deverá ser usado apenas como comando externo de “reset” manual. Toda alteração fora da contagem, no conteúdo do contador binário, deverá ser feita sincronamente, através da sua entrada paralela de dados.
- O relógio (entrada de pulsos para contagem) deverá ser conectado diretamente ao terminal Clk do contador binário, sem passar por nenhuma porta. Use o pino de clock do painel lógico ou o divisor de frequências (fdiv.v) disponível no Moodle. Procura-se, em geral, minimizar o número de portas entre a fonte do pulso de relógio até o ponto do circuito em que ele é aplicado. Deve-se tomar este cuidado, pois estas portas reduziram a velocidade de operação e introduziriam assincronismos, devidos a atrasos diferentes nos diversos ramos do circuito.

### 2.1. Contador binário de módulo variável

- Projete e desenhe no Quartus-II um contador binário cuja sequência de contagem vá de 0 até um certo número  $X \leq 15$  e repita tudo começando pelo 0. O número  $X$  de entrada deve ser definido pelas chaves SW[3..0] e ficar armazenado num registrador (**pré-projeto 1**).
- Realize as simulações funcional e temporal por forma de onda. Para estas simulações use um sinal de clock de 20MHz para o seu circuito.
- Sintetize no FPGA do kit de desenvolvimento DE2 e filme os resultados (**pós-experimento 1**). Use o divisor de frequência fornecido no Moodle com sinal de entrada CLOCK\_50 para gerar o sinal de clock do seu circuito.

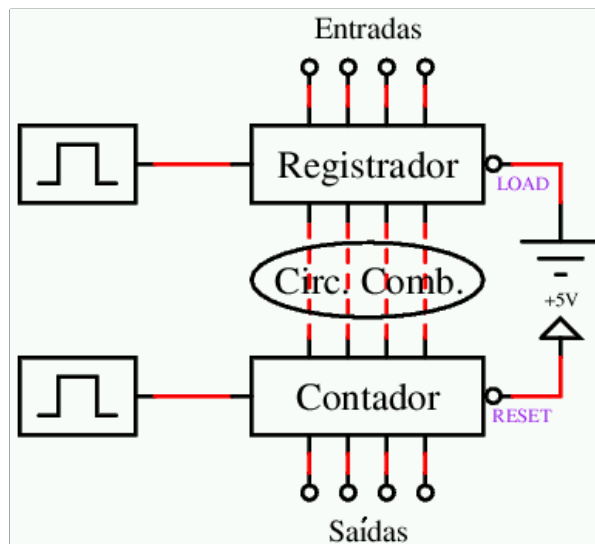


Figura 3 – Estrutura básica do contador de módulo variável

### 2.3. Contador binário com parada automática

- Projete e desenhe no Quartus-II um contador binário que conte a partir de 0 e para automaticamente quando a contagem atingir um certo número  $X \leq 15$ , permanecendo parado até o sinal de reset ser acionado quando então a contagem reinicia. (**pré-projeto 2**)
- Realize as simulações funcional e temporal por forma de onda. Para estas simulações use um sinal de clock de 20MHz para o seu circuito, e defina o sinal de reset.
- Sintetize no FPGA do kit de desenvolvimento DE2 e filme os resultados (**pós-experimento 2**). Use o divisor de frequência fornecido no Moodle com sinal de entrada CLOCK\_50 para gerar o sinal de clock do seu circuito, e defina uma chave para o reset manual.

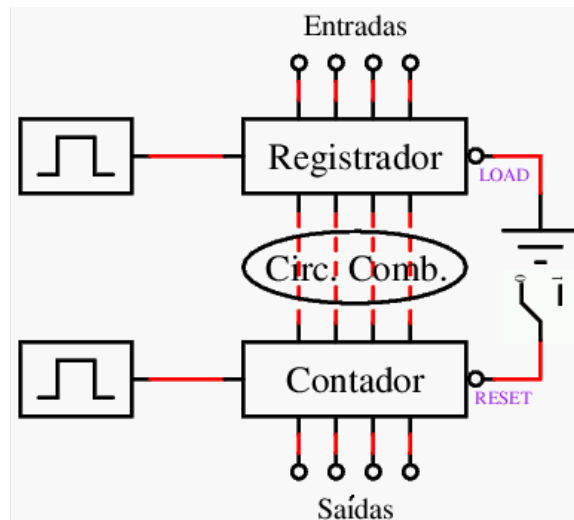


Figura 4 – Estrutura básica do contador com parada automática

## 2.4. Contador binário de módulo 9 e estado inicial variável

- Projete e desenhe no Quartus-II um contador binário de 9 estados cuja sequência de contagem inicie em um número  $X$  no registrador. Por exemplo, se o número  $X$  for 3 a sequência de contagem será 3, 4, 5, 6, 7, 8, 9, 10, 11, 3, 4, 5, ..., etc. Se o número  $X$  for 4 a sequência de contagem será 4, 5, 6, 7, 8, 9, 10, 11, 12, 4, 5, 6, ..., etc. (**pré-projeto 3**).
- Realize as simulações funcional e temporal por forma de onda. Para estas simulações use um sinal de clock de 20MHz para o seu circuito.
- Sintetize no FPGA do kit de desenvolvimento DE2 e filme os resultados (**pós-experimento 3**). Use o divisor de frequência fornecido no Moodle com sinal de entrada CLOCK\_50 para gerar o sinal de clock do seu circuito.

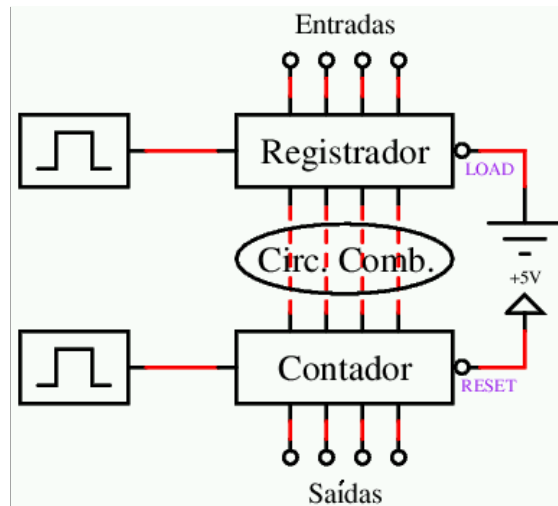


Figura 5 – Estrutura básica do contador com estado inicial variável

## 3. SUMÁRIO

Dada a sua grande aplicação, os contadores síncronos (e os assíncronos também) são fabricados em forma integrada, geralmente com 4 estágios. Alguns circuitos elementares que usam esse tipo de componente são projetados, montados e testados nesta experiência.

## 4. EQUIPAMENTOS E MATERIAL

- *software* Quartus II
- Kit desenvolvimento DE2 com FPGA Altera Cyclone II

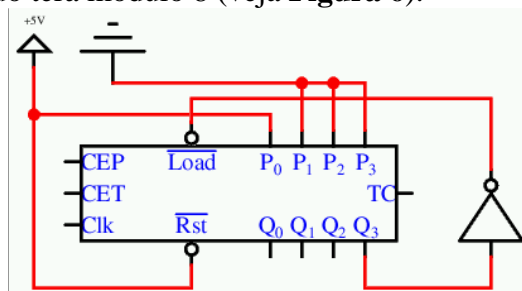
Obs.: Este experimento poderia ser feito também em *protoboard*

- Painel digital;
- *Protoboard*;
- Fios conectores;
- Portas lógicas diversas;
- 74LS195 e 74LS161;

## 5. TESTE DE AUTO-AVALIAÇÃO

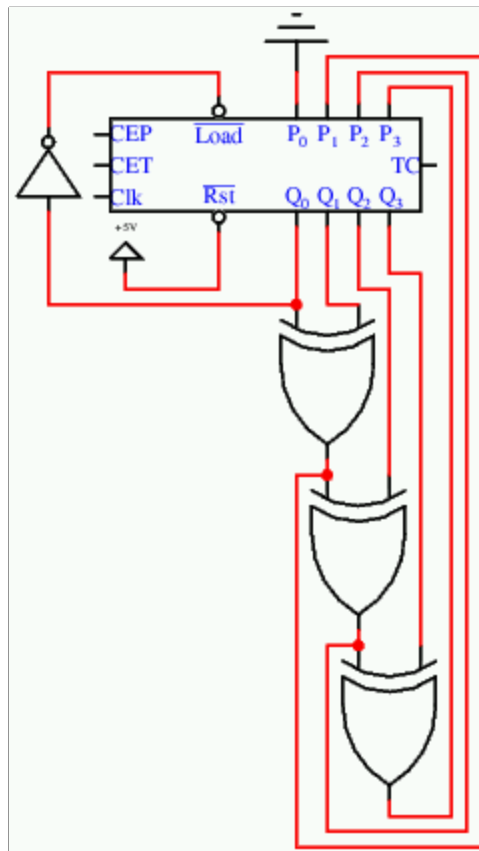
Nos itens abaixo marque V (verdadeiro) ou F (falso).

1. ( ) Em um contador com entrada paralela síncrona, a admissão paralela ocorre ao se fazer  $Load=0$ .
2. ( ) Num contador binário síncrono o “reset” geral tem prioridade sobre o seletor de admissão paralela de dados.
3. ( ) O terminal TC de um contador síncrono estará no nível lógico 1 se o contador estiver no estado final de sua seqüência de contagem.
4. ( ) Em um contador com entrada paralela síncrona, o terminal de admissão paralela tem efeito apenas de seleção do modo de operação.
5. ( ) Um contador binário de 4 bits pode ser usado, sem nenhuma porta adicional, para se obter um relógio com frequência de 1/16 da frequência na sua entrada Clk.
6. ( ) Em um registrador de deslocamento com entrada paralela síncrona, o terminal de “reset” tem efeito apenas de inibição do deslocamento.
7. ( ) Um registrador de deslocamento de  $n$  estágios pode ser usado como unidade de memória de um contador síncrono de  $2n$  estados cujo código é tal que estados adjacentes só diferem em 1 bit.
8. ( ) O comparador de palavras binárias é um circuito combinacional.
9. ( ) O “reset” geral do contador binário funciona como um terminal de admissão paralela síncrona que carrega o dado 0000.
10. ( ) O terminal CEP do contador binário pode ser usado para inibir sua seqüência de contagem automaticamente.
11. ( ) Considere um contador binário síncrono onde a saída  $Q_3$  foi invertida e ligada ao terminal  $Load$ . A entrada  $P_0P_1P_2P_3$  é feita igual a 1000. Inicialmente é feito um “reset” geral. O estado 0000 só se repete após 8 pulsos do relógio, isto é, o contador assim formado terá módulo 8 (veja **Figura 6**).



**Figura 6**

12. ( ) Na questão anterior, o estado definido pelo “reset” geral não faz parte de sua seqüência normal de contagem.
13. ( ) Considere um contador síncrono ligado como se indica abaixo.



**Figura 7**

Se for inicialmente dado um “reset” geral, o estado 0000 só se repetirá após 9 pulsos aplicados em Clk.

14. ( ) Na questão 13, o contador assim formado ( $Q_0Q_1Q_2Q_3$ ) terá necessariamente módulo 8, mas possuirá duas seqüências de contagem possíveis.
15. ( ) Ainda na questão 13, dependendo do estado inicial a seqüência de contagem do novo contador constitui um trecho de 8 estados consecutivos na seqüência do contador binário.
16. ( ) Um contador binário síncrono reversível pode ser feito simplesmente pela seleção, na saída, entre  $Q_0Q_1Q_2Q_3$  e  $Q_0Q_1Q_2Q_3$ , controlada pelo terminal de sentido de contagem.