

# Experimento 6

## Circuitos Combinacionais: Codificador e Decodificador

Lucas Mafra Chagas, 12/0126443

Marcelo Giordano Martins Costa de Oliveira, 12/0037301

<sup>1</sup>Dep. Ciência da Computação – Universidade de Brasília (UnB)  
CiC 116351 - Circuitos Digitais - Turma C

{giordano.marcelo, chagas.lucas.mafra}@gmail.com

**Abstract.** *In this experiment, we built a coder and a decoder using the Quartus II software.*

**Resumo.** *Nesse experimento, implementamos um codificador e um decodificador usando o software Quartus II.*

### Objetivos

Elaboração de um codificador e de um decodificador usando-se circuitos combinacionais e aplicando-se as técnicas de minimização de funções lógicas. Verificação da possibilidade de conversão de um número decimal em um número binário de código qualquer e sua posterior decodificação.

### Materiais

- Software Quartus II versão 13.0
- Kit de desenvolvimento em FPGA DE2 Altera

### Introdução

Os computadores são máquinas que trabalham com a utilização de um sistema binário para analisar variáveis e realizar cálculos. Já o homem está acostumado a raciocinar e trabalhar com o sistema decimal. Portanto, para que a comunicação homem-máquina possa ser feita de maneira mais direta, sem que o homem precise aprender a interpretar números binários, convém incorporar aos equipamentos de entrada e saída de computadores conversores de código decimal-binário e binário-decimal, respectivamente. Para o primeiro caso (onde a entrada é um número decimal), temos que o conversor é chamado de codificador, enquanto para o segundo caso (onde a saída é um número decimal) ele é chamado de decodificador.

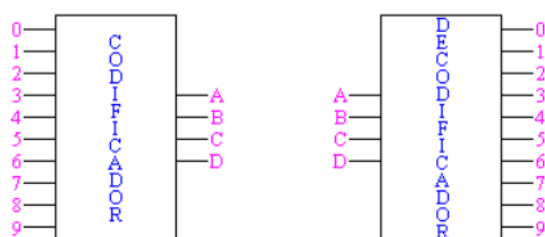


Figure 1. Codificador e Decodificador.

Para o codificador, teremos uma, e somente uma, entrada ativada a cada instante. A saída corresponderá à forma codificada desse decimal (utilizando apenas 0's e 1's). Já para o decodificador, temos que todas as entradas são ativadas no mesmo instante, porém, elas geram apenas uma saída. Para este experimento, será criado um codificador decimal-Código de Gray e um decodificador Código de Gray-binário. Este código é determinado como apresenta a tabela abaixo:

Decimal	A	B	C	D
0	0	0	0	0
1	0	0	0	1
2	0	0	1	1
3	0	0	1	0
4	0	1	1	0
5	0	1	1	1
6	0	1	0	1
7	0	1	0	0
8	1	1	0	0
9	1	1	0	1

## Procedimentos

Neste relatório foi preciso:

- Obter as funções booleanas para o codificador.
- Fazer simulações funcional e temporal do diagrama lógico do codificador no Quartus.
- Obter as funções booleanas para o decodificador.
- Fazer simulações funcional e temporal do diagrama lógico do decodificador no Quartus.
- Filmar o funcionamento do codificador e decodificador feito no Quartus II.

## Funções Booleanas para o Codificador

É possível obter as seguintes funções booleanas para o codificador utilizando o mapa de Karnaugh:

$$A = (8 + 9) = \overline{\overline{8.9}}$$

$$B = (4 + 5 + 6 + 7 + 8 + 9) = \overline{\overline{4.5.6.7.8.9}}$$

$$C = (2 + 3 + 4 + 5) = \overline{\overline{2.3.4.5}}$$

$$D = (1 + 2 + 5 + 6 + 9) = \overline{\overline{1.2.5.6.9}}$$

Com as fórmulas supracitadas, é possível fazer o diagrama lógico total abaixo.

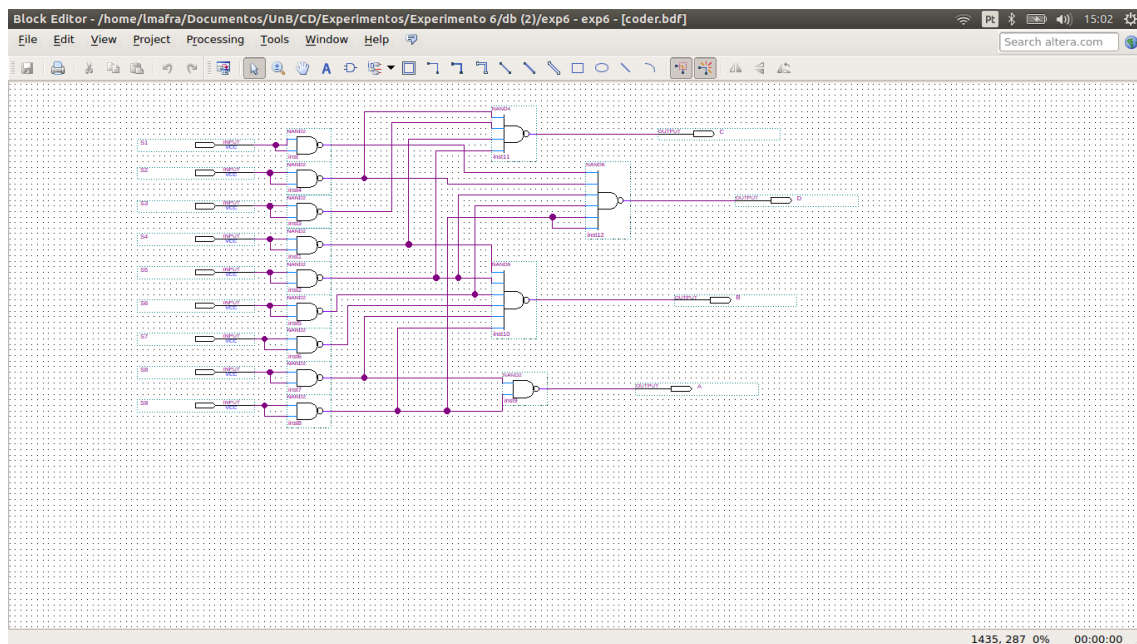


Figure 2. Diagrama Lógico do codificador.

A partir do diagrama lógico total, realizamos a simulação funcional e temporal e obtivemos os seguintes gráficos.

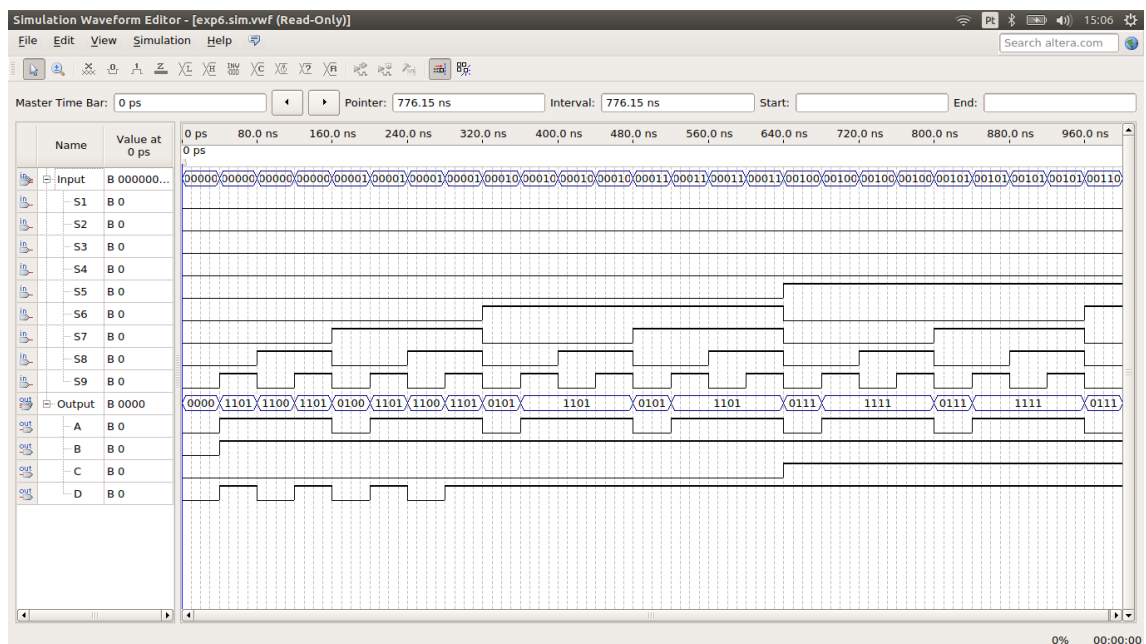
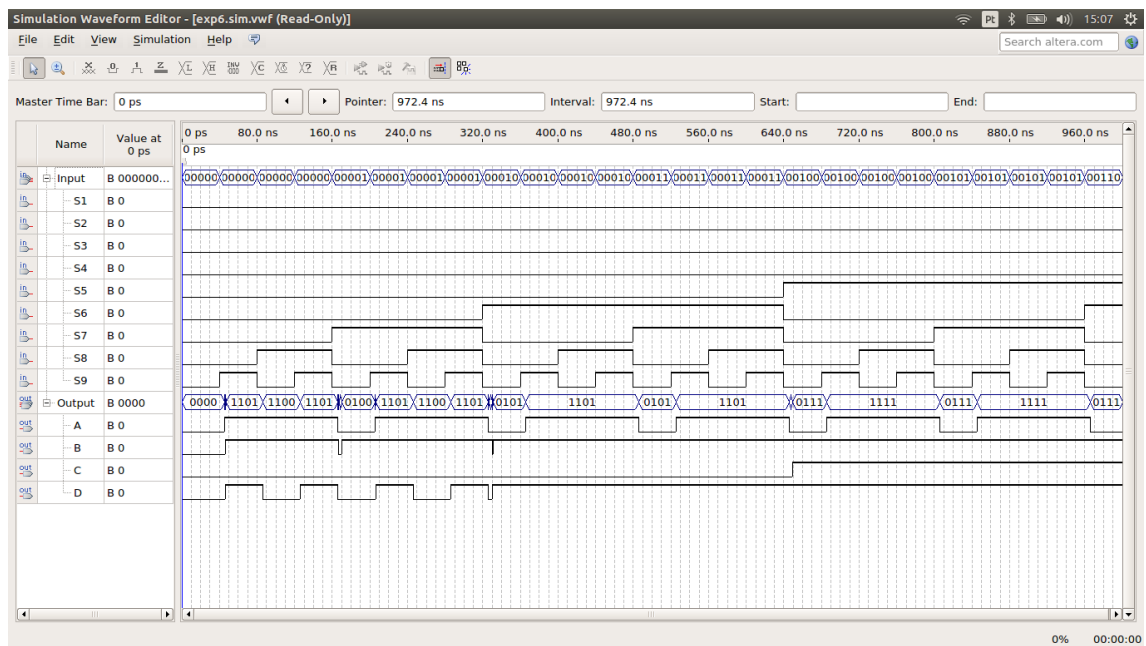
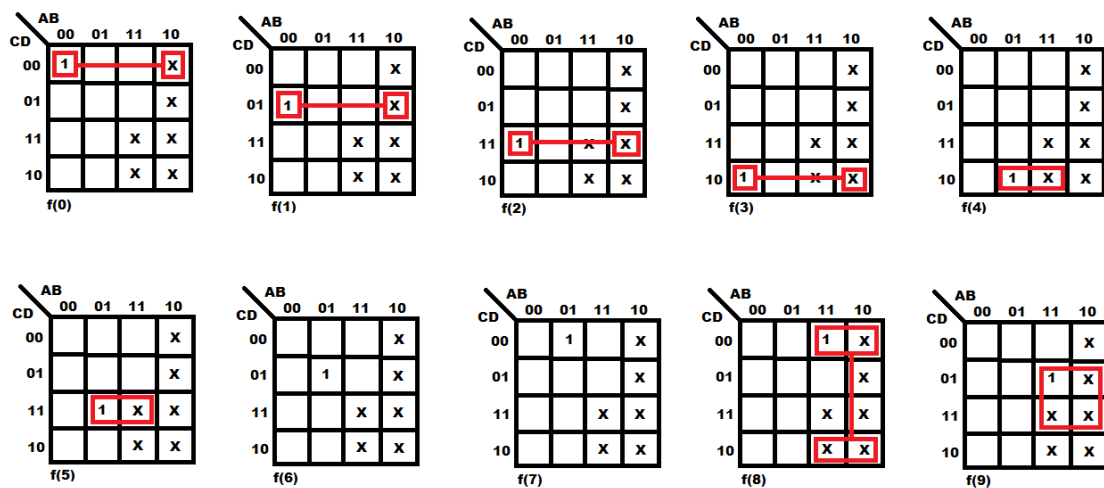


Figure 3. Simulação funcional do codificador.



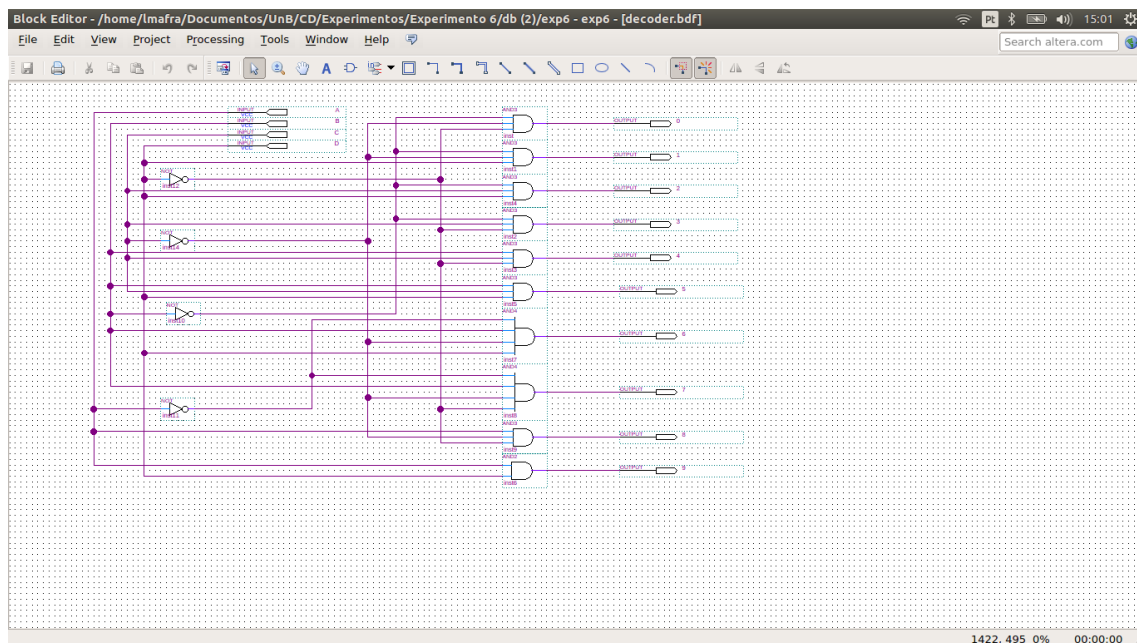
## Funções Booleanas para o Decodificador

É possível obter as seguintes funções booleanas para o decodificador utilizando o mapa de Karnaugh:



$$\begin{aligned}
 0 &= \overline{B}.\overline{C}.\overline{D} \\
 1 &= \overline{B}.\overline{C}.D \\
 2 &= \overline{B}.C.D \\
 3 &= \overline{B}.C.\overline{D} \\
 4 &= B.C.\overline{D} \\
 5 &= B.C.D \\
 6 &= \overline{A}.B.\overline{C}.D \\
 7 &= \overline{A}.B.\overline{C}.\overline{D} \\
 8 &= A.\overline{C}.\overline{D} \\
 9 &= \overline{A}.D
 \end{aligned}$$

Com as fórmulas supracitadas, é possível fazer o diagrama lógico total abaixo.



**Figure 6. Diagrama Lógico do decodificador.**

A partir do diagrama lógico total, realizamos a simulação funcional e temporal e obtivemos os seguintes gráficos.

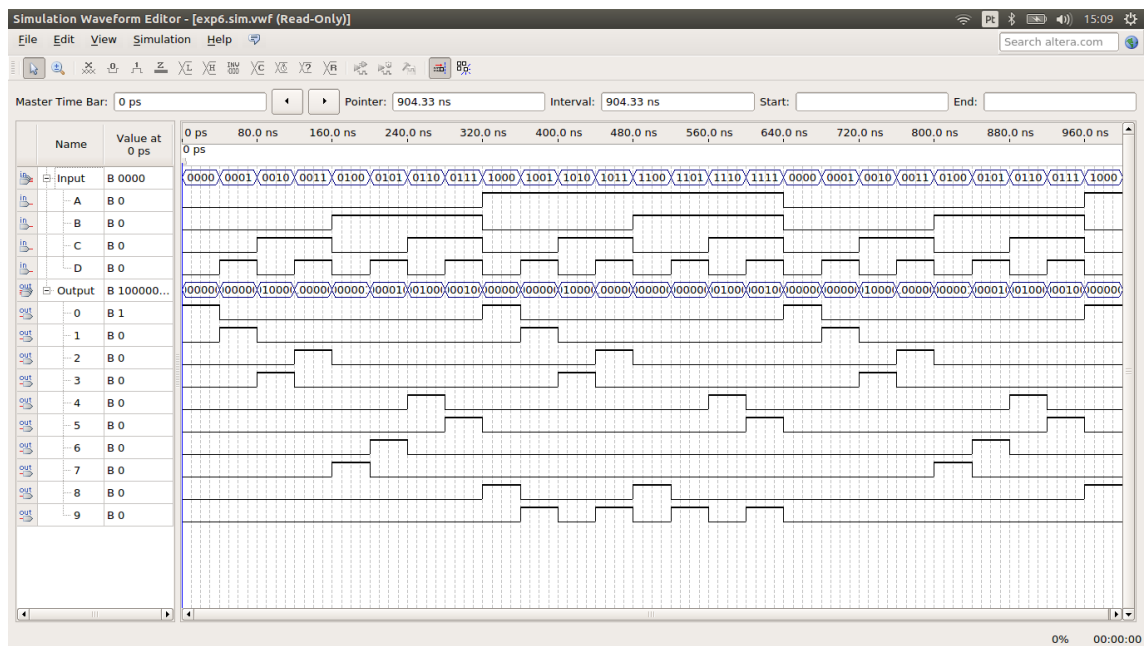


Figure 7. Simulação funcional do decodificador.

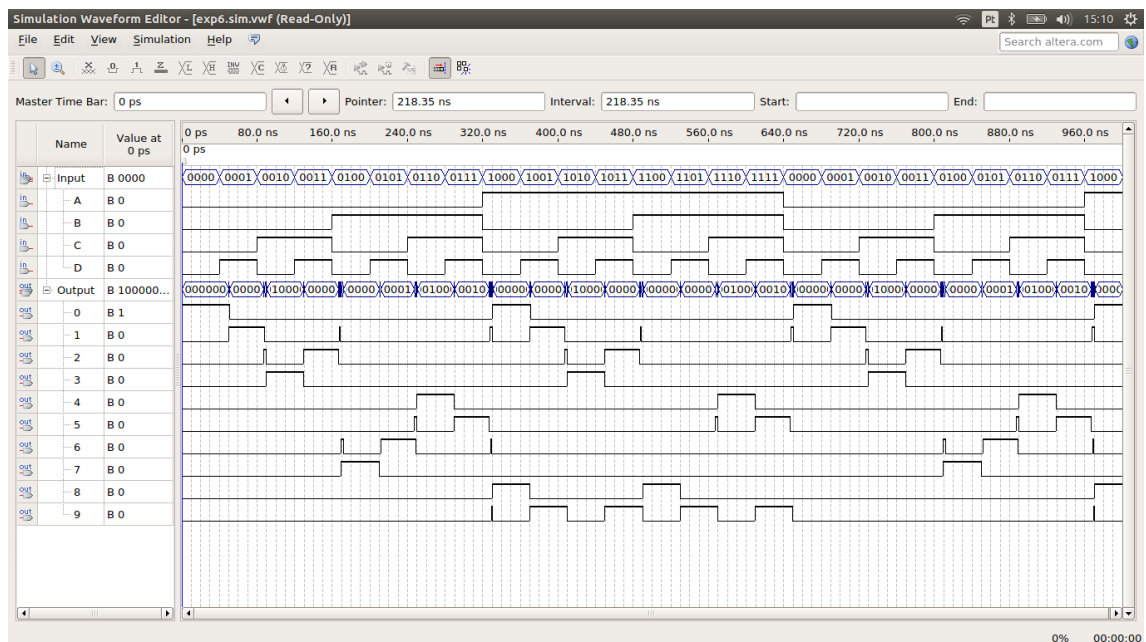


Figure 8. Simulação temporal do decodificador.

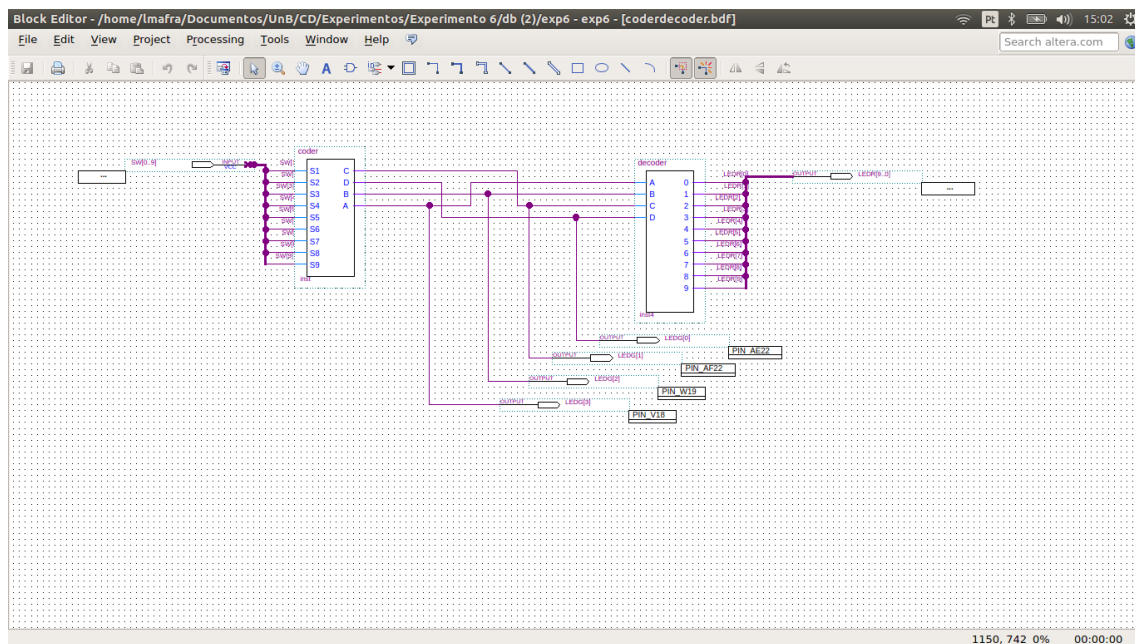
E obtivemos a tabela verdade.

**Table 1. Tabela Verdade do Decodificador.**

Entrada	A	B	C	D
S0	0	0	0	0
S1	0	0	0	1
S2	0	0	1	1
S3	0	0	1	0
S4	0	1	1	0
S5	0	1	1	1
S6	0	1	0	1
S7	0	1	0	0
S8	1	1	0	0
S9	1	1	0	1

## Funcionamento do Codificador e Decodificador

Sintetizamos e rodamos no kit de desenvolvimento em FPGA DE2 Altera o código projetado com o codificador e decodificador.



**Figure 9. Circuito contendo codificador e decodificador.**

É possível ver o resultado no seguinte link: [Vídeo no Youtube](#)

## Análise dos Resultados

No experimento, tudo ocorreu como o esperado: a tabela verdade obtida a partir do diagrama de ondas estava de acordo com o que se queria que ambos circuitos fizessem, fato averiguado na placa Altera. Para todos os valores decimais de entrada, os LED's verdes acenderam de forma correspondente aos seus código de Gray. Sendo assim, obtivemos os resultados previstos na parte teórica, que foi obter os mapas de karnaugh do codificador e do decodificador, e o experimento foi um sucesso.

## **Conclusão**

A partir do experimento foi possível ampliar os conhecimentos sobre codificadores e decodificadores. A montagem desses circuitos aperfeiçoou ainda mais a já conhecida teoria a respeito deles. Circuitos simples como esses são bases para o avanço da tecnologia, e de toda essa gama de aparelhos que temos hoje, eles abrem portas para muitas possibilidades e a familiarização com eles é, naturalmente, muito importante.



### **Auto-Avaliação**

1. a
2. c
3. b
4. c
5. d
6. Porta NOT A defeituosa, sempre com nível 0 na saída.
7. Porta NOT D defeituosa, sempre com nível 1 na saída.
8. Porta NOT A defeituosa, sempre com nível 1 na saída.