

## 实验三：无符号数的乘法器设计

### 1. 实验名称

无符号数的乘法器的设计。

### 2. 实验目的

要求使用合适的逻辑电路的设计方法，通过工具软件 Logisim 进行无符号数的乘法器的设计和验证，记录实验结果，验证设计是否达到要求。

通过无符号数的乘法器的设计、仿真、验证 3 个训练过程，使学生掌握数字逻辑电路的设计、仿真、调试的方法。

### 3. 实验所用设备

Logisim2.7.1 软件 1 套，微型计算机 1 台。

### 4. 课时

课内 4 个课时，课外 4 个课时。

### 5. 实验内容

#### (1) 四位乘法器设计

四位乘法器  $Mul4 \times 4$  实现两个无符号的 4 位二进制数的乘法运算，其结构框图如图 3.1 所示。设被乘数为  $b(3:0)$ ，乘数为  $a(3:0)$ ，乘积需要 8 位二进制数表示，乘积为  $p(7:0)$ 。

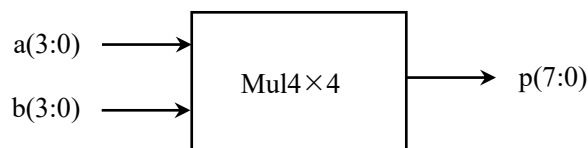


图 3.1 四位乘法器结构框图

四位乘法器运算可以用 4 个相同的模块串接而成，其内部结构如图 3.2 所示。每个模块均包含一个加法器、一个 2 选 1 多路选择器和一个移位器 shl。

图 3.2 中数据通路上的数据位宽都为 8，确保两个 4 位二进制数的乘积不会发生溢出。shl 是左移一位的操作，在这里可以不用逻辑器件来实现，而仅通过数据连线的改变就可实现。

#### (2) $32 \times 4$ 乘法器设计

$32 \times 4$  乘法器  $Mul32 \times 4$  实现一个无符号的 32 位二进制数和一个无符号的 4 位二进制数的乘法运算，其结构框图如图 3.3 所示。设被乘数为  $b(31:0)$ ，乘数为  $a(3:0)$ ，乘积也用 32 位二进制数表示，乘积为  $p(31:0)$ 。这里，要求乘积  $p$  能用 32 位二进制数表示，且不会发生溢出。

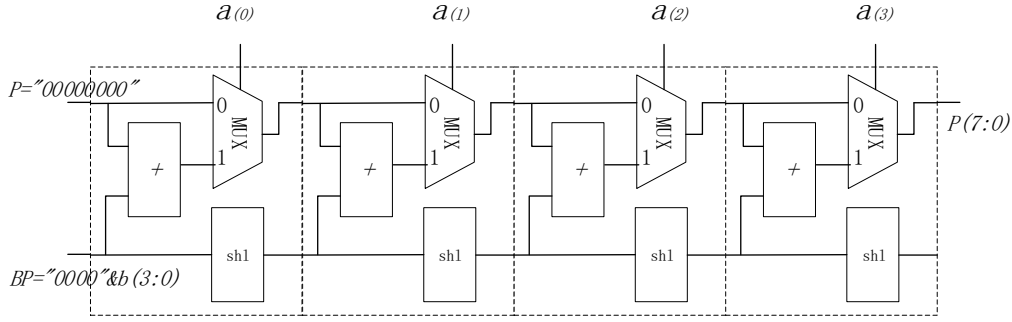


图 3-2 四位乘法器内部结构

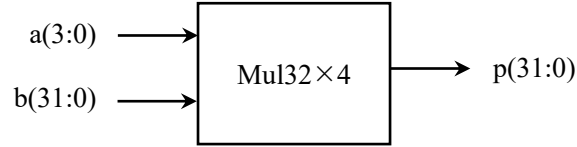


图 3.3 32×4 乘法器结构框图

在四位乘法器  $Mul4 \times 4$  上进行改进,将数据通路上的数据位宽都改为 32 位,即可实现  $Mul32 \times 4$ 。

### (3) 32×32 乘法器设计

32×32 乘法器  $Mul32 \times 32$  实现两个无符号的 32 位二进制数的乘法运算,其结构框图如图 3.4 所示。设被乘数为  $b(31:0)$ ,乘数为  $a(31:0)$ ,乘积也用 32 位二进制数表示,乘积为  $p(31:0)$ 。这里,要求乘积  $p$  能用 32 位二进制数表示,且不会发生溢出。

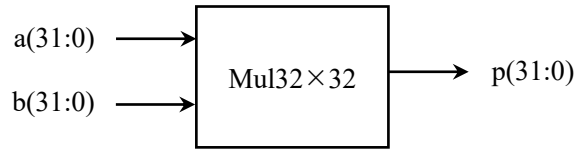


图 3.4 32×32 乘法器结构框图

用 32×4 乘法器  $Mul32 \times 4$  作为基本部件,实现 32×32 乘法器  $Mul32 \times 32$ 。

设被乘数为  $b(31:0)=(b_{31}b_{30}b_{29}b_{28}\cdots b_{15}b_{14}b_{13}b_{12}\cdots b_4b_3b_2b_1b_0)_2$

乘数为  $a(31:0)=(a_{31}a_{30}a_{29}a_{28}\cdots a_{15}a_{14}a_{13}a_{12}\cdots a_3a_2a_1a_0)_2$

$$=(a_{31}a_{30}a_{29}a_{28})_2 \times 2^{28} + \cdots + (a_{15}a_{14}a_{13}a_{12})_2 \times 2^{12} + \cdots + (a_3a_2a_1a_0)_2 \times 2^0$$

那么,

$$p(31:0) = b(31:0) \times a(31:0)$$

$$= b(31:0) \times ((a_{31}a_{30}a_{29}a_{28})_2 \times 2^{28} + \cdots + (a_{15}a_{14}a_{13}a_{12})_2 \times 2^{12} + \cdots +$$

$$(a_3a_2a_1a_0)_2 \times 2^0)$$

$$= b(31:0) \times (a_{31}a_{30}a_{29}a_{28})_2 \times 2^{28} + \cdots + b(31:0) \times (a_{15}a_{14}a_{13}a_{12})_2 \times 2^{12} + \cdots +$$

$$b(31:0) \times (a_3a_2a_1a_0)_2 \times 2^0$$

从上述推导可知,  $Mul32 \times 32$  可以用 8 个  $Mul32 \times 4$  分组相乘,然后通过 4 的倍数位的左移(相当于乘  $2^i$ ),再将左移结果两两相加得到。

6. 实验设计过程

要求：(1) 写出设计思想，画出乘法器的内部逻辑结构框图；(2) 给出 logisim 软件绘制的电路图。

7. 实验结果记录

根据实验方案设计要求，对于相应的乘法器，在给定的输入条件下，填写表 3.1。

表 3.1 无符号数的乘法器实验结果记录表

电路	输入 1 (16 进制)	输入 2 (16 进制)	输出 (16 进制)
Mul4×4	b=0×A	a=0×A	p=
Mul4×4	b=0×E	a=0×9	p=
Mul32×4	b=0×003ABEF1	a=0×A	p=
Mul32×4	b=0×019ABEF1	a=0×7	p=
Mul32×32	b=0×0002BEF1	a=0×00004EF1	p=
Mul32×32	b=0×00003BEF1	a=0×0003BEF1	p=

8. 实验结果提交

要求：(1) 本次实验的全部电路都在同一个 Logisim 文件中，子电路结构如图 3.5 所示；

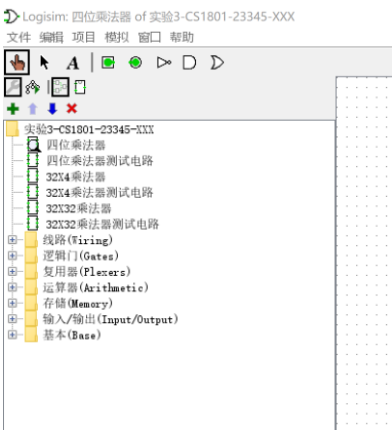


图 3.5 实验三子电路结构

- 注意，所有的测试电路都是指封装之后加入外部的输入输出信号的电路。
- (2) 上交 Logisim 电路文件，命名格式：实验 3-班级-学号-姓名。
  - (3) 提交表 3.1 填写结果的截图，命名格式：实验 3 表 3.1-班级-学号-姓名