

***2***

***0***

***2***

***0***

**数字电路与逻辑设计**

**课程实验报告**

**小型实验室门禁系统**

|  |  |
| --- | --- |
| 姓 名： | 李田田 |
| 学 号： | U201814670 |
| 班 级： | CS1806 |
| 专 业： | 计算机科学与技术 |
| 完成日期： | 4.28 |

**实验二：小型实验室门禁系统设计**

**1. 实验名称**

小型实验室门禁系统设计。

**2. 实验目的**

采用合适的设计方法，对一个“设计场景”进行逻辑电路的设计，并利用工具软件Logisim的仿真来验证该设计是否达到要求。

通过以上实验的设计、仿真、验证等训练过程使学生掌握小型电路系统的设计、仿真、调试方法以及电路模块封装的方法。

**3．实验所用设备**

Logisim2.7.1软件1套，微型计算机1台。

**4．课时**

课内4个课时，课外4个课时。

**5．实验内容**

**设计场景：**某小型保密实验室需要安装一个门禁系统，用于监测、控制和显示该实验室内人数。该实验室只有一个门，最多只能容纳15人。假设员工进出实验室都要刷门禁卡，并且保证一次刷卡后有且只有一人能进出。实验室空置时人数显示为0，刷卡进入时实验室人数加1，刷卡离开时实验室人数减1。当实验室满员时，还有员工在门外刷卡进入时，系统报警提示满员，不允许进入，实验室内人数不变。

使用Logisim软件对小型电路进行虚拟实验仿真，除逻辑门、触发器、7段数码显示管外，不能直接使用Logisim提供的逻辑组件库。

具体要求如下：

**（1）四位二进制可逆计数器**

用D触发器设计一个四位二进制可逆计数器并**进行封装**，逻辑符号如图2.1所示。

该计数器有一个清零端**CLR**、一个累加计数脉冲输入端**CPU** （输入刷卡进入请求）、一个累减计数脉冲输入端**CPD**（输入刷卡离开请求）、预置控制端、预置初置端DCBA、四个计数器状态输出值**QD QC QB QA**。当预置控制端为低电平时，计数器输出**QD QC QB QA**被预置为DCBA端输入的值。

**（2）二进制转8421BCD码电路**

用第一次实验所设计的“私有”元件“先行进位的四位二进制并行加法器”和适当元器件，设计一个将二进制数表示的实验室人数转换成**8421BCD码**的电路，并封装。

**QD QC QB QA**

**CPU**

**CLR 四位二进制可逆计数器**

**CPD**

**D C B A**

图2.1 四位二进制可逆计数器

**（3）显示电路**

设计一个7段译码器（参考教材中的7448芯片），将两位十进制数的8421BCD码表示的实验室人数用“7段数码显示管”显示出来，并封装该译码器电路。

该7段译码器有四个输入**A3A2A1A0**和七个输出**abcdefg**, **A3A2A1A0**为8421BCD码，abcdefg为7段数码显示管对应的段。

**（4）报警电路**

设计报警电路并封装，满足如下要求：

当实验室满员时，在累加计数脉冲输入端**CPU**刷卡进入请求时，计数器输出端状态值保持不变，系统报警提示满员。当实验室空时，逻辑上不会有实验室内累减计数脉冲输入端**CPD**刷卡离开请求。为防止信号干扰，在计数输出为0时，若**CPD**有脉冲，计数器状态值保持不变，且不用报警。

**（5）小型实验室门禁系统电路的封装**

利用已设计好的“私有”元器件和相应元器件设计一个“实验室门禁系统”电路，并进行封装，封装后的小型实验室门禁系统逻辑符号如图2.2所示。

提示：四位二进制可逆计数器的预置控制端和预置初置端DCBA在封装时不需要引出引脚。

**十位**：7段数码显示管

**个位：**7段数码显示管

**a b c d e f g** **a b c d e f g**

**CPU**

**CLR 封装后的门禁系统逻辑符号 报警**

**CPD**

图2.2 封装后的小型实验室门禁系统

**6. 实验方案设计**

1. 四位二进制可逆计数器
2. 逻辑表达式

|  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
|  | 输入脉冲 | 现态 | 激励函数 | | | | | | | | | | 次态 |
| 1 | CPU | Q4Q3 Q2 Q1 | C4 | D4 | C3 | D3 | C2 | D2 | C1 | | D1 | | Q4N+1Q3N+1Q2N+1Q1N+1 |
| 1 | ↓ | 0000 |  | d |  | d |  | d | ↓ | | 1 | | 0001 |
| 1 | ↓ | 0001 |  | d |  | d | ↓ | 1 | ↓ | | 0 | | 0010 |
| 1 | ↓ | 0010 |  | d |  | d |  | d | ↓ | | 1 | | 0011 |
| 1 | ↓ | 0011 |  | d | ↓ | 1 | ↓ | 0 | ↓ | | 0 | | 0100 |
| 1 | ↓ | 0100 |  | d |  | d |  | d | ↓ | | 1 | | 0101 |
| 1 | ↓ | 0101 |  | d |  | d | ↓ | 1 | ↓ | | 0 | | 0110 |
| 1 | ↓ | 0110 |  | d |  | d |  | d | ↓ | | 1 | | 0111 |
| 1 | ↓ | 0111 | ↓ | 1 | ↓ | 0 | ↓ | 0 | ↓ | | 0 | | 1000 |
| 1 | ↓ | 1000 |  | d |  | d |  | d | ↓ | | 1 | | 1001 |
| 1 | ↓ | 1001 |  | d |  | d | ↓ | 1 | ↓ | | 0 | | 1010 |
| 1 | ↓ | 1010 |  | d |  | d |  | d | ↓ | | 1 | | 1011 |
| 1 | ↓ | 1011 |  | d | ↓ | 1 | ↓ | 0 | ↓ | | 0 | | 1100 |
| 1 | ↓ | 1100 |  | d |  | d |  | d | ↓ | | 1 | | 1101 |
| 1 | ↓ | 1101 |  | d |  | d | ↓ | 1 | ↓ | | 0 | | 1110 |
| 1 | ↓ | 1110 |  | d |  | d |  | d | ↓ | | 1 | | 1111 |
| 1 | ↓ | 1111 | ↓ | 0 | ↓ | 0 | ↓ | 0 | ↓ | | 0 | | 0000 |
|  | 输入脉冲 | 现态 | 激励函数 | | | | | | | | | | 次态 |
| 1 | CPD | Q4Q3 Q2 Q1 | C4 | D4 | C3 | D3 | C2 | D2 | | C1 | | D1 | Q4N+1Q3N+1Q2N+1Q1N+11 |
| 1 | ↓ | 0000 | ↓ | 1 | ↓ | 1 | ↓ | 1 | | ↓ | | 1 | 1111 |
| 1 | ↓ | 0001 |  | d |  | d |  | d | | ↓ | | 0 | 0000 |
| 1 | ↓ | 0010 |  | d |  | d | ↓ | 0 | | ↓ | | 1 | 0001 |
| 1 | ↓ | 0011 |  | d |  | d |  | d | | ↓ | | 0 | 0010 |
| 1 | ↓ | 0100 |  | d | ↓ | 0 | ↓ | 1 | | ↓ | | 1 | 0011 |
| 1 | ↓ | 0101 |  | d |  | d |  | d | | ↓ | | 0 | 0100 |
| 1 | ↓ | 0110 |  | d |  | d | ↓ | 0 | | ↓ | | 1 | 0101 |
| 1 | ↓ | 0111 |  | d |  | d |  | d | | ↓ | | 0 | 0110 |
| 1 | ↓ | 1000 | ↓ | 0 | ↓ | 1 | ↓ | 1 | | ↓ | | 1 | 0111 |
| 1 | ↓ | 1001 |  | d |  | d |  | d | | ↓ | | 0 | 1000 |
| 1 | ↓ | 1010 |  | d |  | d | ↓ | 0 | | ↓ | | 1 | 1001 |
| 1 | ↓ | 1011 |  | d |  | d |  | d | | ↓ | | 0 | 1010 |
| 1 | ↓ | 1100 |  | d | ↓ | 0 | ↓ | 1 | | ↓ | | 1 | 1011 |
| 1 | ↓ | 1101 |  | d |  | d |  | d | | ↓ | | 0 | 1100 |
| 1 | ↓ | 1110 |  | d |  | d | ↓ | 0 | | ↓ | | 1 | 1101 |
| 1 | ↓ | 1111 |  | d |  | d |  | d | | ↓ | | 0 | 1110 |

由上表得激励表达式为：

C4=~Q1~Q2~Q3CPU+Q1Q2Q3CPD C3= ~Q1~Q2CPU+Q1Q2CPD

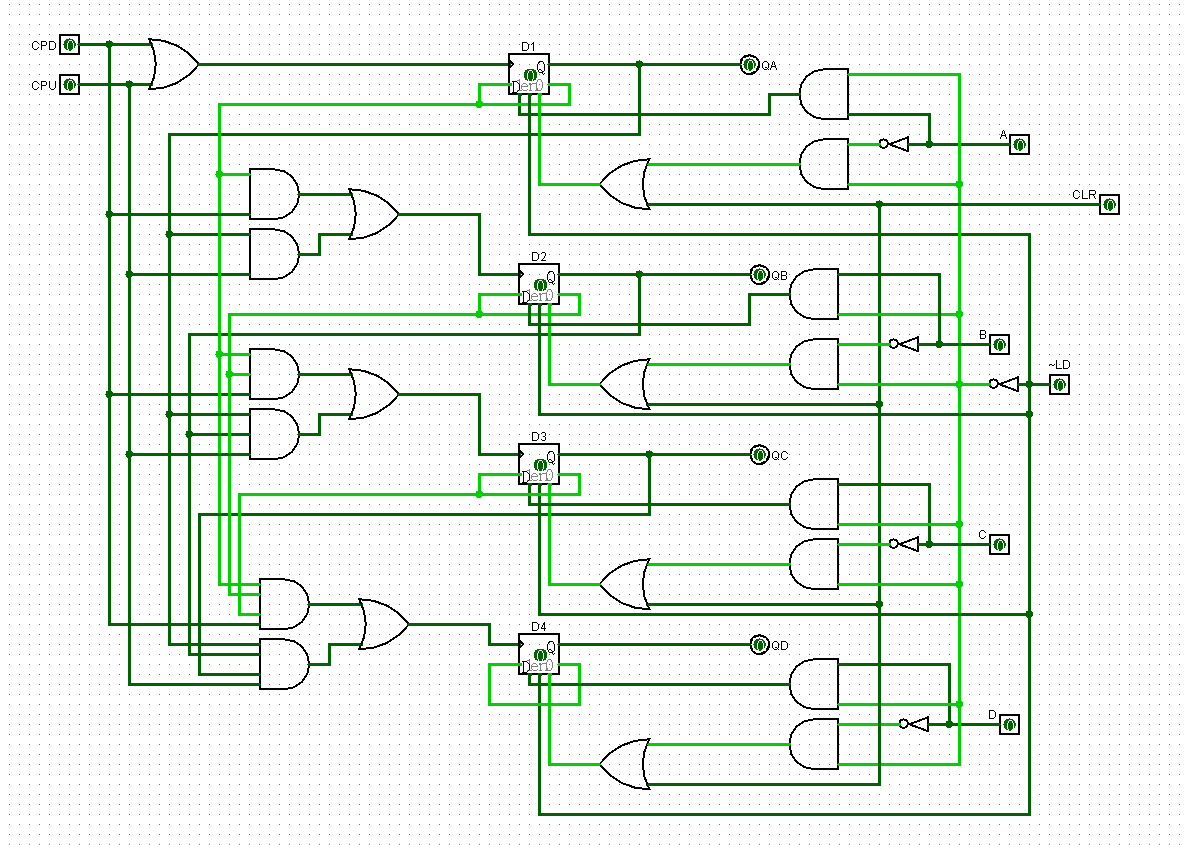
C2=~Q1CPU+Q1CPD C1=CPU+CPD

D=~Q

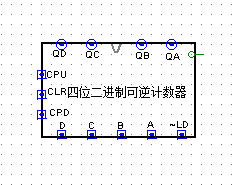
置零端输入：CLR+~A~、CLR+~B~、CLR+~C~、CLR+~D~

置一端输入：A~、B~、C~、D~

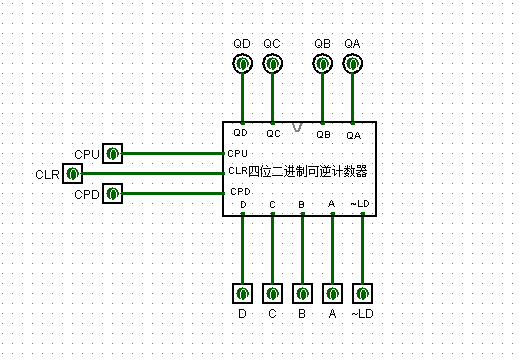
1. 电路图
2. 电路图：



1. 封装图：



1. 测试电路图：



1. 二进制转8421BCD码电路
2. 逻辑表达式

根据8421码定义，只需要将大于9的数加上0110即为8421码。

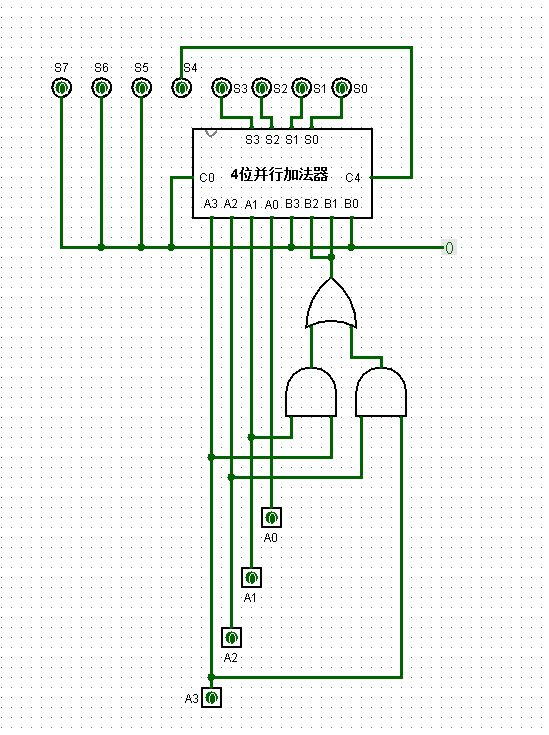
真值表为：

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| C0 | A3A2A1A0 | B3B2B1B0 | C0 | A3A2A1A0 | B3B2B1B0 |
| 0 | 0000 | 0000 | 0 | 1000 | 0000 |
| 0 | 0001 | 0000 | 0 | 1001 | 0000 |
| 0 | 0010 | 0000 | 0 | 1010 | 0110 |
| 0 | 0011 | 0000 | 0 | 1011 | 0110 |
| 0 | 0100 | 0000 | 0 | 1100 | 0110 |
| 0 | 0101 | 0000 | 0 | 1101 | 0110 |
| 0 | 0110 | 0000 | 0 | 1110 | 0110 |
| 0 | 0111 | 0000 | 0 | 1111 | 0110 |

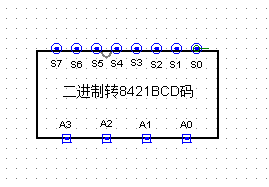
由上表得激励表达式为：

B3=0 B2= A3A1+A3A2 B1= B2 B0=0

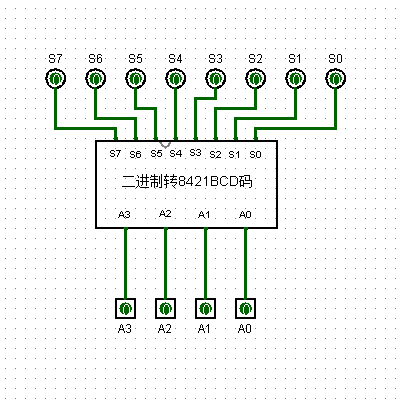
1. 电路图
2. 电路图：



1. 封装图：



1. 测试电路图：



1. 显示电路
2. 逻辑表达式

只显示1~9，当其大于9时，a、b、c、d、e、f、g都为0。

激励表达式为：

a= ~A3 ~A2 ~A0 + ~A3 ~A2 A1 + ~A3 A2 A0 + A3 ~A2 ~A1

b= ~A3 ~A2 + ~A3 ~A1 ~A0 + ~A2 ~A1 + ~A3 A1 A0

c= ~A2 ~A1 + ~A3 A0 + ~A3 A2

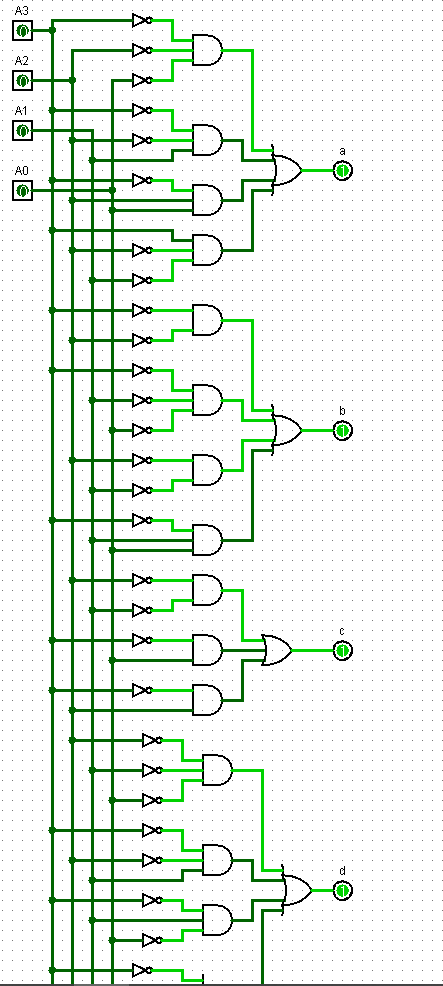
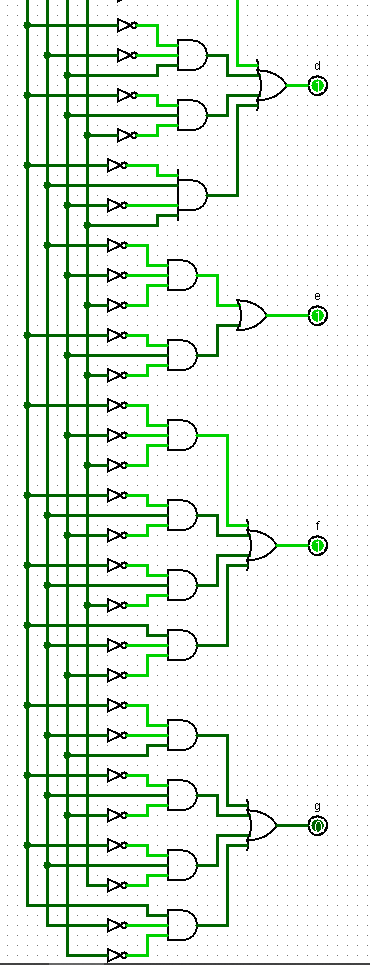
d= ~A2 ~A1 ~A0 + ~A3 ~A2 A1 + ~A3 A1 ~A0 + ~A3 A2 ~A1 A0

e= ~A2 ~A1 ~A0 + ~A3 A1 ~A0

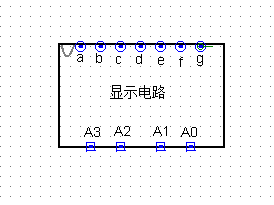
f= ~A3 ~A1 ~A0 + ~A3 A2 ~A1 + ~A3 A2 ~A0 + A3 ~A2 ~A1

g= ~A3 ~A2 A1 + ~A3 A2 ~A1 + ~A3 A2 ~A0 + A3 ~A2 ~A1

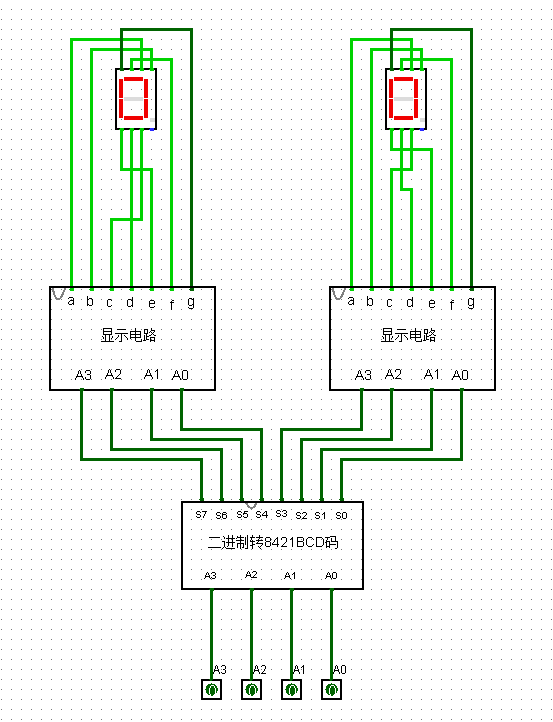
1. 电路图
2. 电路图：

1. 封装图：



1. 测试电路图：



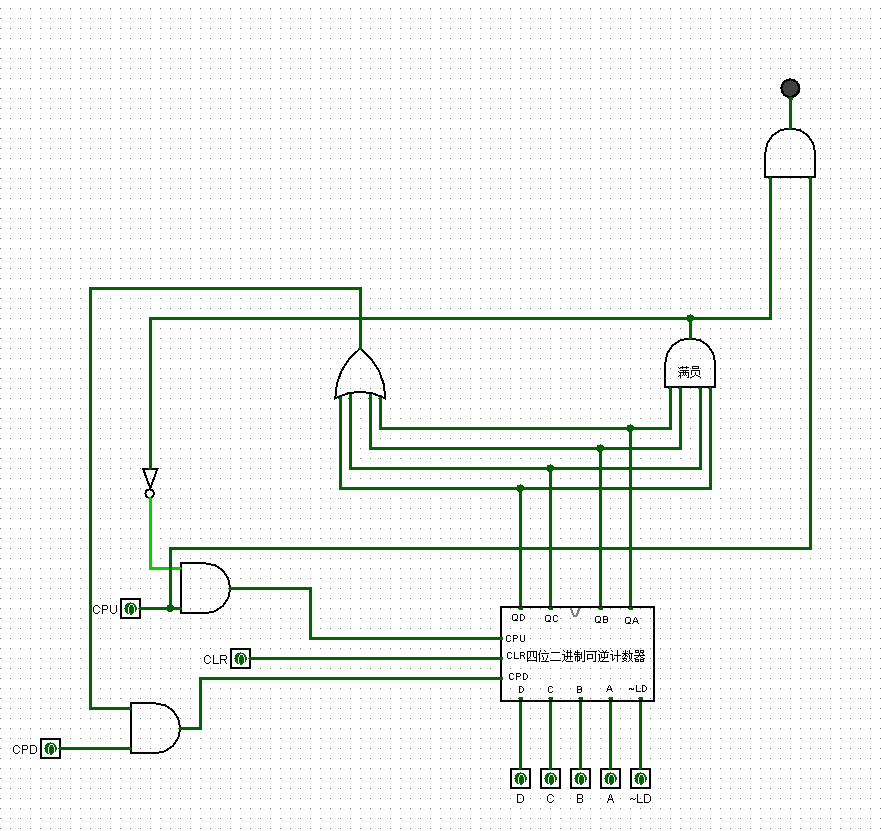
1. 报警电路
2. 逻辑表达式

CPD处输入表达式为：CPD(QD+QC+QB+QA)

CPU处输入表达式为：CPU~(QDQCQBQA)

LED报警处表达式为：CPUQDQCQBQA

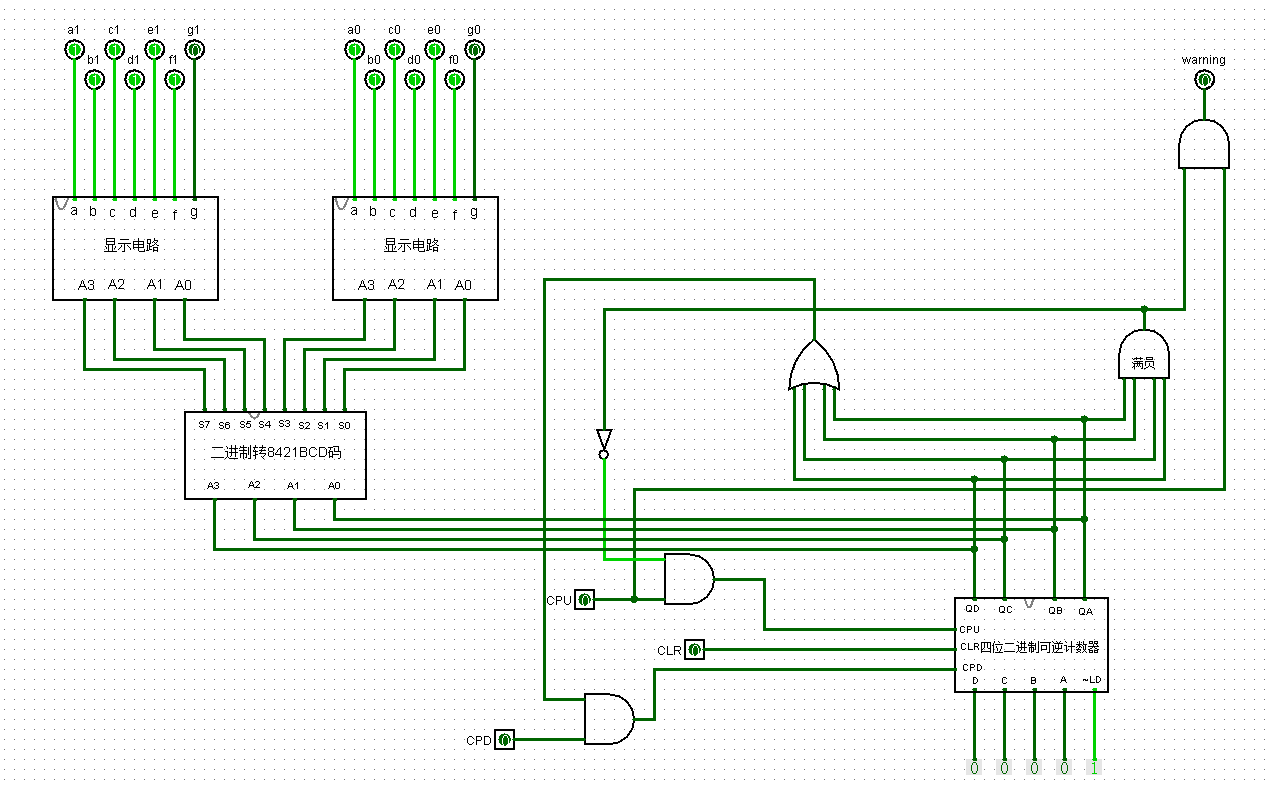
1. 电路图
2. 电路图：



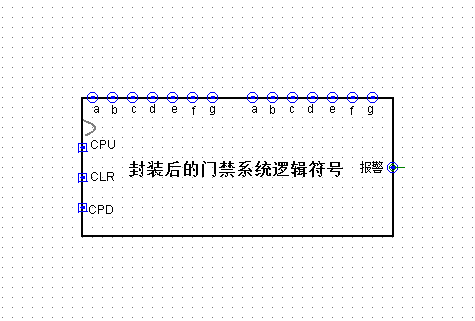
1. 小型实验室门禁系统
2. 逻辑表达式

将二进制转8421码测试电路和报警电路结合起来，即得到小型实验室门禁系统电路。其中DBCA接常量0，接常量1。

1. 电路图
2. 电路图：



1. 封装图：



1. 测试电路图：

