***2020***



**计算机组成原理 ·实验报告·**

j0242087[1]

|  |  |
| --- | --- |
| 专 业： | 计算机科学与技术 |
| 班 级： | CS1806 |
| 学 号： | U201814670 |
| 姓 名： | 李田田 |
| 电 话： | 15623203778 |
| 邮 件： | [1240815169@qq.com](mailto:13456@qq.com) |
| 完成日期： | 2020-12-11 |



目 录

**[1 单总线CPU（3级时序）设计实验 1](#_Toc7184)**

[1.1 设计要求 1](#_Toc9776)

[1.2 方案设计 2](#_Toc29640)

[1.3 实验步骤 4](#_Toc6021)

[1.4 故障与调试 4](#_Toc21874)

[1.5 测试与分析 5](#_Toc29743)

**[2 单总线CPU（现代时序）设计实验 6](#_Toc21150)**

[2.1 设计要求 6](#_Toc31437)

[2.2 方案设计 7](#_Toc7543)

[2.3 实验步骤 9](#_Toc29381)

[2.4 故障与调试 9](#_Toc20011)

[2.5 测试与分析 9](#_Toc12411)

**[3 现代时序中断机制设计实验 10](#_Toc22705)**

[3.1 设计要求 10](#_Toc11404)

[3.2 方案设计 10](#_Toc23983)

[3.3 实验步骤 14](#_Toc19868)

[3.4 故障与调试 14](#_Toc16810)

[3.5 测试与分析 14](#_Toc27855)

**[4 总结与心得 15](#_Toc27412)**

[4.1 实验总结 15](#_Toc15324)

[4.2 实验心得 15](#_Toc18095)

**[参考文献 16](#_Toc20199)**

# 单总线CPU（3级时序）设计实验

## 设计要求

1. MIPS指令译码器设计：利用比较器等功能模块将32位MIPS 指令字译码生成LW、SW、BEQ、SLT、ADDI、OtherInstr信号。
2. 定长指令周期---时序发生器FSM设计：利用数字逻辑电路相关知识设计定长指令周期的三级时序系统。
3. 定长指令周期---时序发生器输出函数设计：利用数字逻辑电路相关知识设计定长指令周期的三级时序系统，时序发生器包括状态机和输出函数两部分。
4. 硬布线控制器组合逻辑单元：在实现了指令译码逻辑、时序发生器主要功能部件后，进一步设计实现控制器核心模块硬布线控制器组合逻辑单元，控制器框架如下图所示。

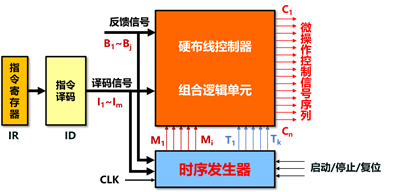


图 1.1 硬布线控制器

1. 定长指令周期---硬布线控制器设计：实现硬布线控制器的集成，其中时序发生器框架如下图：

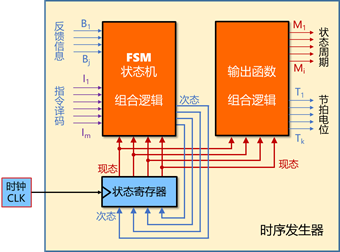


图1.2 时序发生器

1. 定长指令周期---单总线CPU设计：在RAM中加载sort-5.hex程序，ctrl+k自动运行，程序应该运行至0xbbb节拍停下，指令计数为251，注意最后一条指令是一条beq分支指令，会跳回当前指令继续执行，是死循环。

## 方案设计

### 指令译码器

通过将op操作位与这几个指令的操作位比较，如果相同，则为该指令，否则为其他指令。其中SLT指令需要将op与操作位比较完之后再与FUNCT进行比较，才能得到是否为该指令。

### 时序发生器状态机

设计状态机时，通过实验所给状态迁移图，如图1.3所示。通过该图填写所给的excel表，填写结果如图1.4所示，将真值表所得的表达式填写到分析电路时对应的位置，即可生成对应的电路图。

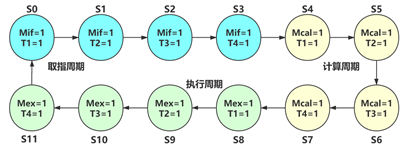


图1.3 状态迁移图

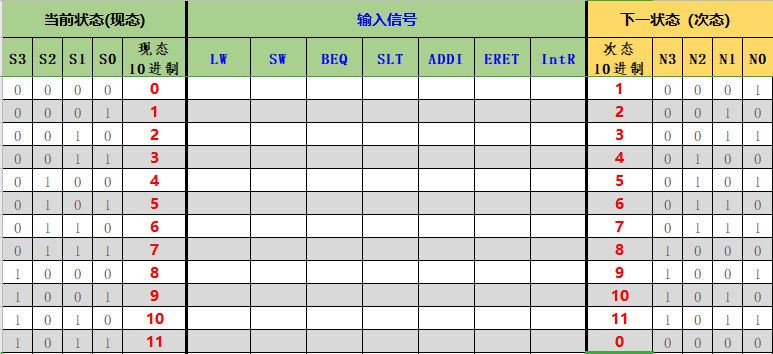


图1.4 状态机真值表

### 时序发生器输出函数

通过图1.3所给的每个状态，填写对应的excel表格，得到如图1.5所示的表格，将表格生成的表达式填写到对应的分析电路的对应位置，生成电路即可得到时序发生器输出函数的电路图。

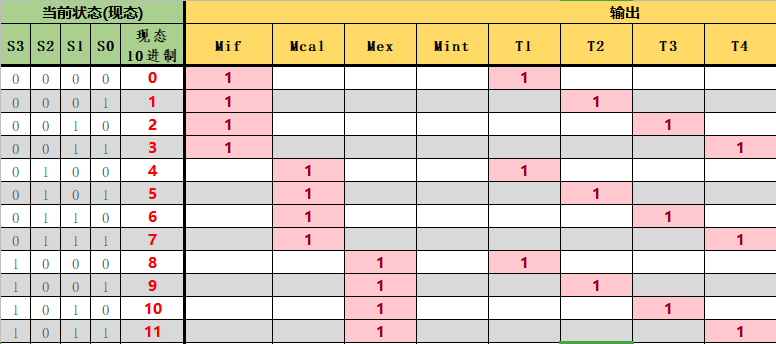


图1.5 输出函数真值表

### 硬布线控制器组合逻辑单元

硬布线控制器的组合逻辑单元控制在在每个状态，如果收到什么样的信号，输出对应位的指令。其中前四个取指令操作是所有指令共享的，都相同。但是对于后面周期的指令，需要每个指令分开写，因为它们输出的指令不同。最终得到的表格如图1.6所示，其中注意SLT指令其前部分操作与addi一致，但在Mint T2周期时，其输出指令有一个Slt的操作，这点与PPT并不一致，注意修改。

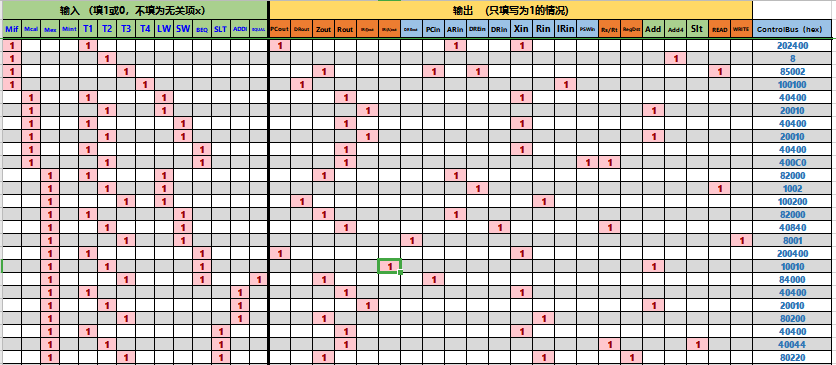


图1.6 组合逻辑单元真值表

### 硬布线控制器

由图1.1的硬布线控制器的逻辑图可知，状态寄存器将状态传给状态机和输出函数，状态机将次态传给状态寄存器作为输入，使用分线器连接各个点得到如图1.7所示。

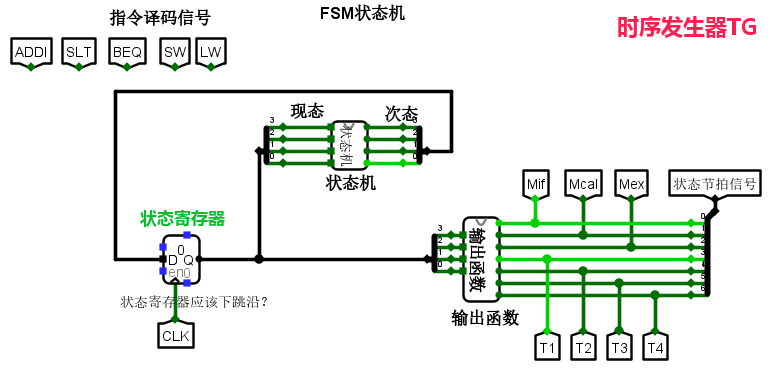


图1.7 硬布线控制器

## 实验步骤

1. 按照题目要求对于整个系统的架构进行分析，将cpu分成多个部件然后组装到一起，根据每一关构造各个模块，按照平台实验要求和老师对应的视频文件，利用对应的excel表完成对应的circ电路文件，并在每个模块构建完成后对其进行单元测试，以保证各个模块独自工作时功能是正常的。
2. 将完成的circ电路图用记事本打开，将代码复制后放入平台测试每一关。
3. 对应平台中测试机不同的测试集报错信息对自己的电路图进行修改。 在构建好的CPU上加载程序并运行，对于执行错误的地方进行单步调试并分析错误原因，然后对于电路进行修改，直到没有任何错误出现。

## 故障与调试

在进行单总线CPU的测试时，打开MEM的存储内容，发现排序结果与老师给的并不一致，经资料和老师讲解后明白因为Z寄存器没有控制，定长周期的空周期导致Z值错误，得到的排序跑到了最开头的位置。

## 测试与分析

加载测试镜像sort-5.hex，得到的结果如图1.8所示，指令数停在251。得到的排序结果如图1.9所示，与要求实验结果不一致，分析如下：

在进行单总线CPU的测试时，打开MEM的存储内容，发现排序结果与老师给的并不一致，经资料和老师讲解后明白因为Z寄存器没有控制，定长周期的空周期导致Z值错误，得到的排序跑到了最开头的位置。

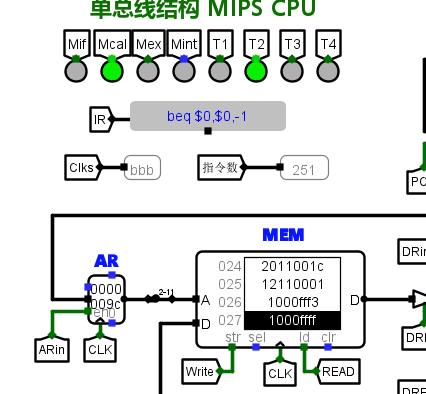


图1.8 单总线CPU

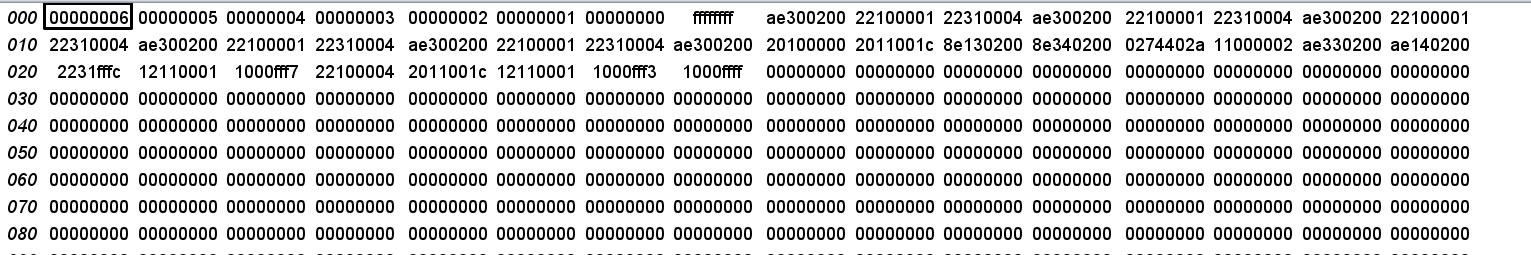


图1.9 测试程序排序结果

# 单总线CPU（现代时序）设计实验

## 设计要求

1. 单总线CPU微程序入口查找逻辑：设计如下电路，根据指令译码信号生成5位的微程序入口地址。

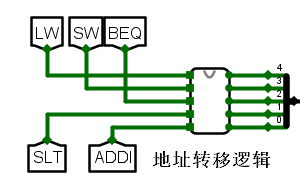


图2.1 微程序地址转移逻辑

1. 单总线CPU微程序条件判别测试逻辑：根据微指令字中的判别测试字段和条件反馈信息生成后续地址的多路选择信号，要求实现对应组合逻辑。
2. 单总线CPU微程序控制器设计：将微程序入口查找逻辑,判别测试逻辑，控制存储器等部件进行适当连接设计微程序并加载到控制存储器中。
3. 采用微程序的单总线CPU设计：在RAM中加载sort-5.hex程序，ctrl+k自动运行，程序应该运行至0x7c1节拍停下，指令计数为251。
4. 现代时序硬布线控制器设计：在实现指令译码、现代时序状态机模块后，最终实现硬布线控制器的集成，完成硬布线控制器框架连接。
5. 现代时序硬布线控制器状态机设计：利用数字逻辑电路相关知识设计现代时序硬布线核心部件状态机模块,实际状态机如下图：

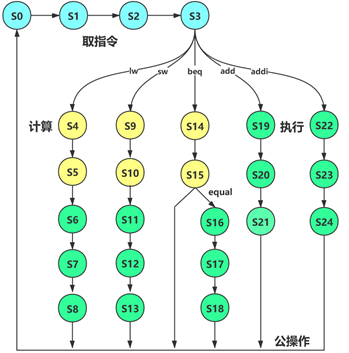


图2.2 硬布线状态机

## 方案设计

### 单总线CPU微程序入口查找逻辑

根据图2.2的状态转移图，发现入口状态为4、9、14、19、22。根据每个入口状态对应的指令，填写ecxcel表，得到如图2.3所示的真值表，将得到的表达式写入对应的分析电路中，得到该电路。

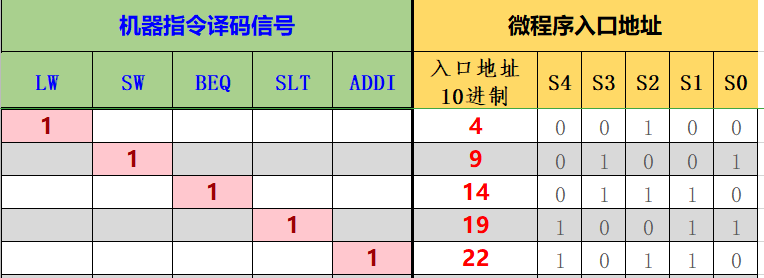


图2.3 入口逻辑真值表

### 微程序条件判别测试逻辑

P0：输入判别测试位，为1表示要根据指令功能进行微程序分支。P1：输入判别测试位，为1表示要根据equal标志进行微程序分支。Equal：输入条件状态位，表示运算相等。在电路图中可以看出，00为下址字段，01为微程序入口，10为beq分支，所以当P0为1时，下条指令从微程序入口进入，即01；当P1为1时，要判别equal是否为1，为1则下条指令从10进入，为0则下条指令从00进入。

### 微程序控制器

判别测试逻辑得到的两位为多路选择器的选择条件，下址字段为微指令的后五位，即下个状态，微程序入口为根据指令功能得到的下个状态，beq分支为收到equal信号要执行的下个状态。电路图如图2.4所示。其中控制存储器的存储数据应该为微程序指令，该内容通过填写微程序指令excel表获得。如图2.5所示。

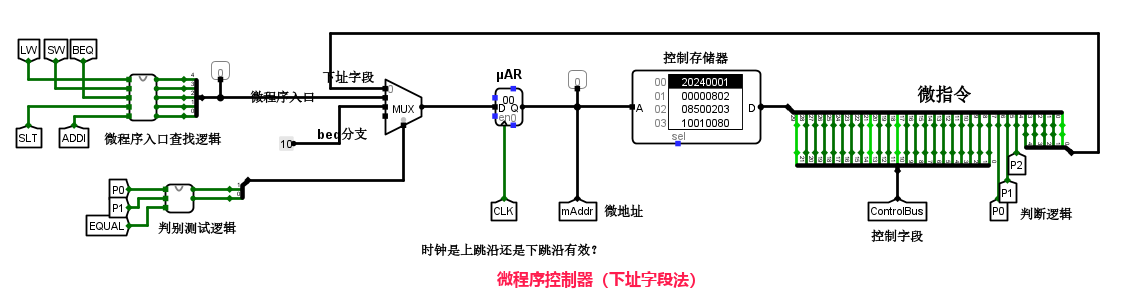


图2.4 微程序控制器

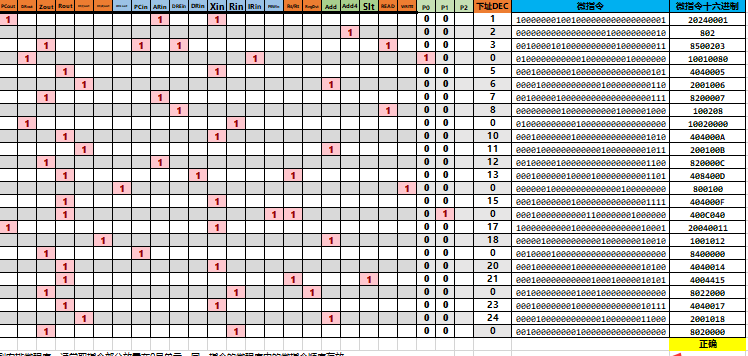


图2.5 微程序指令表

### 现代时序硬布线控制器状态机

根据图2.2状态机的转移图，可以填写excel真值表，将填写完得到的公式放入分析电路的公式中，可得到状态机的电路图。

### 现代时序硬布线控制器

根据图2.8硬布线控制器的逻辑图，状态机将次态传给状态寄存器，状态寄存器将得到的现态传给状态机，得到如图2.9所示的电路图。

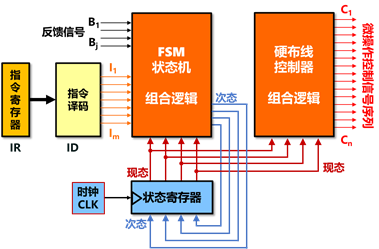


图2.8 硬布线控制器逻辑

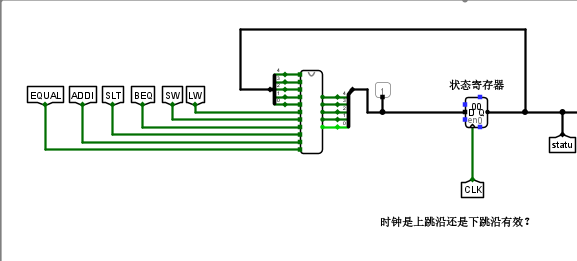


图2.9 硬布线控制器电路图

## 实验步骤

1. 按照题目要求对于整个系统的架构进行分析，将cpu分成多个部件然后组装到一起，根据每一关构造各个模块，按照平台实验要求和老师对应的视频文件，利用对应的excel表完成对应的circ电路文件，并在每个模块构建完成后对其进行单元测试，以保证各个模块独自工作时功能是正常的。
2. 将完成的circ电路图用记事本打开，将代码复制后放入平台测试每一关。
3. 对应平台中测试机不同的测试集报错信息对自己的电路图进行修改。 在构建好的CPU上加载程序并运行，对于执行错误的地方进行单步调试并分析错误原因，然后对于电路进行修改，直到没有任何错误出现。

## 故障与调试

在设计微程序指令时，按照老师所给的表格发现怎么也不能通过测试，最后经过查找数据集调试发现，有些指令与老师给的并不一致，比如SLT指令其前部分操作与addi一致，但在Mint T2周期时，其输出指令有一个Slt的操作。

## 测试与分析

将设置好的微程序控制器放到CPU通路中进行测试，得到的结果如图2.6和图2.7所示，该结果正确，符合要求。

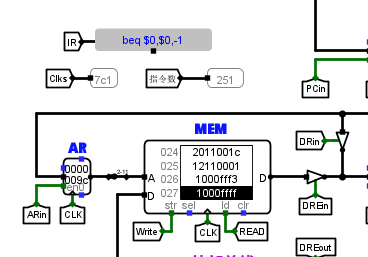


图2.6 微程序单总线CPU结果

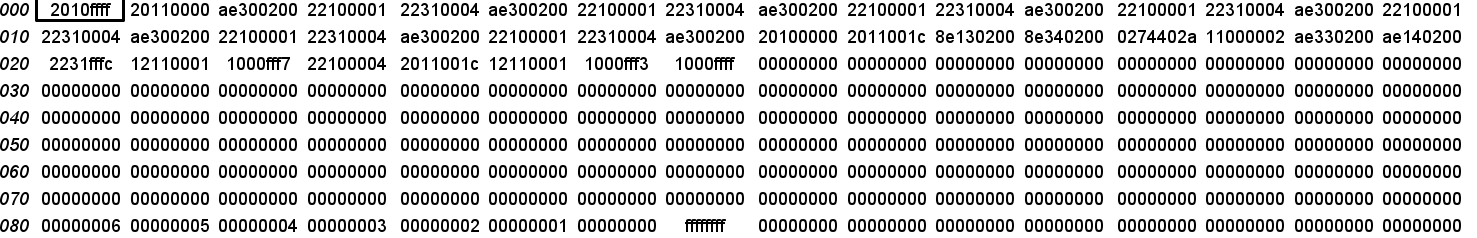


图2.7 微程序单总线CPU结果

# 现代时序中断机制设计实验

## 设计要求

1. 支持中断微程序入口查找逻辑：根据指令译码信号生成5位的微程序入口地址。
2. 支持中断的微程序条件判别测试逻辑：根据微指令字中的判别测试字段和条件反馈信息生成后续地址的多路选择信号，要求实现对应组合逻辑。
3. 支持中断的微程序控制器设计：将微程序入口查找逻辑,判别测试逻辑，控制存储器等部件进行适当连接，设计微程序并加载到控制存储器中。
4. 支持中断的微程序单总线CPU设计：异常程序地址计数器EPC，中断使能寄存器IE，中断控制器等模块，将这些模块进行有效连接，并在本关进行最终的联调。
5. 支持中断的现代时序硬布线控制器状态机设计：利用数字逻辑电路相关知识设计现代时序硬布线核心部件状态机模块。

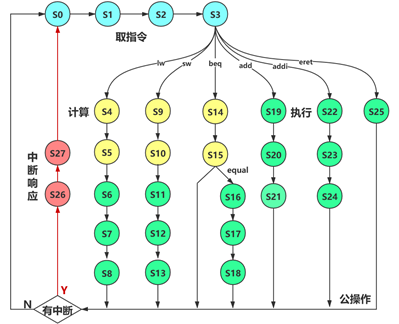


图3.1 支持中断状态转移图

1. 支持中断的现代时序硬布线控制器设计：在实现指令译码、现代时序状态机模块后，最终实现硬布线控制器的集成，完成硬布线控制器框架连接。

## 方案设计

### 支持中断的微程序入口查找逻辑

对于支持中断的微程序入口查找逻辑，其对应的真值表为图3.1所示。因为要支持中断，一共有27个状态需要选择，所以对应的入口地址为五位S0~S4。每一个对应的指令信号都能进入不同的状态入口，其中与上面微程序不一样的是多了指令ERET，这个指令控制了什么时候进入状态25。



图3.2 支持中断的微程序入口查找逻辑

### 支持中断的微程序条件判别逻辑

### 对于支持中断的微程序条件判别逻辑，在控制器中，多路选择器有五条输入路线可以选择，故S为三位，而该电路便是找出什么情况下选择哪条路径。

P0：输入判别测试位，为1表示要根据指令功能进行微程序分支；P1：输入判别测试位，为1表示要根据equal标志进行微程序分支；P2：输入判别测试位，为1表示是微程序的最后一条微指令，可能需要进行中断响应；Equal：输入条件状态位，表示运算相等。

当P0为1时，需要选择指令入口地址，s为001；P1为1时，要判断equal是否为1，为1则S为010，P2为1时，需要判断INTR是否为1，若为1，则进入中断相应入口011。其中只要为最后一条指令P2就为1。真值表如图3.2所示

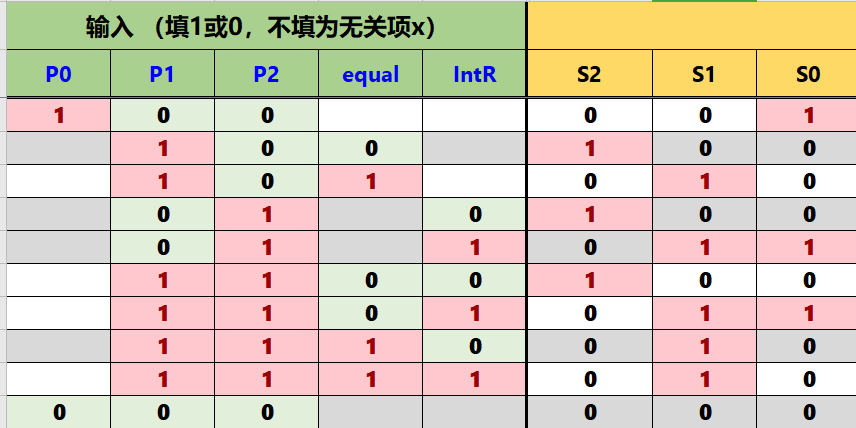


图3.3 支持中断的微程序条件判别逻辑

### 支持中断的微程序控制器设计

判别测试逻辑得到的两位为多路选择器的选择条件，顺序地址为下个状态，微程序入口为根据指令功能得到的下个状态，beq分支为收到equal信号要执行的下个状态，中断响应入口为中断程序的地址，取址微程序入口为0即为程序取址操作的开始。电路图如图3.3 所示。在顺序地址的选择中，加入了多路选择器和比较器判断下一个地址是不是28，如果是28，则选择地址为0作为下一个指令地址。

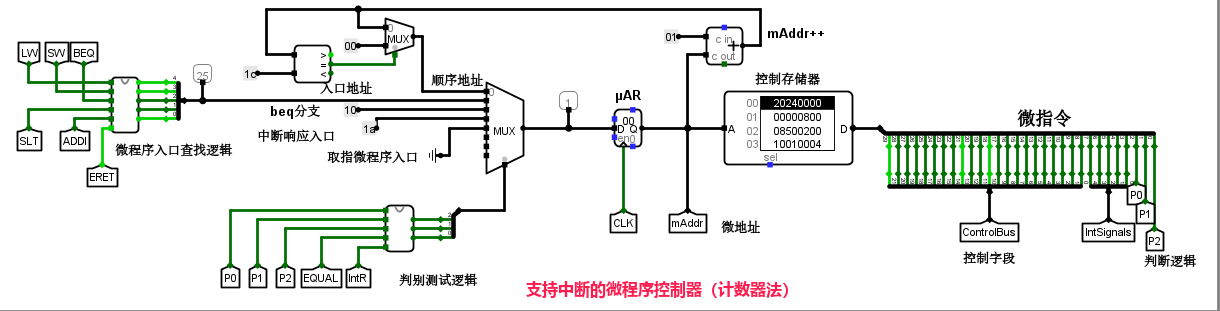


图3.4 支持中断的微程序控制器

### 支持中断的微程序单总线CPU

在文件6.CPU设计实验中，找到文件汇编工具及测试用例4.4，里面有Mars4\_5.jar，双击打开，载入文件sort-5-int.asm，根据注释选中菜单栏中的Settings的最下方的Memory Configuration，设置更改为Compact，data at address 0，完成后选中菜单栏中的Run的Assemble，在Execute中可以看见指令的Address，显示的两个中断程序入口指令(addi $sp,$sp,8)的地址0x000030a4和0x000030ec即是所求。若有判断是1号中断还是2号中断，选择对应的入口地址后传递到总线。如图3.4。

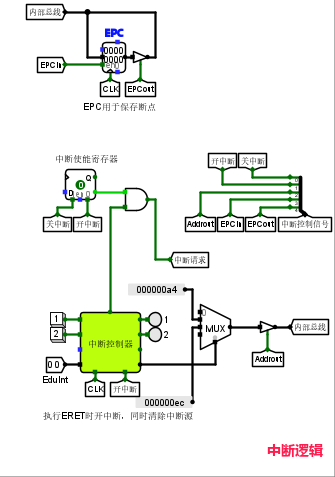


图3.5 支持中断的微程序CPU中断电路

然后导入镜像文件即可。中断逻辑主要增加了对于当前pc的寄存器EPC，以及中断信号控制器和中断信号选择器，当收到中断指令的时候pc进入EPC寄存器中对应着EPCin，然后进行关中断操作，然后通过中断控制器输出选择的中断信号，通过多路选择器将对应的中断入口地址送入总线中。请求结束后，要通过EPCout信号将上次的现场恢复。

### 支持中断的现代时序硬布线控制器状态机

根据状态转移图图3.1，将每个状态对应的下一个次态填入真值表中，真值表如图3.6所示。其中到26的中断程序的转移需要信号IR才可以转移，相当于出现了中断信号。其余的如取址指令完之后需要相应的指令信号出现才会转移到相应的状态，如到状态15之后需要出现equal信号才会进入状态16，否则要到判断中断的地方。

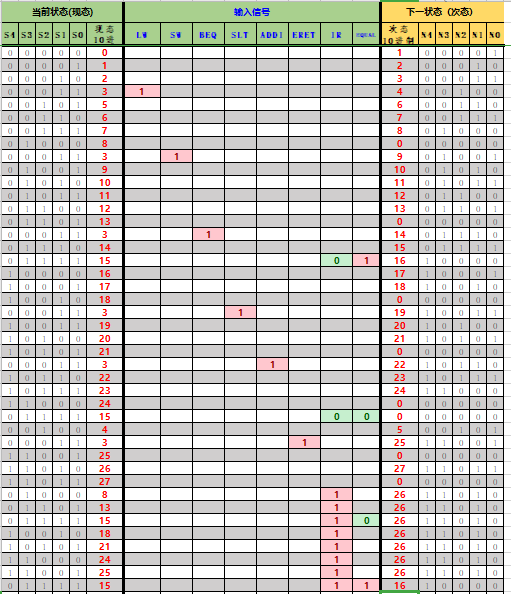


图3.6 支持中断的现代时序硬布线控制器状态机

### 支持中断的现代时序硬布线控制器设计

根据所给的设计原理图，状态机将次态传给状态寄存器，状态寄存器将得到的现态传给状态机，其中对于微指令的最后三位分别为P1、P2、P3，倒数四到八位则为中断信号，这点可根据微指令的构成得到。图3.6即为硬布线控制器的电路图。

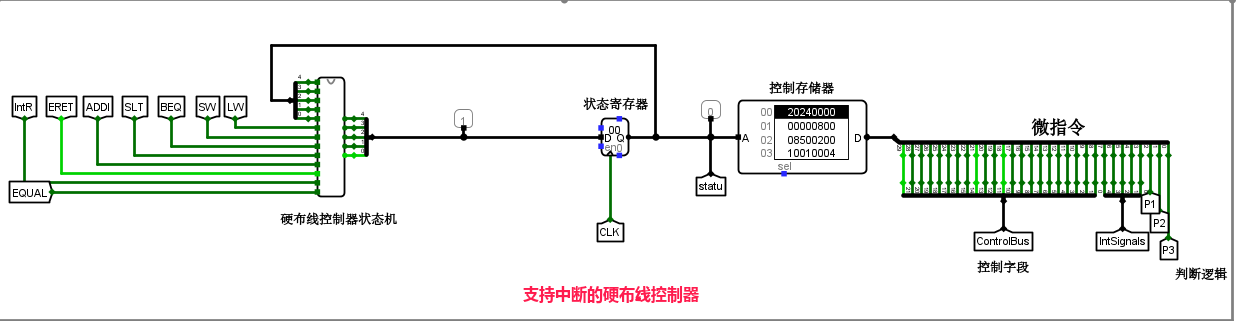


图3.6 支持中断的现代时序硬布线控制器电路

## 实验步骤

1. 按照题目要求对于整个系统的架构进行分析，将cpu分成多个部件然后组装到一起，根据每一关构造各个模块，按照平台实验要求和老师对应的视频文件，利用对应的excel表完成对应的circ电路文件，并在每个模块构建完成后对其进行单元测试，以保证各个模块独自工作时功能是正常的。
2. 将完成的circ电路图用记事本打开，将代码复制后放入平台测试每一关。
3. 对应平台中测试机不同的测试集报错信息对自己的电路图进行修改。 在构建好的CPU上加载程序并运行，对于执行错误的地方进行单步调试并分析错误原因，然后对于电路进行修改，直到没有任何错误出现。

## 故障与调试

### 在写支持中断的微程序条件判别逻辑时，没有搞明白P1、P2、P3的优先级，导致写了好几次都没有通过，实际上应该为P0为1时，P1、P2应该都为0；P1为1时，要先对P1进行判断，P2为1时，要先看P2是否为0。

## 测试与分析

对于含有中断的CPU测试：在MEM中加载sort-5-int.hex程序，ctrl+k自动运行电路结果如图3.7所示。由运行结果可知该车工序运行至0x7c8节拍停下，指令计数为252符合实验要求完成有符号数的降序排序，排序结果如图3.8所示。

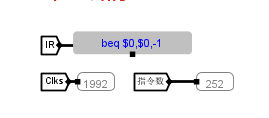


图3.7 电路测试结果

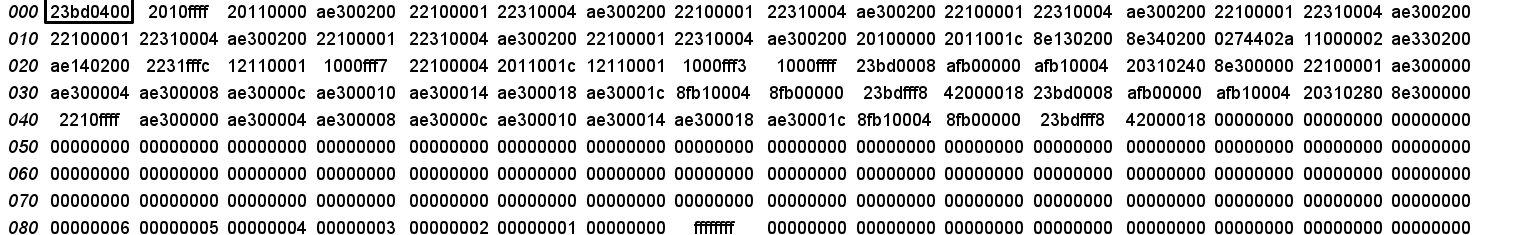


图3.8 MEM中排序结果

# 总结与心得

## 实验总结

本次实验主要完成了如下几点工作：

1. 完成单总线CPU定长指令周期三级时序电路的设计，完成单总线CPU微程序以及硬布线电路的设计，完成现代时序中断机制的实现。
2. 实现了单总线CPU能按要求完成工作，通过测试可以得到正确的测试结果。实现了CPU对中断的处理，可以准确地完成中断。

## 实验心得

1. 通过本次的实验，主要对CPU运行的工作机制有了一定的了解，对CPU基本上由哪些部件构成，这些部件在其中又起着什么样的作用有了比较全面而且清晰的了解。除此之外，通过实际对电路图上手设计，能让这些原理和逻辑更好地更深刻地进入自己的知识体系。
2. 对于该实验课程，不得不说，该实验课程的慕课还有计算机组成原理的慕课都做得很好，没有冗余的内容，基本上可以很快地学习和了解相关内容，并根据老师所给视频和逻辑图理解原理，完成实验。
3. 对于该实验课的建议的话，主要是设计微指令的时候，老师视频和PPT里面给的指令并不全，然后实验中又出现了该指令，只能看着测试集找对应的十六进制串，然后来看这个指令究竟是什么。
4. 总的来说，该课程给我带来的收获还是很大的，理解原理才是真理。

# 参考文献

1. DAVID A.PATTERSON(美).计算机组成与设计硬件/软件接口(原书第5版).北京:机械工业出版社.
2. David Money Harris(美).数字设计和计算机体系结构（第二版）. 机械工业出版社
3. 谭志虎,秦磊华,胡迪青.计算机组成原理实践教程.北京:清华大学出版社，2018年.
4. 秦磊华，吴非，莫正坤.计算机组成原理. 北京:清华大学出版社，2011年.
5. 袁春风编著. 计算机组成与系统结构. 北京:清华大学出版社，2011年.
6. 张晨曦，王志英. 计算机系统结构. 高等教育出版社，2008年.

|  |
| --- |
| 一、原创性声明 |
| 本人郑重声明本报告内容，是由作者本人独立完成的。有关观点、方法、数据和文献等的引用已在文中指出。除文中已注明引用的内容外，本报告不包含任何其他个人或集体已经公开发表的作品成果，不存在剽窃、抄袭行为。  特此声明！  **作者签字:** |
| 二、对课程实验的学术评语（教师填写） |
|  |
| 三、对课程实验的评分（教师填写） |
| |  |  |  |  | | --- | --- | --- | --- | | 评分项目  （分值） | 报告撰写  （30分） | 课设过程  （70分） | 最终评定  （100分） | | 得分 |  |  |  | |
| **指导教师签字:** |