

**HUBEI UNIVERSITY OF AUTOMOTIVE TECHNOLOGY**



**计算机组成原理**

**实 验 报 告**

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| 实验项目 | 双端口存储器原理实验 | | | |
| 学生姓名 | 章崇文 | 学生学号 | 202202296 | |
| 学生班级 | 计算机222 | 完成日期 | 2024.6.3 | |
| 实验成绩 |  | 评阅日期 | |  |
| 评阅教师 |  | | | |

一、实验目的

1.了解双端口静态随机存储器IDT7132的工作特性及使用方法。

2.了解半导体存储器怎样存储和读出数据。

3.了解双端口存储器怎样并行读写，产生冲突的情况如何。

二、实验电路

图2.1示出了双端口存储器的实验电路图。这里使用了一片IDT7132（U36）（2048×8位），两个端口的地址输入A8-A10引脚接地，因此实际使用存储容量为256字节。左端口的数据部分连接数据总线DBUS7-DBUS0，右端口的数据部分连接指令总线INS7-INS0。一片GAL22V10（U37）作为左端口的地址寄存器（AR1），内部具有地址递增的功能。两片4位的74HC298（U28、U27）作为右端口的地址寄存器（AR2H、AR2L），带有选择输入地址源的功能。使用两组发光二极管指示灯显示地址和数据：通过开关IR/DBUS切换显示数据总线DBUS和指令寄存器IR的数据，通过开关AR1/AR2切换显示左右两个端口的存储地址。写入数据由实验台操作板上的二进制开关SW0-SW7设置，并经过SW\_BUS三态门74HC244（U38）发送到数据总线DBUS上。指令总线INS上的指令代码输出到指令寄存器IR（U20），这是一片74HC374。

存储器IDT7132有6个控制引脚：CEL#、LRW、OEL#、CER#、RRW、OER#。CEL#、LRW、OEL#控制左端口读、写操作CER#、RRW、OER#控制右端口读、写操作。CEL#为左端口选择引脚，低有效。当CEL#=1时，禁止左端口读、写操作；当CEL#=0时，允许左端口读、写操作。当LRW为高时，左端口进行读操作；当LRW为低时，左端口进行写操作。当OEL#为低时,将左端口读出的数据放到数据总线DBUS上；当OEL#为高时，禁止左端口读出的数据放到数据总线DBUS上。CER#、RRW、OER#控制右端口读、写操作的方式与CEL#、LRW、OEL#控制左端口读、写操作的方式类似，不过右端口读出的数据放到指令总线上而不是数据总线上。实验台上的OEL#由LRW经反相产生。当CEL#=0且LRW=1时，左端口进行读操作，同时将读出的数据放到数据总线DBUS上。当CEL#=0且LRW=0时，在T3的上升沿开始进行写操作，将数据总线上的数据写入存储器。实验台上已连接T3到时序发生器的T3输出。实验台上OER#已固定接地，RRW固定接高电平，CER#由CER反相产生，因此当CER=1且LDIR=1时，右端口读出的指令在T4的上升沿打入IR寄存器。

存储器的地址由地址寄存器AR1、AR2提供，而AR1和AR2的内容根据数码开关SW0-SW7设置产生，并经三态门SW\_BUS发送到数据总线时被AR1或AR2接受，三态门的控制信号SW\_BUS#是低电平有效。数据总线DBUS有5个数据来源；运算器ALU，寄存器堆RF，控制台开关SW0-SW7，双端口存储器IDT7132和中断地址寄存器IAR。在任何时刻，都不允许两个或者两个以上的数据源同时向数据总线DBUS输送数据，只允许一个（或者没有）数据源向数据总线DBUS输送数据。在本实验中，为了保证数据的正确设置和观察，请令RS\_BUS#=1，ALU\_BUS=0，IAR\_BUS#=1。AR1的控制信号是LDAR1和AR1\_INC。当LDAR1=1时，AR1从DBUS接收地址；当AR1\_INC=1时，使AR1中的存储器地址增加1；在T4的上升沿，产生新的地址；LDAR1和AR1\_INC两者不可同时为1。AR2的控制信号是LDAR2和M3。当M3=1时，AR2从数据总线DBUS接收数据；当M3=0时，AR2以PC总线PC0-PC7作为数据来源。当LDAR2=1时，在T2的下降沿，将新的PC值打入AR2。

图片1

图2.1 双端口存储器实验电路图

1. 实验接线

本实验共有12条接线，分别为：CEL#接K0， LRW接K1， CER接K2， LDAR2接K4， LDIR接K6， M3接“+5V”，AR1\_INC接地，LDAR1接K3， RS\_BUS#接“+5V”，IAR\_BUS#接“+5V”,SW\_BUS#接K5，ALU\_BS接地。

四、实验过程

1. 将实验系统设置为单排模式，将开关设置为DB = 0，DZ = 0，DP = 1。

2. 打开实验台电源，按下复位按钮CLR#，将系统初始化。

3. 首先从左端口写入数据。设置IR/DBUS = DBUS，AR1/AR2 = AR1。写入数据前，需先将地址写入地址寄存器AR1中。关闭k2、k4和k6（置0），保留SW\_BUS#和AR1。关闭片选信号k0，打开k3（置1接受地址），打开k5（置0）。将开关SW7—SW0设置为00000000B，按下QD发送脉冲，将地址00000000B存入AR1中。然后开始传输第一个数据。保持k5打开状态，将k0置0（打开片选信号），选中CEL#，将k1置0（准备写入）。将开关SW7—SW0设置为01010101B，按下QD发送脉冲，完成第一个数据的写入。重复以上步骤，每次先传地址再传数据，完成左写操作。

4. 然后进行左读操作，操作类似于写操作，但读取的数据放在数据总线DBUS上。设置SW\_BUS和AR1打开，关闭其他开关。将k3置1（接受地址），将k5置0（传输地址）。以第一个数据为例，将开关SW7—SW0设置为00000000B，按下QD，将地址发送出去。观察绿灯以确认地址是否正确，然后开始读取数据。关闭k5，将k3置0，将k0置0（打开），将k1置1（读端），读取的数据将放在数据总线DBUS上。观察连接DBUS的红灯显示01010101B，与之前写入的数据一致，完成左读操作。

5. 右读操作与左读类似，但读取的数据放在指令总线上。设置IR/DBUS = IR，AR1/AR2 = AR2。先传送地址，保持SW\_BUS和AR2打开，关闭其他开关。将k3置0（接受地址），将k5置0（传输地址），将k0置1（打开），将k4置1（选中），将k2置1（传输指令）。测试第一个数据，将开关SW7—SW0设置为00000000B，按下QD，地址已发送。关闭k4，将k2置1，将k6置1，数据将被放入IR寄存器中。观察IR寄存器的红灯，完成右读操作。

五、实验数据

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| 左写输入地址 | 左写输入数据 | 左读送入地址 | 左读数据 | 右读送入地址 | 右读数据 |
| 0000 0000 | 0000 0000 | 0000 0000 | 0000 0000 | 0000 0000 | 0000 0000 |
| 0001 0000 | 0000 0001 | 0001 0000 | 0000 0001 | 0001 0000 | 0000 0001 |
| 0011 0000 | 0000 0011 | 0011 0000 | 0000 0011 | 0011 0000 | 0000 0011 |
| 0111 0000 | 0000 0111 | 0111 0000 | 0000 0111 | 0111 0000 | 0000 0111 |
| 1111 0000 | 0000 1111 | 1111 0000 | 0000 1111 | 1111 0000 | 0000 1111 |

1. 思考题

**M1、M2控制信号的作用是什么？改变M1、M2的高低电平，重复上述步骤，观察出现什么问题？**

**M1、M2控制信号的作用**

M1和M2信号直接关联到存储器的访问控制机制，它们共同或分别作用于存储器的读写操作，以及数据路径的选择。具体来说：

* **M1**：此信号可能负责控制第一端口（通常称为端口A）的访问权限，比如决定是否允许读取或写入操作。当M1为特定电平时，它可能激活端口A的读/写周期，允许数据通过该端口与存储矩阵交换。
* **M2**：相对应地，M2信号可能控制第二端口（端口B）的访问，执行类似的读写控制功能。通过改变M2的电平状态，可以有效开启或关闭端口B的访问通道，确保数据传输的正确执行和避免冲突。

**改变M1、M2电平的影响**

当单独或联合调整M1、M2的电平状态时，可能会观察到以下几种情况：

1. **访问冲突**：若不恰当地同时激活M1和M2，即两个端口试图同时访问同一存储位置，可能会引发访问冲突或数据混乱，这是双端口设计中必须避免的情况。
2. **数据传输错误**：改变M1或M2而未适当同步其他控制信号（如读写控制信号），可能导致数据传输错误，如写入操作未能正确执行或读取到无效数据。
3. **性能影响**：合理配置M1、M2信号，可实现高效的并发访问，提高系统整体的数据吞吐量。反之，则可能降低系统性能，甚至导致死锁状态。

**结合M3的综合考量**

提到的M3信号则进一步展示了地址来源选择的灵活性，它控制地址寄存器AR2是接收来自数据总线DBUS的数据还是程序计数器PC的输出。这一机制强调了系统在处理不同操作模式（如直接数据处理与程序执行控制）间的切换能力。

综上所述，M1、M2及M3控制信号在双端口存储器或类似系统设计中扮演着核心角色，它们共同决定了数据的流向、存储访问的时机与方式，以及系统处理逻辑的灵活性与效率。任何对这些控制信号的调整都需要细致考虑，以确保系统的稳定运行与高效执行。

1. 实验总结

完成双端口存储器原理实验极大地丰富了我的专业知识与实践技能。通过这次实践，我不仅深刻理解了双端口存储器如何利用两个独立端口同时执行读写操作的精密机制，还掌握了控制信号管理数据传输的复杂逻辑，这对于深化数字电路和计算机组成原理的理解尤为重要。实验操作中，我逐步熟练了从设置实验设备到观察结果的每一步流程，显著提升了我的动手能力和实验技巧。此外，实验的团队合作模式促进了我和同伴之间的有效沟通与协作解决问题，这不仅加强了我的团队精神，还锻炼了在技术层面的交流能力。总之，这次实验经历是一个将理论与实践紧密结合的过程，全方位提升了我的专业素养和软技能。