

**HUBEIUNIVERSITY OF AUTOMOTIVE TECHNOLOGY**



**计算机组成原理**

**实 验 报 告**

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| 实验项目 | 实验三 | 实验类别 | | | 验证性 |
| 学生姓名 | 章崇文 | 学生学号 | | | 202202296 |
| 学生班级 | 计算机222 | | | | |
| 完成日期 | 2024/6/7 | | | | |
| 实验成绩 |  | | 评阅日期 |  | |
| 评阅教师 |  | | | | |

实验三 数据通路组成实验

一、实验目的

1.将双端口通用寄存器堆和双端口存储器模块联机；

2.进一步熟悉计算机的数据通路；

3.掌握数字逻辑电路中故障的一般规律，以及排除故障的一般原则和方法；

4.锻炼分析问题与解决问题的能力，在出现故障的情况下，独立分析故障现象，并排除故障。

二、实验电路



图3.1 数据通路实验电路图

三、实验设备

1.TEC-4计算机组成原理实验系统1台

2.双踪示波器1台

3.直流万用表1只

4.逻辑测试笔1支

四、实验任务

4.1实验接线

本实验共接线22根:

SW\_BUS#接K0，LDAR1接K5,AR1\_INC接地，LRW接K4，CEL#接K3，

CER接地，LDER接K7，WR1接K12，WR0接K13，WRD接K14，RS1接K8，

RS0接K9，RD1接K10，RD0接K11，M2接地，LDDR2接K6，RS\_BUS#接K1，

ALU\_BUS接K2，S2接0，S1接0，S0接1，IAR\_BUS#接地

IAR\_BUS#接地

4.2实验过程

1. **向RF中的R0-R3四个寄存器分别置入数据：**

首先在每次操作开始前保证所有开关处于关闭状态

将 0FH 写入 R0:

置 SW\_BUS# = 0, LDER = 1, WRD = 0

置 WR1 = 0, WR0 = 0

置 SW0-SW7 为 00001111

按下 QD,置 SW\_BUS# = 1，WRD = 1,再次按下 QD

将 F0H 写入 R1:

置 SW\_BUS# = 0, LDER = 1, WRD = 0

置 WR1 = 0, WR0 = 0

置 SW0-SW7 为 11110000

按下 QD,置 SW\_BUS# = 1，WRD = 1,再次按下 QD

将 55H 写入 R2:

置 SW\_BUS# = 0, LDER = 1, WRD = 0

置 WR1 = 0, WR0 = 0

置 SW0-SW7 为 10101010

按下 QD,置 SW\_BUS# = 1，WRD = 1,再次按下 QD

将 AAH 写入 R3:

置 SW\_BUS# = 0, LDER = 1, WRD = 0

置 WR1 = 0, WR0 = 0

置 SW0-SW7 为 01010101

按下 QD,置 SW\_BUS# = 1，WRD = 1,再次按下 QD

1. **从运算器读出。**

读出 R0 的值:

置 RS\_BUS# = 1, SW\_BUS# = 1, LDDR2 = 1, ALU\_BUS = 0

置 RD1 = 0, RD0 = 0

按下 QD，置ALU\_BUS = 1

读出 R1 的值:

RS\_BUS# = 1, SW\_BUS# = 1, LDDR2 = 1, ALU\_BUS = 0

置 RD1 = 0, RD0 = 1

按下 QD，置ALU\_BUS = 1

读出 R2 的值:

置 RS\_BUS# = 1, SW\_BUS# = 1, LDDR2 = 1, ALU\_BUS = 0

置 RD1 = 1, RD0 = 0

按下 QD，置ALU\_BUS = 1

读出 R3 的值:

置 RS\_BUS# = 1, SW\_BUS# = 1, LDDR2 = 1, ALU\_BUS = 0

置 RD1 = 1, RD0 = 1

按下 QD，置ALU\_BUS = 1

1. **将R0-R3中的数据依次送入存储器（四个单元）中。**

送入 R0 的值:

置 SW\_BUS# = 0，LDDR1 = 1

置 SW0-SW7 为 00000001

按下 QD，置SW\_BUS# = 1，LDDR1 = 0，RS\_BUS# = 0，CEL# = 0，LRW = 0

置RS1 = 0，RS2 = 0，按下 QD

送入 R1 的值:

置 SW\_BUS# = 0，LDDR1 = 1

置 SW0-SW7 为 00000011

按下 QD，置SW\_BUS# = 1，LDDR1 = 0，RS\_BUS# = 0，CEL# = 0，LRW = 0

置RS1 = 0，RS2 = 1，按下 QD

送入 R2 的值:

置 SW\_BUS# = 0，LDDR1 = 1

置 SW0-SW7 为 00000111

按下 QD，置SW\_BUS# = 1，LDDR1 = 0，RS\_BUS# = 0，CEL# = 0，LRW = 0

置RS1 = 1，RS2 = 0，按下 QD

送入 R3 的值:

置 SW\_BUS# = 0，LDDR1 = 1

置 SW0-SW7 为 00001111

按下 QD，置 SW\_BUS# = 1，LDDR1 = 0，RS\_BUS# = 0，CEL# = 0，LRW = 0

置 RS1 = 1，RS2 = 1，按下 QD

1. **由存储器读出返写回RF，再读出。**

操作 R0:

置 SW\_BUS# = 0，LDDR1 = 1

置 SW0-SW7 为 00000001

按下 QD，置SW\_BUS# = 1，LDDR1 = 0，CEL# = 0，LRW = 1

按下 QD，从存储器中读出，置LDER = 1

置 WR1 = 0，WR0 = 0

按下 QD，置CEL# = 1，WRD = 1

按下 QD，置LDER = 0，RS\_BUS# = 0

置 RS1 = 0，RS0 = 0

按下 QD

操作 R1:

置 SW\_BUS# = 0，LDDR1 = 1

置 SW0-SW7 为 00000011

按下 QD，置SW\_BUS# = 1，LDDR1 = 0，CEL# = 0，LRW = 1

按下 QD，从存储器中读出，置LDER = 1

置 WR1 = 0，WR0 = 1

按下 QD，置CEL# = 1，WRD = 1

按下 QD，置LDER = 0，RS\_BUS# = 0

置 RS1 = 0，RS0 = 1

按下 QD

操作 R2:

置 SW\_BUS# = 0，LDDR1 = 1

置 SW0-SW7 为 00000111

按下 QD，置SW\_BUS# = 1，LDDR1 = 0，CEL# = 0，LRW = 1

按下 QD，从存储器中读出，置LDER = 1

置 WR1 = 1，WR0 = 0

按下 QD，置CEL# = 1，WRD = 1

按下 QD，置LDER = 0，RS\_BUS# = 0

置 RS1 = 1，RS0 = 0

按下 QD

操作 R3:

置 SW\_BUS# = 0，LDDR1 = 1

置 SW0-SW7 为 00001111

按下 QD，置SW\_BUS# = 1，LDDR1 = 0，CEL# = 0，LRW = 1

按下 QD，从存储器中读出，置LDER = 1

置 WR1 = 1，WR0 = 1

按下 QD，置CEL# = 1，WRD = 1

按下 QD，置LDER = 0，RS\_BUS# = 0

置 RS1 = 1，RS0 = 1

按下 QD

4.3实验数据

写入数据到RF寄存器：

|  |  |  |
| --- | --- | --- |
| 端口 | 预写入数据 | 写入结果 |
| R0 | OFH | 00001111 |
| R1 | OFOH | 11110000 |
| R2 | 55H | 01010101 |
| R3 | OAAH | 10101010 |

从A端口读出寄存器RF的数据：

|  |  |
| --- | --- |
| 端口 | 读出数据 |
| R0 | 00001111 |
| R1 | 11110000 |
| R2 | 01010101 |
| R3 | 10101010 |

将数据写入存储器：

|  |  |  |
| --- | --- | --- |
| 端口 | 写入的数据 | 写入的地址 |
| R0 | 00001111 | 00000001 |
| R1 | 11110000 | 00000011 |
| R2 | 01010101 | 00000111 |
| R3 | 10101010 | 00001111 |

从存储器中读出数据：

|  |  |
| --- | --- |
| 端口 | 读出数据 |
| R0 | 00001111 |
| R1 | 11110000 |
| R2 | 01010101 |
| R3 | 10101010 |

返写至RF：

|  |  |
| --- | --- |
| 端口 | 写入的数据 |
| R0 | 00001111 |
| R1 | 11110000 |
| R2 | 01010101 |
| R3 | 10101010 |

从B端读出寄存器RF的数据：

|  |  |
| --- | --- |
| 端口 | 读出数据 |
| R0 | 00001111 |
| R1 | 11110000 |
| R2 | 01010101 |
| R3 | 10101010 |

4.3回答问题

**1.保持RS端口（B端口）和WR端口同时对应R2，WRD=1，而ER中置入新的数据，观察并行输入输出的结果，RS端口输出的是旧的还是新的数据？**

在这种情况下,RS 端口输出的将是旧的数据,而不是新写入 R2 的数据。

**2. 在数据传送过程中，发现了什么故障？如何克服的？**

**这种情况下出现了数据竞争的问题,即同时读取和写入同一个寄存器。**

为了解决这个问题,我们需要采取串行化的方式,即先完成写入操作,然后再进行读取操作。

具体做法是:先完成向 R2 写入新数据的操作,然后再从 RS 端口读取 R2 的值。这样可以确保读取到的是最新的数据。

另一种解决方案是使用缓存机制,先将新数据写入缓存,然后从缓存中读取数据,这样可以避免数据竞争的问题。

五、实验总结

通过本次实验,我收获颇丰,对计算机的数据通路有了更深入的理解和认识。

理解数据通路的工作原理

此次实验中,我将双端口通用寄存器堆和双端口存储器模块进行了联机,亲身体验了计算机数据通路的工作原理。在向寄存器和存储器输入数据,并观察数据传输过程中,我对数据在各功能模块之间的流动有了更加直观的认识。这有助于我进一步理解CPU、存储器以及总线之间的交互关系,为今后学习计算机组成原理打下了坚实的基础。

掌握数字逻辑电路故障分析方法

在实验过程中,我们有意制造了一些故障,如数据竞争、地址错误等。面对这些故障现象,我运用了系统的分析方法,先观察故障表现,分析可能的原因,然后采取针对性的措施进行排除。这个过程锻炼了我的问题分析和解决能力,让我对数字逻辑电路中常见故障的成因及排除方法有了更深刻的理解。

增强独立解决问题的能力

在实验中,我独立完成了故障分析和解决的全过程。这不仅培养了我的动手能力,更重要的是培养了我独立分析问题、解决问题的能力。在遇到未知问题时,我学会了系统地观察现象、推测原因、验证假设,最终找到合适的解决方案。这种独立分析和解决问题的能力,对我今后的工作和学习都会产生积极的影响。

增强动手实践和团队协作能力

除了独立完成实验任务,我们还在小组内进行了充分的讨论和交流。大家相互借鉴经验,共同探讨故障的可能原因和解决方案。这种团队协作不仅提高了我们的问题解决能力,也锻炼了我们的沟通能力和团队合作精神。