

Descrição Protocolo FPGA-Host

Julio Nunes Avelar

5 Junho de 2024

1 Introdução

No âmbito da validação de processadores em FPGAs, o desenvolvedor perde drasticamente a capacidade de analisar sinais internos e externos do processador durante a sua execução. Por este motivo, precisamos de um hardware externo ao processador com capacidade de ler e escrever informações na memória, enviar informações ao processador e controlar os principais sinais do mesmo. Além disso, este módulo precisa ser capaz de se comunicar com uma máquina Host para que os dados possam chegar ao programa de teste e/ou ao desenvolvedor que está testando. Por esse motivo, necessita-se do desenvolvimento de um protocolo onde a máquina Host consiga enviar comandos e informações ao hardware auxiliar e vice-versa.

2 Funcionalidades Necessárias

Para controlar o Core em teste na FPGA, é essencial ter domínio sobre seus sinais de entrada e saída, como os sinais de clock (CLK) e os dados do barramento de memória, entre outros. Para isso, o controlador precisa executar algumas funções específicas, que são:

1. Controlar o sinal de CLK.
2. Controlar o sinal de RESET.
3. Escrever na memória.
4. Ler da memória.
5. Controlar a prioridade de acesso à memória.
6. Realizar o controle de timeout de execução do Core.
7. Verificar o término da execução de um programa no Core.

3 Comandos - Instruções

3.1 Formatação

| | |
|----------|--------|
| 31:8 | 7:0 |
| imediato | opcode |

Tabela 1: Formatação da instrução

3.2 Opcodes

| Descrição | Opcode | ACII opcode | Imediato | Segundo pacote |
|--|----------|-------------|----------|----------------|
| Enviar N pulsos de CLK | 01000011 | C | | |
| Parar o CLK do Core | 01010011 | S | | |
| Retomar o CLK do Core | 01110010 | r | | |
| Resetar o Core | 01010010 | R | | |
| Escrever na posição N de memória | 01010111 | W | | Y |
| Ler a posição N de memória | 01001100 | L | | |
| Carregar bits mais significativos no Acumulador | 01010101 | U | | |
| Carregar bits menos significativos no acumulador | 01101100 | l | | |
| Somar N ao acumulador | 01000001 | A | | |
| Escrever Acumulador na posição N | 01110111 | w | | |
| Escrever N na posição do acumulador | 01110011 | s | | |
| Ler a posição do acumulador | 01110010 | r | | |
| Setar timeout | 01010100 | T | | |
| Setar tamanho da página de memória | 01010000 | P | | |
| Executar testes em memória | 01000101 | E | | |
| Obter o ID e verificar funcionamento do módulo | 01110000 | p | | |
| Definir endereço N de término de execução | 01000100 | D | | |
| Definir o valor do Acumulador como endereço de término | 01100100 | d | | |
| Escrever N posições a partir do acumulador | 01100101 | e | | |
| Ler N posições a partir do acumulador | 01100010 | b | | |

Tabela 2: Listas de comandos suportados pelo protocolo

4 Implementação

4.1 Funcionamento

Para casos onde há comunicação Master-Slave, como no protocolo SPI, haverá uma linha de sinal denominada CAL (Callback). Esta linha será responsável por informar à máquina Host que o controlador possui alguma informação pronta ou que está pronto para a execução de um novo comando.

Caso 1 Apenas envio:

| | |
|--------|-----------|
| Master | Instrução |
| Slave | |

Caso 2 Envio duplo:

| | | |
|--------|-----------|------|
| Master | Instrução | Data |
| Slave | | |

Caso 3 Envio e recebimento:

| | | |
|--------|-----------|------|
| Master | Instrução | |
| Slave | | Data |

4.2 Formas de comunicação

| Nome | Velocidade |
|------|------------|
| UART | 115200bps |
| SPI | 10MHz |
| PCIe | |
| USB | |

Tabela 3: Formas de comunicação