Organização e Arquitetura de Computadores

Julio Cesar Goldner Vendramini

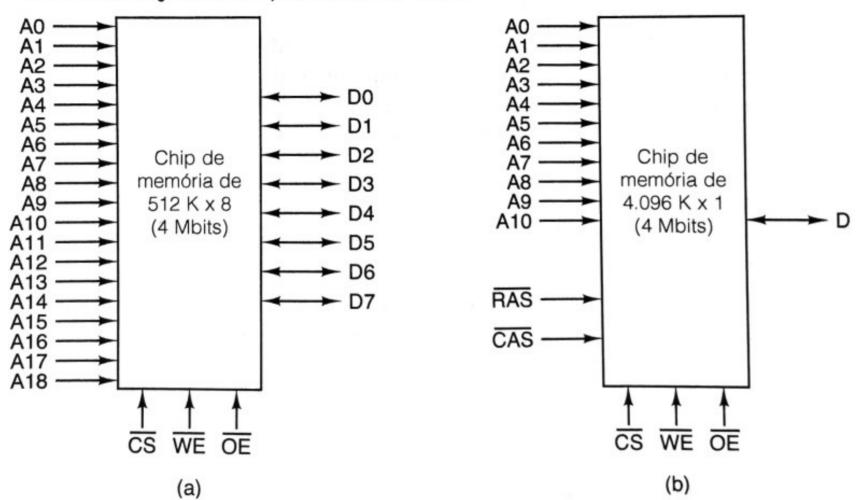


Memória

Julio Cesar Goldner Vendramini

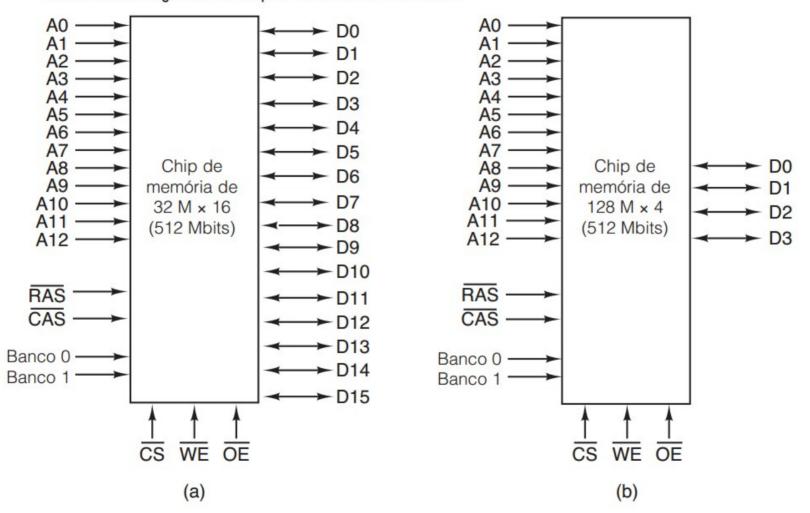


Dois modos de organizar um chip de memória de 4 Mbits.



O FEDERAL

Dois modos de organizar um chip de memória de 512 Mbits.

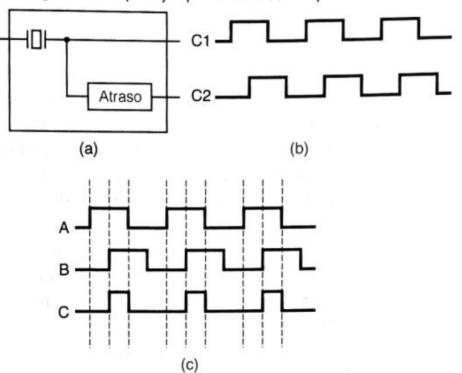


FEDERAL

Clocks

• Necessário para sincronismo de sinais

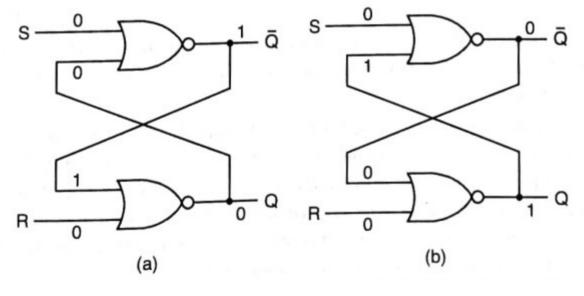
(a) Um clock. (b) Diagrama de temporização para o clock. (c) Geração de um clock assimétrico.





- Memórias de 1 Bit
- Latch

(a) Latch NOR no estado 0. (b) Latch NOR no estado 1. (c) Tabela verdade para NOR.

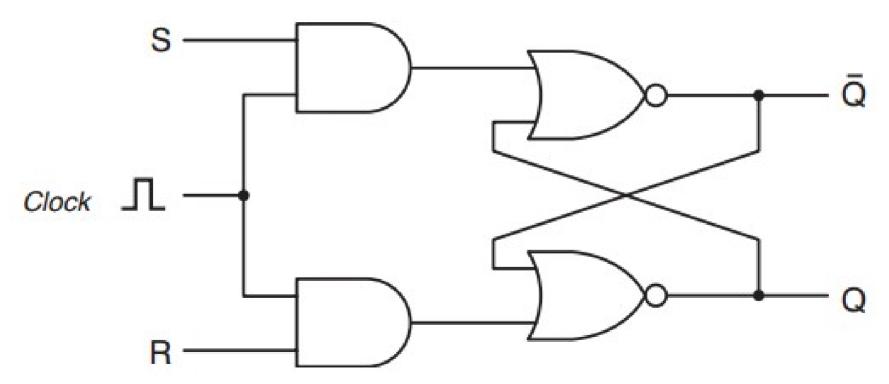


Α	В	NOR
0	0	1
0	1	0
1	0	0
1	1	0

(c)

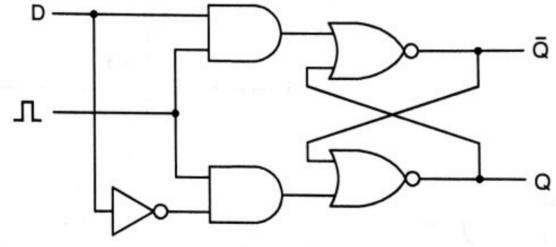


Latch SR com Clock



Latch D com Clock

Latch D com clock.

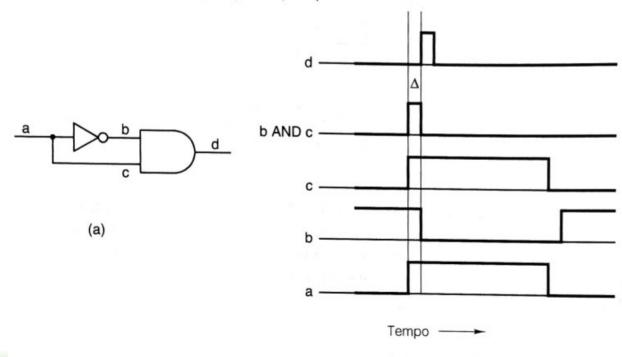


• Este circuito requer 11 transitores



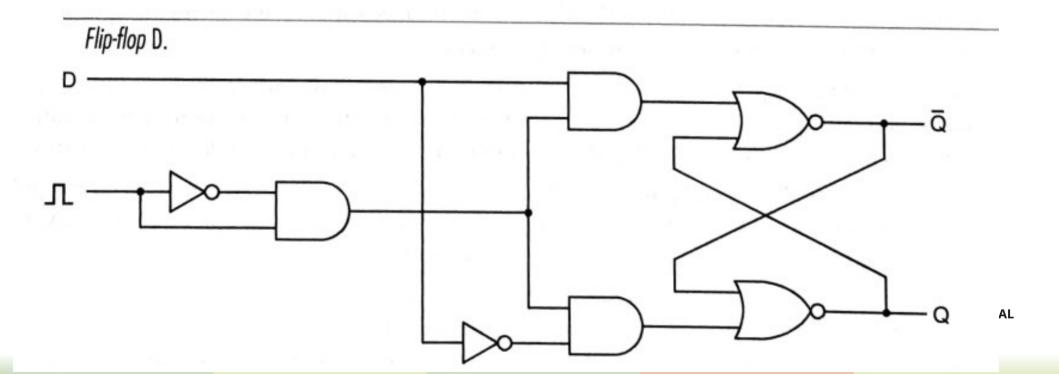
• Flip-Flops - Necessidade de alterar o valor apenas na mudança de sinal, pulso na subida ou descida do clock.

(a) Gerador de pulso. (b) Temporização em quatro pontos do circuito.

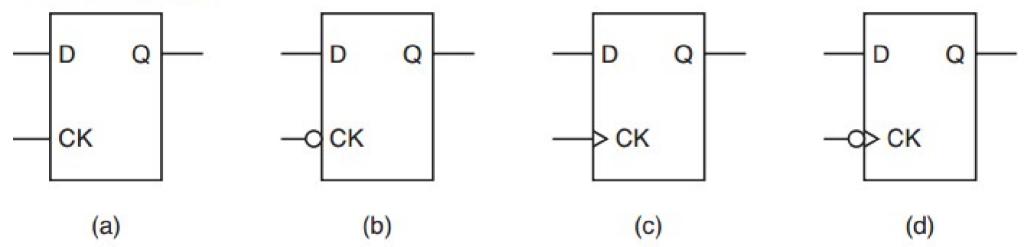




• Flip-Flops D



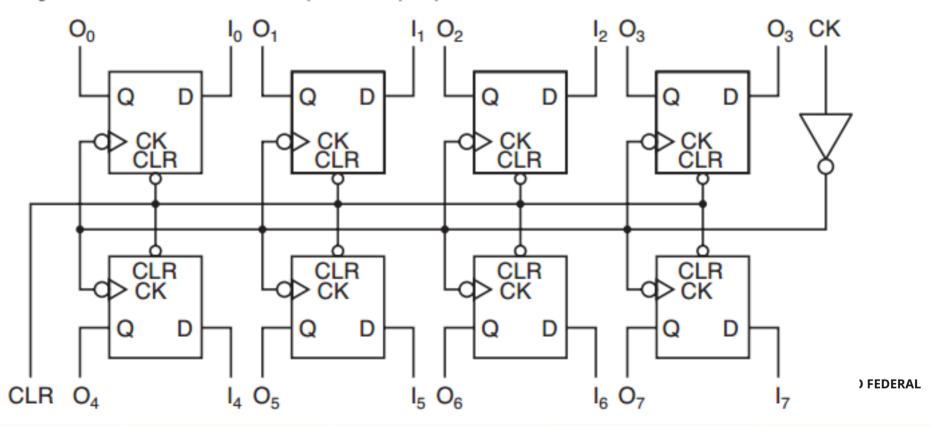
Latches e flip-flops D.





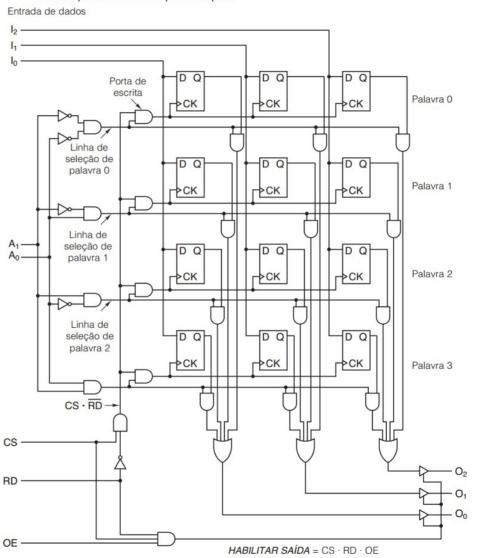
Registradores

Um registrador de 8 bits construído a partir de flip-flops de único bit.



• MEMORIA 4x3

Diagrama lógico para uma memória 4 x 3. Cada linha é uma das quatro palavras de 3 bits. Uma operação de leitura ou escrita sempre lê ou escreve uma palavra completa.



ITUTO FEDERAL

o Santo

Registradores REM e RDM

- A Memória Principal é interligada ao RDM (Registrador de Dados da Memória) através do Barramento de Dados (BD). Por esta razão, o RDM e o BD possuem o mesmo número de bits.
- O mesmo ocorre entre o Barramento de Endereços (BE) e o Registrador de Endereços da Memória (REM).



O QUE TEMOS PARA A SEMANA?

- Várias vídeo aulas, inclusive com atividades dentro delas.
- Vários conteúdos do livro explicando detalhadamente o que foi falado nas vídeos aulas, ou dando uma introdução ao conteúdo da aula.
- Lista de exercícios dos conteúdos abordados até agora.





Educação pública, gratuita e de qualidade