

TAXONOMIA DE DUNCAN

LUIS MIGUEL MACEDO PINTO

28 de mayo de 2024

1. Introducción

Duncan impuso algunas modificaciones a la taxonomía de Flynn para incluir arquitecturas canalizadas y otras que intuitivamente parecen merecer su inclusión como arquitecturas paralelas, pero que no pueden ser acomodadas amablemente por el scherz final de Flynn. Esto se logró simplemente modificando los criterios de clasificación. con algunas subcategorías que no se encuentran en el esquema de Flynn, para reflejar las características arquitectónicas y cubrir características de paralelismo de nivel inferior.

2. Duncan

La Figura 1 muestra una taxonomía basada en la modificación de Duncan. Estas son tres clases principales.

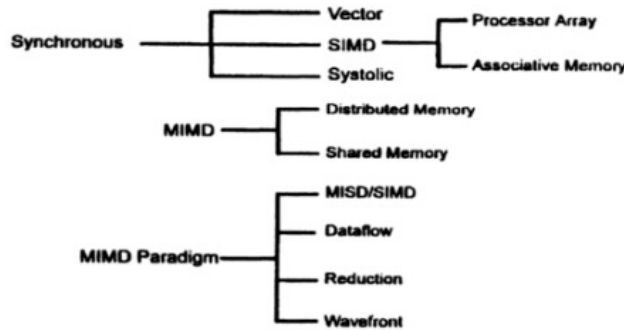


Figura 1: Duncan's modifications of Flynn's Taxonomy.

- Sincrónico
- MIMD
- Paradigma MIMD.

Arquitecturas sincrónicas. Las arquitecturas sincrónicas coordinan las operaciones neuronales al unísono a través de relojes globales, unidades de control central o controladores de unidades vectoriales. Esta clase incluye tres subclases. Ellos son

- Procesadores de vectores;
- Matrices sistólicas; y
- Arquitecturas SIMD.

Las arquitecturas SIMD se clasifican además en arTays de procesadores y procesadores de memoria asociativa.

2.1. Procesadores vectoriales

Los procesadores vectoriales se caracterizan por ser múltiples. Unidades funcionales revestidas con pip, que proporcionan procesamiento de vectores paralelos en 0Frands vectoriales. Son dos tipos de procesadores vectoriales, a saber, procesadores vectoriales de registro a registro y procesadores vectoriales. En los procesadores vectoriales de registro a registro, los operandos y los resultados de operación vectorial se mantienen en un registro especial de alta 5Fd, mientras que en el procesador pm vectorial de memoria a memoria, estos datos se mantienen en la memoria especial Ellffer. El rendimiento eficiente del vector se obtiene cuando las longitudes del vector son grandes. como Cray-XM PA y ETA, unen de cuatro a diez procesadores a través de una gran memoria compartida. Dado que dichas arquitecturas pueden soportar el paralelismo a nivel de tarea, podrían denominarse arquitecturas MIMD, aunque las capacidades de procesamiento vectorial son el aspecto fundamental de su diseño. Ejemplos de procesadores vectoriales son:

- memoria: CDC Star 100, Cyber 203. Cyber 205. TI-ASC
- Registro a registro; Cray-yo Cray-2. Cray-XMP/4. ETA- 10. Fujitsu-200.

3. Las Matrices Sistólicas

consisten en multiprocesadores canalizados. Los datos se pulsan de forma rítmica desde la memoria y a través de una red de procesadores que regresan a la memoria. Un reloj global y retrasos de tiempo explícitos sincronizan ahora estos datos canalizados, que consisten en "Frands obtuvo fmm memoz resultados parciales que serán utilizados por cada procesador. Ejemplos de computadoras de matriz sistólica son Warp y Sarpy's Matrix, que son máquinas de sistemas reconfigurables en Universidad de Carnegie mellon.

4. SIMD Processor Arrays

Las matrices de procesadores están diseñadas para cálculos científicos a gran escala, como el procesamiento de imágenes y el modelado de energía nuclear. Las matrices de procesadores desarrolladas a finales de los años 1960 (como Illiac 4) y otras más recientes como Burroughs Scientific Processor (BSP), utilizan procesadores que acomodar operandos del tamaño de una palabra. Suelen ser valores de punto flotante (o complejos), que suelen tener una longitud de entre 32 y bits. Una variante de matrices de procesadores implica una gran cantidad de procesadores de un bit dispuestos en una cuadrícula (como x 64). Estas matrices de procesadores se conocen como procesadores masivos paralelos (MPP). MPH ICL DAP de Loral, FPS 164/MAX. Modelos MasPar de Goodyear de la máquina de conexión de MPB Thinking Machine Corporation. y SX-2 SCS.40 son algunos ejemplos de procesadores masivamente paralelos.

5. MIND Arquitecturas

las arquitecturas MIMD emplean múltiples procesadores que pueden ejecutar flujos de instrucciones independientes utilizando datos reales. Por lo tanto, las computadoras MIMI soportan la ejecución paralela que requiere que los procesadores funcionen de manera en gran medida autónoma. Aunque los procesos de software que se ejecutan en arquitecturas MIMD se sincronizan pasando mensajes a través de una red de interconexión o almacenando datos en unidades de memoria compartida, las arquitecturas MIMD son computadoras asíncronas, caracterizado por un control de hardware descentralizado. De ahí que las arquitecturas MIMD también se conozcan popularmente como multiprocesadores y se dividan en dos subcategorías,

- Memoria (estrechamente acoplada); y
- Memoria distribuida (débilmente acoplada).

6. Shard-Memory Multiprocessor

Las arquitecturas MIMD estrechamente acopladas utilizan memoria compartida entre sus procesadores. La arquitectura conectada se divide esencialmente en una de dos clases: biconectada por bus y conectada directamente. En la arquitectura conectada por bus, los procesadores, memorias paralelas. Las interfaces de red y los controladores de dispositivos están vinculados al mismo bus de conexión, mientras que en arquitecturas conectadas directamente, los procesadores están conectados directamente a las computadoras centrales de alta gama. Ejemplos de multiprocesadores estrechamente acoplados son: Univac

7. Multiprocesadores de memoria distribuida (Loosely Coupled)

Las arquitecturas MIMD ligeramente acopladas tienen memorias locales distribuidas adjuntas a múltiples Nodos de procesador. Las topologías de interconexión populares incluyen el hipercubo, anillo, interruptor de mariposa, hiperlírees, y hypemets (consulte la Sección I.3). El paso de mensajes es el principal método de comunicación entre el procesador. La mayoría de los multiprocesadores están diseñados para ser escalables en rendimiento. Ejemplos de multiprocesadores débilmente acoplados: DADO2, Non-Von de la Universidad de Columbia, Cosmic Cube, Serie Ametec 2010, Supercomputadora personal Intel, Neube/10, Computadora altamente paralela configurable (CHIP) de Lawrence Snyder, y el sistema SIMDMIMD particionable de Howard Siegel (Pasm).

Architectures basados en MIMD. Híbridos MIMD/SIMD, arquitecturas de flujo de datos, Máquinas de reducción, y el procesador de matriz wavefront plantean dificultades para una clasificación ordenada en los taxones de Flynn. Por ejemplo, cada uno de estos tipos de arquitectura se predice según los principios de WMD de ejecución asincrónica y manipulación concurrente de múltiples instrucciones y flujos de datos. Sin embargo, cada una de estas arquitecturas también se basa en un principio organizativo distintivo tan fundamental para su diseño general como las características MIMD. Estos arquitectos, por lo tanto, se encuentran bajo la categoría D' "paradigmas basados en MIMD" para resaltar sus fundamentos distintivos, así como las características

8. Las arquitecturas MIMD/SIMD

han seleccionado partes de una arquitectura MLMD que se controlan en una función SIMD. Los mecanismos de implementación empleados para reconfigurar arquitecturas y controlar la ejecución de SIMI son bastante diversos. Una implementación popular utiliza una computadora de paso B.sage con estructura de árbol como arquitectura básica. Ejemplos de máquinas MIMD/SIMD son DADO, Non-van, Pam y Texas Reconfigurable array Computer. Las arquitecturas Dara-flow tienen una característica fundamental, que es un paradigma de ejecución en el que las instrucciones se habilitan para su ejecución tan pronto como todos sus operandos estén disponibles. La secuencia de instrucciones ejecutadas se basa en dependencias de datos, permitiendo que las arquitecturas de flujo de datos aprovechen la concurrencia en los niveles de tarea, rutina e instrucción. El principal incentivo para las arquitecturas de flujo de datos es explorar nuevos modelos y lenguajes computacionales que puedan explotarse de manera efectiva para lograr paralelismo a gran escala. Algunas de las computadoras de flujo de datos más conocidas son la Manchester DataFlow Computer, Arquitectura MIT Tagged Token DataFlow y sistema LAU.

9. Máquinas (or Demand-driven) reductoras

Máquinas impulsadas por demanda. Estas máquinas implementan un paradigma de ejecución en el que una instrucción está habilitada para su ejecución cuando sus resultados se requieren como opciones para otra instrucción ya habilitada para su ejecución. Las máquinas de reducción ejecutan programas que consisten en expresiones anidadas. Las expresiones se definen recursivamente como literales o aplicaciones de funciones en argumentos que pueden ser literales de expresiones. Los desafíos prácticos para implementar arquitecturas de reducción incluyen sincronizar las demandas de los resultados de las instrucciones y mantener copias de los resultados de la evolución de las expresiones. Ejemplos de máquinas de reducción incluyen Newcastle Reduction Machine y Nonh Carolina Cellular Tree. Máquina y sistema de multiprocesamiento aplicativo de Utah.

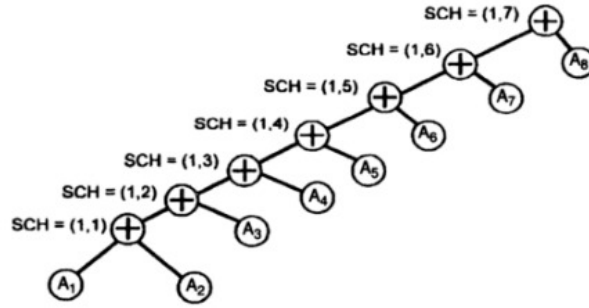


Figura 2: Binary tree model for sequential computing.

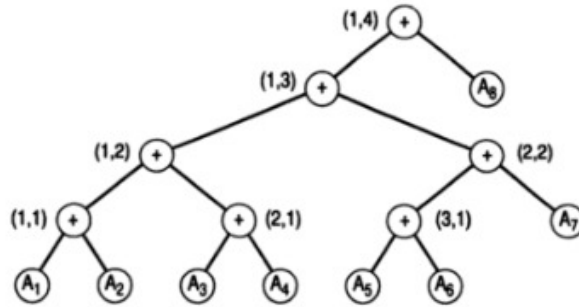


Figura 3: Summation with three processor .

Supongamos que solo hay un procesador disponible. En este caso, el procedimiento de cálculo puede estar representado por el skewed tree que se muestra en la Fig. Los valores de la función de programación también se muestran cerca de cada nodo interno. El tiempo necesario en este caso es 7. Para sumar n números,

el tiempo necesario es $n-l$.

Cuando solo hay tres compresores disponibles, el modelo de árbol binario para sumar ocho números se muestra en la Fig. L9. Aquí el tiempo necesario es de 4 unidades.

10. Conclusiones

Duncan realizó ajustes a la taxonomía de Flynn para incorporar arquitecturas canalizadas y otras que parecían merecer ser consideradas como arquitecturas paralelas, pero que no encajaban fácilmente en el esquema original de Flynn. Estos ajustes se llevaron a cabo mediante la modificación de los criterios de clasificación y la introducción de subcategorías adicionales que no estaban presentes en el esquema original. Esto permitió reflejar mejor las características arquitectónicas y abordar aspectos de paralelismo de nivel inferior que no estaban cubiertos anteriormente. En resumen, las modificaciones de Duncan ampliaron la taxonomía de Flynn para abarcar una gama más amplia de arquitecturas de procesamiento paralelo.

Referencias

- [1] Duncan, Ralph, "Un estudio de arquitecturas informáticas paralelas", IEEE Computer. Febrero de 1990, págs. 5-16.
- [2] Flynn, MJ, "Sistemas informáticos de muy alta velocidad", Proc. IEEE. vol. 54, 1966, págs.1901-1909.
- [3] Hwang, K., ed., Tutorial de supercomputadoras: diseño y aplicaciones. Computer Society Press, Los Alamitos, California, 1984, esp. capítulos 1 y 2.
- [4] Russell, RM, "El sistema informático CRAY-1", Comm. ACM, enero de 1978, págs.