

A.1

表A-13 5个SPECint2000程序的MIPS动态指令比例

指令	gsp	gcc	gzip	mcf	perlbnk	整数均值
载入	26.5%	25.1%	20.1%	30.3%	28.7%	26%
存储	10.3%	12.2%	5.1%	4.3%	16.2%	10%
加	21.1%	19.0%	26.9%	10.1%	16.7%	19%
减	1.7%	2.2%	5.1%	3.7%	2.5%	3%
乘	1.4%	0.1%				0%

A.9 融会贯通：MIPS体系结构 395

(续)						
指令	gsp	gcc	gzip	mcf	perlbnk	整数均值
比较	2.8%	6.1%	6.6%	6.3%	3.8%	5%
载入立即数	4.8%	2.5%	1.5%	0.1%	1.7%	2%
条件分支	9.2%	12.1%	11.0%	17.5%	10.9%	12%
条件移动	0.4%	0.6%	1.1%	0.1%	1.9%	1%
跳转	0.8%	0.7%	0.8%	0.7%	1.7%	1%
调用	1.6%	0.6%	0.4%	3.2%	1.1%	1%
返回	1.6%	0.6%	0.4%	3.2%	1.1%	1%
移位	3.8%	1.1%	2.1%	1.1%	0.5%	2%
与	4.3%	4.6%	9.4%	0.2%	1.2%	4%
或	7.9%	8.5%	4.8%	17.6%	8.7%	9%
异或	1.8%	2.1%	4.4%	1.5%	2.8%	3%
其他逻辑	0.1%	0.4%	0.1%	0.1%	0.3%	0%
载入浮点						0%
存储浮点						0%
加浮点						0%
减浮点						0%
乘浮点						0%
除浮点						0%
移动寄存器-寄存器浮点						0%
比较浮点						0%
条件移动浮点						0%
其他浮点						0%

* 注意整数寄存器-寄存器移动指令包含点“或”指令中，空白项表示取值0.0%。

① gap 和 gcc 的平均指令频率：

Instruction

Average of gap & gcc %

load

25.8

store

11.8

add

20.0

sub

2.0

mul

0.8

compare

4.4

load imm

3.6

cond branch

10.7

cond move

0.5

jump

0.8

call

1.1

return

1.1

shift

2.4

② 实际的 CPI =

$$\sum \frac{\text{指令频率} \times \text{该指令的时钟周期}}{\text{指令类型}}$$

ALU指令频率 = add + sub	and	4.4
mul + compare + load imm	or	8.2
+ and move + shift + or +	xor	2.0
and + xor + other logical	other logical	0.2
		<hr/>
		= 48.5%

载入-存储: load + store = 37.6% 条件 = 10.7%

跳转 = jump + call + return = 3.0%

$$\begin{aligned}
 \text{故 MIPS 实际 CPI} &= 0.485 \times 1 + 0.367 \times 1.4 + 0.107 \times (6.6 \times 2 + \\
 &\quad 0.4 \times 1.5) + 0.03 \times 1.2 \\
 &= 1.23
 \end{aligned}$$

B.1 a. $T_{\text{average}} = 1 \times 95\% + 105 \times 5\% = 6.2 \text{ cycles}$

b. 命中率: $\text{Hit rate} = 64 \text{ kbytes} / 256 \text{ Mbytes}$
 $= 0.00025$

$$T_{\text{average}} = 0.00025 \times 1 + (1 - 0.00025) \times 105 = 104.974 \text{ cycles}$$

c. 禁用缓存时的访问时间为100个周期。给予b中启用缓存的平均访问时间，这是因为B中的访问几乎都没有在缓存中命中。可见

如果数据没有局部性时, 缓存不仅没有用, 反而会减缓平均访问时间, 成为一种负担.

d. T_{no} 表示没有 cache 时的访问时间, T_{yes} 为有 cache 时的访问时间.
 m 为缺失率.

$$\text{则 } T_{on} = (1-m)(T_{no} - G) + m(T_{no} + L)$$

当缺失率高到 $T_{no} \leq T_{yes}$ 时, cache 会产生反作用

$$\text{故: } T_{no} \leq (1-m)(T_{no} - G) + m(T_{no} + L)$$

$$\Rightarrow m \geq \left(\frac{G}{G+L} \right)$$

当 $G=99$, $L=5$ 时, 若 $m \geq \frac{99}{104}$ 时, cache 会产生反作用