

《数字逻辑》实验报告

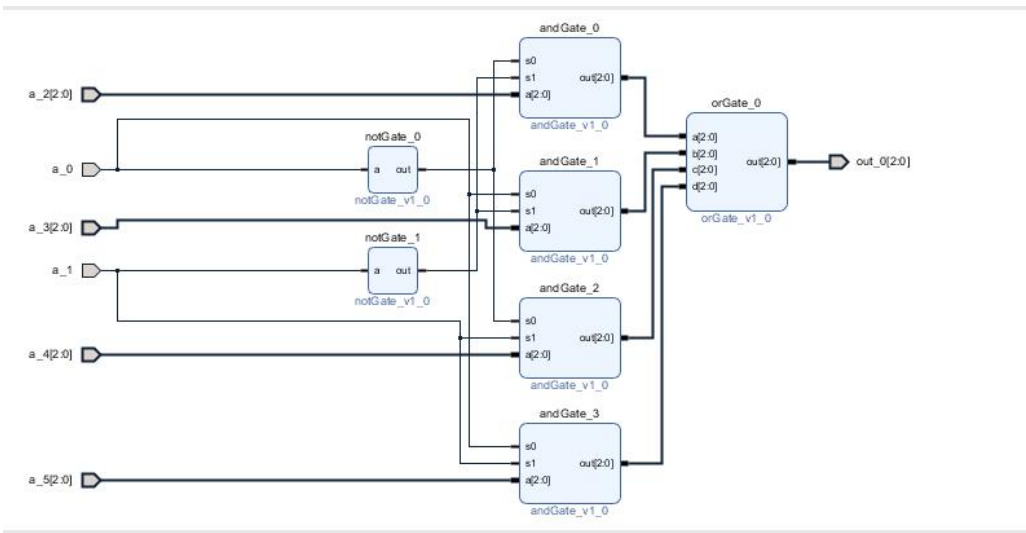
姓名	孙莹莹	年级	2020 级
学号	20204136/20204104	专业、班级	计卓 1 班
实验名称	实验三 多路选择器		
实验时间	2021 年 10 月 23 日	实验地点	DS1410
实验成绩		实验性质	<input type="checkbox"/> 验证性 <input type="checkbox"/> 设计性 <input type="checkbox"/> 综合性
<p>教师评价：</p> <p><input type="checkbox"/>算法/实验过程正确； <input type="checkbox"/>源程序/实验内容提交 <input type="checkbox"/>程序结构/实验步骤合理；</p> <p><input type="checkbox"/>实验结果正确； <input type="checkbox"/>语法、语义正确； <input type="checkbox"/>报告规范；</p> <p>评语：</p> <p>评价教师签名（电子签名）：</p>			
<p>一、实验目的</p> <p>熟悉并使用 Block Design 和 Verilog HDL 语言，并且比较两种方式的异同。</p>			
<p>二、实验项目内容</p> <p>设计一个三位 4 选 1 多路选择器电路，分别用 Block Design 和 Verilog HDL 语言编写代码两种方式实现，通过仿真、看 RTL 电路图、下载到板子验证其正确性，并比较不同方法实现的异同（逻辑资源、RTL 电路图、仿真波形等方面）。</p>			
<p>三、实验设计</p> <p>实验原理：用拨码开关代表四个三位数据的输入以及两位选择输入，LED 灯作为输出，通过拨码开关 S0 和 S1 的不同组合进行多路选择操作，选</p>			

择不同的数据进行输出。最终将输出的三位数据在 LED 灯上显示出来。

真值表：

数据输入端				选择输入端		输出
W0	W1	W2	W3	S1	S0	Y
001	x	x	x	0	0	001
x	010	x	x	0	1	010
x	x	011	x	1	0	011
x	x	x	100	1	1	100

Block Design 原理图



四、实验过程或算法(关键步骤、核心代码注解等)

1.Block Design

将自己编写的与门，非门和或门封装成三个独立的 IP 核，在另一个 Project 中导入后，进行连线设计，然后写出 design 代码。

1) 编写与门，或门，非门

① 与门：

输入的每一位都和 S0,S1 相与

```

module andGate
#(parameter SIZE = 3)
(input s0, input s1, input[(SIZE-1):0] a, output[(SIZE-1):0] out);
    genvar i;
    generate for(i=0;i<SIZE;i=i+1)
        begin: gfor
            assign out[i] = a[i]&s0&s1;
        end
    endgenerate
endmodule

```

② 或门

输出的每 i 位等于每一个输入数据第 i 位相或

```

module orGate
#(parameter SIZE = 3)
(input [(SIZE-1):0] a, input[(SIZE-1):0] b, input[(SIZE-1):0] c, input
[(SIZE-1):0] d, output [(SIZE-1):0] out);
    genvar i;
    generate for(i=0; i<SIZE; i=i+1)
        begin: gfor
            assign out[i] = a[i]|b[i]|c[i]|d[i];
        end
    endgenerate
endmodule

```

③ 非门

对输入进行取反操作

```

module notGate

```

```
#(parameter SIZE = 3)
```

```
(input a, output out);
```

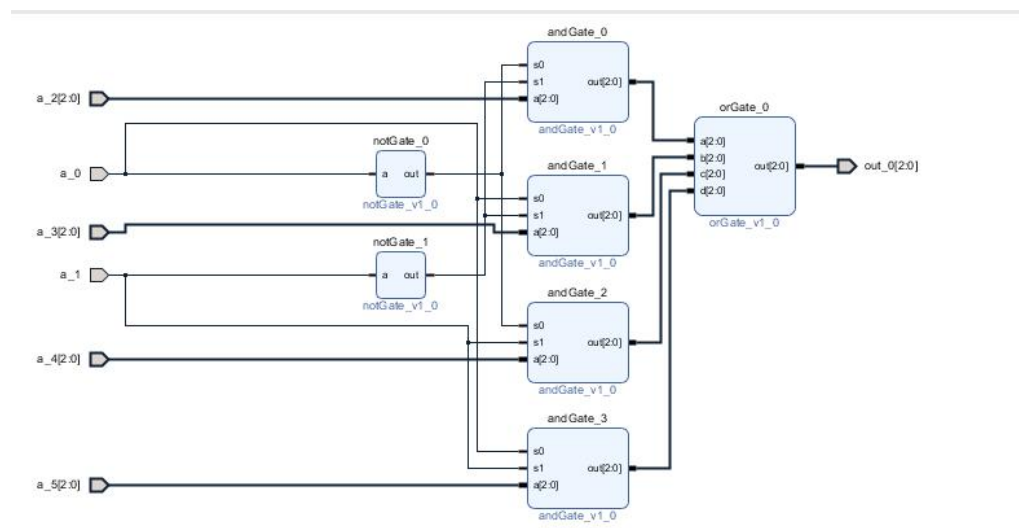
```
    assign out = ~a;
```

```
endmodule
```

2) 进行 Block Design, 电路连线及代码编写

设计思路：根据 0 和任何数相与都得 0，而只有当三个数全为 1 相与时才能为 1。要想输入 00 时输出为 001，则他需要将选择信号取反后再和 001 相与才能得到 001。同理要输入 01 得到 010，则选择信号低位取反，高位不变后再与 010 相与则可输出 010。对 10 和 011，11 和 100 同理，设计好四个与门后，将四个与门的输出连到或门，进行每一位相或，则可以得到正确输出。

① 电路连线



② 代码编写

a_0 和 a_1 为两位选择信号，a_2,a_3,a_4,a_5 均为三位输入的数据，out_0 为三位选择的输出数据。

design_1 为上图所示的 block design 文件，用 a_0 到 a_5 实例化一个名为 h1 的 design_1 的 block design。

```
module mux4to1_bd
```

```
(a_0,a_1,a_2,a_3,a_4,a_5,out_0);
```

```

input a_0;
input a_1;
input[2:0] a_2;
input[2:0] a_3;
input[2:0] a_4;
input[2:0] a_5;
output [2:0] out_0;

design_1
hl(.a_0(a_0),.a_1(a_1),.a_2(a_2),.a_3(a_3),.a_4(a_4),.a_5(a_5),.out_0
(out_0));
endmodule

```

2. Verilog HDL 实现

1) 代码如下：

```

`timescale 1ns / 1ps
module FourOne(d1,d2,d3,d4,w,f,en);
    input [2:0]d1;
    input [2:0]d2;
    input [2:0]d3;
    input [2:0]d4;
    input [1:0]w;
    input en;
    output reg[2:0] f;
    always @ (d1 or d2 or d3 or d4 or w or en)
    begin
        if(en==0)
            f=0;

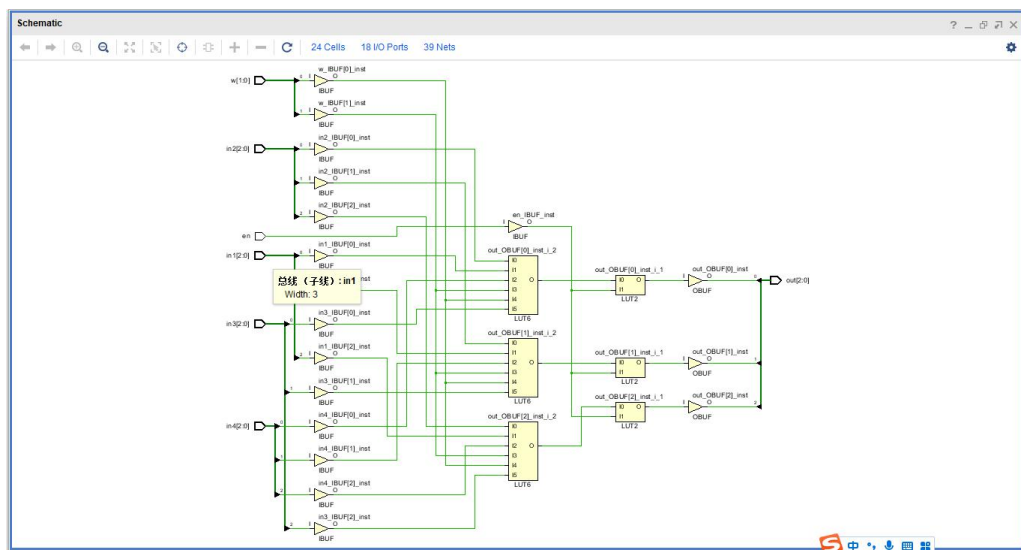
```

```

else
begin
case(w)
2'b00:f=d1;
2'b01:f=d2;
2'b10:f=d3;
2'b11:f=d4;
endcase
end
end
endmodule

```

2) RTL 电路如下：



五、实验过程中遇到的问题及解决情况(主要问题及解决情况)

1.封装 IP 核后调用时找不到：查看 IP 核：查看 IP 核位置，Add repository 的时候直接粘贴路径。

2.仿真时，发现仿真结果不理想，经过多次调参，网络学习，最终得到了最佳结果。

六、实验结果及分析和（或）源程序调试过程

1. Block Design

① 仿真文件

```
`timescale 1ns / 1ps
```

```
module mux4to1_bd_try();
```

```
    reg s0,s1;
```

```
    reg [2:0] x1;
```

```
    reg [2:0] x2;
```

```
    reg [2:0] x3;
```

```
    reg [2:0] x4;
```

```
    wire [2:0] out;
```

```
    mux4to1_bd try(s0,s1,x1,x2,x3,x4,out);
```

```
initial
```

```
begin
```

```
    s0 = 0;
```

```
    s1 = 0;
```

```
    x1 = 3'b001;
```

```
    x2 = 3'b010;
```

```
    x3 = 3'b011;
```

```
    x4 = 3'b100;
```

```
#100

s0 = 0; s1 = 0;

#100

s0 = 1; s1 = 0;

#100

s0 = 0; s1 = 1;

#100

s0 = 1; s1 = 1;

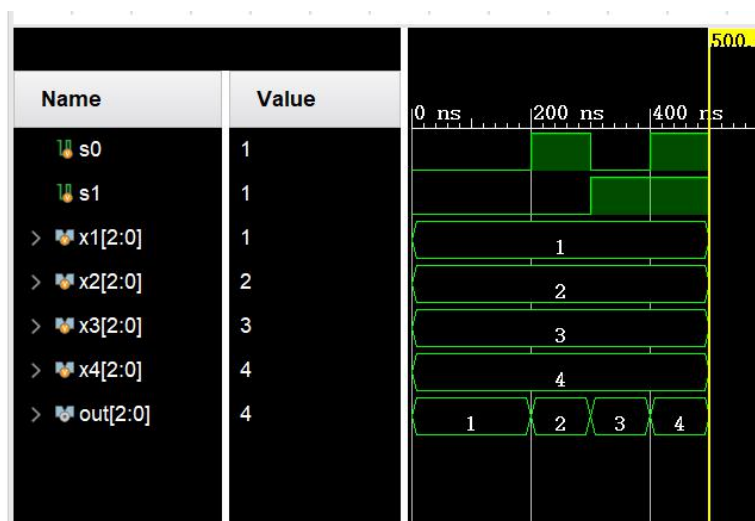
#100

$stop;

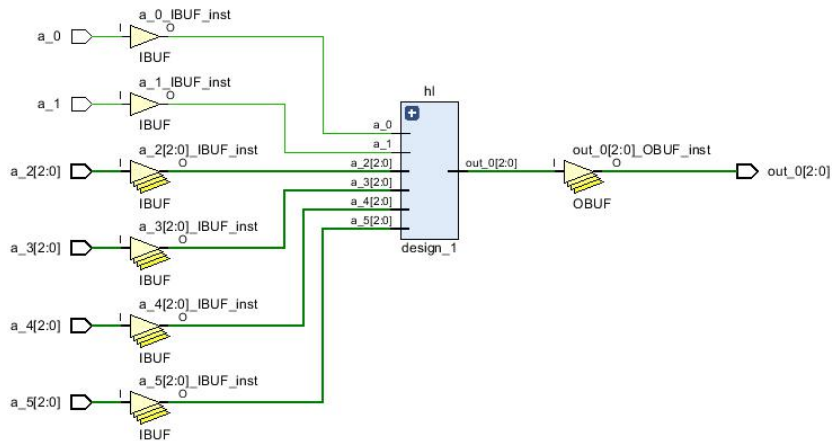
end

endmodule
```

仿真结果



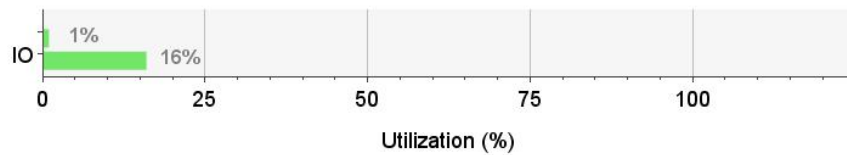
② RTL 电路图



③ 资源利用情况

Summary

Resource	Utilization	Available	Utilization %
LUT	11	20800	0.05
IO	17	106	16.04



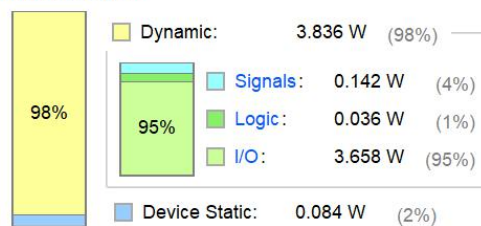
Summary

Power analysis from Implemented netlist. Activity derived from constraints files, simulation files or vectorless analysis.

Total On-Chip Power: 3.92 W
Design Power Budget: Not Specified
Power Budget Margin: N/A
Junction Temperature: 44.6°C
 Thermal Margin: 40.4°C (8.0 W)
 Effective θ_{JA} : 5.0°C/W
 Power supplied to off-chip devices: 0 W
 Confidence level: [Low](#)

[Launch Power Constraint Advisor](#) to find and fix invalid switching activity

On-Chip Power



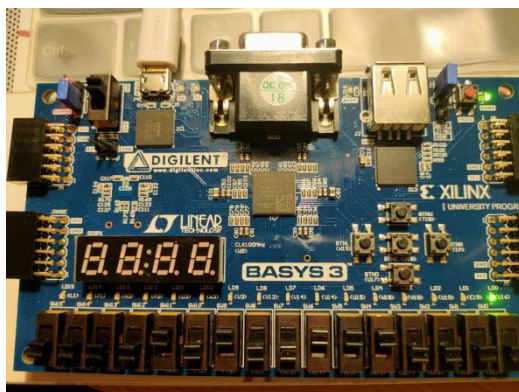
④ 管脚约束

Name	Direction	Neg Diff Pair	Package Pin	Fixed	Bank	I/O Std	Vcco
All ports (17)							
a_2 (3)	IN			<input checked="" type="checkbox"/>	34	LVC MOS33*	3.300
a_2[2]	IN		U1	<input checked="" type="checkbox"/>	34	LVC MOS33*	3.300
a_2[1]	IN		W2	<input checked="" type="checkbox"/>	34	LVC MOS33*	3.300
a_2[0]	IN		R3	<input checked="" type="checkbox"/>	34	LVC MOS33*	3.300
a_3 (3)	IN			<input checked="" type="checkbox"/>	34	LVC MOS33*	3.300
a_3[2]	IN		T2	<input checked="" type="checkbox"/>	34	LVC MOS33*	3.300
a_3[1]	IN		T3	<input checked="" type="checkbox"/>	34	LVC MOS33*	3.300
a_3[0]	IN		V2	<input checked="" type="checkbox"/>	34	LVC MOS33*	3.300
a_4 (3)	IN			<input checked="" type="checkbox"/>	14	LVC MOS33*	3.300
a_4[2]	IN		W13	<input checked="" type="checkbox"/>	14	LVC MOS33*	3.300
a_4[1]	IN		W14	<input checked="" type="checkbox"/>	14	LVC MOS33*	3.300
a_4[0]	IN		V15	<input checked="" type="checkbox"/>	14	LVC MOS33*	3.300
a_5 (3)	IN			<input checked="" type="checkbox"/>	14	LVC MOS33*	3.300
a_5[2]	IN		W15	<input checked="" type="checkbox"/>	14	LVC MOS33*	3.300
a_5[1]	IN		W17	<input checked="" type="checkbox"/>	14	LVC MOS33*	3.300
out_0 (3)	OUT			<input checked="" type="checkbox"/>	14	LVC MOS33*	3.300
out_...	OUT	U19	<input checked="" type="checkbox"/>	14	LVC MOS33*	3.300	12
out_...	OUT	E19	<input checked="" type="checkbox"/>	14	LVC MOS33*	3.300	12
out_...	OUT	U16	<input checked="" type="checkbox"/>	14	LVC MOS33*	3.300	12
Scalar ports (2)							
a_0	IN	T1	<input checked="" type="checkbox"/>	34	LVC MOS33*	3.300	
a_1	IN	R2	<input checked="" type="checkbox"/>	34	LVC MOS33*	3.300	

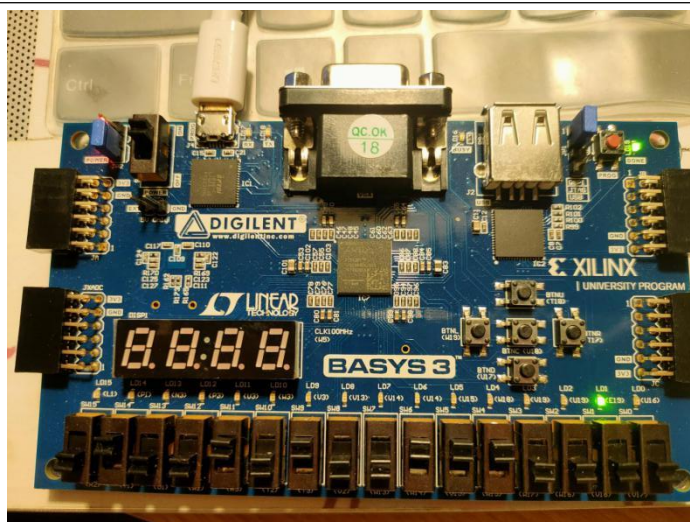
⑤ 开发板测试结果

输入 001, 010, 011, 100, 改变选择信号

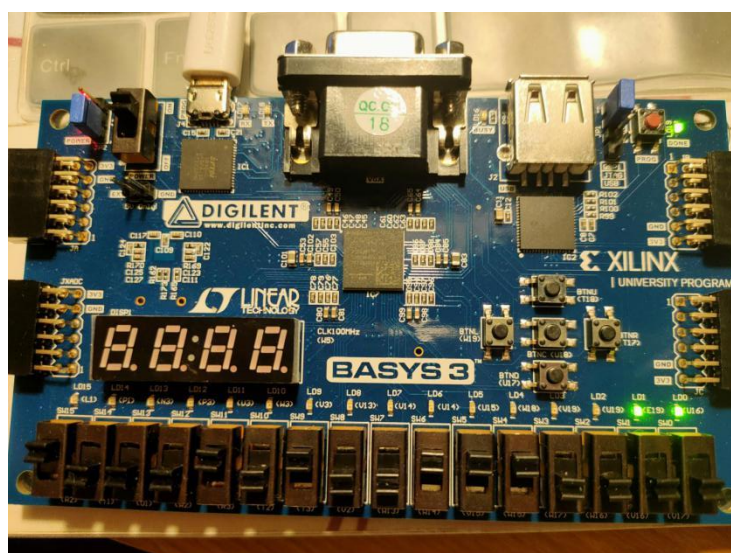
a. 当选择信号为 00 时, 输出 001



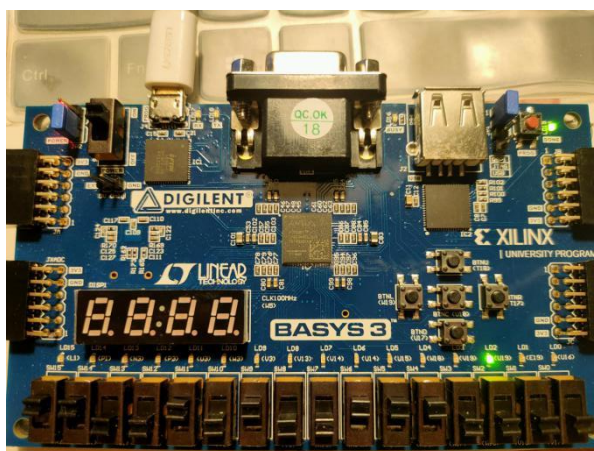
b. 当选择信号为 01, 输出 010



c. 当选择信号为 10，输出 011



d. 当选择信号为 11，输出为 100



如上述结果所示，试验成功。

2.Verilog 实现

① Verilog HDL 仿真文件

```
module try();  
    reg [1:0]w1;  
    reg [2:0] s1;  
    reg [2:0] s2;  
    reg [2:0] s3;  
    reg [2:0] s4;  
    wire [2:0] out;  
    reg en;  
    FourOne tyeone(s1,s2,s3,s4,w1,out,en);  
  
    initial  
    begin  
        s1 = 001;  
        s2 = 010;  
        s3 = 011;  
        s4 = 100;  
        w1 = 2'b00;  
        en = 1;  
        #100  
        w1 = 2'b01;  
        #100  
        w1 = 2'b10;  
        #100  
        w1 = 2'b11;  
        #100
```

```
$stop;

$finish;

end

endmodule
```

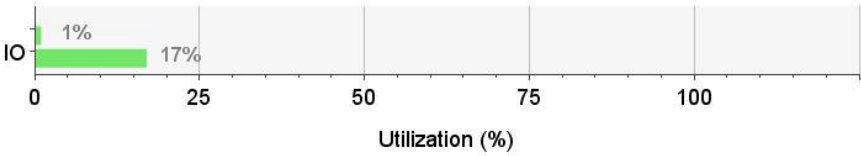
② 仿真结果



③ 资源利用情况

Summary

Resource	Utilization	Available	Utilization %
LUT	5	20800	0.02
IO	18	106	16.98



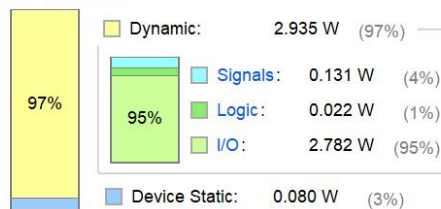
Summary

Power analysis from Implemented netlist. Activity derived from constraints files, simulation files or vectorless analysis.

Total On-Chip Power: 3.015 W
Design Power Budget: Not Specified
Power Budget Margin: N/A
Junction Temperature: 40.1°C
Thermal Margin: 44.9°C (8.9 W)
Effective θ_{JA} : 5.0°C/W
Power supplied to off-chip devices: 0 W
Confidence level: Low

[Launch Power Constraint Advisor](#) to find and fix invalid switching activity

On-Chip Power

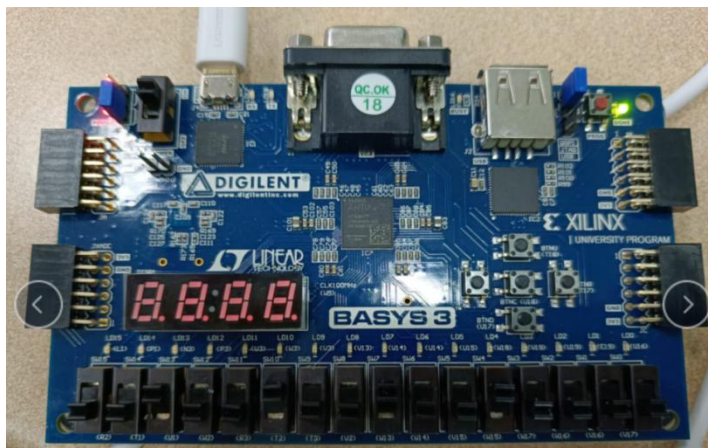


④ 管脚约束

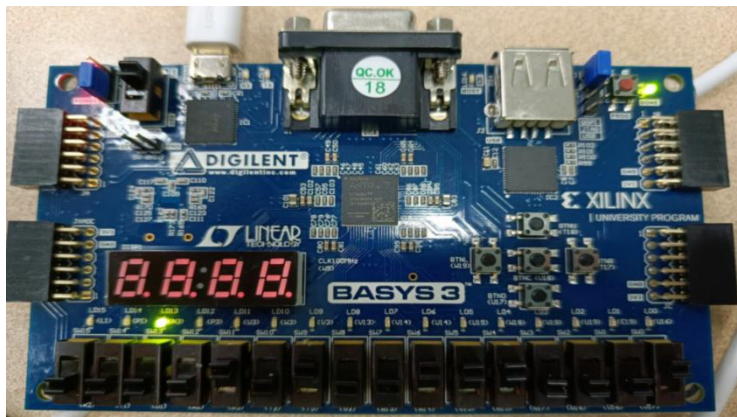
All ports (18)									
d1 (3)	IN			<input checked="" type="checkbox"/>	34	LVC MOS33*	3.300		
d...	IN	U1		<input checked="" type="checkbox"/>	34	LVC MOS33*	3.300		
d...	IN	W2		<input checked="" type="checkbox"/>	34	LVC MOS33*	3.300		
d...	IN	R3		<input checked="" type="checkbox"/>	34	LVC MOS33*	3.300		
d2 (3)	IN			<input checked="" type="checkbox"/>	34	LVC MOS33*	3.300		
d...	IN	T2		<input checked="" type="checkbox"/>	34	LVC MOS33*	3.300		
d...	IN	T3		<input checked="" type="checkbox"/>	34	LVC MOS33*	3.300		
d...	IN	V2		<input checked="" type="checkbox"/>	34	LVC MOS33*	3.300		
d3 (3)	IN			<input checked="" type="checkbox"/>	14	LVC MOS33*	3.300		
d...	IN	W13		<input checked="" type="checkbox"/>	14	LVC MOS33*	3.300		
d...	IN	W14		<input checked="" type="checkbox"/>	14	LVC MOS33*	3.300		
d...	IN	V15		<input checked="" type="checkbox"/>	14	LVC MOS33*	3.300		
d4 (3)	IN			<input checked="" type="checkbox"/>	14	LVC MOS33*	3.300		
d...	IN	W15		<input checked="" type="checkbox"/>	14	LVC MOS33*	3.300		
d...	IN	W17		<input checked="" type="checkbox"/>	14	LVC MOS33*	3.300		
d...	IN	W16		<input checked="" type="checkbox"/>	14	LVC MOS33*	3.300		
f (3)	OUT			<input checked="" type="checkbox"/>	35	LVC MOS33*	3.300	12	SLOW
f[2]	OUT	L1		<input checked="" type="checkbox"/>	35	LVC MOS33*	3.300	12	SLOW
f[1]	OUT	P1		<input checked="" type="checkbox"/>	35	LVC MOS33*	3.300	12	SLOW
f[0]	OUT	N3		<input checked="" type="checkbox"/>	35	LVC MOS33*	3.300	12	SLOW
w (2)	IN			<input checked="" type="checkbox"/>	34	LVC MOS33*	3.300		
...	IN	R2		<input checked="" type="checkbox"/>	34	LVC MOS33*	3.300		
...	IN	T1		<input checked="" type="checkbox"/>	34	LVC MOS33*	3.300		
Scalar ports (1)									
en	IN	V17		<input checked="" type="checkbox"/>	14	LVC MOS33*	3.300		

⑤ 开发板测试结果

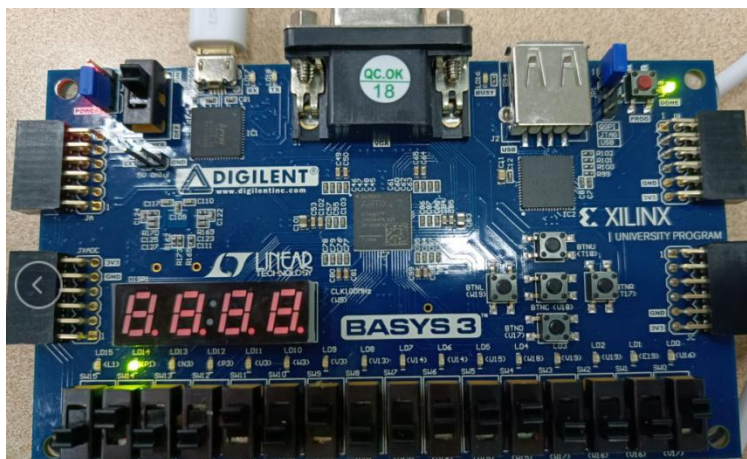
a. 当 en 输入为 0 时，无论输入为什么，out 输出值为 0



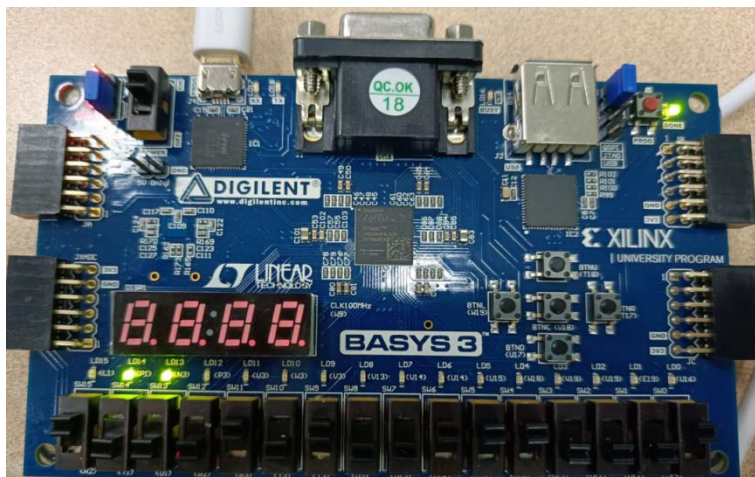
- b. en 为 1, w 为 00, in1 为 001、in2 为 010、in3 为 011、in4 为 100 时;out 输出 in1 的值, 即输出为 001



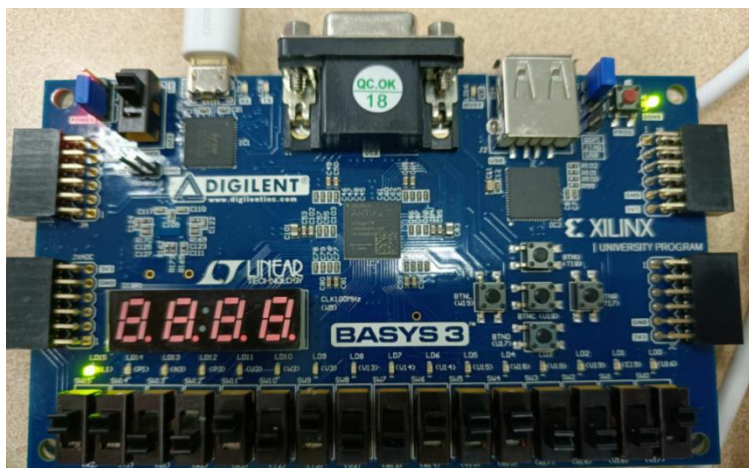
- c. en 为 1, w 为 01, in1 为 001、in2 为 010、in3 为 011、in4 为 100 时;out 输出 in2 的值, 即输出为 010



- d. en 为 1, w 为 10, in1 为 001、in2 为 010、in3 为 011、in4 为 100 时;out 输出 in3 的值, 即输出为 011



- e. en 为 1, w 为 11, in1 为 001、in2 为 010、in3 为 011、in4 为 100 时;out 输出 in4 的值, 即输出为 100



下载到开发板上可见, 选择信号不同, 会输出不同的数据。

总结: Block Design 先写出与门、或门、非门并封装 IP 核, 后来调用 IP 核实现多路选择器。对于 Verilog HDL, 先写出行为级代码, 接着综合、仿真, 检查无误后, 下载到开发板上测验。

资源消耗: Verilog HDL 利用率更高, 系统消耗资源更少。Verilog 只使用了 5 个 LUT, 而 Block Design 用了 11 个。

能源消耗: Verilog HDL 耗能相比于 Block Design 也更少。

七、小组分工情况说明

刘淑文: Verilog HDL 代码实现, 仿真测试, 板子实测, 撰写实验报告。

孙莹莹: 设计并封装门电路, Block Design 的实现, 仿真测试、撰写实验报告。

