

Xilinx 大学计划 ARTIX-7 平台介绍

Xilinx 大学计划 ARTIX-7 平台是一个完整的，可用于数字电路开发的实验平台。它的主芯片是 Xilinx Artix-7™ 系列 FPGA（XC7A100T-1CSG324C）。

主芯片XC7A100T关键资源：

- ✓ 15850个逻辑slices，每一个带有6输入的查找表结构和8个触发器，而且25-50%的Slices内部查找表结构可以配置为分布式64位RAM或者32位SRLS或两个16位SRL16s，使得综合工具能够充分利用这些逻辑资源和存储特性。
- ✓ 片内4860 Kbits的Block RAM，这些BRAM资源可以利用Vivado的IP集成器很方便的配置成单端口，双端口RAM。
- ✓ 240 DSP slices。
- ✓ 6个时钟管理模块（CMT）每个包含1个混合模式时钟管理器（MMCM）及一个锁相环（PLL）
- ✓ 500MHz+ 时钟

Xilinx 大学计划ARTIX-7平台资源：

Xilinx 大学计划ARTIX-7平台提供了丰富的端口和外设资源，包括：

- 16个用户可用的拨码开关
- 16个用户可用的LEDs
- 2个四数字7段数码管
- 1个USB-UART串口通信插口
- 2个三色LEDs
- 1个Micro SD卡槽
- 1个12位VGA输出
- 1个单声道PWM音频输出，PDM麦克风
- 1个三轴加速度计
- 1个温度传感器
- 1个10/100SMSC LAN8720以太网PHY

- 1个128MB的DDR2 SDRAM
- 1个16MB的非易失性SPI Flash
- 4个通用Pmod接口
- 1个PMod XADC接口
- 1个Digilent USB-JTAG插口，用于烧写FPGA和通信
- 1个USB HID插口，用于鼠标、键盘及便携式存储设备

大量的FPGA资源以及板上的外设让Xilinx 大学计划ARTIX-7平台完美胜任各种数字系统设计，包括基于Xilinx’ s MicroBlaze的嵌入式处理器设计。

Xilinx 大学计划 ARTIX-7 平台与 Xilinx 新推出的高性能 Vivado 开发套件，及包含 ChipScope 和 EDK 的 ISE 等开发工具完全兼容。Xilinx 为这些工具提供了免费的“Webpack”版本，这就意味着可以在不增添费用的情况下完成设计。

图 1-1 是 Xilinx 大学计划 ARTIX-7 平台板卡图。

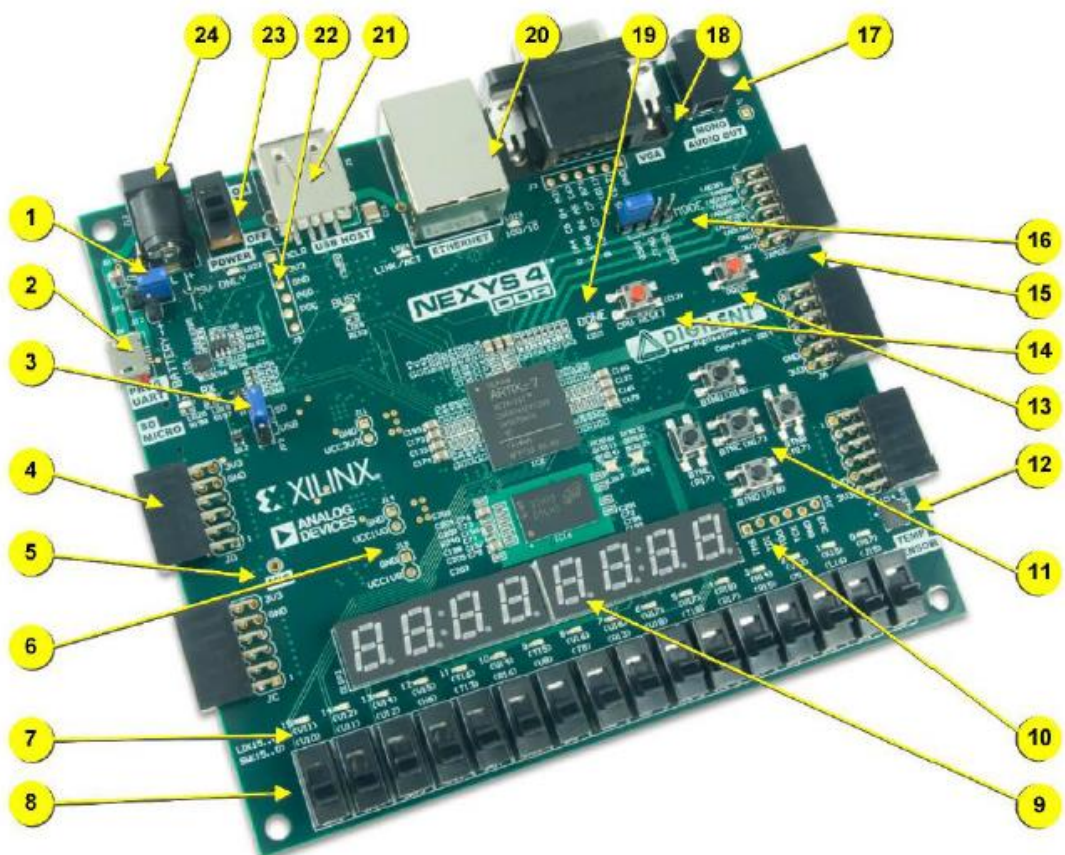


图 1-1 Xilinx 大学计划 ARTIX-7 平台图

表 1-1 是 Xilinx 大学计划 ARTIX-7 平台资源一览表。

表 1-1 Xilinx 大学计划 ARTIX-7 平台 板卡资源一览表

标注	描述	标注	描述
1	电源选择跳帽	13	FPGA 复位按键
2	共享 UART/JTAG USB 端口	14	CPU 复位（软核）
3	SD/USB 选择跳帽	15	Pmod（XADC）
4	Pmod 接口	16	烧写模式选择跳帽
5	麦克风	17	音频连接口
6	电源供给测试点	18	VGA 接口
7	LEDs	19	FPGA 烧写完成指示灯
8	拨码开关	20	以太网接口
9	8 个 7 端数码管	21	USB host 接口
10	JTAG 端口扩展	22	PIC24 编程接口（工厂测试）
11	5 个按键开关	23	电源开关
12	温度传感器	24	电源连接口

时钟：

Xilinx 大学计划 ARTIX-7 平台包括了一个连接在主芯片 E3 管脚的 100MHz 的晶振。通过需求设计，输入时钟可以驱动 MMCMs 或 PLLs 产生多种频率的时钟以及相位的变化。Xilinx 提供了时钟向导 IP 核可以帮助用户设计产生不同需求的时钟。

基本I/O设备：

Xilinx 大学计划 ARTIX-7 平台的基本 I/O 设备与主芯片的连接如图 1-2 所示：

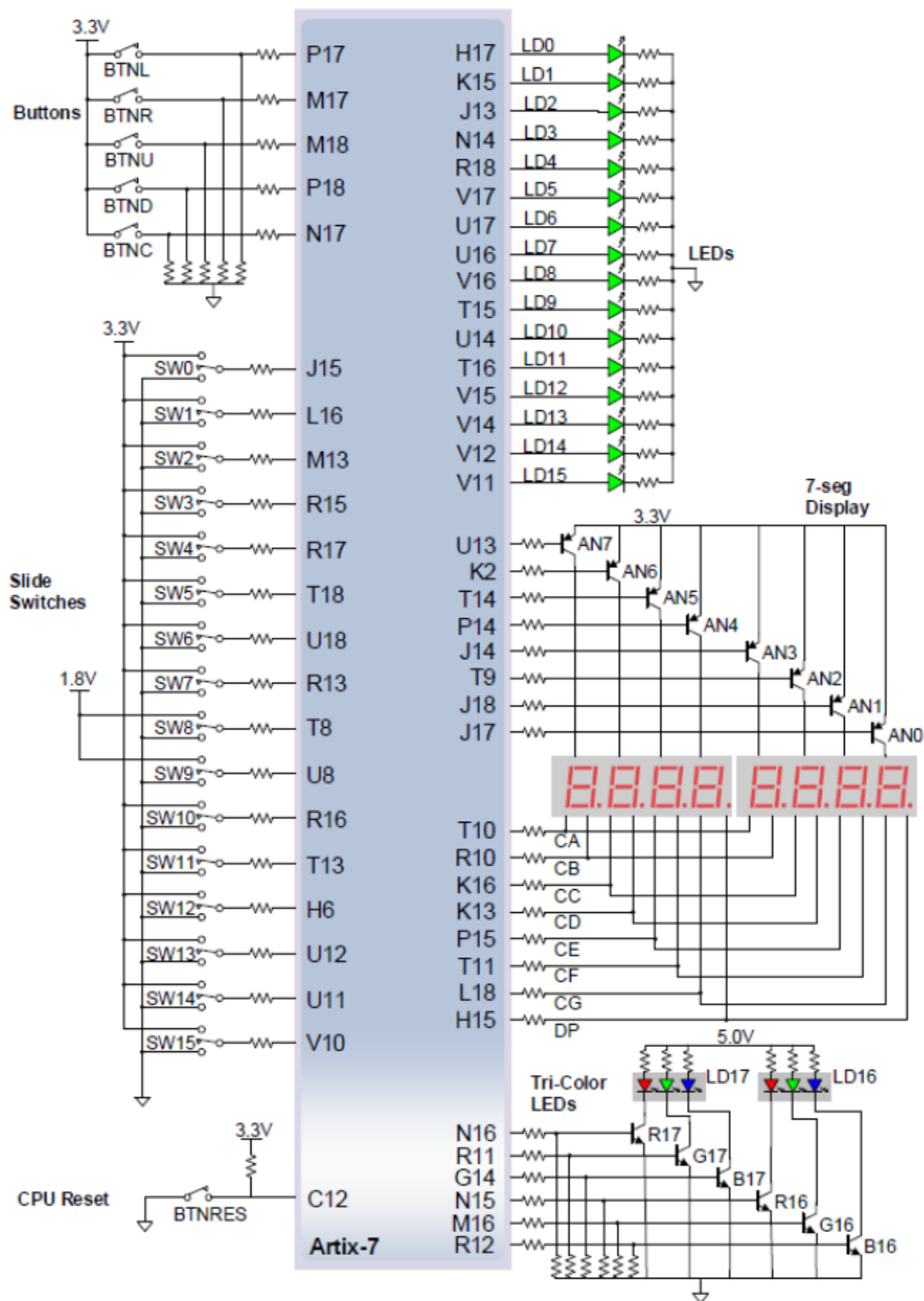


图 1-2 Xilinx 大学计划 ARTIX-7 平台的基本 I/O 设备管脚连接

如上所示，Nexys4 DDR 板包括 16 个滑动开关，16 个单体 LED，6 个按钮开关，2 个三色 LED 和 8 个七段数码显示器。为了防止粗心大意的短路（假如一个 FPGA 针脚分派到一个按钮开关或者滑动开关被粗心大意的定为输出时将发

生短路) 损害, 按钮开关和滑动开关通过串联电阻连接到 FPGA。5 个按钮开关分派到 1 个 “+” 信号的配置是瞬时开关, 在正常情况下, 这些瞬时开关不用时产生低信号输出, 被压时产生高信号输出。另一方面, “CPU RESET” 红色按钮不用时产生高信号输出, 被压时产生低信号输出。“CPU RESET” 按钮常常在 EDK (嵌入式开发套件) 设计中用于重置进程, 但你也可以把它当为常用按钮开关使用。滑动开关根据他们的位置产生固定的高或低信号输入。16 个单体高效 LED 通过 330 欧姆的电阻阳极连接到 FPGA, 所以当其各自 I/O 针脚应用到逻辑高电压时他们应该是打开的。不被用户访问的额外 LED 表示电源, FPGA 编程状态和 USB 和以太网端口状态。

Xilinx 大学计划 ARTIX-7 平台上的所有 8 个 7-段数码管显示器的段都是连接到同一组低电平触发的引脚上, 他们被称为 CA、CB、CC、...、CG。但是这 8 个数码管有它们各自的使能信号, 使能信号同样是低电平触发的。图 1-3 展示了 Xilinx 大学计划 ARTIX-7 平台上的 8 个 7-段数码管显示器。

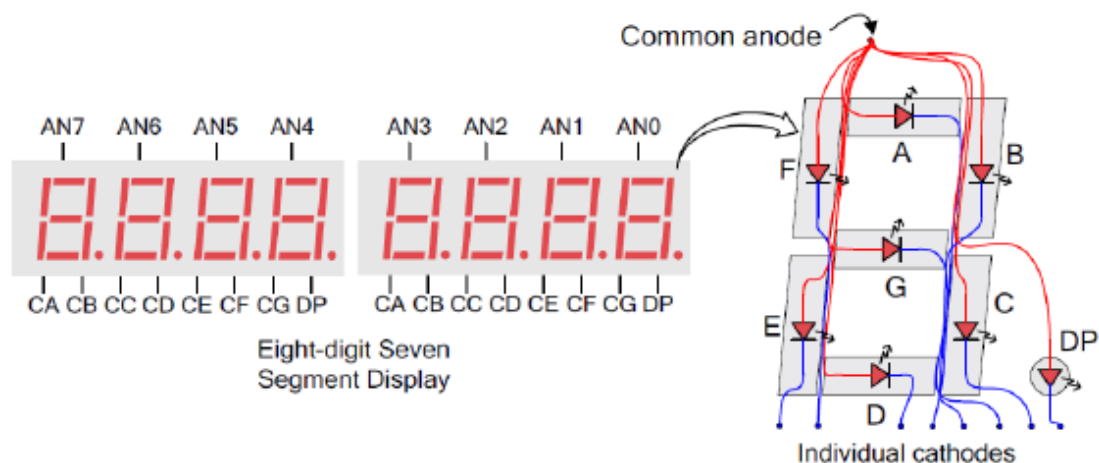


图 1-3 共阳极数码管电路结构

CA 接到这 8 个数码管中每一个数码管 A 段的负极, CB 接到这 8 个数码管中每一个数码管 B 段的负极, 以此类推。每一个数码管都有一个使能信号 AN[7:0]。AN[7:0]通过一个反相器接到对应数码管的每一个段的正极上。比如说, 只有到 AN[7]为 0 的时候, 数码管 7 的显示才会受到 CA...CG 这几个信号的驱动。

图 1-4 中列出了数码管显示 0 到 F 时点亮的段。比如说在显示数字 0 的时候，除了中间的 G 段外其他的段都被点亮了。而数字 1 只点亮了 B 段和 C 段。

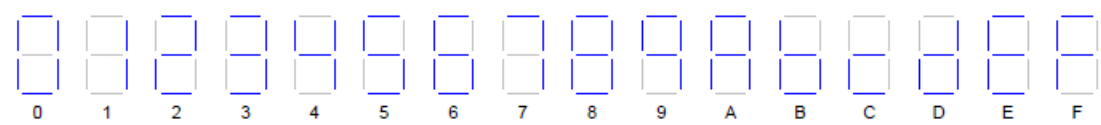


图 1-4 7-段数码管显示功能

要想让每个数码管显示不同的数字，使能信号（AN[7:0]）和段信号（CA...CG）必须依次地被持续驱动，数码管之间的刷新速度应该足够快这样就看不出来数码管之间在闪烁。举个例子，如果想在数码管 0 上显示数字 3 而数码管 1 上显示数字 9，可以先把 CA...CG 设置为显示数字 3，并拉低 AN[0]信号，然后再把 CA...CG 设置为显示数字 9 并拉高 AN[0]拉低 AN[1]。刷新频率可以设置为 2ms 刷新一次，这样人眼就看不出闪烁了。