

重庆大学《计算机组成原理》课程试

☒ A卷  
☐ B卷

2015 — 2016 学年 第 一 学期

开课学院： 计算机学院 课程号： 考试日期：

考试方式： ☐ 开卷 ☒ 闭卷 ☐ 其他 考试时间： 分钟

题 号	一	二	三	四	五	六	七	八	九	十	总 分
得 分											

考试提示

- 1.严禁随身携带通讯工具等电子设备参加考试；
- 2.考试作弊，留校察看，毕业当年不授学位；请人代考、替他人考试、两次及以上作弊等，属严重作弊，开除学籍。

一、(20 分) 选择题（每小题 2 分）

1. 假定处理器时钟频率为每秒 2GHz, 其对应的 CPI 为 4, 如果一个程序执行的时间为 20 秒, 那么执行该程序的时钟周期和指令数分别是( )。  
A. 40, 20G  
B. 40G, 10G  
C. 20G, 10G  
D. 15G, 30G
2. 有关提高吞吐率和响应时间描述正确的是 ( )  
A. 更换更高速的处理器只能提高响应时间  
B. 系统中增加处理器可以提高响应时间  
C. 更换更高速的处理器可以同时提高响应时间和吞吐率

D. 系统中增加处理器不能提高系统的吞吐率

3. 下列选项中, 能引起外部中断的事件是 ( )  
A. 键盘输入  
B. 除数为 0  
C. 浮点运算下溢  
D. 访存缺页
4. MIPS32 指令系统描述正确的是 ( )  
A. MIPS 指令可一次性取出 32 位的立即数  
B. 其条件跳转指令跳转的范围大约为指令前后越 1M 字节  
C. 其无条件跳转指令的跳转范围为指令前后范围的 4GB 字节  
D. 其指令的长度为固定长度, 均为 32 位长度的指令
5. 下列寄存器中, 程序员可以使用的是 ( ) 。  
A. 存储器的地址寄存器 (MAR)  
B. 指令寄存器 (IR)  
C. 存储器的数据寄存器 (MDR)  
D. 通用寄存器
6. 在计算机系统中, 有关虚拟存储器表述正确的是 ( )  
A. 其完全由硬件来管理  
B. 只需要操作系统软件管理  
C. 需要硬件和软件协同完成  
D. 需要由应用软件来管理
7. DMA 的电路中有程序中断部件, 其作用是 ( )  
A. 通知 CPU 传输结束  
B. 向 CPU 提出总线使用权  
C. 实现数据传送  
D. 发中断请求
8. 关于中断描述正确的是 ( )  
A. 外部设备发出中断后, 中断服务程序可立即执行  
B. 外部设备发出中断后, 一定会中断当前执行的程序  
C. 中断方式一般用于处理随机出现的服务请求  
D. 程序查询方式相对中断方式, CPU 利用率更高
9. 设  $[X]_{补} = 1.x_1x_2x_3x_4$ , 当满足( )时,  $X > -1/2$  成立。  
A.  $x_1$  必须为 1,  $x_2x_3x_4$  至少有一个为 1

- B. x1 必须为 1, x2x3x4 任意
- C. x1 必须为 0, x2x3x4 至少有一个为 1
- D. x1 必须为 0, x2x3x4 任意
10. 在主存和 CPU 之间增加 cache 存储器的目的是(      )
- A. 增加内存容量
- B. 提高内存可靠性
- C. 解决 CPU 和主存之间的速度匹配问题
- D. 增加内存容量, 同时加快存取速度

二、 简答题（30 分，每小题 6 分）

1. 请简要分析算法、编程语言和编译器、指令系统以及处理器对计算机系统性能的影响。

2. 请以 IEEE 754 浮点数为例说明计算机中浮点数的加法运算不满足结合率律，并举例说明。

3. 请简要 Cache 中写直达法（Write Through）和写回法(Write Back)的优缺点

4. 请简要分析 Cache 的容量、块的大小以及相联性对 Cache 性能的影响。

5、请简述单重中断系统的处理过程。

三、 计算题（30 分，每小题 10 分）

1. 计算二进制浮点数加法; $1.000_2 \times 2^{-1} + (-1.110_2 \times 2^{-2})$ ，请结合 MIPS 计算机进行浮点数加法的主要步骤，给出详细的计算步骤，结果不需要转换成 IEEE754 标准浮点数。（6 分）
- 2) IEEE754 标准中对单精度浮点数用 32 个 bits 来表示，其中最高位为浮点数的符号位，指数域为 8 位宽，尾数域 23 位宽，表示方式如下图所示：

Bit 31	Bit 30 ~ 23	Bit 22~ 0
Sign	指数域 8 bits	尾数域 23 bits

请将  $1.000_2 \times 2^{-1}$ 表示为 IEEE754 标准中的单精度浮点数形式。（4 分）



Beq

4	rs	rt	address
31:26	25:21	20:16	15:0

假设各个部件的时延为：

指令存储器：400ps；加法器：100ps；多路选择器 30ps；ALU 运算器：120ps；  
寄存器堆：200ps；数据存储器： 350ps；控制器 100ps。假设其它部件的时  
延忽略不计。请完成：

- 1）描述 R-type 加法执行过程并计算该指令执行时间；
- 2）描述 Beq 指令执行过程并计算该指令执行时间；