

《计算机组成原理》复习思考题 2.5 元

软件学院

一、单项选择题

- 下列 () 属于应用软件。
① 操作系统 ② 编译系统 ③ 连接程序 ④ 文本处理
- 计算机的字长决定了 ()。
① 指令直接寻址能力 ② 计算机的运算精度
③ 计算机的运算速度 ④ 计算机的高低档次
- 主板上高速缓冲存储器 CACHE 是设在 ()。
① 主存与 CPU 之间 ② 主存与外存之间
③ 接口板上 ④ CPU 内部
- 进位计数制中的最大数是指 ()。
① 一个数允许使用的最大数码 ② 一个数位允许使用的数码个数
③ 一个固定的常数值 ④ 数码在数据中的不同位置
- 相联存储器是按 () 进行寻址的存储器。
① 地址方式 ② 堆栈方式 ③ 内容指定方式 ④ 地址方式与堆栈方式
- 总线中地址线的作用是 ()。
① 用于选择存储器单元 ② 用于选择进行信息传输的设备
③ 用于选择存储器单元及用于选择进行信息传输的设备 ④ 地址信号
- 某计算机字长 32 位, 其存储容量为 128KB, 若按字编址, 那么它的寻址范围是 ()。
① 0~64K ② 0~16K ③ 0~8K ④ 0~32K
- 基址寻址方式中, 操作数的有效地址等于 ()。
① 堆栈指示器内容加上位移量 ② 程序计数器内容加上位移量
③ 基址寄存器内容加上位移量 ④ 变址寄存器内容加上位移量
- 目前大多数集成电路生产中, 所采用的基本材料为 ()。
① 单晶硅 ② 非晶硅 ③ 锑化钼 ④ 硫化镉
- CRT 的分辨率为 1024×1024 像素, 像素颜色数为 512, 则刷新存储器容量是 ()。
① 256KB ② 512KB ③ 2MB ④ 1MB
- CPU 内由许多部件组成, 其核心部件是 ()。
① 累加寄存器 ② 算术运算部件 ③ ALU 部件 ④ 多路开关
- 用某个寄存器中操作数的寻址方式称为 () 寻址。
① 直接 ② 间接 ③ 寄存器直接 ④ 寄存器间接
- 二级高速缓冲存储器 CACHE 是设在 ()。
① 主存与 CPU 之间 ② 主存与外存之间
③ 接口板上 ④ CPU 内部
- 主-辅存储器的目的是 ()。
① 解决 CPU 和主存之间的速度匹配问题 ② 扩大主存储器的容量
③ 扩大 CPU 中通用寄存器的数量 ④ 既扩大主存储容量又扩大 CPU 通用寄存器数量
- 在机器数 () 中, 零的表示形式是唯一的。
① 原码 ② 补码 ③ 移码 ④ 反码
- 为了便于实现多级中断, 保存现场信息最有效的办法是采用 ()。

- ① 通用寄存器 ② 堆栈 ③ 存储器 ④ 外存
17. DMA 传送是实现 () 之间信息高速传送的一种方式。
① CPU 与 I/O 接口电路 ② 内存与外设 ③ CPU 与内存 ④ 内存与内存
18. 磁盘转速提高一倍, 则 ()。
① 平均等待时间缩小一半 ② 其存取速度也提高一倍
③ 影响查道时间 ④ 存取速度不变
19. 用补码表示的定点小数, 其表示范围为 ()。
① $-1 < X < 1$ ② $-1 \leq X < 1$ ③ $-1 \leq X \leq 1$ ④ $-1 < X \leq 1$
20. 直接、间接、立即三种寻址方式指令的执行速度由快到慢的顺序列是 ()。
① 直接、立即、间接 ② 直接、间接、立即
③ 立即、直接、间接 ④ 不确定
21. 符号不相同的两数相减是 ()。
① 一定会产生溢出的 ② 可能产生溢出的 ③ 一定不产生溢出 ④ 以上都不是
22. 某 SRAM 芯片, 存储容量为 $64K \times 16$ 位, 该芯片的地址线和数据线数目为 ()。
① 64, 16 ② 16, 16 ③ 64, 8 ④ 16, 64
23. 闪存存储器称为 ()。
① 光盘 ② 固态硬盘 ③ 硬盘 ④ 软盘
24. 指令周期是指 ()。
① CPU 从主存取出一条指令的时间 ② CPU 执行一条指令的时间
③ CPU 从主存取出一条指令加上 CPU 执行这条指令的时间 ④ 时钟周期时间;
25. 浮点数比定点小数和整数的使用 ()。
① 差不多 ② 更复杂 ③ 更方便 ④ 更慢
26. 符号相同的两数相减是 ()。
① 会产生溢出的 ② 是不会产生溢出的 ③ 不一定产生溢出 ④ 以上都不是
27. 常用的虚拟存储系统由 () 两级存储器组成, 其中辅存是磁表面存储器。
① cache—主存 ② 主存—辅存 ③ cache—辅存 ④ 通用寄存器—主存
28. 要用 256×16 位的存储器芯片组成 4K 字节存储器, 需要这样的存储器芯片数为 ()。
① 2 ② 4 ③ 8 ④ 16
29. 磁盘上的磁道是 ()。
① 记录密度不同的同心圆 ② 记录密度相同的同心圆
③ 一条阿基米德螺线 ④ 两条阿基米德螺线
30. 系统总线中地址线的功能是 ()。
① 选择主存单元地址 ② 选择进行信息传输的设备
③ 选择外存地址 ④ 指定主存和 I/O 设备接口电路的地址
31. 在 CPU 中跟踪指令后继地址的寄存器是 ()。
① 主存地址寄存器 ② 程序计数器 ③ 指令寄存器 ④ 状态条件寄存器
32. 至今为止, 计算机中的所有信息仍以二进制方式表示的理由是 ()。
① 节约元件 ② 运算速度快 ③ 物理器件的性能决定 ④ 信息处理方便
33. 寄存器是计算机系统的记忆设备, 它主要用来 ()。
① 存放数据 ② 存放程序 ③ 存放数据和程序 ④ 存放微程序
34. 磁盘驱动器向盘片磁层记录时采用 () 方式写入。
① 并行 ② 串行 ③ 并—串行 ④ 串—并行
35. DMA 方式指直接依靠硬件实现主机 I/O 设备间 () 数据直接传送。
① 软件 ② 位 ③ 成组 ④ 块

36. 运算器的主要功能是进行 () 运算。
 ① 逻辑 ② 算术 ③ 初等函数 ④ 逻辑与算术
37. 用于对某个操作数在内存的寻址方式称为 () 寻址。
 ① 直接 ② 间接 ③ 寄存器直接 ④ 寄存器间接
38. DMA 方式指直接依靠硬件实现主机 I/O 设备间 () 数据直接传送。
 ① 软件 ② 位 ③ 成组 ④ 块
39. 动态 RAM 刷新时间一般小于或等于 () 的时间内进行一次。
 ① 2ns ② 2μs ③ 2ms ④ 2s
40. 发生中断请求的条件是 ()。
 ① 一条指令执行结束 ② 一次 I/O 操作结束
 ③ 机器内部发生故障 ④ 一次 DMA 操作结束
41. 定点原码运算是 ()。
 ① 补码运算 ② 仅数值运算 ③ 数值、符号运算后邻接 ④ 类似二进制运算
42. 下述 I/O 控制方式, 哪种主要由程序实现 ()。
 ① PPU (外围处理机) ② 中断方式 ③ DMA 方式 ④ 通道方式

二、填空题

- $(65.25)_{10} = (\quad)_{16}$ 。
- 设 $[X]_{\text{补}} = 1.011$, 则 X (真值) 为 \quad 。
- $(3C.4)_{16} = (\quad)_2$ 。
- 广泛使用的 \quad 和 \quad 都是半导体随机读写存储器, 前者速度快, 后者速度慢。
- 一条指令分为 \quad 和 \quad 两部份。
- 沿磁盘半径方向单位长度的磁道数称为 \quad 单位长度磁道所能记录二进制信息的位数叫 \quad 。
- 浮点数的尾数码部份, 在机器中多采用 \quad 表示。
- 堆栈按结构不同, 分为 \quad 堆栈和 \quad 堆栈。
- 相联存储器是按 \quad 访问的存储器, 在 cache 中用来存放 \quad 。
- 磁盘一般采用 \quad 磁记录方式, 而磁带一般采用 \quad 磁记录方式。
- 布尔代数有“与”、 \quad 、 \quad 三种基本逻辑关系。
- 动态 RAM 刷新一般有 \quad 和 \quad 两种。
- 在微程序控制器中一组实现一定操作功能的微命令的组合构成一条 \quad 而一条机器指令的功能是由若干条 \quad 组成。
- 设 X (真值) $= -0.1001$, 则 $[X]_{\text{补}}$ 为 \quad 。
- 主存与 cache 的地址映射有 \quad , \quad , \quad 三种方式。
- 中断有软中断、 \quad 、 \quad 。
- AR 寄存器存放的是 \quad , MDR 寄存器用来存放 \quad 。
- 完成一条指令一般分为 \quad 周期和 \quad 周期。
- 半导体 SRAM 靠 \quad 存贮信息, 半导体 DRAM 则是靠 \quad 存贮信息。
- 重写型光盘分 \quad 和 \quad 两种。
- 中断向量地址是 \quad 地址。
- 机器周期基本上是根据 \quad 确定。
- 堆栈的栈底是 \quad , 堆栈的栈顶 \quad 。
- 一个 16 位的浮点数, 阶码用 6 位表示, 尾数用 10 位 (含一位符号位) 表示, 阶的基数为 2, 阶码用补码表示, 尾数用原码表示; 则其浮点数表示的最大值为最小正值 \quad 。

25. 微程序控制器是一种_____控制器。

三、简答题

1. 两数的浮点数相加减后, 为什么用阶码判别溢出?
2. 写出浮点数加减运算步骤。
3. 简述补码加减运算溢出的三种检测方法。
4. 在寄存器—寄存器型, 寄存器—存储器型和存储器—存储器型三类指令中, 哪类指令的执行时间最长? 哪类指令的执行时间最短? 为什么?
5. 简述主存储器中动态和静态存储器的异同。
6. 简述微程序与硬布线控制的计算机异同。
7. 指令和数据均以二进制代码形式放在主存中, 请问 CPU 如何区别它们是指令还是数据?
8. 简述补码运算与原码运算的不同。
9. 简述激光打印机工作原理。
10. 简述中断处理步骤。
11. 操作数的编址方式有哪些?
12. 简述 DMA 方式和程序中断方式区别
13. 一个计算机系统总线, 大致分为哪几类。
14. 简述计算机 CPU 流水线工作原理及流水线阻塞原因, 并举三个因素分析。
15. 外围设备的 I/O 控制分哪几类? 。
16. 简述硬盘头盘组件密封原因。
17. CPU 内部有哪些部件组成? 其功能是什么?
18. 简述 CRT 对一屏字符 (字符显示窗口 8×15 , 字符点阵 7×8 , 一屏字符为 80×25 个字) 工作原理。
19. 简述堆栈的作用。
20. DRAM 存储器采用何种方式刷新? 有哪几种常用的刷新方式?

四、计算题

1. 已知 $x = -0.01111$ $y = +0.11001$ 用补码计算 $[x]_{\text{补}}$, $[-x]_{\text{补}}$, $[y]_{\text{补}}$, $[-y]_{\text{补}}$, $x+y$, $x-y$ 。
2. 求十进制数 -113 的原码表示, 反码表示, 补码表示和移码表示 (用 8 位二进制表示, 并设最高位为符号位, 真值为 7 位)。
3. 机器数字长为 8 位 (含 1 位符号位), 当 $X = -100$ (十进制) 时, 其对应的二进制表示, 写出 $(X)_{\text{原}}$ 表示及 $(X)_{\text{补}}$ 表示。
4. 某硬盘内有 10 片盘片, 每盘片有 2 个记录面, 每个记录面有 6000 磁道, 每道分为 32 个扇区, 每扇区 512 字节, 磁盘转速 5400 转/分, 求硬盘内有多少个存储面, 有多少个柱面, 硬盘的存储容量是多少, 数据传输率是多少。
5. 设计算机的存储器为 $64K \times 64$ 位, 直接地址映像的 cache 容量为 2K 字, 每块 4 字, 问:
 - (1) cache 地址的标志字段、块号和块内地址字段分别有多少位?
 - (2) cache 中可装入多少块数据?
6. 设有一个具有 20 位地址和 32 位字长的存储器, 问: (1) 该存储器能存储多少个字节的信息?
 - (2) 如果存储器由 $256k \times 8$ 位的 SRAM 芯片组成, 需多少片? (3) 需多少位地址作芯片选择?
7. 用 $16K \times 16$ 位的 SRAM 芯片构成 $64K \times 32$ 位的存储器。要求画出该存储器的组成逻辑框图。
8. 计算机系统的内存储器由 cache 和主存构成, cache 的存取周期为 50 纳秒, 主存的存取周期为 400 纳秒。已知在一段给定的时间内, CPU 访问了 cache 的 1、3、5、7、3、4、6 块, 访问了主存 1003、1004、1005 地址。问: (1) cache 的命中率是多少? (2) CPU

访问内存的平均时间是多少纳秒?

9. 某机字长 16 位, 定位表示, 尾数 15 位, 数符 1 位, 问:

(1) 定点原码整数表示时, 最大正数是多少? 最大负数是多少?

(2) 定点原码小数表示时, 最大正数是多少? 最大负数是多少?

10. 已知某机采用微程序控制方式, 其存储器容量为 512×64 (位), 微程序在整个控制存储器中实现转移, 可控制微程序的条件共 4 个, 微指令采用水平型格式, 后继微指令地址采用断定方式。

①画出微指令采用水平型格式, 微指令中的三个字段分别应多少位?

②画出对应这种微指令格式的微程序控制器逻辑框图。

11. 机器数字长为 8 位 (含 1 位符号位), 若机器数为 FF (十六进制), 当它分别表示原码、补码、反码和移码时, 等价的十进制整数分别是多少?

12. 某机器有 5 级中断 L0—L4, 中断响应次序 L0 最高, L4 最低, 现改为中断处理次序从高到低为 L0、L3、L4、L1、L2, 问: (1) 各级中断处理程序的中断级屏蔽值如何设置。(2) 5 级中断同时发出中断请求, 按更改后次序画出进入各级中断处理程序的过程示意图。

(0013) 《计算机组成原理》复习思考题答案

一. 单项选择题

1④2①3①4②5③6③7④8③9①10③11③12③13①14②15②16②17②18①19②20③21③22②23②24③25③26②27②28③29①30④31②32③33③34②35③36④37①38③39③40①41③42②

二. 填空题

二. 填空题

答案: 1; 41.01 2; -0.101 3; 111100.01 4; SRAM, DRAM 5; 操作码, 地址码 6; 道密度, 位密度 7; 补码 8; 寄存器, 存储器 9; 内容, 部分主存内容 10; 随机, 顺序 11; 或, 非 12; 集中、分布刷新 13; 微指令 14; 1.0111 15; 直接相联、组相联、全相联 16; 内中断, 外中断 17; 地址、数据 18; 取指令、执行 19; 触发器 mos 电容 20; 磁光型、相变型 21; 中断服务程序入口 22; 微操作时间 23; 栈底不变, 栈顶可变 24; $+2^{32} \times (1-2^{-10})$ 、 $+2^{-42}$ 25; 软件

三 简答题

见教材。

四 计算题

1. 解: $[X]_{\text{补}} = 1.10001$ $[-X]_{\text{补}} = 0.01111$ $[Y]_{\text{补}} = 0.11001$ $[-Y]_{\text{补}} = 1.00111$

$X+Y = +0.01010$ $X-Y$ 结果发生溢出

2. 原码 11110001 反码 10001110 补码 10001111 移码 00001111

3. 11111111, 10000001

4. 存储面=20 个记录面

柱面=6000

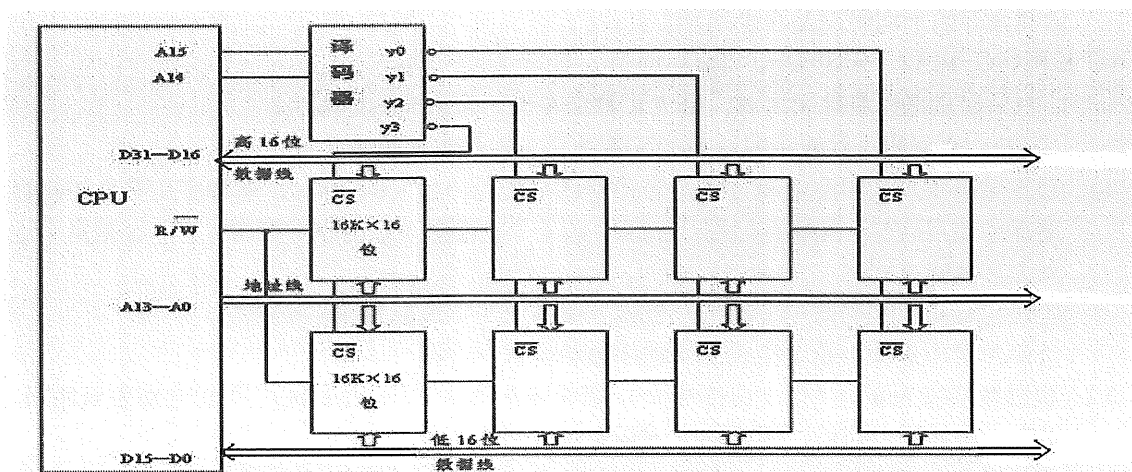
硬盘的存储容量= $32 \times 6000 \times 32 \times 512\text{B}$

数据传输率= $(5400/60) \times (32 \times 512)\text{B/s}$

5. (1) 5 位, 9 位, 2 位 (2) 512 块。

6. (1) 4MB (2) 16 片 (3) 2 位地址线作芯片片选选择

7. 所需芯片总数 $(64\text{K} \times 32) \div (16\text{K} \times 16) = 8$ 片 因此存储器可分为 4 个模块, 每个模块 $16\text{K} \times 32$ 位, 各模块通过 A15、A14 进行 2: 4 译码。



8. (1)0.7 ; (2)190ns
9. (1) $+2^{15}-1$ 、 -1 ; (2) $+(1-2^{-15})$ 、 -2^{-15} 。
10. (1)51、4、9 位 ; (2) 见教材。
11. 原码-127、补码 -1 、反码 0 和移码+1
12. 见教材。

试卷 A

一、填空题: (每空 1 分, 共 15 分)

- 1、原码一位乘法中, 符号位与数值位 (), 运算结果的符号位等于 ()。
- 2、码值 80H: 若表示真值 0, 则为 () 码; 若表示真值 -128 , 则为 () 码。
- 3、微指令格式分为 () 型微指令和 () 型微指令, 其中, 前者的并行操作能力比后者强。
- 4、在多级存储体系中, Cache 存储器的主要功能是 ()。
- 5、在下列常用术语后面, 写出相应的中文名称: VLSI(), RISC(), DMA(), DRAM()。
- 6、为了实现 CPU 对主存储器的读写访问, 它们之间的连线按功能划分应当包括 (), () ()。
- 7、从计算机系统结构的发展和演变看, 近代计算机是以 () 为中心的系统结构。

二、单项选择题: (每题 2 分, 共 40 分)

- 1、寄存器间接寻址方式中, 操作数处于 () 中。

A、通用寄存器 B、主存 C、程序计数器 D、堆栈

2、CPU 是指 ()。

- A、运算器
- B、控制器
- C、运算器和控制器
- D、运算器、控制器和主存

3、若一台计算机的字长为 2 个字节，则表明该机器 ()。

- A、能处理的数值最大为 2 位十进制数。
- B、能处理的数值最多由 2 位二进制数组成。
- C、在 CPU 中能够作为一个整体加以处理的二进制代码为 16 位。
- D、在 CPU 中运算的结果最大为 2 的 16 次方

4、在浮点数编码表示中，() 在机器数中不出现，是隐含的。

- A、基数
- B、尾数
- C、符号
- D、阶码

5、控制器的功能是 ()。

- A、产生时序信号
- B、从主存取出一条指令
- C、完成指令操作码译码
- D、从主存取出指令，完成指令操作码译码，并产生有关的操作控制信号，以解释执行该指令。

6、虚拟存储器可以实现 ()。

- A、提高主存储器的存取速度
- B、扩大主存储器的存储空间，并能进行自动管理和调度
- C、提高外存储器的存取周期
- D、扩大外存储器的存储空间

7、32 个汉字的机内码需要 ()。

- A、8 字节
- B、64 字节
- C、32 字节
- D、16 字节

8、相联存储器是按 () 进行寻址的存储器。

- A、地址指定方式 B、堆栈指定方式
- C、内容指定方式 D、地址指定方式与堆栈存储方式结合
- 9、状态寄存器用来存放（ ）。
- A、算术运算结果 B、逻辑运算结果
- C、运算类型 D、算术逻辑运算指令及测试指令的结果状态
- 10、在机器数（ ）中，零的表示形式是唯一的。
- A、原码 B、补码 C、补码和移码 D、原码和反码
- 11、计算机的存储器采用分级方式是为了（ ）。
- A、减少主机箱的体积 B、解决容量、价格、速度三者之间的矛盾
- C、保存大量数据方便 D、操作方便
- 12、有关 Cache 的说法正确的是（ ）。
- A、只能在 CPU 以外 B、CPU 内外都可以设置 Cache
- C、只能在 CPU 以内 D、若存在 Cache，CPU 就不能再访问主存
- 13、在定点二进制运算中，减法运算一般通过（ ）来实现。
- A、原码运算的二进制减法器 B、补码运算的二进制减法器
- C、补码运算的十进制加法器 D、补码运算的二进制加法器
- 14、堆栈常用于（ ）。
- A、数据移位 B、程序转移 C、保护程序现场 D、输入、输出
- 15、计算机系统的层次结构从内到外依次为（ ）。
- A、硬件系统、系统软件、应用软件 B、系统软件、硬件系统、应用软件
- C、系统软件、应用软件、硬件系统 D、应用软件、硬件系统、系统软件
- 16、一个指令周期通常由（ ）组成。

- A、若干个节拍
B、若干个时钟周期
C、若干个工作脉冲
D、若干个机器周期

17、在计算机系统中，表征系统运行状态的部件是（ ）。

- A、程序计数器 B、累加计数器 C、中断计数器 D、程序状态字

18、某虚拟存储器采用页式内存管理，使用 LRU 页面替换算法，考虑下面的页面访问地址流（每次访问在一个时间单位中完成），1、8、1、7、8、2、7、2、1、8、3、8、2、1、3、1、7、1、3、7。假定内存容量为 4 个页面，开始时为空的，则页面失效次数是（ ）。

- A、 4 B、 5 C、 6 D、 7

19、某一 SRAM 芯片，其容量是 1024×8 位，除电源和接地端外，该芯片引脚的最小数目是 ()。

- A、 20 B、 22 C、 25 D、 30

20、下面尾数（1 位符号位）的表示中，不是规格化尾数的是（ ）。

- A、010011101 （原码） B、110011110 （原码）
C、010111111 （补码） D、110111001 （补码）

三、简答题：（每题 5 分，共 10 分）

1、Cache 与主存之间的地址映像方法有哪几种？各有何特点？

2、DRAM 存储器为什么要刷新？有哪几种常用的刷新方法？

四、综合题：(共 35 分)

1、(本题 7 分) 某机采用微程序控制器，其微程序控制器有 18 种微操作命令（采用直接控制法，即水平型微指令），有 8 个转移控制状态（采用译码形式），微指令格式中的下址字段 7 位。该机机器指令系统采用 4 位定长操作码，平均每条指令由 7 条微指令组成。问：

(1) 该微指令的格式中, 操作控制字段和判别测试字段各有几位? 控存的容量是多少 (字数 \times 字长)? (4 分)

(2) 该机指令系统共有多少条指令? 需要多少容量的控存? 上述的控存是否合适? (3 分)

操作控制字段

判别测试字段

下址字段

2、(本题 12 分) 设浮点数的格式为：阶码 4 位，包含一位符号位，尾数 5 位，包含一位符号位，阶码和尾数均用补码表示，排列顺序为：

阶符 (1 位)

阶码 (3 位)

数符 (1 位)

尾数 (4 位)

则按上述浮点数的格式：

(1) 若 $(X)_{10} = 22/64$, $(Y)_{10} = -2.75$, 则求 X 和 Y 的规格化浮点数表示形式。(6 分)

(2) 求 $[X+Y]_{\text{浮}}$ (要求用补码计算, 列出计算步骤) (6 分)

3、(本题共 16 分) 某机字长 8 位, CPU 地址总线 16 位, 数据总线 8 位, 存储器按字节编址, CPU 的控制信号线有: MREQ# (存储器访问请求, 低电平有效), R/W# (读写控制, 低电平为写信号, 高电平为读信号)。试问:

(1) 若该机主存采用 $16K \times 1$ 位的 DRAM 芯片 (内部为 128×128 阵列) 构成最大主存空间, 则共需多少个芯片? 若采用异步刷新方式, 单元刷新周期为 2ms, 则刷新信号的周期为多少时间? 刷新用的行地址为几位? (6 分)

(2) 若为该机配备 $2K \times 8$ 位的 Cache, 每块 8 字节, 采用 2 路组相联映像, 试写出对主存地址各个字段的划分 (标出各个字段的位数); 若主存地址为 3280H, 则该地址可映像到 Cache 的哪一组? (4 分)

(3) 若用 4 个 $8K \times 4$ 位的 SRAM 芯片和 2 个 $4K \times 8$ 位的 SRAM 芯片形成 $24K \times 8$ 位的连续 RAM 存储区域, 起始地址为 0000H, 假设 SRAM 芯片有 CS# (片选, 低电平有效) 和 WE# (写使能, 低电平有效) 信号控制端。试画出 SRAM 与 CPU 的连接图, 在图上标清楚地址

译码连接, 数据线、地址线、控制线连接。(6 分)

试卷 B

一、单项选择题: (每题 1 分, 共 20 分)

- 1、目前我们所说的个人台式商用机属于。
A、巨型机 B、中型机 C、小型机 D、微型机
- 2、下列数中最大的数是。
A、 $(10011001)_2$ B、 $(227)_8$ C、 $(98)_{16}$ D、 $(152)_{10}$
- 3、在小型或微型计算机里, 普遍采用的字符编码是。
A、BCD 码 B、16 进制 C、格雷码 D、ASCII 码
- 4、在下列机器数 中, 零的表示形式是唯一的。
A、原码 B、补码 C、反码 D、原码和反码
- 5、设 $[X]_{\text{补}} = 1.x_1x_2x_3x_4$, 当满足 时, $X > -1/2$ 成立。
A、 x_1 必须为 1, $x_2x_3x_4$ 至少有一个为 1 B、 x_1 必须为 1, $x_2x_3x_4$ 任意
C、 x_1 必须为 0, $x_2x_3x_4$ 至少有一个为 1 D、 x_1 必须为 0, $x_2x_3x_4$ 任意
- 6、假定下列字符码中有奇偶校验位, 但没有数据错误, 采用偶校验的字符码是。
A、11001011 B、11010110 C、11000001 D、11001001
- 7、在 CPU 中, 跟踪后继指令地址的寄存器是。
A、指令寄存器 B、程序计数器 C、地址寄存器 D、状态条件寄存器
- 8、EPROM 是指。
A、读写存储器 B、只读存储器
C、可编程的只读存储器 D、光擦除可编程的只读存储器
- 9、堆栈寻址方式中, 设 A 为累加器, SP 为堆栈指示器, MSP 为 SP 指示的栈顶单元。如果进栈操作的动作顺序是 $(A) \rightarrow \text{MSP}$, $(\text{SP}) - 1 \rightarrow \text{SP}$ 。那么出栈操作的动作顺序应为。
A、 $(\text{MSP}) \rightarrow A$, $(\text{SP}) + 1 \rightarrow \text{SP}$ B、 $(\text{MSP}) \rightarrow A$, $(\text{SP}) - 1 \rightarrow \text{SP}$
C、 $(\text{SP} - 1) \rightarrow \text{SP}$, $(\text{MSP}) \rightarrow A$ D、 $(\text{SP}) + 1 \rightarrow \text{SP}$, $(\text{MSP}) \rightarrow A$
- 10、下面尾数 (1 位符号位) 的表示中, 不是规格化的尾数的是。
A、010011101 (原码) B、110011110 (原码)
C、010111111 (补码) D、110111001 (补码)
- 11、在主存和 CPU 之间增加 cache 存储器的目的是。
A、增加内存容量 B、提高内存可靠性
C、解决 CPU 和主存之间的速度匹配问题 D、增加内存容量, 同时加快存取速度
- 12、CPU 主要包括。
A、控制器 B、控制器、运算器、cache
C、运算器和主存 D、控制器、ALU 和主存
- 13、设变址寄存器为 X, 形式地址为 D, (X) 表示寄存器 X 的内容, 变址寻址方式的有效地址为。
A、 $\text{EA} = (X) + D$ B、 $\text{EA} = (X) + (D)$ C、 $\text{EA} = ((X) + D)$ D、 $\text{EA} = ((X) + (D))$
- 14、信息只用一条传输线, 且采用脉冲传输的方式称为。
A、串行传输 B、并行传输 C、并串行传输 D、分时传输

- 15、下述 I/O 控制方式中，主要由程序实现的是 。
- A、PPU(外围处理机)方式 B、中断方式 C、DMA 方式 D、通道方式
- 16、系统总线中地址线的功能是 。
- A、用于选择主存单元地址 B、用于选择进行信息传输的设备
- C、用于选择外存地址 D、用于指定主存和 I/O 设备接口电路的地址
- 17、CRT 的分辨率额为 1024×1024 ，颜色深度为 8 位，则刷新存储器的存储容量是 。
- A、2MB B、1MB C、8MB D、1024B
- 18、设寄存器位数为 8 位，机器数采用补码形式（含一位符号位）。对应于十进制数-27，寄存器内为 。
- A、27H B、9BH C、E5H D、5AH
- 19、根据国标规定，每个汉字在计算机内占用 存储。
- A、一个字节 B、二个字节 C、三个字节 D、四个字节
- 20、某一 SRAM 芯片，其容量为 512×8 位，考虑电源端和接地端，该芯片引出线的最小数目应为 。
- A、23 B、25 C、50 D、19

二、填空题：（每空 1 分，共 20 分）

- 1、设 $X = -0.1011$ ，则 $[X]$ 补为 。
- 2、汉字的 、 、 是计算机用于汉字输入、内部处理、输出三种不同用途的编码。
- 3、数控机床是计算机在 方面的应用，邮局把信件自动分拣是在计算机 方面的应用。
- 4、计算机软件一般分为 和 两大类。
- 5、RISC 的中文含义是 ；CISC 的中文含义是 。
- 6、对动态存储器的刷新有两种方式，它们是 和 。
- 7、机器字长 16 位，表示浮点数时，阶码 6 位（阶符 1 位），尾数 10 位（数符 1 位），则浮点补码表示时，最大浮点数是 ，绝对值最小的非 0 的正数是 。
- 8、在存储系统的 Cache 与主存层次结构中，常会发生数据替换问题，此时我们较常使用的替换算法有 和 等。
- 9、一条指令实际上包括两种信息即 和 。
- 10、按照总线仲裁电路的位置不同，可分为 仲裁和 仲裁。

三、简答题：（每题 5 分，共 15 分）

- 1、CPU 中有哪些主要寄存器？简述这些寄存器的功能。
- 2、RISC 机器具有什么优点，试简单论述。
- 3、计算机存储系统分那几个层次？每一层次主要采用什么存储介质？其存储容量和存取速度的相对值如何变化？

四、综合题：（共 45 分）

- 1、求十进制数 -123 的原码表示，反码表示，补码表示和移码表示（用 8 位二进制表示，并设最高位为符号位，真值为 7 位）。（本题 8 分）
- 2、基址寄存器的内容为 3000H，变址寄存器的内容为 02B0H，指令的地址码为 002BH，程序计数器（存放当前正在执行的指令的地址）的内容为 4500H，且存储器内存放的内容如下：

地址	内容
002BH	3500H
302BH	3500H
32B0H	5600H
32DBH	2800H
3500H	2600H
452BH	2500H

- (1)、若采用基址寻址方式，则取出的操作数是什么？
- (2)、若采用变址寻址（考虑基址）方式，取出的操作数是什么？
- (3)、若采用立即寻址方式，取出的操作数是什么？
- (4)、若采用存储器间接寻址（不考虑基址）方式，取出的操作数是什么？
- (5)、若相对寻址用于转移指令，则转移地址是多少？（本题 10 分）

3、现有 SRAM 芯片容量为 $2K \times 4$ 位，试用此芯片组成 $8K \times 8$ 位的存储器，(1)、共需要多少这样的芯片？(2)、要访问此存储器至少需要多少条地址线？其中片内寻址需几条？（本题 6 分）

4、某双面磁盘，每面有 220 道，已知磁盘转速 $r = 3000$ 转/分。数据传输率为 175000B/s。求磁盘总容量。（本题 6 分）

5、设浮点数 $x = 2^{-011} \times 0.101100$ ， $y = 2^{-010} \times (-0.011010)$

- (1)、计算 $x+y$ ；（阶码与尾数均用补码运算）。
- (2)、计算 $x \times y$ ；（阶码用补码运算，尾数用原码一位乘）。（本题 15 分）

自测试卷 A 参考答案

一、填空题（每空 1 分，共 15 分）

- 1、分开计算，相乘两数符号位的异或值。 2、移，补 3、水平，垂直
- 4、匹配 CPU 和主存之间的速度
- 5、超大规模集成电路，精简指令系统计算机，直接存储器存取（访问），动态随机读写存储器。
- 6、地址总线，数据总线，读写控制线 7、存储器

二、单项选择题（每题 2 分，共 40 分）

- 1、b 2、c 3、c 4、a 5、d 6、b 7、b 8、c 9、d 10、c
- 11、b 12、b 13、d 14、c 15、a 16、d 17、d 18、c 19、a 20、d

三、简答题（每题 5 分，共 10 分）

- 1、映像方式有直接映像，全相联映像，组相联映像三种。直接映像是每个主存块只能放到一个唯一对应的 Cache 块中，实现简单但 Cache 利用率低；全相联映像每个主存块可以放到任何一个 Cache 块中，最灵活但实现的成本代价最大；组相联映像时每个主存块唯一对应一个 cache 组，但可放到组内任何一个块中，是前两种方式的折中。
- 2、DRAM 存储器采用电容存放信息，由于电容漏电，保存信息经过一段时间会丢失，故用

刷新保证信息不丢失。常用的刷新方法有集中式刷新和分布式刷新。

四、综合题 (共 35 分)

1、(本题 7 分)

(1)、操作控制字段 18 位, 判别测试字段 3 位, 控存容量是 128×28 ;

(2)、共 16 条指令, 需 112 条微指令, 控存合适, 能满足需要。

2、(本题共 12 分)

(1)、X 和 Y 的表示为:

X 阶码: 1111 尾数: 01011 Y 阶码: 0010 尾数: 10101

(2)、①、对阶: $E_x - E_y = 11.101$ 保留 E_y , X 尾数右移 3 位。②、尾数加: 得: 11.0110011

③、规格化: 已经是 ④、舍入: 尾数: 11.0110 ⑤、判溢出: 无溢出, 故结果为:
阶码 0010 尾数 10110 值: -0.1010×2^2

3、(本题共 16 分) (1) 共需 32 个芯片, 刷新信号周期约为 $15.6 \mu s$, 刷新行地址 7 位; (2) 主存字块标记 6 位, 组地址 7 位, 块内地址 3 位。地址 3280H 在 Cache 的 50H 组内。 (3) 连接情况大致如图:

自测试卷 B 参考答案

一、单项选择题: (每题 1 分, 共 20 分)

1、D 2、A 3、D 4、B 5、A 6、D 7、B 8、D 9、D 10、D
11、C 12、B 13、A 14、A 15、B 16、D 17、C 18、C 19、B 20、D

二、填空题: (每空 1 分, 共 20 分)

1、10101 2、输入码, 机内码, 字形码 3、自动控制, 人工智能
4、系统软件, 应用软件 5、精简指令系统计算机, 复杂指令系统计算机
6、集中式刷新, 分布式刷新 7、 $(1-2-9) \times 231$ 、 $2-41$ 、
8、先进先出算法 (FIFO), 近期最少使用算法 (LRU),
9、操作码, 地址码 10、集中式, 分布式

三、简答题: (每题 5 分, 共 15 分)

1、CPU 有以下寄存器: ①指令寄存器 (IR): 用来保存当前正在执行的一条指令。②程序计数器 (PC): 用来确定下一条指令的地址。③地址寄存器 (AR): 用来保存当前 CPU 所访问的内存单元的地址。④缓冲寄存器 (DR): $\langle 1 \rangle$ 作为 CPU 和内存、外部设备之间信息传送的中转站。 $\langle 2 \rangle$ 补偿 CPU 和内存、外围设备之间在操作速度上的差别。 $\langle 3 \rangle$ 在单累加器结构的运算器中, 缓冲寄存器还可兼作为操作数寄存器。⑤通用寄存器 (AC): 当运算器的算术逻辑单元 (ALU) 执行全部算术和逻辑运算时, 为 ALU 提供一工作区。⑥状态条件寄存器 (PSW): 保存由算术指令和逻辑指令运行或测试的结果建立的各种条件码内容。除此之外, 还保存中断和系统工作状态等信息, 以便使 CPU 和系统能及时了解机器运行状态和程序运行状态。

2、RISC 是精简指令系统计算机, 它有以下特点: ①选取使用频率最高的一些简单指令, 以及很有用但不复杂的指令。②指令长度固定, 指令格式种类少, 寻址方式种类少。③只有取数/存数指令访问存储器, 其余指令的操作都在寄存器之间进行。④大部分指令在一个机器周期内完成。⑤CPU 中通用寄存器数量相当多。⑥以硬布线控制为主, 不用或少用微指令码控制。⑦一般用高级语言编程, 特别重视编译优化工作, 以减少程序执行时间。

3、分为高速 Cache——主存——辅存三级层次结构, 容量从小到大, 速度从高到低。

存储介质: Cache SRAM

主存 DRAM

辅存 磁表面存储器

四、综合题：(共 45 分)

1、(本题 8 分)

原码：11111011 反码：10000100 补码：10000101 移码：00000101

2、(本题 10 分)

(1)、3500H (2)、2800H (3)、002BH (4)、2600H (5)、452BH

3、(本题 6 分) (1)、8 片 (2)、13 条, 11 条,

4、(本题 6 分) 解： 因为 $Dr = r \times N$ $r = 3000$ 转/分 $= 50$ 转/秒

所以 $N = Dr/r = (175000B/s) / (50/s) = 3500B$

磁盘总容量 $= 3500B \times 220 \times 2 = 1540000B = 1.54MB$

5、(本题 15 分)

(1) 阶码：11010 尾数：11000000 (均为补码)

(2) 阶码：11010 (补码) 尾数：11100100 (原码) (计算过程略)

杭州电子科技大学

2005 年攻读硕士学位研究生入学考试《计算机组成原理》试卷

一、选择题：(32 分，每题 2 分)

1、完整的计算机系统应包括。

- A、运算器、存储器、控制器
- B、外设和主机
- C、主机和实用程序
- D、配套的硬件设备和软件系统

2、CPU 是指。

- A、运算器、存储器、控制器
- B、控制器
- C、运算器和控制器
- D、运算器、控制器和主存

3、Pentium 是 位微处理器。

- A、16
- B、32
- C、48
- D、64

4、用 5 位的补码机器数来表示十进制数 -3，正确的表示形式是。

- A、10011
- B、11101
- C、11100
- D、01101

5、计算机系统中，使用总线来传送信息，完整的一组总线通常包括。

- A、数据总线、地址总线、控制总线
- B、数据总线、地址总线
- C、接口总线、系统总线
- D、底板总线、CPU 总线

6、在浮点数编码表示中，机器数由 构成， 是隐含规定的。

- A、阶码
- B、符号
- C、尾数
- D、基数
- E、阶码和尾数

7、算术/逻辑运算单元 74181ALU 可完成。

- A、16 种算术运算功能
- B、16 种逻辑运算功能
- C、16 种算术运算功能和 16 种逻辑运算功能
- D、4 位乘法运算和除法运算功能

8、在定点二进制运算器中，减法运算一般通过 来实现。

- A、原码运算的二进制减法器
- B、补码运算的二进制减法器
- C、原码运算的十进制加法器
- D、补码运算的二进制加法器

9、若浮点数用补码表示，则判断运算结果是否为规格化数的方法是。

A、阶符与数符相同为规格化数

B、阶符与数符相异为规格化数

C、数符与尾数小数点后第一位数字相异为规格化数

D、数符与尾数小数点后第一位数字相同为规格化数

10、交叉存储器实质上是一种 存储器，它能 执行 独立的读写操作。

- A、模块式，并行，多个
- B、模块式，串行，多个
- C、整体式，并行，一个
- D、整体式，串行，多个

11、主存储器和 CPU 之间增加 cache 的目的是 。

- A、解决 CPU 和主存之间的速度匹配问题
- B、扩大主存储器容量
- C、扩大 CPU 中通用寄存器的数量
- D、既扩大主存储器容量，又扩大 CPU 中通用寄存器的数量

12、微程序控制器中，机器指令与微指令的关系是 。

- A、每一条机器指令由一条微指令来执行
- B、每一条机器指令由一段微指令编写的微程序来解释执行
- C、每一条机器指令组成的程序可由一条微指令来执行

D、一条微指令由若干条机器指令组成

13、假定下列字符码中有奇偶校验位，但没有数据错误，采用奇校验的字符码是 。

- A、11000011
- B、11000001
- C、01000010
- D、11001011

14、存储周期是指 。

- A、主存中读取一个单元的时间
- B、主存中写入一个单元的时间
- C、连续两次访问主存单元的最短时间间隔
- D、主存中访问一个存储单元的平均时间

15、虚拟存储器可以实现 。

- A、提高主存储器的存取速度
- B、扩大主存储器的可用存储空间，并能进行自动管理和调度
- C、提高外存储器的存取速度
- D、扩大外存储器的存储空间

16、常用的虚拟存储系统由 两级存储器组成。

- A、主存 - 辅存
- B、Cache - 主存
- C、Cache - 辅存
- D、通用寄存器 - 主存

二、计算题：（16 分，每题 8 分）

1、已知 $X=0.1011$ ， $Y=-0.0101$ ，使用变形补码（双符号补码）求 $[X+Y]$ 补和 $[X-Y]$ 补，并指出运算结果有否溢出。

2、选用 $32K \times 8$ 位的 SRAM 芯片构成 $128K \times 16$ 位的主存储器，问：

- （1）CPU 的数据寄存器需要多少位？
- （2）CPU 的地址寄存器需要多少位？
- （3）共需要多少片 SRAM 芯片？

三、问答题：（36 分，每题 6 分）

- 1、按冯·诺依曼计算机体系结构的基本思想设计的计算机硬件系统包括什么？
- 2、简述 SRAM 和 DRAM 的区别？
- 3、控制器按其结构可以分为哪两类？对比它们的特点。
- 4、控制器由哪几个部件构成？它们各自有什么功能？
- 5、Cache 有哪几种地址映射方法？简述各自的映射原理和特点？
- 6、写出指令系统的常见的、基本的寻址方式。

四、综合题：（66 分）

1、某机字长 8 位，CPU 地址总线 16 位，数据总线 8 位，存储器按字节编址，CPU 的控制信号线有：MREQ#（存储器访问请求，低电平有效），R/W#（读写控制，低电平为写信号，高

电平为读信号)。试问:

①、若该机主存采用 $16K \times 1$ 位的 DRAM 芯片 (内部为 128×128 阵列) 构成最大主存空间, 则共需要多少个芯片? 若采用异步刷新方式, 单元刷新周期为 $2ms$, 则刷新信号的周期为多少时间? 刷新用的行地址为几位? (8 分)

②、若用 4 个 $8K \times 4$ 位的 SRAM 芯片和 2 个 $4K \times 8$ 位的 SRAM 芯片构成 $24K \times 8$ 位的 RAM 存储区域, 起始地址为 $0000H$, 假设 SRAM 芯片有 $CS\#$ (片选, 低电平有效) 和 $WE\#$ (写使能, 低电平有效) 信号控制端。

(1) 试画出地址译码方案; 写出 RAM 的地址范围。(8 分)

(2) 并画出 SRAM 与 CPU 的连接图, 请标明 SRAM 芯片个数、译码器的输入输出线、地址线、数据线、控制线及其连接。(10 分)

2、设有浮点数, $X=25 \times (9/16)$, $Y=23 \times (-13/64)$, 阶码用 4 位 (含 1 位符号位) 补码表示, 尾数用 5 位 (含 1 位符号位) 补码表示。

(1) 写出 X 与 Y 的浮点数表示。(8 分)

(2) 求真值 $X+Y=?$ 要求写出完整的浮点运算步骤。(8 分)

2006 年攻读硕士学位研究生入学考试《计算机组成原理》试题

一、选择题: (每空 2 分, 共 40 分)

1、指令系统中采用不同寻址方式的目的主要是 ()。

- A、实现存储程序和程序控制
- B、缩短指令长度, 扩大寻址空间, 提高编程灵活性
- C、可以直接访问外设
- D、提供扩展操作码的可能并降低指令译码难度

2、寄存器间接寻址方式中, 操作数处于 () 中。

- A、通用寄存器
- B、主存
- C、程序计数器
- D、堆栈

3、1 位奇校验能检测出 () 存储器错误。

- A、1 位
- B、2 位
- C、奇数位
- D、偶数位

4、若一台计算机的字长为 2 个字节, 则表明该机器 ()。

- A、能处理的数值最大为 2 位十进制数
- B、能处理的数值最多由 2 位二进制数组成
- C、在 CPU 中能够作为一个整体加以处理的二进制代码为 16 位
- D、在 CPU 中运算的结果最大为 2 的 16 次方

5、CPU 是指 ()。

- A、运算器
- B、控制器
- C、运算器和控制器
- D、运算器、控制器和主存

6、主存储器和 CPU 之间增加 cache 的目的是 ()。

- A、解决 CPU 和主存之间的速度匹配问题
- B、扩大主存储器容量
- C、扩大 CPU 中通用寄存器的数量
- D、既扩大主存储器容量, 又扩大 CPU 中通用寄存器的数量

7、在浮点数编码表示中, () 在机器数中不出现, 是隐含的。

- A、基数
- B、尾数
- C、符号
- D、阶码

8、微程序控制器中, 机器指令与微指令的关系是 ()。

- A、每一条机器指令由一条微指令来执行
- B、每一条机器指令由一段微指令编写的微程序来解释执行
- C、每一条机器指令组成的程序可由一条微指令来执行
- D、一条微指令由若干条机器指令组成

- 9、交叉存储器实质上是一种（ ）存储器，它能（ ）执行（ ）独立的读写操作。
- A、模块式，并行，多个 B、模块式，串行，多个
C、整体式，并行，一个 D、整体式，串行，多个
- 10、假定下列字符码中有奇偶校验码，但没有数据错误，采用偶校验的字符码是（ ）。
- A、11001011 B、11010110 C、11000011 D、11001011
- 11、控制器的功能是（ ）。
- A、产生时序信号 B、从主存取出一条指令 C、完成指令操作码译码
D、从主存取出指令，完成指令操作码译码，并产生有关的操作控制信号，以解释执行该指令
- 12、虚拟存储器可以实现（ ）。
- A、提高主存储器的存取速度
B、扩大主存储器的存储空间，并能进行自动管理和调度
C、提高外存储器的存取速度
D、扩大外存储器的存储空间
- 13、计算机的存储器采用分级方式是为了（ ）。
- A、减少主机箱的体积 B、解决容量、价格、速度三者之间的矛盾
C、保存大量数据方便 D、操作方便
- 14、32 个汉字的机内码需要（ ）。
- A、8 字节 B、64 字节 C、32 字节 D、16 字节
- 15、有关 Cache 的说法正确的是（ ）。
- A、只能在 CPU 以外 B、CPU 内外都可以设置 Cache
C、只能在 CPU 以内 D、若存在 Cache，CPU 就不能再访问主存
- 16、相联存储器是按（ ）进行寻址的存储器。
- A、地址指定方式 B、堆栈存储方式
C、内容指定方式 D、地址指定方式与堆栈存储方式结合
- 17、在机器数（ ）中，零的表示形式是唯一的。
- A、原码 B、补码 C、补码和移码 D、原码和反码
- 18、在定点二进制运算中，减法运算一般通过（ ）来实现。
- A、原码运算的二进制减法器 B、补码运算的二进制减法器
C、补码运算的十进制加法器 D、补码运算的二进制加法器
- 19、状态寄存器用来存放（ ）。
- A、算术运算结果 B、逻辑运算结果
C、运算类型 D、算逻运算及测试指令的结果状态
- 20、与微指令的执行周期对应的是（ ）。
- A、指令周期 B、机器周期 C、节拍周期 D、时钟周期
- 二、填空题：（每空 2 分，共 34 分）
- 1、在减法运算中，正数减（ ）数可能产生溢出，此时的溢出为（ ）溢出；负数减（ ）数可能产生溢出，此时的溢出为（ ）溢出。
- 2、原码一位乘法中，符号位与数值位（ ），运算结果的符号位等于（ ）。
- 3、码值 80H：若表示真值 0，则为（ ）码；若表示真值 -128，则为（ ）码；若表示真值 -127，则为（ ）码；若表示真值 -0，则为（ ）码。
- 4、若 $[X]_{\text{补}} = 1000$ ，则 X 的十进制真值为（ ）。
- 5、RISC 指令系统的最大特点是：（ ）、（ ）等。

6、微指令格式分为（ ）型微指令和（ ）型微指令，其中，前者的并行操作能力比后者强。

7、硬布线控制器的速度比微程序控制器（ ），（ ）控制器组成较规范、修改方便。

三、综合题：（76 分）

1、（10 分）已知 $X=0.11011$ ， $Y=-0.10101$ ，用变形补码计算 $X+Y$ ， $X-Y$ ，并判断是否溢出。

2、（6 分）已知 $X=0.1011$ ， $Y=-0.0101$ ，求 $[X/2]$ 补， $[-X]$ 补。

4、（20 分） $8K \times 4$ 的 EPROM 存储器芯片组成一个 $16K \times 8$ 的半导体只读存储器，问：

1）（3 分）数据寄存器多少位？

（2）（3 分）地址寄存器多少位？

（3）（3 分）共需要多少个这样的存储器芯片？

（4）（11 分）画出此存储器的组成框图。

得分

一、选择题（本大题共 30 分，每题 2 分）

1.计算机的中央处理器由运算器和（ ）构成

A. 存储器

B.控制器

C.寄存器

D.协

处理器

2.在计算机中 8421 码表示的数 0101 0011 ，用十进制表示为（ ）

A. 83

B. 70

C. 53

D. 66

3. 在计算机采用的各种数制中，16 进制数的表示方法是通常在数后面跟字母（ ）。

A. H

B. B

C. O

D. E

4.某个数 X 的原码 $[X]_{\text{原}}=1.0110$ ，则其补码 $[X]_{\text{补}}=（ ）$

A. -0.0110

B. 1.0110

C. 1.1001

D. 1.1010

5.计算机系统采用多种存储器，其中 ROM 为（ ）

A. 只读存储器

B. 随机存储器

C. 硬盘

D.光盘

6.运算器的主要功能时

A. 控制计算机部件协调运行

B.与外设进行数据交换

C. 存储信息

D. 进行算数逻辑运算

辑运算

7 某存储器.若为 16MB，则表示其存储容量为（ ）

A. 1024B

B. 16000KB

C. 16×2^{10} KB

D.16B

8. 下列元件中存取速度最快的是 ()

A. cache

B. 软盘

C. 硬盘

D. 移动硬盘

9. 下列校验码中, 奇校验正确的是 ()

A. 10010101

B. 10110110

C. 01101100

D. 11011011

10. 下列器件中哪一个部件是控制器的部件 ()

A. 运算器

B. 中断控制器

C. 程序计数器

D. 存

储器

11. 计算机系统中微程序存放在 () 中。

A. 控制存储器

B. 指令寄存器

C. ROM

D.

cache

12. DMA 称为 ()

A. 中断方式

B. 直接存储器访问

C. 外围处理机

D. 通道

13. 将存储器芯片进行位扩展可以 ()。

A. 提高存储器速度

B. 增加存储单元数量

C. 降低存储器价格

D. 增加存储器字长

14. 在计算机的机器数中, () 中“0” 的表示方式是唯一的。

A. 原码

B. 反码

C. 补码

D. 原码和反码

15. 总线按其传输内容的不同可以分为控制总线、() 总线和地址总线三类。

A. 程序

B. 二进制

C. 数据

D. 信号

得分

二、填空题 (本大题共 10 分, 每题 1 分)

1. 计算机系统中常采用的校验方法有_____、海明校验和 CRC 校验。

2. $(101.111)_2 + (11.011)_2 = (\underline{\hspace{2cm}})_2$

3. 一条指令需要包括: _____、操作数的地址、操作结果的存储地址和下一条指令的地址。

4. 计算机中一个浮点数可用阶符、_____和尾数表示, 其中尾数部分包括数值和_____。
5. 按照冯·诺依曼体系结构, 计算机的主要组成部分为_____, _____、_____, _____和输出设备
6. 常用的地址映像的方法有直接映像, 全相联映像和_____。

得分

三、简答题 (本题共 5 分)

1. 请简述中断执行过程。

得分

四、计算题 (本题共 15 分, 第一题 7 分, 第二题 8 分)

1. 用二进制乘法计算 $(-0.1101) * 0.1001$ 的结果
2. 假设一条指令的执行分为取指令, 分析指令和执行指令三步执行, 每步相应的时间为 T_1 、 T_2 、 T_3 。请计算下列情况下计算 100 条指令所需要的时间。
- (1) 顺序方式
- (2) 采用三级流水线方式, $(K+2)$ 取指令、 $(K+1)$ 分析指令和 K 执行指令重叠进行。

得分

五、应用设计题 (本题共 40 分, 第一题 12 分, 第二题 13 分, 第三题 15 分)

1. 某机采用微程序控制方式, 微指令字长 25 位, 采用水平型编码控制的微指令格式。相斥类微命令 4 组, 各包含 5 个、8 个、14 个和 3 个微命令, 另外外部条件转移微命令 3 个 (直接控制)。

(1) 控制存储器的容量是多少?

(2) 设计出微指令的具体格式。

2. 某计算机采用 4 路组相联, 已知 cache 的容量为 16KB, 主存的容量为 2MB, cache 每个字块 8 个字, 每个字 32 位。

(1) 写出主存和 cache 的地址位数和地址格式 (寻址到字)。

(2) 画出组相联映像方式的示意图。

(3) 设 cache 起始为空, CPU 从主存单元 0, 1, ..., 100。依次读出 101 个字, 并重复此顺序读 11 次, 问命中率为多少?

3. 用若干 $8K \times 8$ 的 ROM 芯片和 $8K \times 4$ 的 RAM 芯片组成存储器, 并按字节编址。其中 RAM

的地址为 3000H~6FFFH, ROM 的地址为 A000H~DFFFH。则

(1) 每种芯片需要多少片?

(2) 画出存储器结构图及与 CPU 连接的示意图。

得分

一、选择题 (本大题共 40 分, 每小题 2 分)

1. 计算机的软件可以分为 ()

A. 汇编语言和高级语言

B. 操作系统和汇编语言

C. 应用软件和系统软件

D. 应用软件和高级语言

2. 在计算机中压缩 BCD 码表示的数 0011 0111, 用十进制表示为 ()

A. 53

B. 55

C. 37

D. 66

3. 若浮点数用补码表示, 则判断运算结果是否为规格化数的方法是_____。

A 阶符与数符相同为规格化数

B 阶符与数符相异为规格化数

C 数符与尾数小数点后第一位数字相异为规格化数

D 数符与尾数小数点后第一位数字相同为规格化数

4. 计算机的外围设备是指_____。

A 输入/输出设备

B 外存储器

C 远程通信设备

D 除了 CPU 和内存以外的其它设备

5. 计算机系统采用多种存储器, 其中 ROM 为 ()

A. 只读存储器

B. 随机存储器

C. 硬盘

D. 光盘

6. 中断向量地址是: _____。

A 子程序入口地址

B 中断服务例行程序入口地址

C 中断服务例行程序入口地址的指示器

D 中断返回地址

7. 双端口存储器在_____情况下会发生读/写冲突。

A. 左端口与右端口的地址码不同

B. 左端口与右端口的地址码相同

C. 左端口与右端口的数据码不同

D. 左端口与右端口的数据码相同

16.下列哪一个方式不属于 CPU 管理外围设备的方式 ()

- A. 通道方式 B.设备自主方式 C.DMA 方式 D.程序查询方式

17.某计算机的指令流水线由三个功能段组成, 指令流经各个功能段的时间分别为 90ns,85ns,95ns。则该计算机的 CPU 时钟周期至少是 ()

- A.90ns B. 85ns C .95ns D .100ns

18.某计算机的存储系统由 cache 和内存两部分构成。某程序执行过程中, 访问内存 100 次, 其中有 3 次未在 cache 中找到需访问内容, 则 cache 的命中率为 ()

- A.30% B.3% C.97%
D. 9.7%

19.下列关于 RISC 和 CISC 描述错误的是 ()

- A.RISC 称为精简指令系统 , 其指令系统中的指令条数少于 CISC
B.CISC 中指令系统中指令条数多, 每条指令的利用率都高于 RISC 中的指令
C. RISC 指令长度固定, 寻址方式种类少, 仅有少数指令需要访问内存
D. RISC 指令功能简单, 控制器多采用硬布线方式。

20.某计算机的控制器为微程序控制器, 一条指令的执行对应微程序的执行过程, 系统的微指令存放在

- A.内存中 B.控制存储器中 C.CPU 指令 cache 中 D.寄存器中

二、综合应用题 (共 60 分, 第一题 5 分, 第二题 8 分, 第三题 8 分, 第四题 8 分, 第五题 9 分, 第六题 9 分, 第七大题 13 分)

1. (5 分) 请简述中断执行过程。

2. (8 分) 已知 cache 命中率 $H=0.98$, 主存比 cache 慢 4 倍, 以知主存存取周期为 200ns, 求 cache/主存的效率和平均访问时间。

3. (8 分) 设 8 位有效信息为 11010110, 求其海明校验码。

4. (8 分) 若浮点数 x 的 IEEE754 标准存储格式为 $(41700000)_{16}$, 求其浮点数的十进制数值。

5. (9 分) 有一个具有 32 位地址线和 16 位数据线的存储器, 问:

8. 寄存器间接寻址方式中, 操作数处在_____。

- A. 通用寄存器 B. 主存单元 C. 程序计数器 D. 堆栈

9. 下列校验码中, 奇校验正确的是 (其中最末尾一位为校验位) ()

- A. 10010101 B. 10110110 C. 01101100 D. 11011011

10. 下列器件中哪一个部件是不属于控制器的部件 ()

- A. 地址寄存器 B. 中断控制器 C. 程序计数器

D 指令寄存器

11. 计算机 ALU 的功能为 ()。

- A. 进行计算机过程控制 B. 存放数据和程序

序

- C. 完成外设和内存之间的数据传送 D. 完成数字和逻辑运算

12. 下列对于 cache 的描述正确的是 ()

A. cache 用于存放程序和数据, cache 就是内存

B. cache 有自己的指令系统, 可以辅助 CPU 完成一定操作

C. cache 的存在是为了缓解 CPU 和内存之间的速度差距

D. cache 分为片内 cache 和片外 cache, 所谓片内 cache 就是在主板上的 cache。

13. 采用串行接口进行 7 位 ASCII 码传送, 带有一位校验位, 一位起始位, 一位停止位, 当波特率为 9600 波特时, 字符传送速率为 ()。

- A. 960 B. 873 C. 1371 D. 480

14. 某磁盘内直径 24cm, 外直径 36cm, 磁盘的道密度为 50 道/cm, 问磁盘共有多少磁道。

- A. 600 个 B. 50 个 C. 300 个 D. 无法确定磁道个数

道个数

15. 下列对于存储器的分类描述错误的是 ()。

A. DRAM 称为动态存储器, 其优点是掉电之后信息可以完好保留

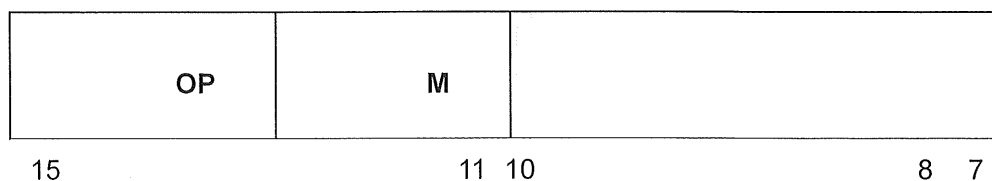
B. 磁盘称为磁表面存储器, 其每位价格低于内存

C. 在计算机的存储系统中, CPU 可以直接访问内存中的数据

D. 存储器的容量单位可以为 B、KB、MB、GB、TB 等

- (1) 该存储器能够存储多少字节信息？（3 分）
- (2) 如果用 4M*8 位的 RAM 芯片构成该存储器，则需要这样的芯片多少片？（3 分）
- (3) 需要多少位进行芯片选择？（3 分）

6. (9 分) 某计算机的字长为 16 位，存储器按字编址，访内存指令格式下图所示。

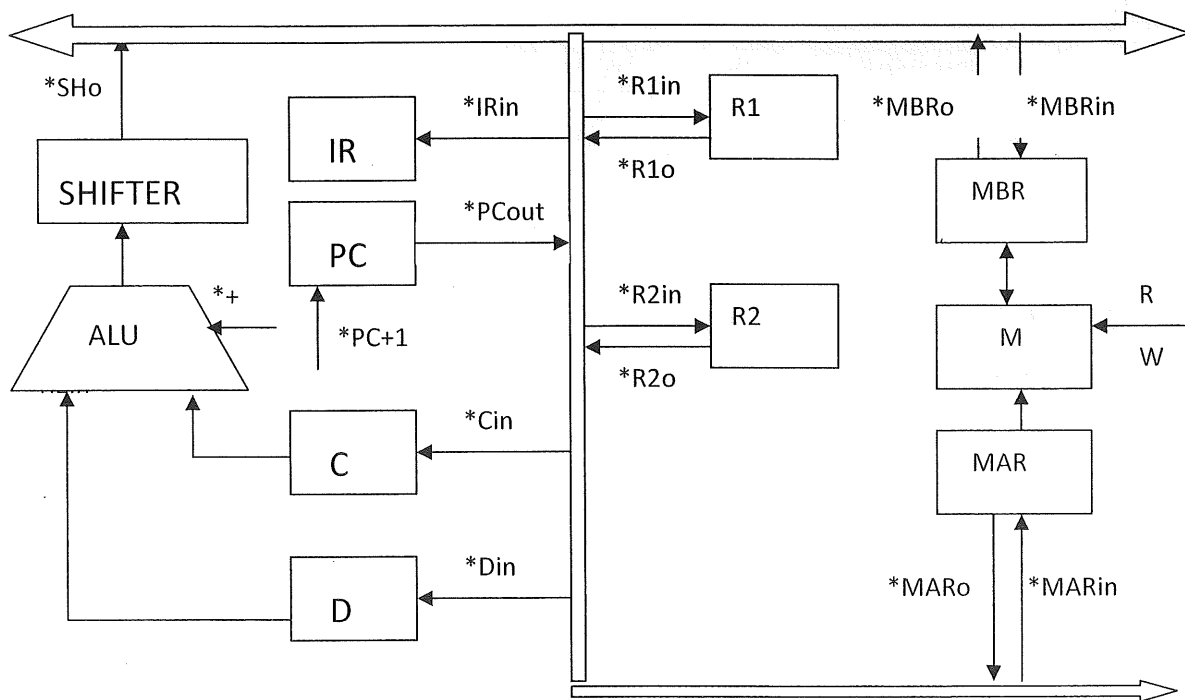


其中 OP 是操作码，M 是定义寻址方式，A 为形式地址。设 PC 和 RX 分别为程序计数器和变址寄存器，字长为 16 位，其中 M=0 为立即寻址、M=1 为直接寻址、M=2 为间接寻址、M=3 为变址寻址、M=4 为相对寻址。问：

- ① 该格式能定义多少种指令？（3 分）
- ② 各种寻址方式的寻址范围为多少字？（3 分）
- ③ 写出各种寻址方式的有效地址 EA 的计算式。（3 分）

7. (13 分) 某计算机的数据通路如图所示，其中 M 代表主存，MBR 为主存数据寄存器，MAR 为主存地址寄存器，R1-R2 是系统通用寄存器，IR 为指令寄存器，PC 为程序计数器（具有自增能力），C、D 为 ALU 的暂寄存器，ALU 为算术逻辑单元（此处做加法器看待），移位器—左移、右移、直通传送。所有双向箭头表示信息可以双向传送。图中带*的信号表示控制信号。

其中指令“ADD R1, (R2)”代表将 R2 寄存器中指向的内存单元的内容与 R1 寄存器的内容相加，结果送向 R1 寄存器。同时表 5-1 中给出了取指令和译码阶段每个节拍的功能和有效控制信号，请按照表 5-1 中给出的信号形式，写出指令执行阶段每个节拍的功能和控制信号。



时 钟	功 能	
控制信号		
T1	(PC) \rightarrow MAR	PCout
MARin		
T2	M \rightarrow MBR	PC+1 R, PC+1