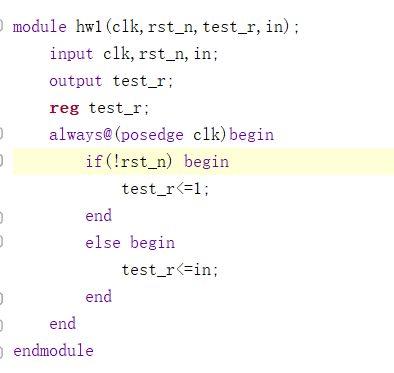
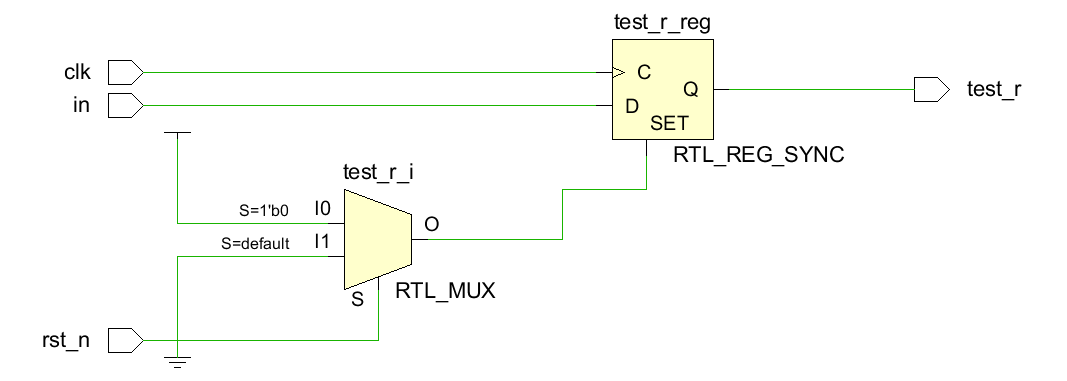
1. 代码及电路图
2. **同步清零的上升沿触发的D触发器**

always列表里只有clk信号而没有复位信号，说明为同步清零

**代码：。**



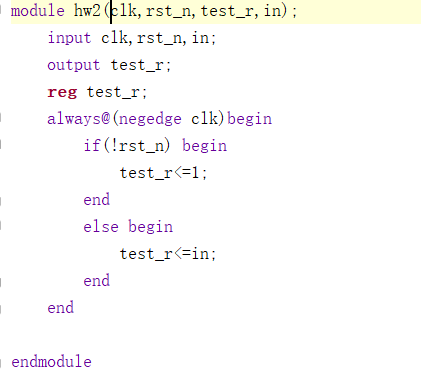
**电路图：**



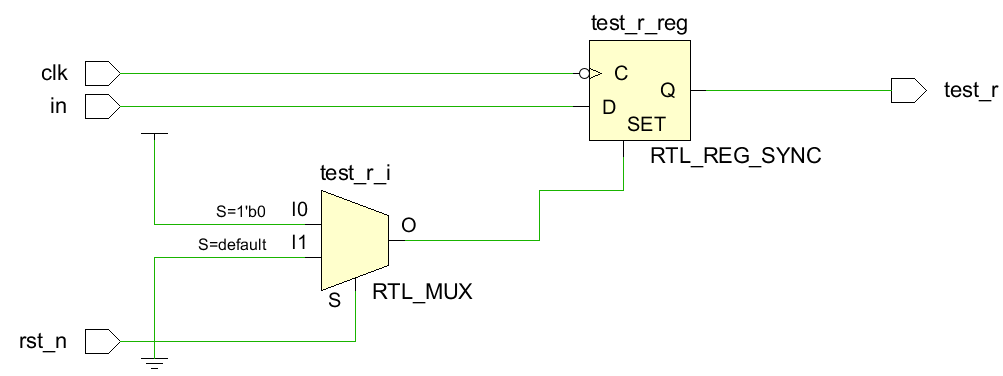
**2.同步清零的下降沿触发的D触发器**

与（1）的区别在于这个为下降沿的D触发器，即电平信号由1变为0时触发器的值才可能改变

**代码：**



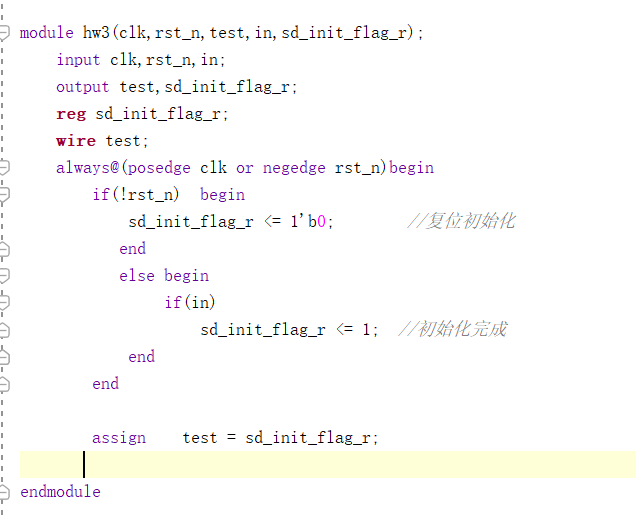
**电路图：**



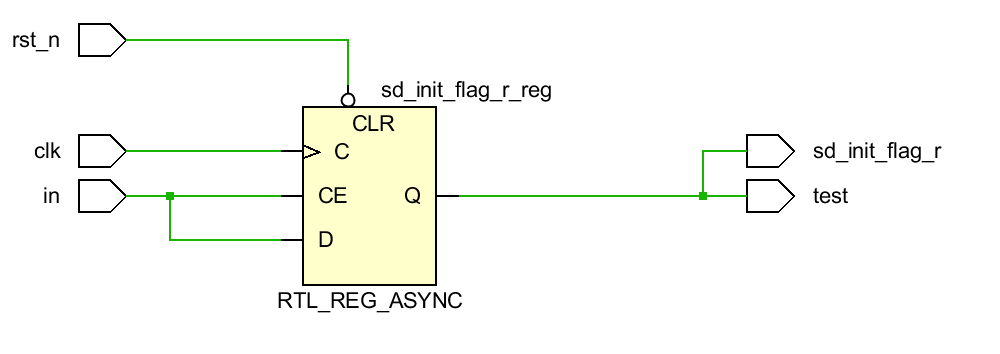
**3.异步清零的带使能上升沿触发的D触发器**

异步清零触发器，always列表除了clk信号，还有复位信号，即无论是否到了clock的一个周期，只要复位信号有效，触发器就会复位。在always块内，先判断复位信号，再判断使能信号，若有效则sd\_init\_flag\_r赋值为1，最后将sd\_init\_flag\_r赋值给test输出。

**代码：**

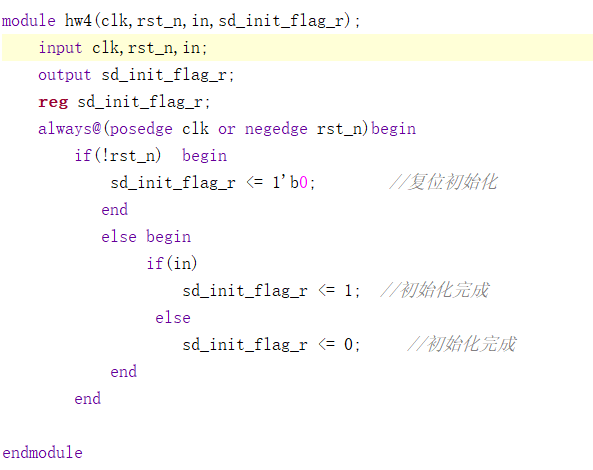


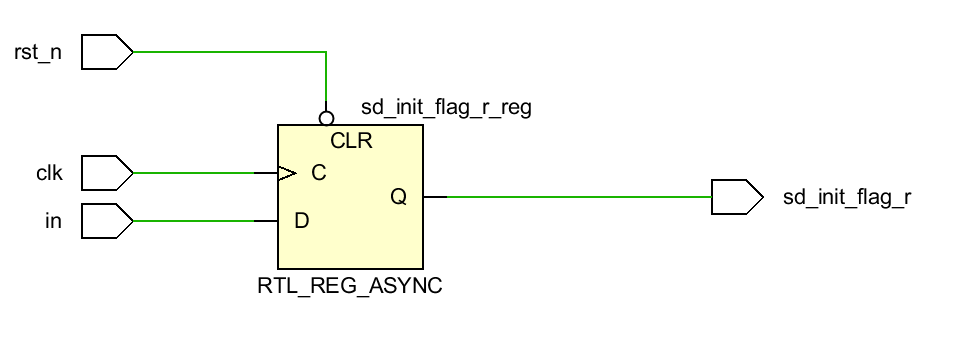
**电路图：**



**4.异步清零的带使能的上升沿触发的D触发器**

与（3）的区别在于在使能信号无效时sd\_init\_flag\_r被赋值为0，同时没有将其赋值给test输出





**体会：**

触发器时边沿触发的存储器件，只有当时钟信号电平发生变化的那一刻其输出才变化。在always语句块内，首先判断是否清零，若清零信号有效则清零；然后判断clk信号是否有效，若有效则代表此刻为时钟沿信号改变的瞬间，则触发器可能发生改变。

上升沿触发&下降沿触发：上升沿即由低电平到高电平的瞬间作出响应，下降沿即高电平到低电平的瞬间做出响应。posedge 代表上升沿有效，negedge代表下降沿有效，不加默认是上升沿有效。

同步&异步：同步时序电路的所有动作是和时钟同步的，而异步时序电路的设计则一般是不和时钟同步。同步复位即复位信号随系统[时钟](http://www.elecfans.com/tags/%E6%97%B6%E9%92%9F/" \t "_blank)的边沿触发起作用，异步复位即复位信号不随系统时钟的边沿触发起作用，置数同理，[rs](http://www.elecfans.com/tags/rs/" \t "_blank)t\_n表示低电平复位。而同步复位和异步复位的区别就在于，前者的复何信号不能出现在always语句的敏感信号表中，无论是同步复位还是异步。同步异步无非就是一个是否受系统时钟边沿触发，如果想要异步就直接加一个敏感信号就好了。