|  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| **重庆大学****《计算机组成原理》课程试卷** | | | | | | | | | | | |  | |
| **2015** — **2016 学年 第 一 学期** | | | | | | | | | | | | | |
| **开课学院： 计算机学院 课程号：** | | | | | | | | **考试日期：** | | | | | |
|  | | | | | | | | **考试时间： 分钟** | | | | | |
| **题 号** | **一** | **二** | **三** | **四** | **五** | **六** | **七** | | **八** | **九** | **十** | | **总 分** |
| **得 分** |  |  |  |  |  |  |  | |  |  |  | |  |

命题人： 钟 将 组题人：冯 永 叶春晓 审题人：黄 仁 命题时间： 教务处制

**学院 专业、班 年级 学号 姓名 考试教室**

**公平竞争、诚实守信、严肃考纪、拒绝作弊**

封

线

密

**考试提示**

1.严禁随身携带通讯工具等电子设备参加考试；

2.**考试作弊，留校察看，毕业当年不授学位；请人代考、替他人考试、两次及以上作弊等，属严重作弊，开除学籍。**

**一、（20分）选择题（每小题2分）**

1. **假定处理器时钟频率为每秒2GHz,其对应的CPI为4,如果一个程序执行的时间为20秒，那么执行该程序的时钟周期和指令数分别是( B )**。

A. 40G，20G

B. 40G，10G

C. 20G，10G

D. 15G，30G

1. 有关提高吞吐率和响应时间描述正确的是（ C ）

A.更换更高速的处理器只能提高响应时间

B.系统中增加处理器可以提高响应时间

C.更换更高速的处理器可以同时提高响应时间和吞吐率

D.系统中增加处理器不能提高系统的吞吐率

1. 下列选项中，能引起外部中断的事件是（ A ）

A.键盘输入

B.除数为0

C.浮点运算下溢

D.访存缺页

1. MIPS32指令系统描述正确的是（ D ）

A. MIPS指令可一次性取出32位的立即数

B. 其条件跳转指令跳转的范围大约为指令前后越1M字节

C. 其无条件跳转指令的跳转范围为指令前后范围的4GB字节

D. 其指令的长度为固定长度，均为32位长度的指令

1. 下列寄存器中，程序员可以使用的是（ D ） 。

A.存储器的地址寄存器（MAR）

B.指令寄存器（IR）

C.存储器的数据寄存器（MDR）

D.通用寄存器或程序计数器（PC）

1. 在计算机系统中，有关虚拟存储器表述正确的是（ C ）

A．其完全由硬件来管理

B．只需要操作系统软件管理

C．需要硬件和软件协同完成

D．需要由应用软件来管理

1. **DMA 的电路中有程序中断部件，其作用是（ A ）**

A．通知 CPU传输结束

B．向CPU提出总线使用权

C．实现数据传送

D．发中断请求

1. 关于中断描述正确的是（ C ）

A．外部设备发出中断后，中断服务程序可立即执行

B．外部设备发出中断后，一定会中断当前执行的程序

C．中断方式一般用于处理随机出现的服务请求

D．程序查询方式相对中断方式，CPU利用率更高

1. 设［X］补=1.x1x2x3x4,当满足( A )时，X > -1/2成立。

Ａ．x1必须为1，x2x3x4至少有一个为1

Ｂ．x1必须为1，x2x3x4任意

Ｃ．x1必须为0，x2x3x4至少有一个为1

Ｄ．x1必须为0，x2x3x4任意

1. 在主存和CPU之间增加cache存储器的目的是( C )

A**.** 增加内存容量

B. 提高内存可靠性

C. 解决CPU和主存之间的速度匹配问题

D. 增加内存容量，同时加快存取速度

**二、 简答题（30分，每小题6分）**

1. 请简要分析算法、编程语言和编译器、指令系统以及处理器对计算机系统性能的影响。

算法：指令数**、可能的CPI（乘除法）**

编程语言、编译器：CPI、指令数

指令系统：CPI、指令数**、时钟频率**

处理器：CPI、时钟频率

2.请以IEEE 754浮点数为例说明计算机中浮点数的加法运算不满足结合率律，并举例说明。

精度问题

3. 请简要Cache中写直达法（Write Through）和写回法(Write Back)的优缺点

写直达：保证了主存和cache间数据的一致性，但效率低

写回：效率高，但需要额外的修改位（脏位）判断数据是否被修改，且没有很好保证一致性

4. 请简要分析Cache的容量、块的大小以及相联性对Cache性能的影响。

增大块大小：降低强制缺失，但会**增加缺失代价，快太大会增加缺失率**

增大cache容量：降低容量缺失和冲突缺失，但会使cache每次访存数据变慢

增大相联性：降低冲突缺失，但会使cache 每次访存数据变慢

5、请简述单重中断系统的处理过程。

当发生中断时，CPU的中断触发器信号为1，若当前中断是开启状态**（中断允许触发器为1）**，CPU执行完当前条指令后先关闭中断并保护现场，然后跳转到当前优先级最高的中断程序入口执行中断程序。执行完毕后恢复现场并开启中断。

**三、 计算题（30分，每小题10分）**

**1.** 计算二进制浮点数加法;1.0002 × 2–1 + ( –1.1102 × 2–2)，请结合MIPS计算机进行浮点数加法的主要步骤，给出详细的计算步骤，结果不需要转换成IEEE754标准浮点数。（6分）

2）IEEE754标准中对单精度浮点数用32个bits来表示，其中最高位为浮点数的符号位，指数域为8位宽，尾数域23位宽，表示方式如下图所示：

|  |  |  |
| --- | --- | --- |
| Bit 31 | Bit  30 ～ 23 | Bit  22～ 0 |
| Sign | 指数域8 bits | 尾数域23 bits |

请将1.0002 × 2–1表示为IEEE754标准中的单精度浮点数形式。 （4分）

**（1）1.零操作数检查：非0**

**2.标准化后补码表示：x补=0000，00.100，y补=1111,11.001**

**3.阶码对齐：y补=0000,11.100(1)**

**4.相加舍入溢出：x+y=0000,00.000(1)=0000,00.001 也是原码**

**5.结果：0000,0.0012 × 20**

**（2）S=0,e=-1,E=e+127=126=01111110,M=0**

**0 01111110 00000000000000000000000**

2.某总线在一个总线周期中并行传送2个字节的数据，假设一个总线周期等于一个总线时钟周期，总线时钟频率为33MHz。请问：1）该总线带宽是多少? 2）如果一个总线周期中并行传送64位数据，总线时钟频率升为100MHz，则总线带宽是多少?

N=1（1）Dr=D\*f/N=66 MBps

(2) D=64/8=8B Dr=D\*f/N=800 MBps

**3．**计算机的字长为32位，假设主存的最大容量为8MB， Cache中数据容量为64KB，内存与Cache交换数据块的大小为16个字节，若按照采用直接映射方式。请问：

1) Cache划分为多少块？每个块中包含多少个字

2) 使用物理地址访问Cache时，物理地址应划分成哪几个字段？要求说明每个字段的位数及在物理地址中的位置。

3)请计算Cache总的容量有多大（需要考虑有效位和标记位）

（1）每块含16B/4=4字

Cache块数=64KB/16B=4K个=2^12个

（2）主存位数=2^23位

索引位=12位

块内偏移=2+2=4位

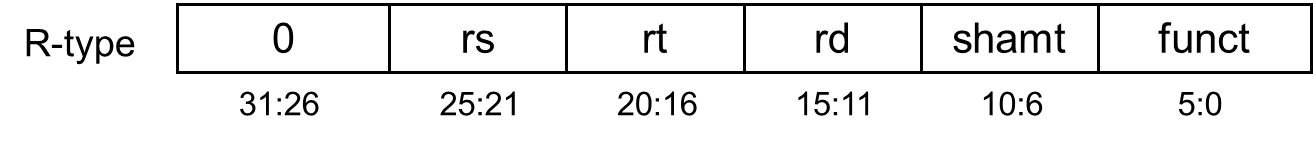
标记位=23-12-4=7位

（3）容量=2^12\*（2^（2+5）+7+1）=4\*136Kib=544Kib

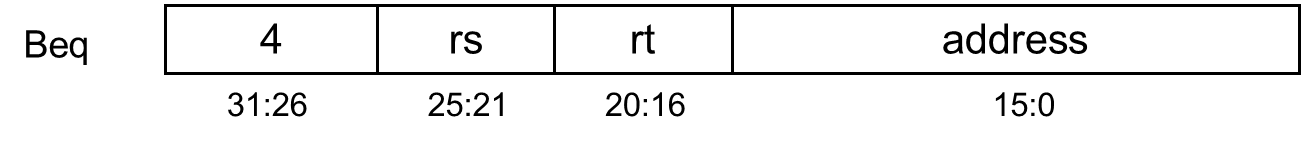
**四、 综合分析题（20分）**

如下图所示的一个支持MIPS32指令集的单周期的模型机，其数据总线和地址总线均为32位，其中Registers为32个32位的通用寄存器的寄存器堆，可以同时读出两个寄存器值，当RegWrite=1时进行寄存器的写入操作；Data Memory为数据存储器；Instruction Memory为指令存储器； PC为程序计数器；ALU为运算器；Control为控制器；MUX为多路选择器； ADD部件为加法器；Sign-extend为符号扩展电路；Shift Left为左移电路；ALU control为算术运算控制电路。

MIPS32中R-type加法指令ADD rd,rs,rt，实现将寄存器rs和rt求和后存放在寄存器rd中，指令的格式为：



条件跳转指令Beq rs,rt,address,实现rs和rt比较，如果相同则跳转到PC+address\*4处开始执行。

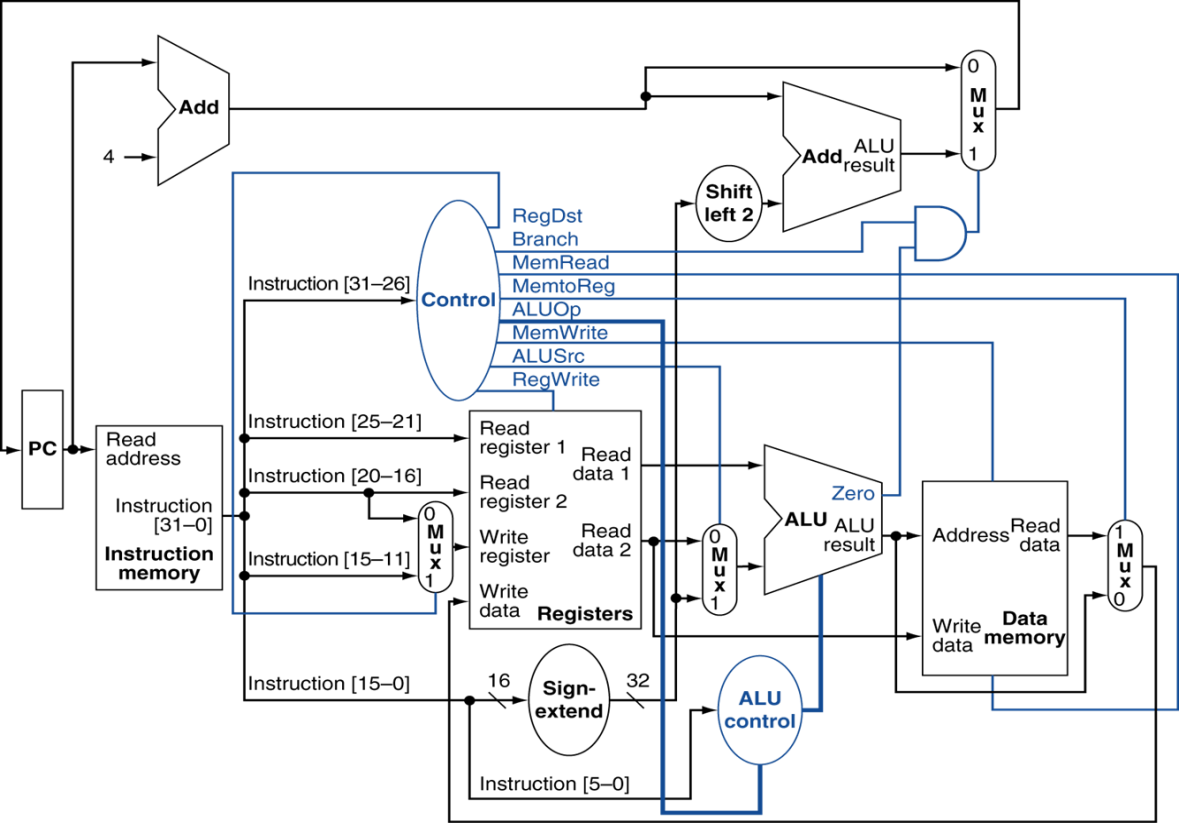


假设各个部件的时延为：

指令存储器：400ps;加法器：100ps;多路选择器30ps;ALU运算器：120ps;寄存器堆：200ps;数据存储器： 350ps; 控制器 100ps。假设其它部件的时延忽略不计。请完成：

1）描述R-type加法执行过程并计算该指令执行时间；

2）描述Beq指令执行过程并计算该指令执行时间；



（1）关键路径：PC🡪指令存储器🡪寄存器堆🡪多路选择器🡪运算器🡪多路选择器🡪寄存器堆（最后的寄存器堆无时延）

T=400+200+30+120+30=780 ps

（2）关键路径：PC🡪指令存储器🡪寄存器堆🡪多路选择器🡪运算器🡪多路选择器🡪PC

T=400+200+30+120+30=780 ps