

6.1 分析图 6.36 所示脉冲异步时序逻辑电路。

- (1) 画次态真值表。
- (2) 作出状态表和状态图；
- (3) 说明电路逻辑功能。

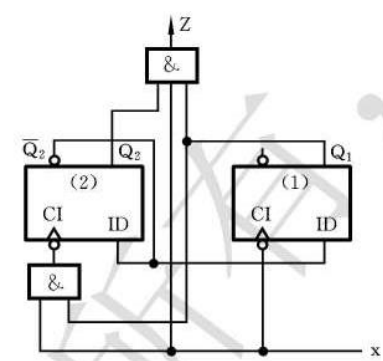


图 6.36 逻辑电路

答案：(1) 根据电路得到激励函数和输出函数表达式：

$$Z = xQ_2Q_1$$

$$D_2 = D_1 = \overline{Q_2} \quad C_2 = xQ_1 \quad C_1 = x$$

表 8.1 次态真值表

x	Q ₂	Q ₁	C ₂	D ₂	C ₁	D ₁	Q ₂ ⁿ⁺¹	Q ₁ ⁿ⁺¹	Z
1	0	0		1	↓	1	0	1	0
1	0	1	↓	1	↓	1	1	1	0
1	1	0		0	↓	0	1	0	0
1	1	1	↓	0	↓	0	0	0	1

(2) 根据次态真值表得到状态图和状态表。

表 8.2 状态表

现态 Q ₂ Q ₁	次态 Q ₂ ⁿ⁺¹ Q ₁ ⁿ⁺¹ /输出 Z	
	X=1	
0 0	0	1/0
0 1	1	1/0
1 0	1	0/0
1 1	0	0/1

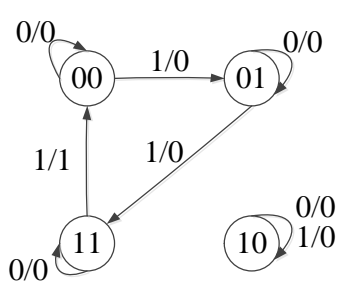


图8.1 状态图

(3) 电路逻辑功能：不具备自启动功能的模 3 计数器，进位时输出 1。

解析：（1）异步时序逻辑电路分析时需要注意触发器是上升沿触发还是下降沿触发，这个对电路功能是有影响的。

（2）各个触发器时钟端是否出现上升或者下降沿需要根据表达式具体判断。本例中 $C2 = xQ1$ ，由于 x 是输入的脉冲信号，这样当 $Q1$ 的现态为 1 的时候， $C2$ 一定会有上升和下降沿，注意这时候不需要考虑 $Q1$ 的次态。

6.2 分析图 6.37 所示脉冲异步时序逻辑电路。

- （1）画次态真值表。
- （2）作出状态表和状态图；
- （3）说明电路逻辑功能。

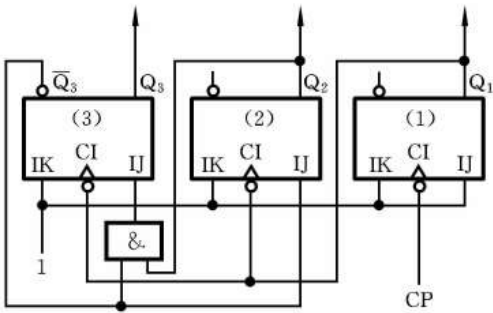


图 6.37 逻辑电路

答案：（1）根据电路得到激励函数和输出函数表达式：

$$\begin{aligned} J3 &= \overline{Q3} \cdot Q2 & K3 &= 1 & C3 &= Q1 \\ J2 &= \overline{Q3} & K2 &= 1 & C2 &= Q1 \\ J1 &= 1 & K1 &= 1 & C1 &= CP \end{aligned}$$

表 8.3 次态真值表

x	Q3	Q2	Q1	C3J3K3	C2J2K2	C1J1K1	Q3 ⁿ⁺¹	Q2 ⁿ⁺¹	Q1 ⁿ⁺¹
1	0	0	0	0 1	1 1	↓ 1 1	0	0	1
1	0	0	1	↓ 0 1	↓ 1 1	↓ 1 1	0	1	0
1	0	1	0	1 1	1 1	↓ 1 1	0	1	1
1	0	1	1	↓ 1 1	↓ 1 1	↓ 1 1	1	0	0

1	1	0	0	0 1	0 1	↓ 1 1	1	0	1
1	1	0	1	↓ 0 1	↓ 0 1	↓ 1 1	0	0	0
1	1	1	0	0 1	0 1	↓ 1 1	1	1	1
1	1	1	1	↓ 0 1	↓ 0 1	↓ 1 1	0	0	0

(2) 根据次态真值表得到状态图和状态表。

表 8.4 状态表

现态 $Q_3Q_2Q_1$	次态 $Q_3^{n+1}Q_2^{n+1}Q_1^{n+1}$		
	$X=1$		
0 0 0	0	0	1
0 0 1	0	1	0
0 1 0	0	1	1
0 1 1	1	0	0
1 0 0	1	0	1
1 0 1	0	0	0
1 1 0	1	1	1
1 1 1	0	0	0

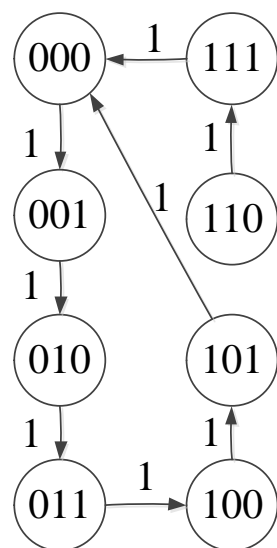


图8.2 状态图

(3) 电路逻辑功能：能自启的模 6 计数器，无进位输出。

解析：本例中 C_3 和 $C_2 = Q_1$ ，这是判断需要考虑 Q_1 的现态和次态，当 Q_1 的现态为 1，且次态为 0 的时候， C_2 和 C_3 才会有下降沿。

6.3 分析图 6.38 所示脉冲异步时序逻辑电路。

- (1) 画次态真值表。
- (2) 作出状态表和状态图；
- (3) 说明电路逻辑功能。

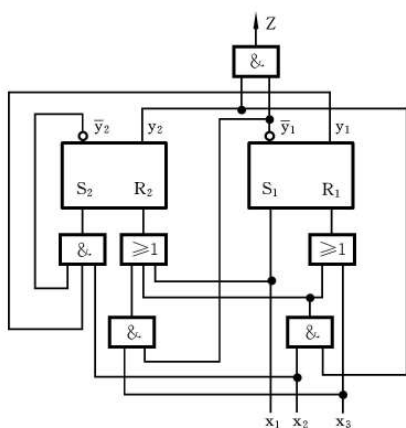


图 6.38 逻辑电路

答案：（1）根据电路得到激励函数和输出函数表达式：

$$Z = y_2 \cdot \bar{y}_1$$

$$R_2 = x_3 \cdot \bar{y}_1 + x_2 y_2 + x_1 \quad S_2 = x_2 \cdot \bar{y}_2 \cdot y_1$$

$$R_1 = x_2 y_2 + x_3 \quad S_1 = x_1$$

表 8.5 次态真值表

x3	x2	x1	y2	y1	R2	S2	R1	S1	y2 ⁿ⁺¹	y1 ⁿ⁺¹	Z
0	0	1	0	0	1	0	0	1	0	1	0
0	0	1	0	1	1	0	0	1	0	1	0
0	0	1	1	0	1	0	0	1	0	1	1
0	0	1	1	1	1	0	0	1	0	1	0
0	1	0	0	0	0	0	0	0	0	0	0
0	1	0	0	1	0	1	0	0	1	1	0
0	1	0	1	0	1	0	1	0	0	0	1
0	1	0	1	1	1	0	1	0	0	0	0
1	0	0	0	0	1	0	1	0	0	0	0
1	0	0	0	1	0	0	1	0	0	0	0
1	0	0	1	0	1	0	1	0	0	0	1

1	0	0	1	1	0	0	1	0	1	0	0
---	---	---	---	---	---	---	---	---	---	---	---

(2) 根据次态真值表得到状态图和状态表。

表 8.6 状态表

现态 $y_2 y_1$	次态 $Q_2^{n+1} Q_1^{n+1}$			输出 Z
	$x_1=1$	$x_2=1$	$x_3=1$	
0 0	0 1	0 0	0 0	0
0 1	0 1	1 1	0 0	0
1 0	0 1	0 0	0 0	1
1 1	0 1	0 0	1 0	0

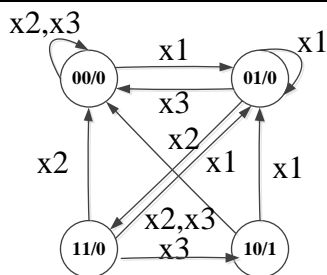


图8.3 状态图

(3) 电路逻辑功能： $x_1-x_2-x_3$ 的序列检测器。

解析：当异步时序逻辑电路中使用基本 RS 触发器时，需要通过逻辑符号确定使用的是与非门还是或非门构成的，与非门构成的基本 RS 触发器的逻辑符号 R 和 S 端均有空心圈，或非门构成的基本 RS 触发器的逻辑符号 R 和 S 端无空心圈，本题中使用的是或非门构成的基本 RS 触发器。

6.6 用 T 触发器作为存储元件，设计一个脉冲异步时序逻辑电路，该电路有两个输入 x_1 和 x_2 ，一个输出 Z，当输入序列为“ $x_1-x_1-x_2$ ”时，在输出端 Z 产生一个脉冲，平时 Z 输出为 0。

答案：(1) 按照题目的要求，输出 Z 是一个脉冲，因此设计 mealy 型电路，原始状态图和状态表如图 8.4 和表 8.7 所示。

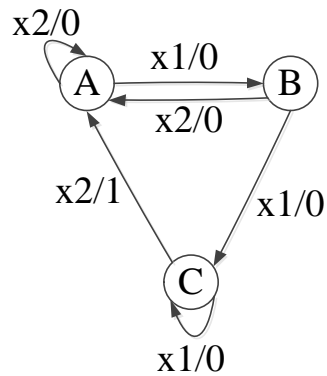


图 8.4 原始状态图

表 8.7 状态表

现态	次态 $y_2^{n+1} y_1^{n+1}$ /输出 Z	
	X1	X2
A	B/0	A/0
B	C/0	A/0
C	C/0	A/1

(2) 状态图化简：根据观察法可以判断表 8.7 的状态表已经是最简状态表。

(3) 状态编码。根据相邻规则：B 与 C 相邻，A 与 B 相邻，A 与 C 相邻，所以设计 ABC 的编码分别为 A:00，B:01，C:11，得到二进制状态表如表 8.8 所示。

表 8.7 状态表

现态 y_2y_1	次态/输出 Z	
	X1	X2
0 0	0 1/0	0 0/0
0 1	1 1/0	0 0/0
1 1	1 1/0	0 0/1

(4) 确定激励函数和输出函数表达式，设定当状态不变的时候，T 触发器时钟端为 0，激励端为 d；

x2	x1	y2	y1	y2 ⁿ⁺¹	y1 ⁿ⁺¹	C2	T2	C1	T1	Z
0	1	0	0	0	1	0	d	1	1	0
0	1	0	1	1	1	1	1	0	d	0
0	1	1	0	d	d	d	d	d	d	d
0	1	1	1	1	1	0	d	0	d	0
1	0	0	0	0	0	0	d	0	d	0
1	0	0	1	0	0	0	d	1	1	0
1	0	1	0	d	d	d	d	d	d	d
1	0	1	1	0	0	1	1	1	1	1

得到卡诺图如图 8.5 所示，注意为了避免错误输出，输出处的卡诺圈只圈了 $x_2x_1=11$ 这个无效输入时的 d。

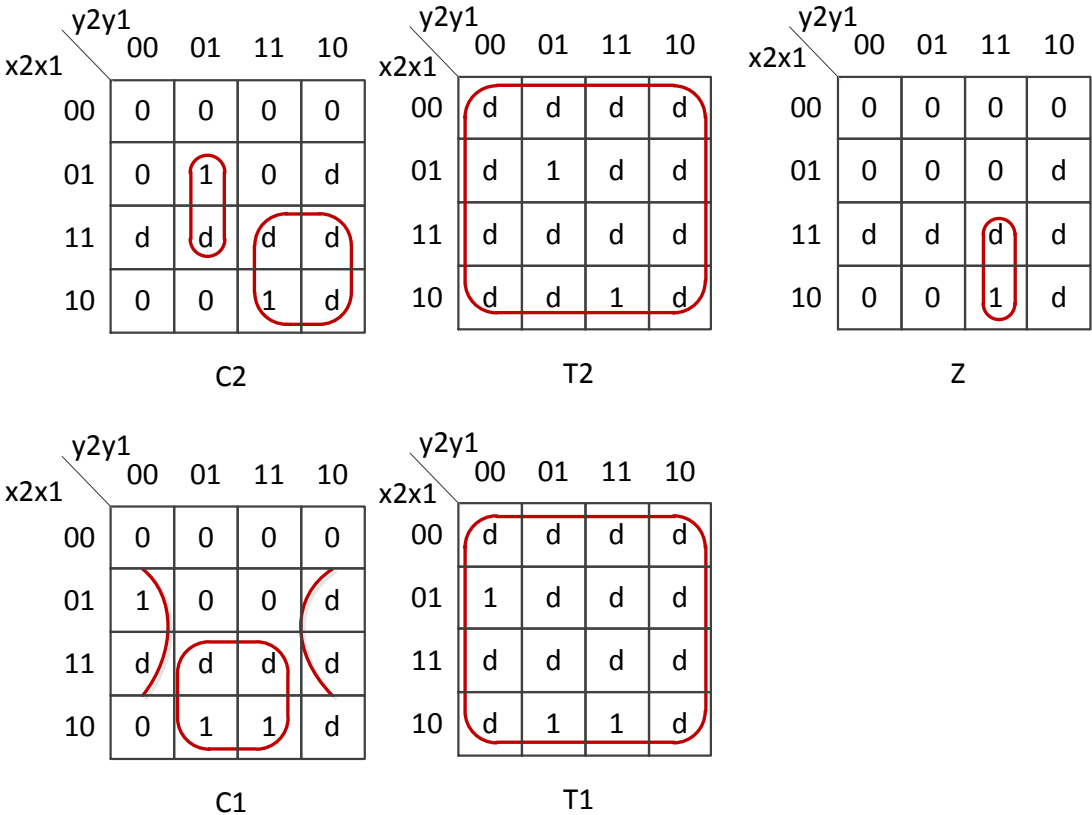


图 8.5 卡诺图

根据卡诺图得到激励函数和输出函数表达式：

$$Z = x_2 y_2 y_1$$

$$C_2 = x_1 \cdot \overline{y_2} \cdot y_1 + x_2 y_2 \quad T_2 = 1$$

$$C_1 = x_1 \cdot \overline{y_1} + x_2 y_1 \quad T_1 = 1$$

(5) 得到电路图如图 8.6 所示。

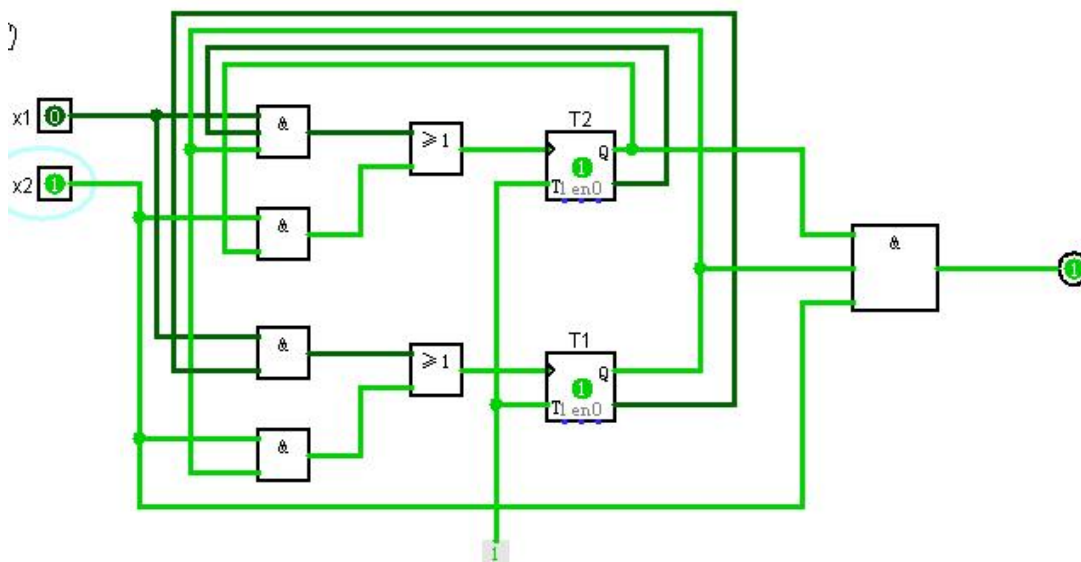


图 8.6 电路图

解析：(1) 如果输出是脉冲设计 mealy 型电路，如果输出是电平设计 moore 型电路。

(2) 原始状态图不要求最简，可以根据要求设计。

(3) 较为简单状态表化简可以利用观察法进行。

(4) 确定激励函数和输出函数表达式时，注意对于不允许的输入 $x_2 x_1 = 11$ ，以及没有使用的对于状态 $y_2 y_1 = 10$ ，可以当做无关项处理。没有有效脉冲输入，即 $x_2 x_1 = 00$ 时，触发器的状态保持不变，输出为 0。

(5) 为了避免错误输出，输出的卡诺圈不能直接按照最大规则将 d 视为 1，而是无效输入的 d 可以是 1，而没有使用状态处的输出不能为 1。

(6) 由于在异步时序逻辑电路中触发器是上升沿触发还是下降沿触发对电路功能可能有影响的，因此建议使用下降沿的触发器，因为在下降沿触发，输入脉冲恢复为 0，对电路的影响最小。例如，本例中如果使用上升沿的 T 触发器，则电路功能就发生变化。