VLSI课程设计报告2

姓名：刘奥

班级：s3252

学号：3123156016

日期：2024.12.25

得分：\_\_\_\_\_\_\_\_\_\_\_\_

———————————————————————————————————————

**作业题目**

文本

描述已自动生成

1. 设计流程



图 1基于Cortex-M0的嵌入式SoC系统FPGA部署设计流程

如图 1是基于Cortex-M0的嵌入式SoC系统FPGA部署设计流程，该流程中使用了Vivado与Keil μVision5两个集成开发环境。

其中，Vivado IDE中实现的功能有：

1. 对基于Cortex-M0搭建的嵌入式SoC系统进行RTL描述。该系统由Cortex-M0处理器核、时钟、总线、存储器、UART接口与外设(LED、数码管等)组成，通过由Verilog HDL编写的IP核描述。
2. 对上述系统进行行为级仿真。
3. 对系统进行综合。
4. 对综合后设计进行物理与时序约束。物理约束如管脚分配与电气性能约束，时序约束即确定确保该系统正常运行的时序，如建立时间与保持时间。
5. 对设计进行实现，该过程包括转换、映射与布局布线。
6. 确保设计时序收敛。该行为可以有效防止竞争冒险与亚稳态工作状态等问题。
7. 生成比特流文件并烧录至FPGA。
8. 逻辑分析与调试。通过IDE提供的逻辑分析工具，分析设计的逻辑功能，有助于定位故障原因。

Keil μVision5 IDE中实现的功能有：

1. 使用ARM汇编语言编写硬件驱动程序与用户应用程序。
2. 通过IDE中的编译器与汇编器等工具生成适配Cortex-M0硬件系统存储器的十六进制文件。
3. 设计思想

该嵌入式SoC系统由ARM Cortex-M0处理器核、AHB总线译码器、AHB总线多路复用器、片上存储器外设等组成。

其中，Cotrex-M0处理器核是整个系统的核心，它负责对数据进行处理。其主要由内部寄存器、算术逻辑单元、数据通路和控制逻辑构成，并通过由取指、译码与执行的三级流水线结构获得较高的吞吐量与运行效率。

AHB总线译码器能根据地址选择处理器核要访问的设备。在该系统中，地址译码器的输入为地址信号，输出为选择信号。其主要功能包括：根据主设备提供的访问地址生成选择对应从设备的选择信号；同时选择信号亦会连接到从设备多路选择器以选择对应从设备返回的信息。

AHB总线多路复用器用于从多个设备中选择要读取的数据和响应信号，如HRDATA、HREADY和HRESP等连接至输入，并根据地址译码器生成的选择信号将从设备的响应信号送给主设备。

片上存储器外设用于存储机器指令，其通常被称为程序存储器。

在设计时，需要添加Xilinx提供的时钟IP核产生20MHz的时钟以作为主时钟。随后调用AHB总线地址译码器、AHB总线从设备多路复用器、AHB片上存储器、AHB LED外设等模块，例化于AHBLITE\_SYS.v中，通过编写汇编程序代码生成.hex文件并添加到vivado工程文件中，实现对模块功能的验证。

图示, 示意图

描述已自动生成

图 2 模块例化后生成的网表

1. 软件仿真
2. 要求在reset使能时依次点亮1~8个灯，LED处输出信号分别为8’b0000\_0001, 8’b0000\_0011……8’b1111\_1111)。

操作流程：将AHBLED模块例化于AHBLITE\_SYS模块中，并编写驱动程序生成code.hex，添加到vivado进行仿真。

图片包含 图形用户界面

描述已自动生成

图 3 RESET流水灯实验波形图

1. 控制8位数码管显示”1A2B3C4D”

操作流程：将AHB7SEGDEC模块例化于AHBLITE\_SYS模块中，并编写驱动程序生成code.hex，添加到vivado进行仿真。

日程表

描述已自动生成

图 4 数码管显示实验波形图

1. 配置定时器相关寄存器，设置定时器时钟为系统时钟16分频，load寄存器初始值为32‘d5000。当定时器计时到0是触发中断，中断服务程序运行并点亮LED等，一段时间后熄灭。

操作流程：将AHBTIMER模块例化于AHBLITE\_SYS模块中，并编写驱动程序生成code.hex，添加到vivado进行仿真。

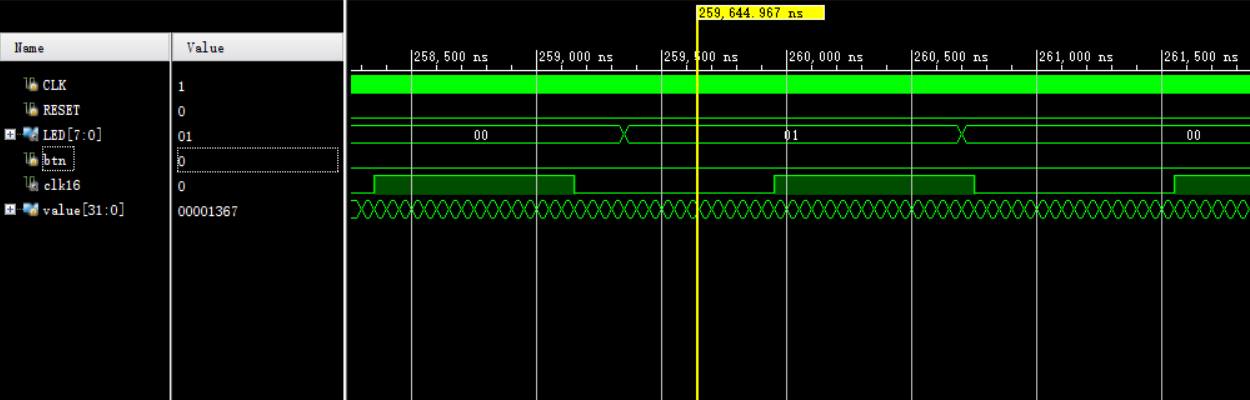


图 5 定时器实验波形图

1. 配置UART串口控制器，以4800的波特率实现数据8’b0000\_0001, 8’b0000\_0010…8’b1000\_0000的传输。

操作流程：将AHBUART模块例化于AHBLITE\_SYS模块中，将波特率由9600修改为4800(修改baudgen.v中代码)并编写驱动程序生成code.hex，添加到vivado进行仿真。

图形用户界面

描述已自动生成

图 6 UART实验波形图

1. FPGA资源消耗

FPGA资源消耗如下图，该图为例化以上四个实验模块后的结果。

图表, 箱线图

描述已自动生成

图 7 FPGA资源消耗