**大连理工大学**

**本科实验报告**

**课程名称： 通信原理实验**

**学院（系）： 电子信息与电气工程学部**

**专 业： 电子信息工程**

**班 级： 电信1806班**

**学 号： 201871080**

**学生姓名： 刘祎铭**

**2021 年 5 月 9 日**

**大连理工大学实验报告**

学院（系）： 电子信息与电气工程学部 专业： 电子信息工程 班级： 电信1806

姓 名： 刘祎铭 学号： 201871080 组：

实验时间： 2021.4.7 实验室： 实验台：

指导教师签字： 成绩：

**实验五 数字锁相环**

1. **一阶锁相环**

## 一阶锁相环结构

* 1. 总图

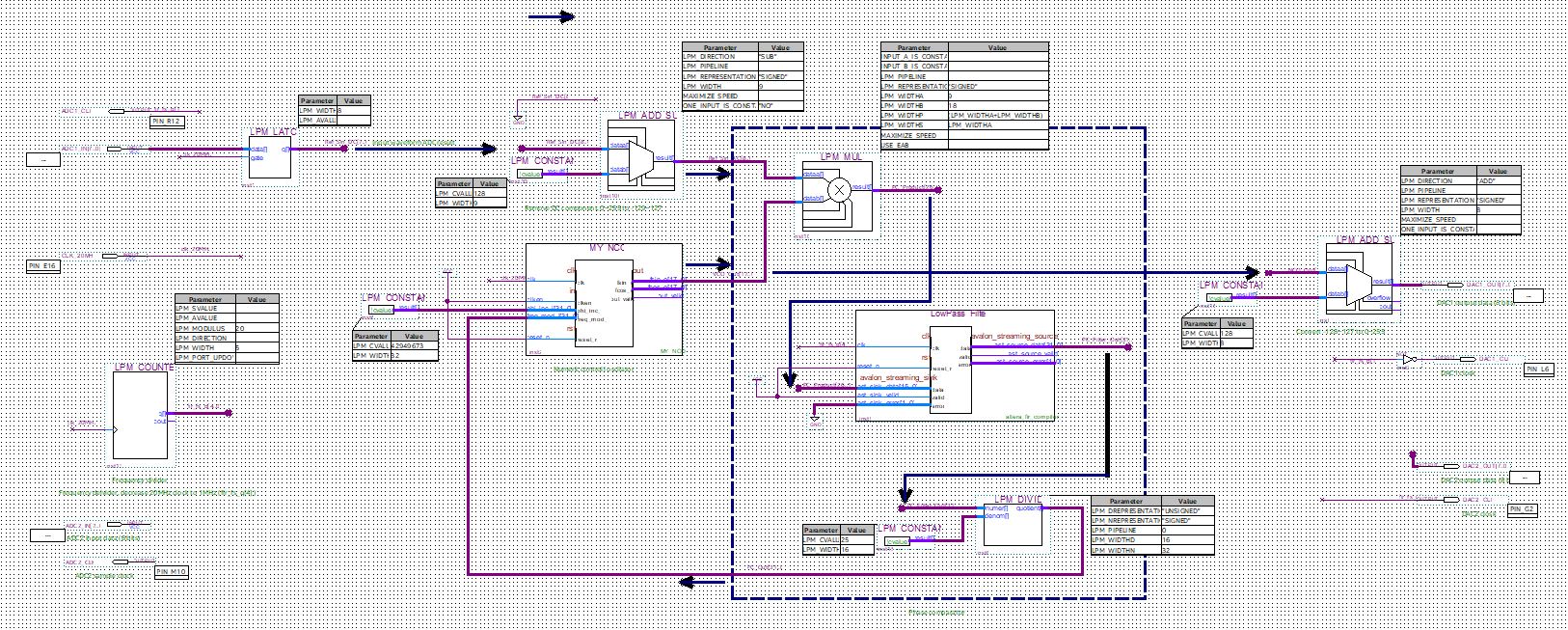


图1 一阶锁相环结构

* 1. NCO参数设置 LPM\_CVALUE=2^32\*100000/(20\*e6/2)

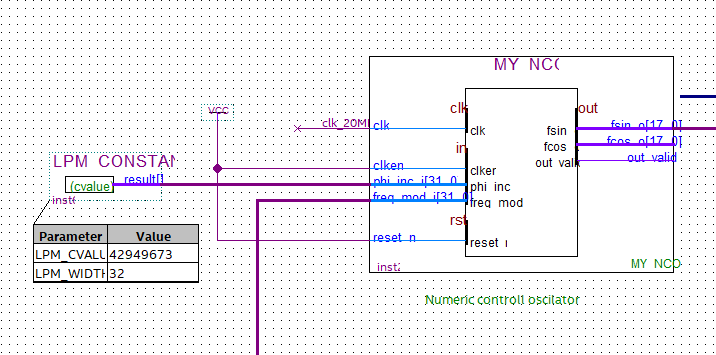


图2 NCO参数设置

* 1. latch触发器 低电平锁存

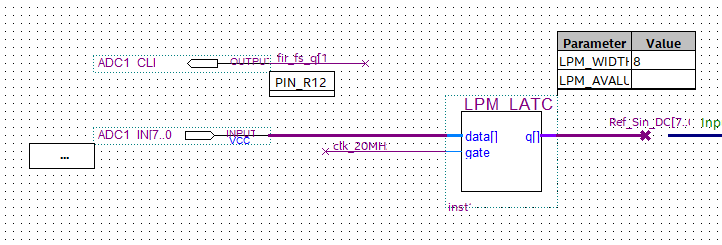


图3 latch

* 1. 把有DC的无符号数转换为无DC的有符号数进行运算

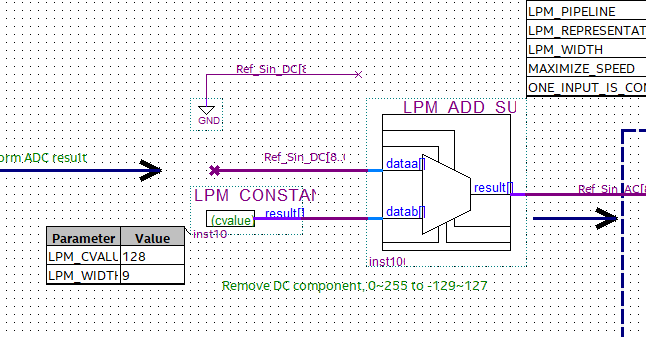


图4 去直流方便进行处理

## 2一阶锁相环的性能测试

①测量方法：

1)

使用示波器内置的信号源，产生一个 200KHz 的正弦信号，幅度为 200mV。将该信号接入实验板上的 J2 连接器。此时应将双夹线的黑色夹子连接至实验板的 GND 测试点，红色夹子连接至 J2 测试点。

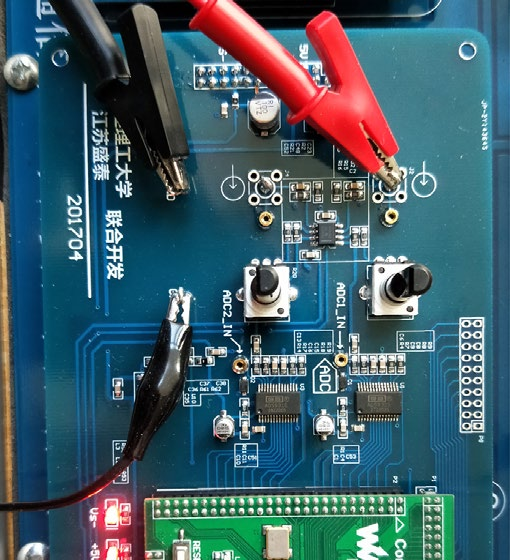


图5 开发板连接图

2) 调整锁相环的环路增益，通过测量结果分析环路增益对锁相环捕获带宽的影响。

在相位比较器中，有一个常数（KGain）决定了锁相环的环路增益（参考图6）。该

常数位于相位比较器的输出端，相位比较器的输出信号为低通滤波器的输出值除以

这个常数。所以若这个常数增加，环路增益则降低。

修改该常数的方法是鼠标右键单击该常数，在弹出的快捷菜单中选择 Properties，在

弹出的对话框中，选择 Parameter 选项卡，修改第一项的数值，即该常数的数值（参

考图7）

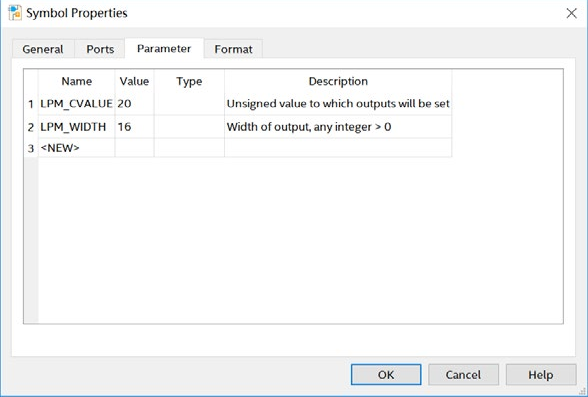
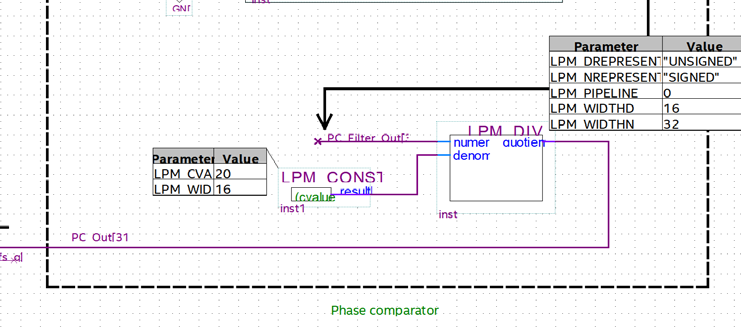


图6 环路增益 图7 常数的数值

②反馈增益K的控制常数DIVIDE设定

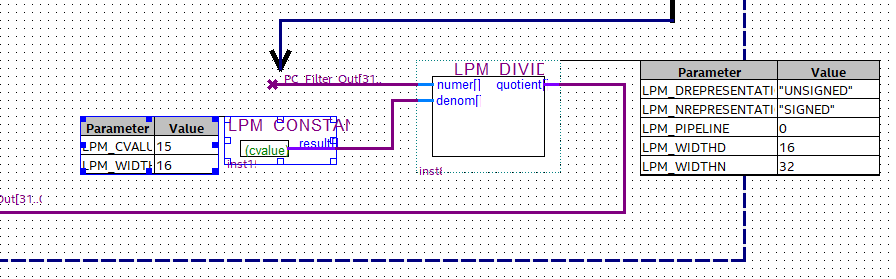


图8 常数DIVIDE设定为15

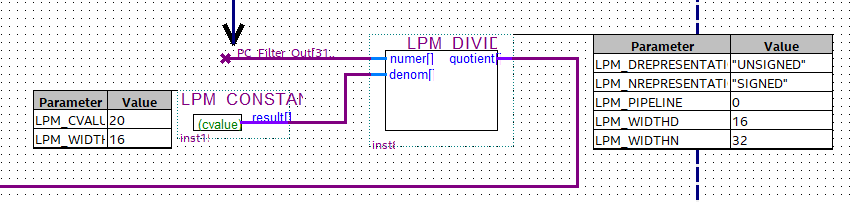


图9 常数DIVIDE设定为20

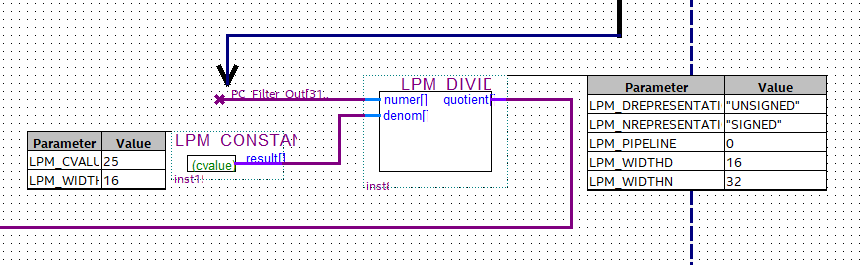


图10 常数DIVIDE设定为25

③一阶锁相环在不同反馈增益条件下的锁相带宽测定结果

设定发生器频率为100KHz，然后向FPGA中下载程序，此时能完成稳定锁定，然后向100KHz两侧逐渐频率微调直至输出波形混乱，无法锁定。这个边界即为锁相边界，上边界减去下边界即为锁相带宽。

表1 反馈增益DIVIDE和锁相带宽

|  |  |  |  |
| --- | --- | --- | --- |
| 反馈增益DIVIDE设定 | 15 | 20 | 25 |
| 锁相带宽（KHz） | 95.6-104.3  （BW=8.7） | 96.63-103.3（BW=6.67） | 97.63-102.5（BW=4.87） |

## 3.实验结果分析

一阶锁相环环路增益对锁相环捕获带宽的影响

1)当反馈增益常数DIVIDE=15时，测得的频率为95.6-104.3kHz，因此该常数下的捕获宽为8.7kHz。

2)当反馈增益常数DIVIDE=20时，测得的频率为96.63-103.3kHz，因此该常数下的捕获带宽为6.67kHz。

3)当反馈增益常数DIVIDE=25时，测得的频率为97.63-102.5kHz，因此该常数下的捕获带宽为4.87kHz。

当反馈增益常数DIVIDE越小，环路增益越大，捕获带宽越大。与simulink仿真结果相同。

需要注意的地方有：

(1)D触发器的时钟使用低通滤波器的时钟即可。

(2)位数匹配时难免有遗漏，可通过编译时的错误提示及时进行修改。

## 4.实验波形图整理

一阶锁相环捕获带宽测量 (当常数DIVIDE设定为20)：

* 1. 100KHz：

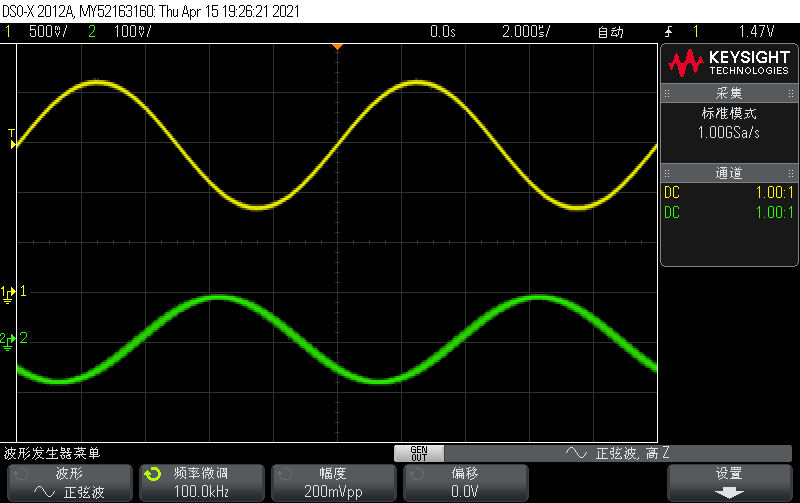


图11 锁相环稳定捕获

* 1. 一阶锁相环捕获频带下限96.63KHz：

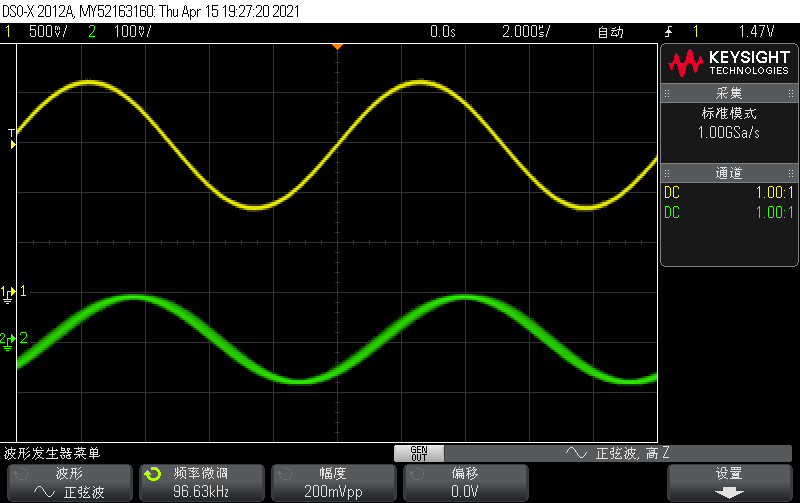


图12 一阶锁相环捕获带宽下限

* 1. 一阶锁相环捕获频带上限103.3KHz：

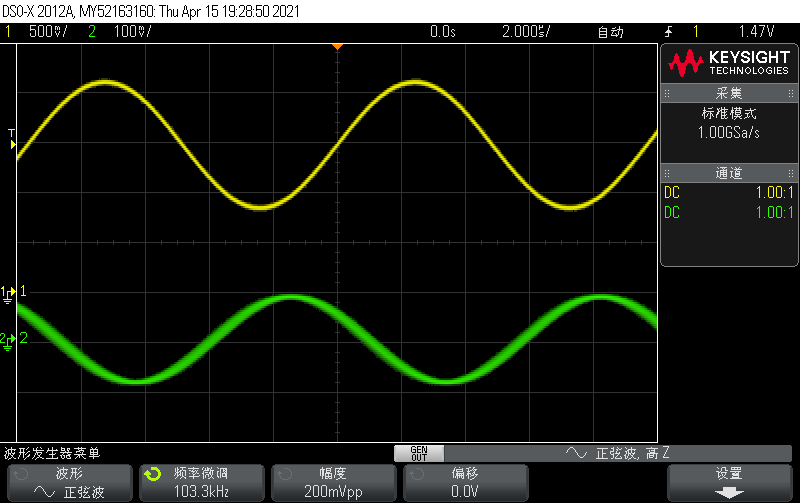


图13 一阶锁相环捕获带宽上限

1. **二阶锁相环**

## 二阶锁相环结构

①

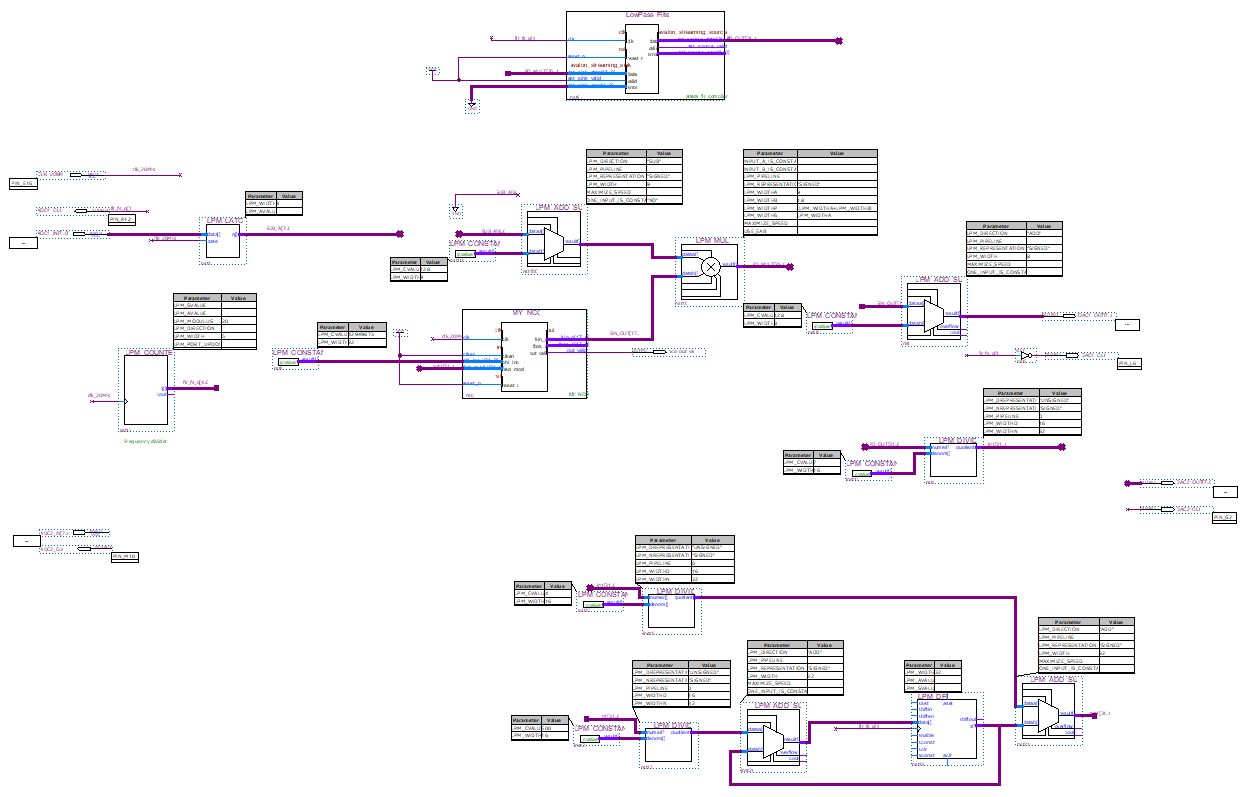


图14 二阶锁相环原理图

②环路滤波器电路设计图如下：

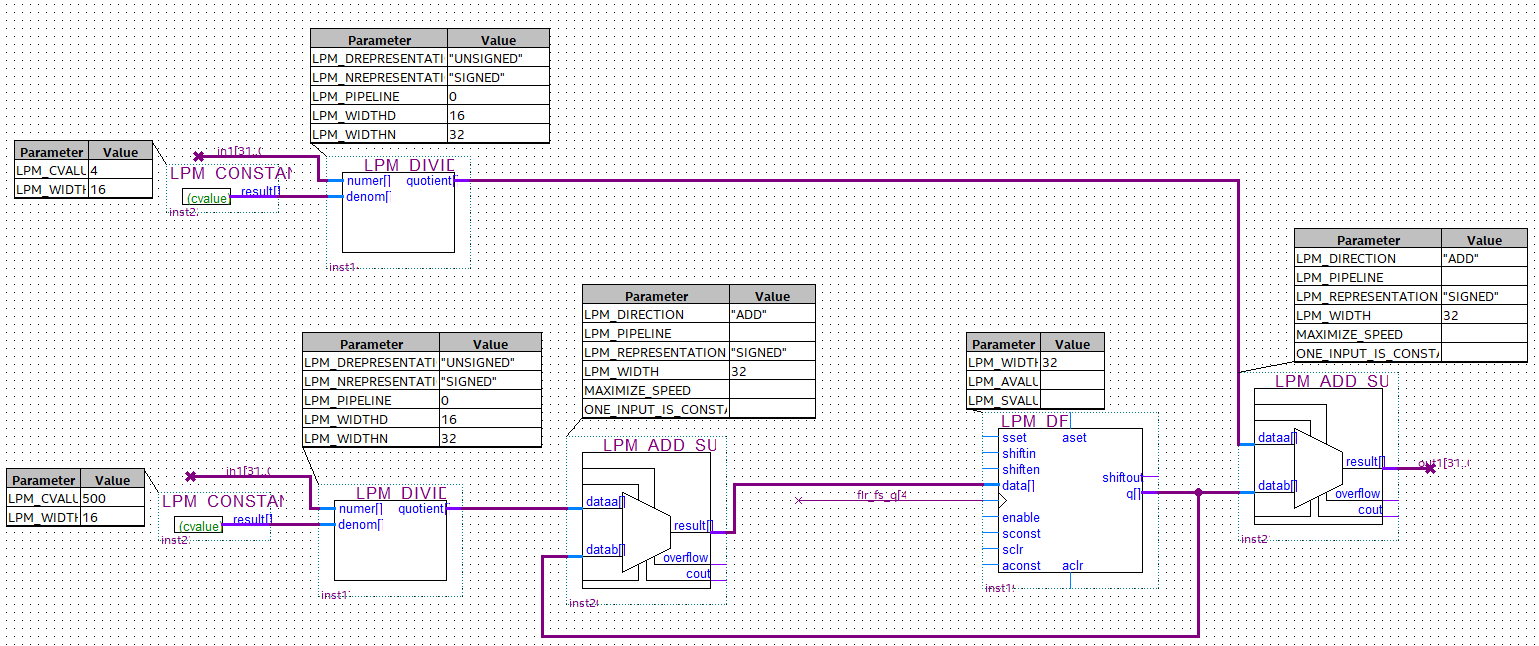


图15 环路滤波器原理图

设计要点：

1)环路滤波器中乘小数应用整数除法器代替乘法器，输入信号一路乘0.25用除以4替代，一路乘0.002用除以500替代。

2) D触发器的时钟使用低通滤波器的时钟即可。

## 2二阶锁相环的性能测试

f为输入参考频率，△x为输入信号与参考信号的时延。

相位差△φ计算公式：

△φ=△x\*f/1000\*360

表2 输出信号与参考信号的相位差与参考信号频率之间的关系

|  |  |  |
| --- | --- | --- |
| f/KHz | △x(\*10^(-6))/s | △φ(度) |
| 70 | 4.98 | 125.50 |
| 80 | 4.46 | 128.45 |
| 90 | 4.2 | 136.08 |
| 100 | 3.9 | 140.40 |
| 110 | 3.6 | 142.56 |
| 120 | 3.46 | 149.47 |
| 130 | 3.3 | 154.44 |
| 140 | 3.6 | 159.26 |
| 150 | 3.0 | 162.00 |

## 3.实验结果分析

①二阶锁相环性能

在一阶锁相环基础上加入环路滤波器，改造成一个二阶锁相环，由图测得可捕获的频率为46.0kHz-170.0kHz,捕获带宽为124kHz，远远大于一阶锁相环时的捕获带宽，性能远远好于一阶锁相环。

②输出信号与参考信号的相位差与参考信号频率之间的关系：

1）由仿真和理论推导：

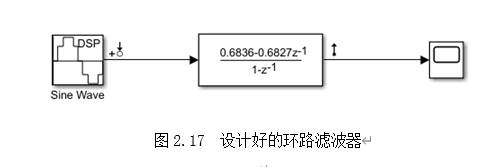


图16 仿真的环路滤波器设定

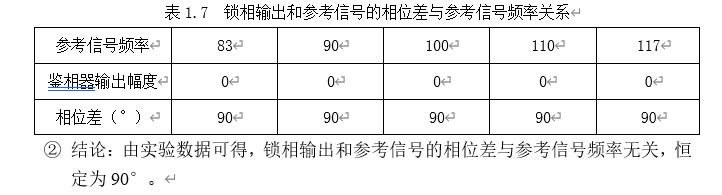


图17 仿真相位差关系

2)由测得的实际关系可知与理论推导有很大差距，经过我仔细分析后，认为是

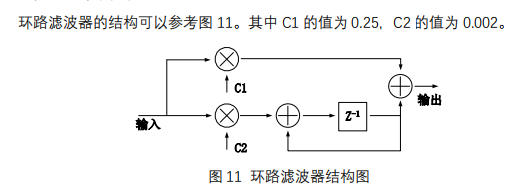


图18 讲义环路滤波器结构图

老师讲义中的这张图片给出的参数出现了问题，而由于我们在制作并添加环路滤波器时经验和信心不足，使用了错误的环路滤波器参数，造成了错误。使输出信号与参考信号的相位差与参考信号频率之间的关系不满足为常数并且恒为90度。

而正常应该使用的参数如下：

C1=0.6836 C2=0.0009

3)反向验证：当我们将参数设置为如下：

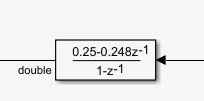


图19 反向验证参数设置

70k：

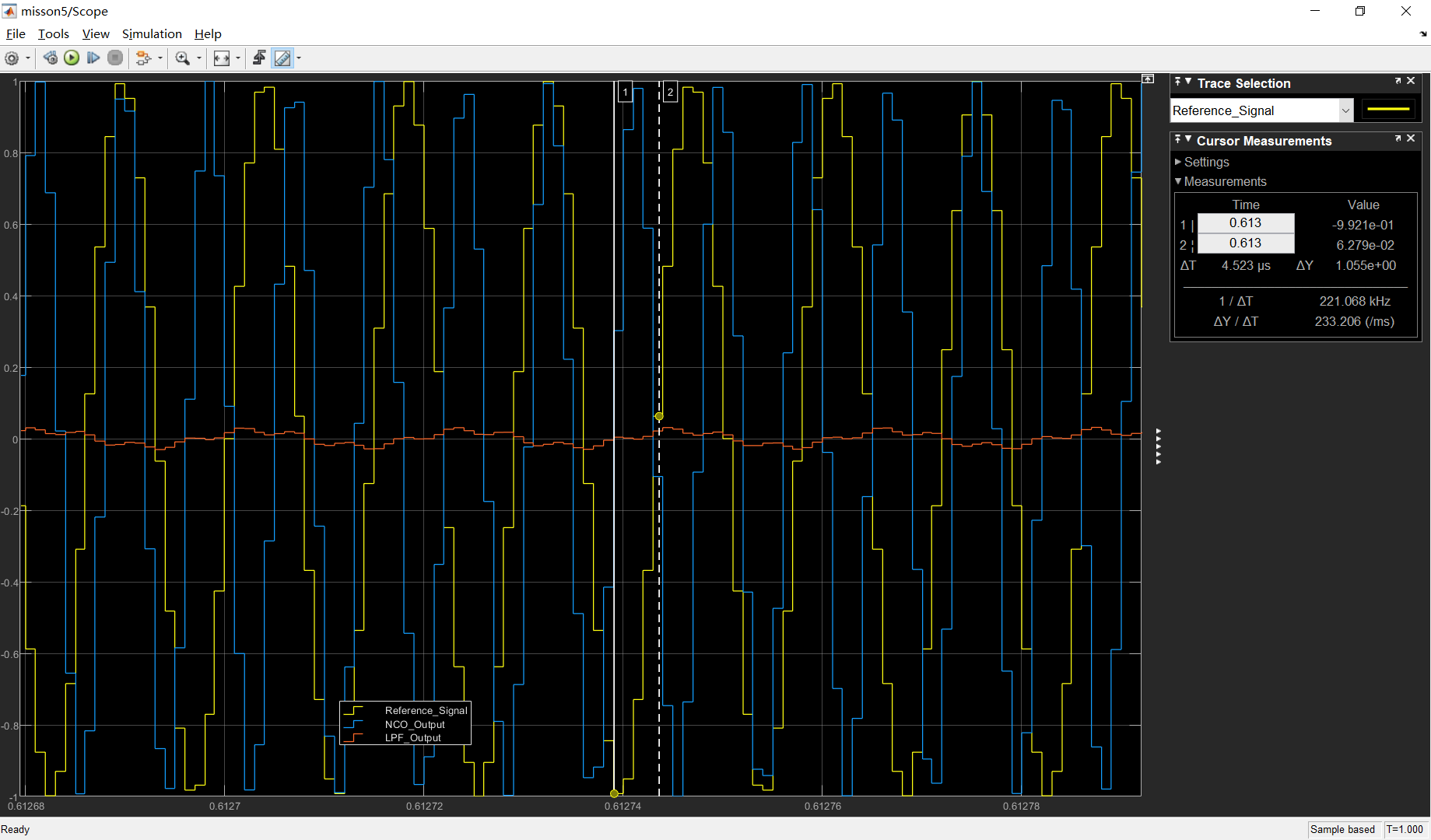


图20 △x=4.523\*10^(-6)

150k：

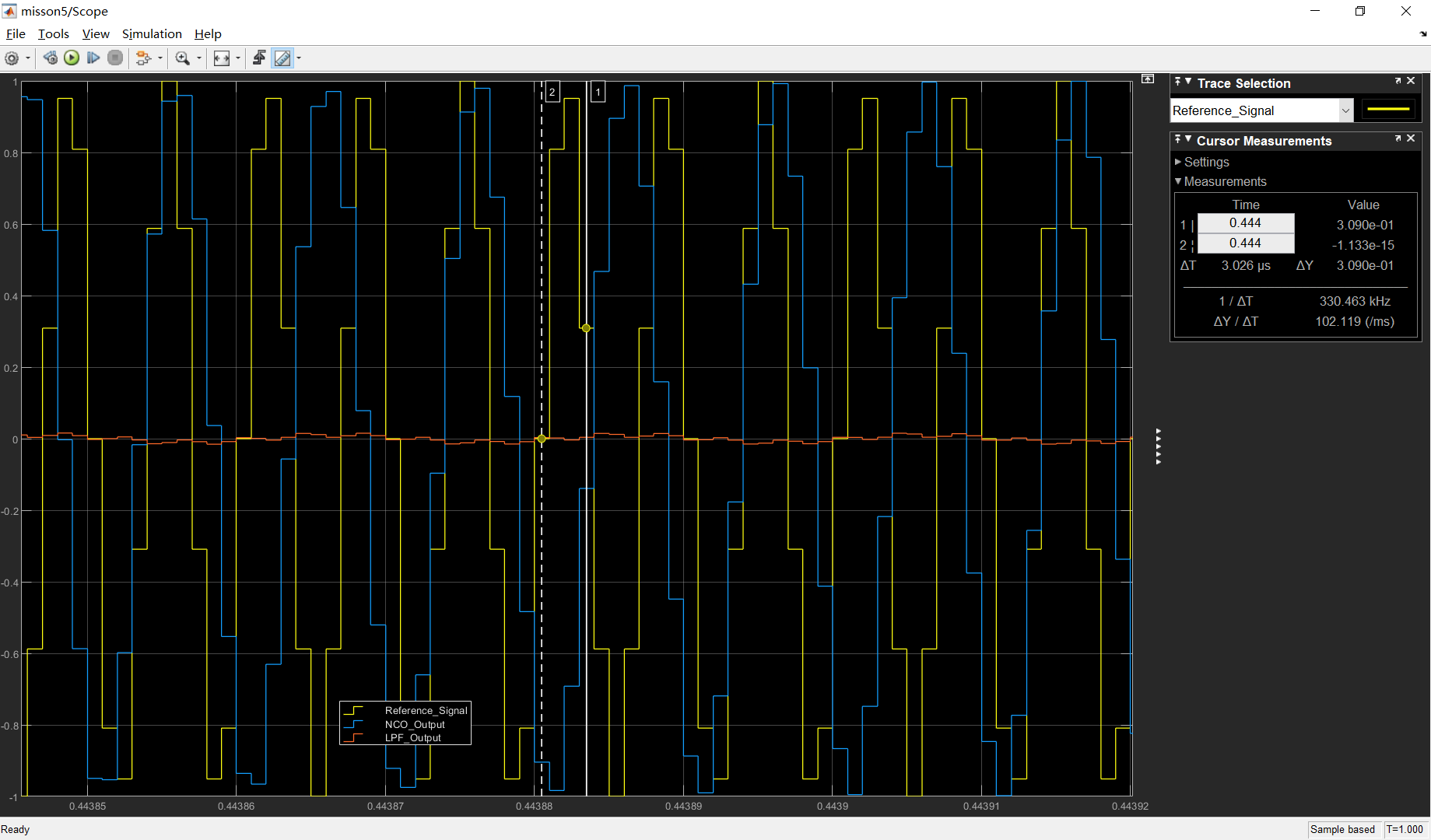


图21 △x=3.026\*10^(-6)

与实际测量情况基本符合，说明确实有大概率与环路滤波器的参数设置不正确有关，下节课要对此进行验证。

需要注意的地方有：

(1)位数匹配时难免有遗漏，可通过编译时的错误提示及时进行修改。

## 4.实验波形图整理

二阶锁相环捕获带宽测量：

* 1. 二阶锁相环捕获频带下限46.0KHz：

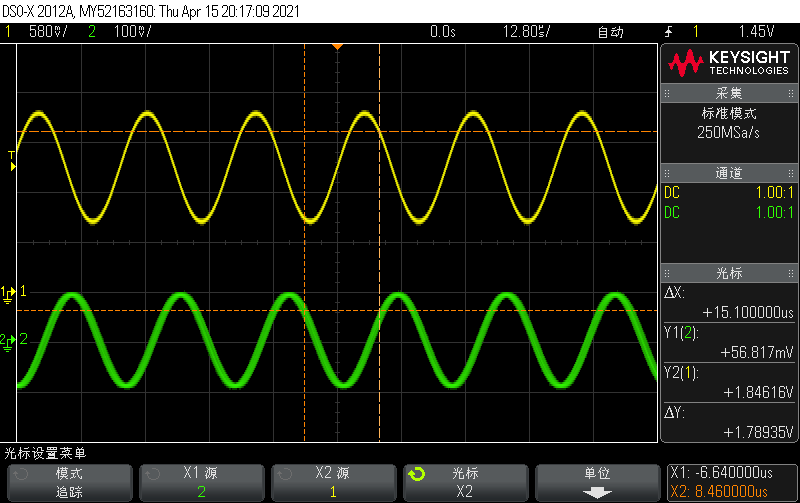


图22 二阶锁相环捕获带宽下限

* 1. 二阶锁相环捕获频带上限170.0KHz：

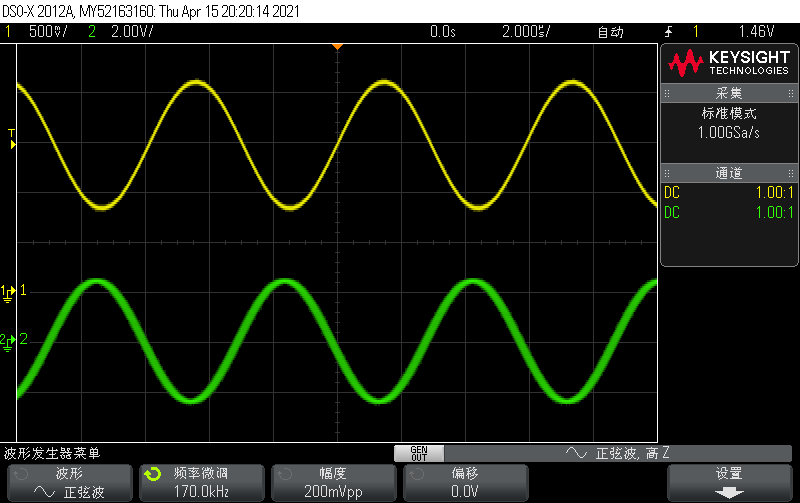


图23 二阶锁相环捕获带宽上限

**三．实验体会**

本次实验初步熟悉了软件的使用，为后面的实验做了铺垫，在设计电路的过程中出现的最大问题就是位数不匹配，进行多次调整之后才最终通过编译，很有成就感。同时验证二阶锁相环的性能比一阶锁相环要大很多的仿真得出结论，也发现了一些与理论不符的情况，比如二阶相位差不是90度，同时给出了自己的猜想和进一步解决方案。由于设备的限制，而时间不允许，会在下次课验证。

本次实验是为后面几次实验做铺垫，提高对软件的熟悉程度，锻炼基本操作，为接下来的实验打下坚实基础。十分感谢老师的耐心指导，为快速解决一些问题和关键节点的设计提供了有效辅导。