**大连理工大学**

**本科实验报告**

课程名称： 通信原理实验

学院（系）： 信息与通信工程学院

专 业： 电子信息工程

班 级： 电信1806

学 号： 201871080

学生姓名： 刘祎铭

2021 年 6月 15 日

**大连理工大学实验报告**

学院（系）：电子信息与电气工程学部 专业： 电子信息工程 班级：电信1806 姓 名： 刘祎铭 学号： 201871080

实验时间： 2021.6.2 实验室： 创新园C227

指导教师签字： 成绩：

**实验三 BPSK解调器设计**

1. BPSK调制

1.实验中的 BPSK 信号，使用实验箱中的“2.数字信号源模块”和“10.PSK 解制/解调 模块”两个模块配合进行调制产生。

① 将“2.数字信号源模块”中的 SP4（128K）信号连接至“10.PSK 解制/解调模块” 中的 SP1（1024K 方波）上。注意，虽然“10.PSK 解制/解调模块”中的 SP1 写的是 1024K 方波，但此处连接 128K 方波信号。该信号用于产生 128KHz 载波。

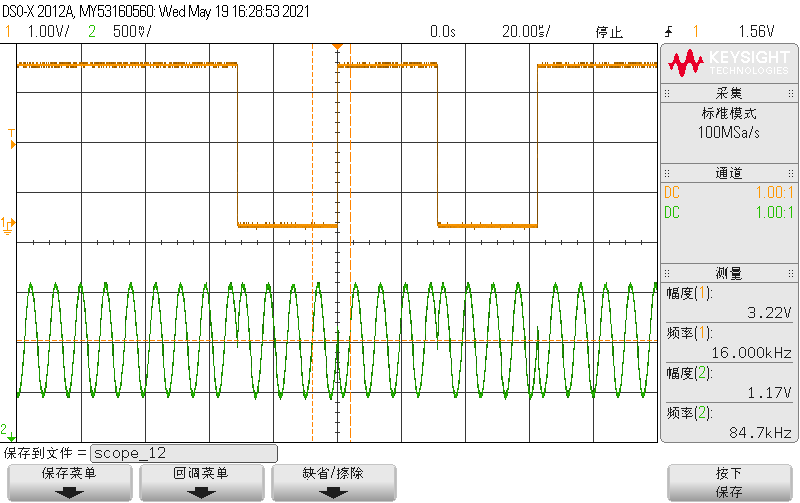
②将“2.数字信号源模块”中的 SP12（PN32K）信号连接至“10.PSK 解制/解调模 块”中的 SP2（PN32K 基带）上。该信号为一个码率为 32Kbps 的伪随机序列，用于 对 128KHz 载波进行调制。

③连线完成后，调整电位器 RP1 和 RP3，使 SP3（同相载波）和 SP4（反相载波）的幅值基本相同。

因为BPSK信号是用键控法改变载波的相位，有同相分量和反向分量，理论上二者幅值相等，调整二者幅度相同，利于解调。

④调整电位器 RP2，并用示波器测量 SP6（PSK 调制输出）处信号的峰峰值，调 PSK 调制信号的峰峰值调整至 200mV 左右。

2.实验结果：



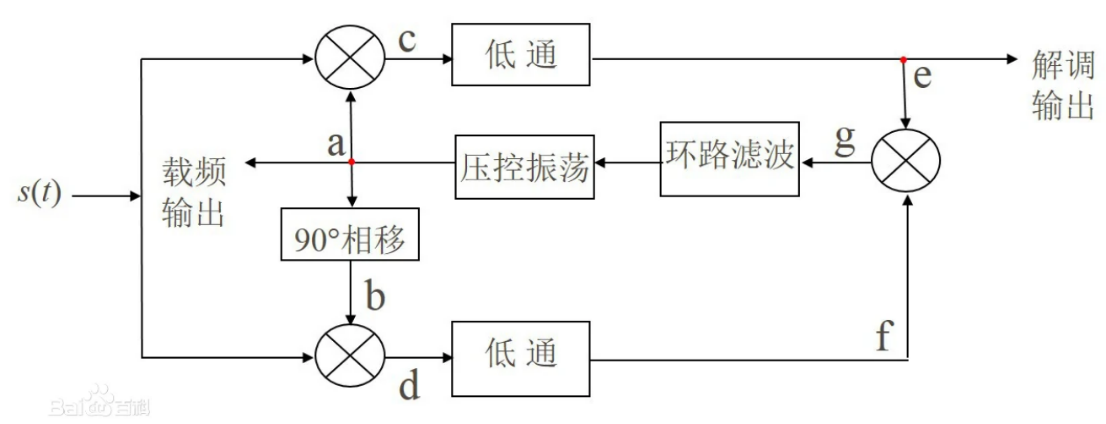
**图1 BPSK调制输出**

由图1可见，对于二进制基带信号0和1，分别对应着载波的两个相位0和，当基带信号由0->1或者由1->0，载波相位都发生突变，实现了BPSK信号调制。

1. BPSK解调

1、实验原理

利用Costas环对BPSK信号进行解调，图2是Costas环的原理框图。



**图2 Costas环原理图.**

根据框图分析可知：

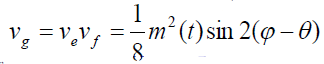




经过低通滤波，去掉高频成分后得到：

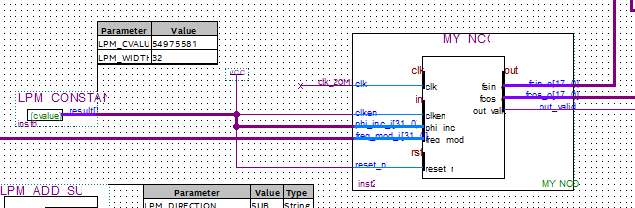
两信号相乘得到：



经过环路滤波器后输送给压控振荡器，若两信号相位不同，则压控振荡器不断调整两正交信号的，使，此时可以从e端输出解调后的信号。

2、FPGA设计

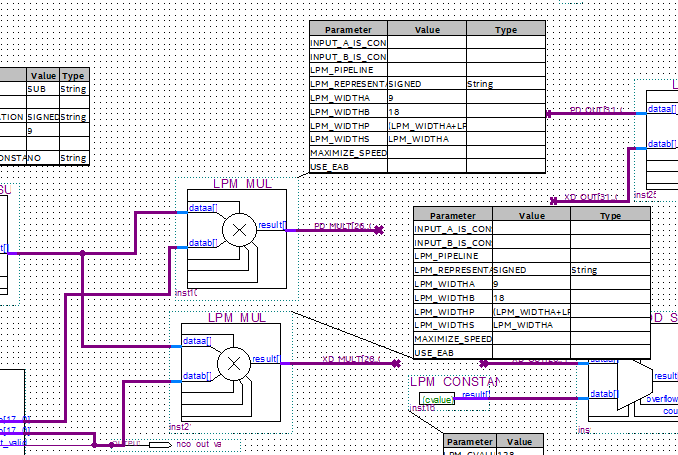
①压控振荡器



**图3 压控振荡器FPGA设计**

通过常数控制NCO的输出频率，根据载波频率128KHz，通过公式LPM\_CVALUE=2^32\*128k/((20\*e6)/2)= 54975581，计算出常数为54975581，两个输出端口输出两个相位差为的载波。

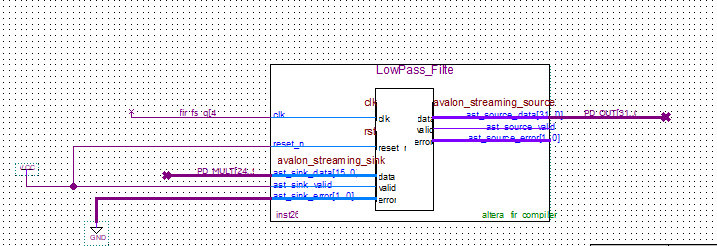
②乘法器

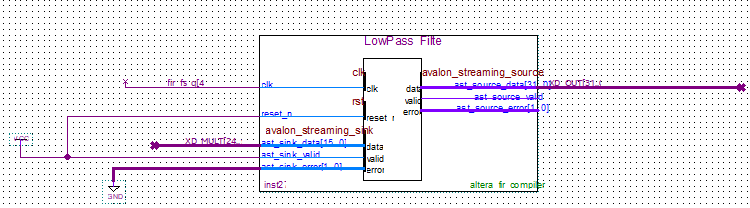


**图4 乘法器FPGA设计**

这里对应于原理框图中低通前的两个乘法器，将输入的BPSK信号与载波和载波移相后的信号分别相乘，输入到低通滤波器中。

③低通滤波器

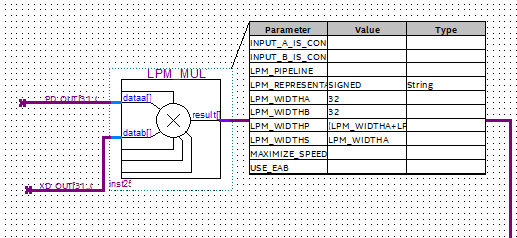




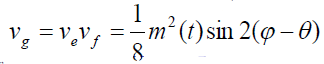
**图5 低通滤波器**

通过低通滤波器主要滤除2倍频分量，保留低频分量。

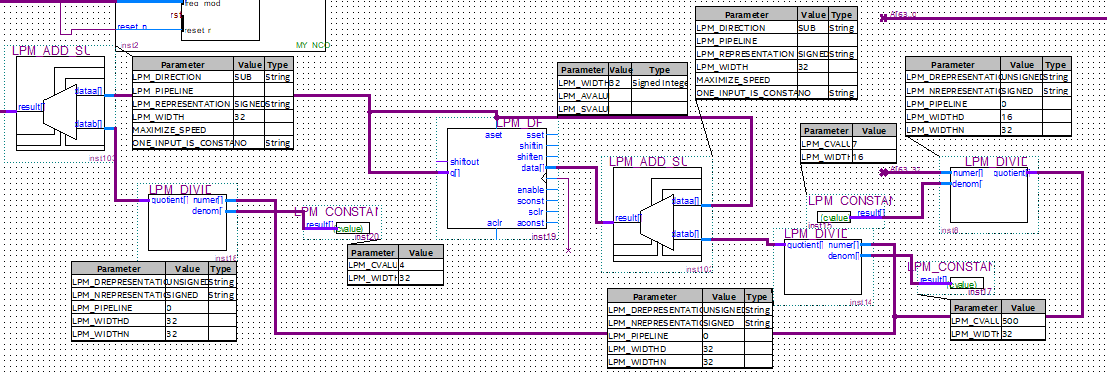
④乘法器



**图6 相位乘法器**

这个乘法器将上下两路经过低通滤波后的信号相乘，得到带有相差的信号，通过环路滤波器后去控制压控振荡器的频率输出，使得输出的载波与已调载波同频同相，达到同步。

⑤环路滤波器



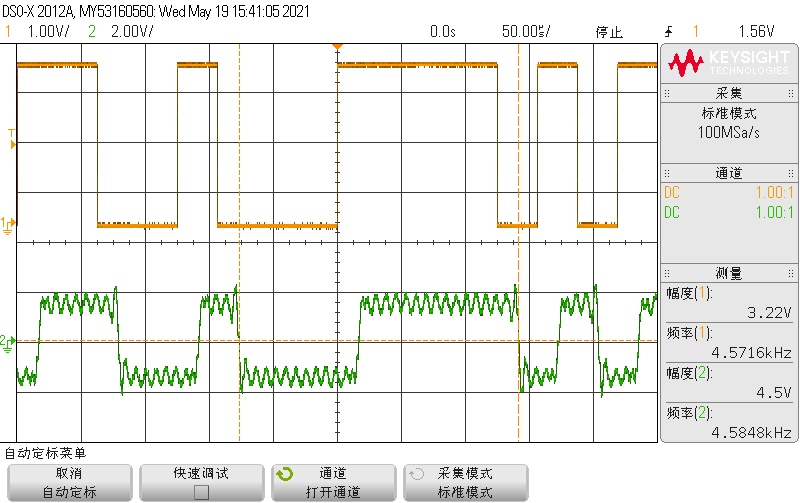
**图7 环路滤波器**

环路滤波器设计参考实验二，这里用来校正相对于频率的相位偏移，它的输出用来控制压控振荡器的频率输出。

⑤通过加减法器，将信号的大小在-128-127和0-255变换，即无符号数和有符号数变换，已经在实验1和2中反复提及，不再赘述。

3、实验结果

①示波器



**图8 BPSK解调输出**

由图8可见，通道1为BPSK调制的基带信号，通道2为BPSK解调信号。从图中看出，当调制信号发生180度相位突变时，解调出来的信号发生一次跳变；而且解调出来的信号与BPSK调制信号稍有延迟，符合理论，解调成功。

②FPGA导出数据，编程并绘制图像

clear all;

close all;

%-------------读取文件---------------%

out1=xlsread('datac.xlsx','datac','A10:A4097');

out2=xlsread('datac.xlsx','datac','C10:C4097');

out3=xlsread('datac.xlsx','datac','L10:L4097');

out11=reshape(out1,1,length(out1));

out12=reshape(out2,1,length(out2));

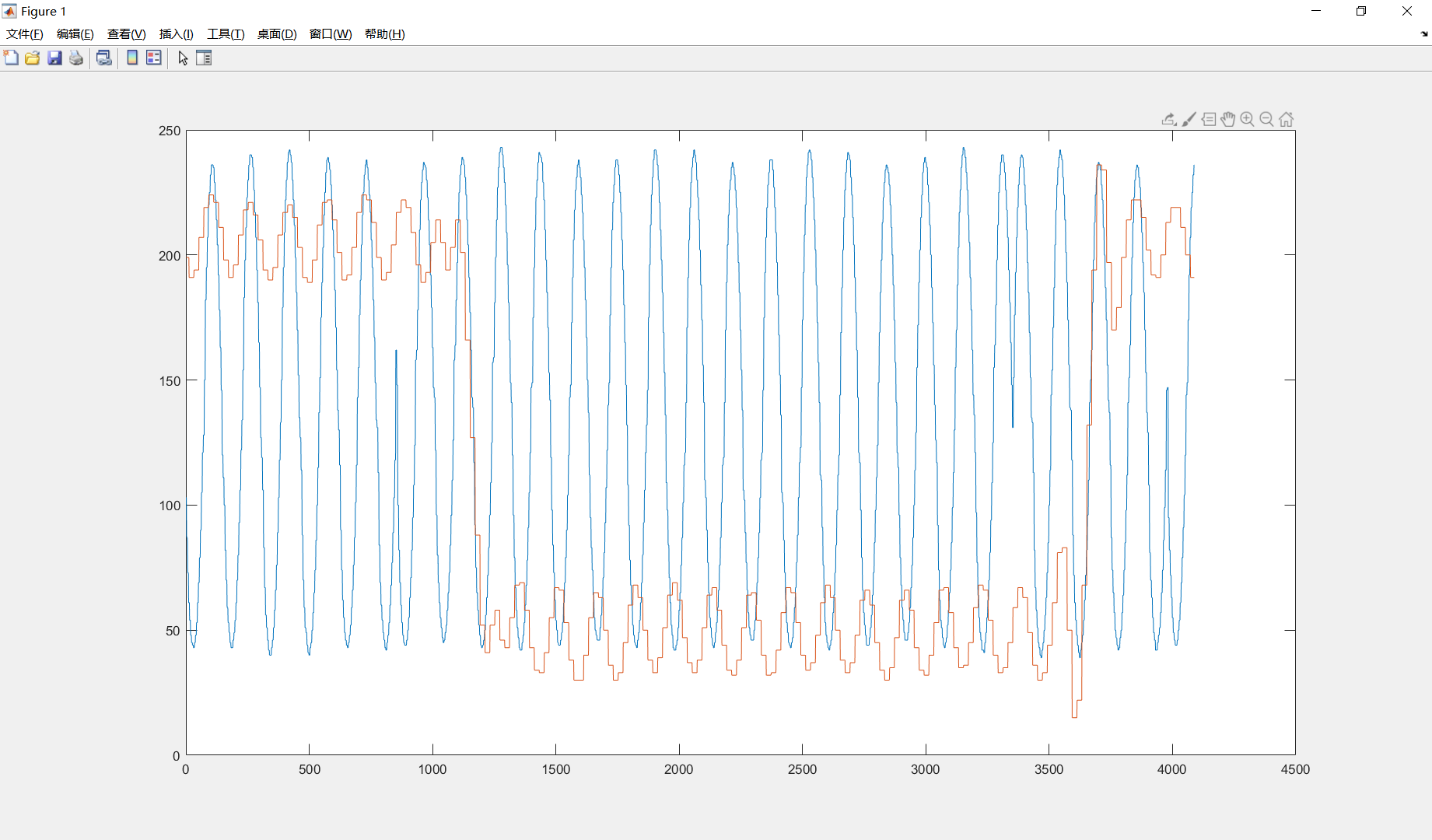
out13=reshape(out3,1,length(out3));

%-------------绘图---------------%

plot(out11,out12)

hold on

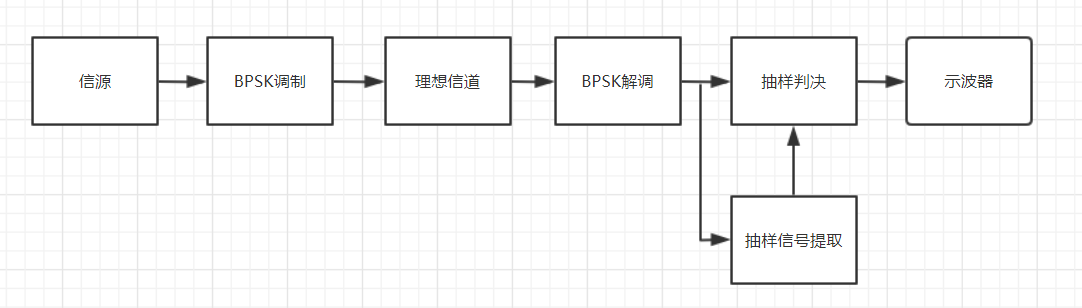
plot(out11,out13)



**图9 BPSK解调输出**

由图9可见，导出的数据中输入FPGA的是BPSK已调信号，输出的是解调信号。解调信号与输入BPSK信号相比稍有延迟。通过对比示波器与FPGA的输入与输出，基本情况一致，符合理论。

1. 通信系统的级联（信源、Costas环、Gardner环）
2. 实验原理



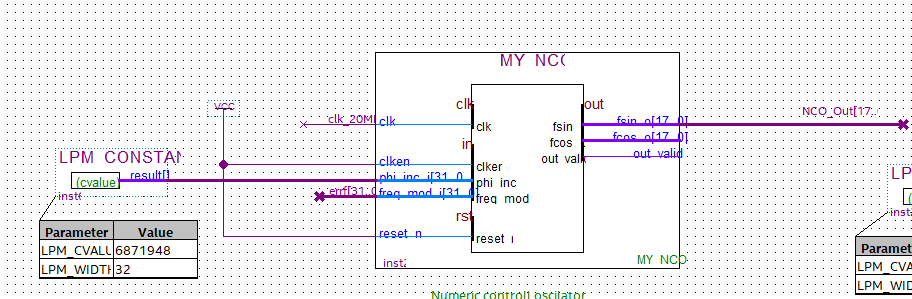
**图10 实现的完整通信系统传输**

**为实现的完整通信系统传输，**级联信源和Costas环（BPSK解调）、Gardner 环（抽样信号提取）。此过程需要两个实验箱级联来完成，这是因为一个实验箱的FPGA资源不足以满足我们的设计需求。一个实验箱完成BPSK调制和下载Costas环，另一个下载Gardner 环并完成抽样判决，判决输出接到示波器。同时位同步时钟是实验二Gardner 环产生的。当同步后，位同步时钟对BPSK解调输出信号在最佳抽样时刻进行抽样判决，完成BPSK 信号从信源到信宿的整个传播过程。

2、FPGA设计

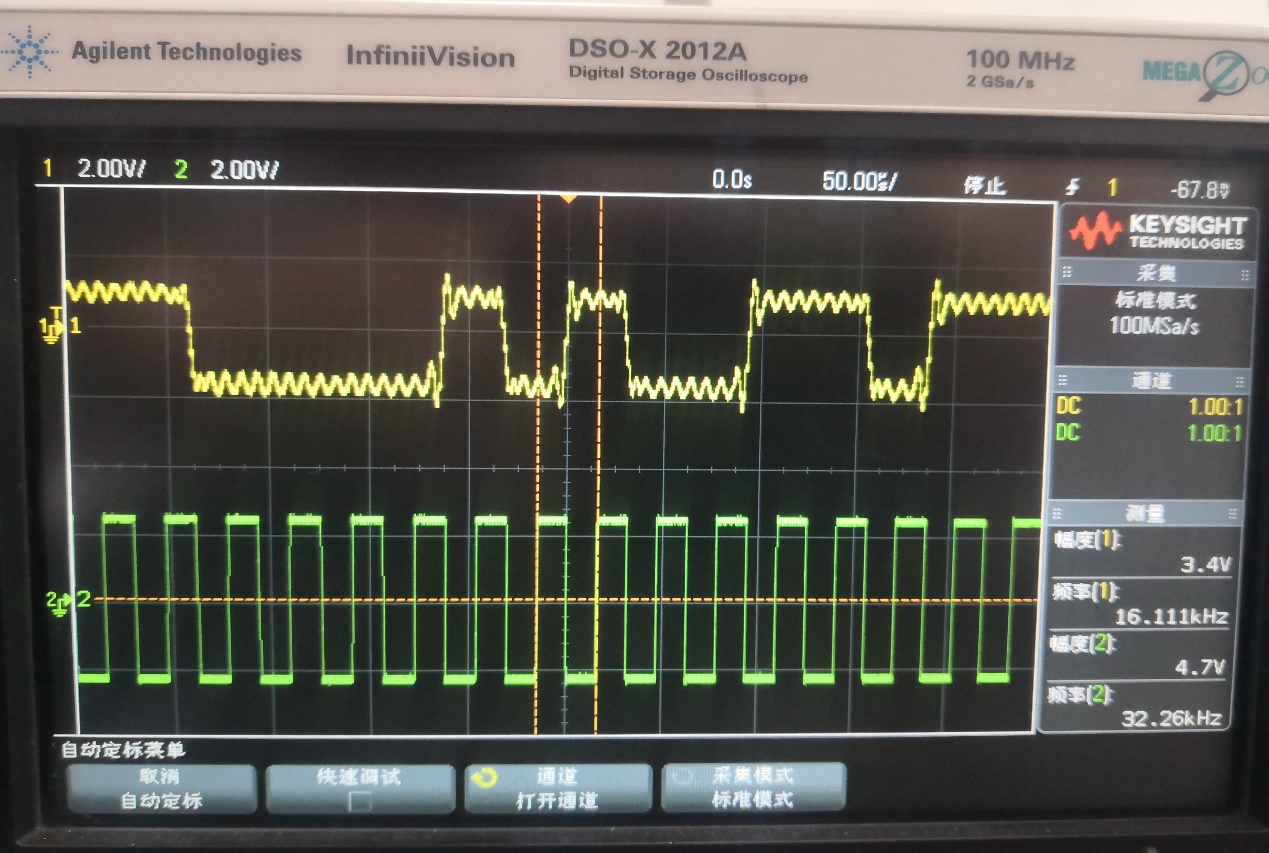
这里主要说明实验3和实验2中不同之处。

* 1. NCO部分更改



**图11 NCO部分**

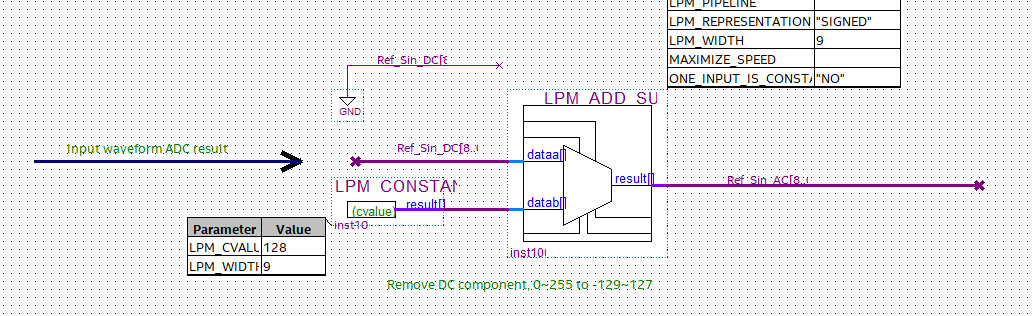
基带信号为32Kbps, 常数部分按照16KHz计算LPM\_CVALUE=2^32\*16k/((20\*e6)/2)= 6871948。

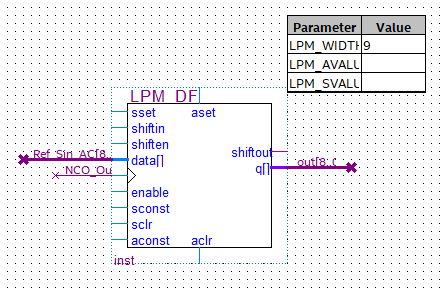


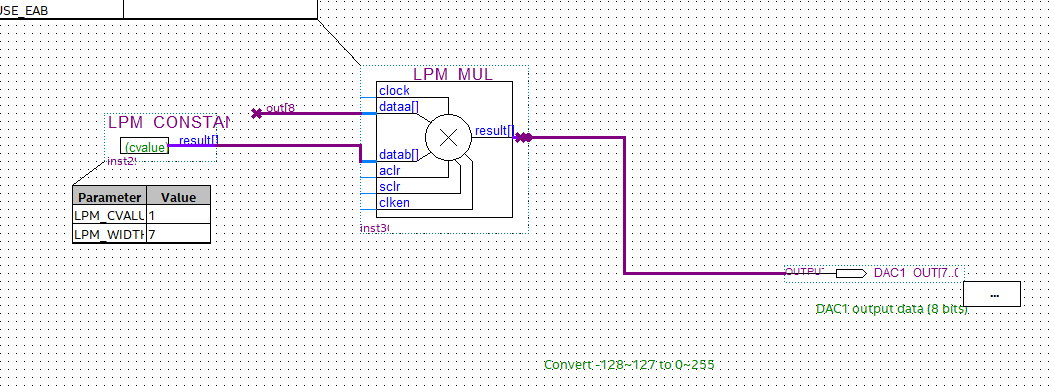
**图12 BPSK解调信号的位同步信号提取输出**

从图12中可以看到通道1为BPSK解调信号，通道2为位同步时钟信号。在一个周期内，位同步时钟的上升沿对应最大值和最小值，且正好在Ts/2时刻为上升沿，符合抽样判决时刻的理论。解调波形中比较宽的地方是因为调制的伪随机信号正好相同，相位相同，因此就连起来了，所以一个高或低电平会对应两个及多个上升沿的抽判信号，从中我们可以看出位同步时钟正确。实际中我们应该通过对信源编码以解决连0和连1问题，使其更多包含位同步信息。

* 1. 抽样部分（抽样判决器）







**图13 抽样部分**

通过D触发器实现抽样判决。D触发器为边沿触发，由于Gardner 环输出的位同步时钟的上升沿对应的是最佳抽样时刻，D触发器将输入信号Ref\_Sin\_AC[8..0]有符号数处锁存，锁存的波形就是基带信号的波形。因为锁存的是有符号数，最佳判决电平为0，最高位第8位为符号位，最高位为1，则输出判决为1，最高位为0，输出判决为0.乘法器的作用是将D触发器输出信号的幅值从1变大一些，增大输出信号幅值，增大输出功率，有利于观察和提高输出信噪比，同时将位宽扩大到了8位来输出给DAC。乘法器输出的波形就是整形过后的单进制NRZ。

3.实验结果



**图14 输出基带信号**

由图14可见，通道1为BPSK解调信号，通道2为抽样判决后的信号。高低电平对应的比较好，并且输出的基带信号波形与解调波形正好相差Ts/2，即每次抽样基本都在波形的中间，也就是最佳抽样时刻，抽样判决成功。